

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : **2 915 024**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **07 54397**

⑤1 Int Cl⁸ : **H 01 L 21/762 (2006.01), H 01 L 27/085**

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 12.04.07.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 17.10.08 Bulletin 08/42.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : **STMICROELECTRONICS (CROL-LES) 2 SAS Société par actions simplifiée — FR.**

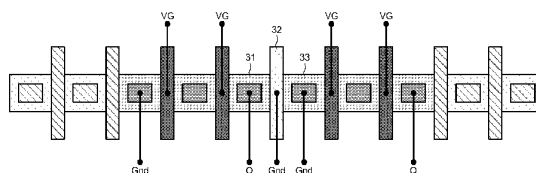
⑦2 Inventeur(s) : **BOROT BERTRAND et FERRANT RICHARD.**

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : **CASALONGA ET JOSSE.**

⑤4 **PROCEDE DE FABRICATION PERMETTANT L'HOMOGENEISATION DE L'ENVIRONNEMENT DE TRANSISTORS ET DISPOSITIF ASSOCIE.**

⑤7 Le dispositif à semiconducteur comprend un ensemble de motifs formés chacun d'au moins un transistor à effet de champ comprenant chacun une région de source et une région de drain délimitant entre elles une région de canal et une région de grille (32) formée au dessus de la région de canal. Une partie au moins des motifs est formée dans une même zone active d'un substrat semiconducteur délimitée par une région d'isolation de sorte que les régions de source ou de drain de chaque motif adjacent soient formées dans ladite zone active



FR 2 915 024 - A1



DEMANDE DE BREVET

B06-5364FR MSA

06-GR3-575

Société par Actions Simplifiée dite : STMicroelectronics(Crolles2) SAS

**Procédé de fabrication permettant l'homogénéisation de
l'environnement de transistors et dispositif associé.**

Invention de : BOROT Bertrand
FERRANT Richard

**Procédé de fabrication permettant l'homogénéisation de
l'environnement de transistors et dispositif associé.**

5 La présente invention concerne le domaine de la microélectronique et plus particulièrement la fabrication de transistors.

 L'augmentation de la densité d'intégration de transistors dans les dispositifs actifs est un objectif de l'industrie microélectronique. 10
Cependant, dans un contexte fortement concurrentiel, un besoin d'amélioration de la qualité et de l'homogénéité d'intégration se fait sentir afin de maintenir une certaine rentabilité.

 Lors de la fabrication, par exemple de processeurs, les dispositifs sont généralement triés en fonction du nombre de 15
transistors fonctionnels par rapport au nombre attendu. Selon le ratio de transistors fonctionnels, les dispositifs sont répartis en lots, classés selon leurs performances et vendus à des prix différents, bien qu'étant issus des mêmes procédés de fabrication.

 De telles pratiques, nécessaires pour rentabiliser l'ensemble 20
d'une production, engendrent toutefois un manque à gagner certain. Pour optimiser l'uniformité des performances des transistors, la modélisation physique des transistors a récemment gagnée en importance. Cette tendance s'est également accentuée avec le développement des dernières technologies de gravure fine, dans 25
lesquelles la sensibilité à l'environnement est exacerbée.

 L'industrie microélectronique commence à concevoir des architectures basées sur des composants aux motifs uniformisés afin de uniformiser les performances.

 Plusieurs sources d'inhomogénéité des performances ont été 30
ainsi identifiées, parmi lesquelles on peut citer le stress des tranchées d'isolation latérale STI (acronyme anglais pour « Shallow Trench Isolation »), les effets de proximité des caissons dopés et l'arrondissement des bords de motifs.

Le stress des tranchées d'isolation latérale se manifeste par des longueurs des régions de source et de drain ne coïncidant pas avec les dimensions prévues lors de la conception. Les nouvelles longueurs des régions de source et de drain modifient les performances du transistor.

5 Les effets de proximité des caissons dopés apparaissent lors de l'étape d'implantation et modifient l'extension du dopage effectif des zones actives.

10 L'effet d'arrondissement des bords de motifs apparaît dans des géométries présentant de nombreux angles et une forte densité d'objets, en modifiant la géométrie des motifs obtenue lors de la lithographie par rapport à la géométrie des motifs attendue.

15 Au vu de ce qui précède, il est proposé d'homogénéiser l'environnement de chaque transistor d'un dispositif à semiconducteur comprenant un ensemble de motifs formés chacun d'au moins un transistor à effet de champ, de façon à limiter l'influence des effets néfastes de la structure d'un dispositif sur les performances dudit dispositif.

Il est également proposé de limiter l'inhomogénéité des performances des transistors sur un tel dispositif.

20 Il est encore proposé de limiter l'apparition de stress des tranchées d'isolation latérale et de l'arrondissement des bords de motifs, et d'uniformiser l'influence des caissons sur tous les transistors d'un dispositif.

25 Ainsi selon un aspect du dispositif, une partie au moins des motifs est formée dans une même zone active d'un substrat semiconducteur délimitée par une région d'isolation de sorte que les régions de source ou de drain de chaque motif adjacent soient formées dans ladite zone active.

30 Dans un mode de réalisation, les motifs peuvent être agencés sous la forme de lignes, les régions de drain et de source d'une même ligne présentant les mêmes dimensions et étant espacées par des régions de grille de dimensions fixes.

Dans un mode de réalisation, deux régions de source et/ou de drain d'une même ligne séparées par une distance égale à la dimension

d'une grille et polarisées selon le même potentiel peuvent partager la même région active.

Chaque ligne peut comprendre à chaque extrémité au moins un transistor supplémentaire d'extrémité.

5 Chaque bloc peut comprendre des lignes supplémentaires d'extrémité.

Le dispositif peut comprendre en outre au moins une jonction disposée entre deux zones actives adjacentes ayant des polarités différentes.

10 Chaque jonction peut comprendre une grille.

Selon un autre aspect, il est également proposé un procédé de fabrication de dispositifs à semiconducteur comprenant un ensemble de motifs formés chacun d'au moins un transistor à effet de champ comprenant chacun une région de source et une région de drain délimitant entre elles une région de canal et une région de grille formée au dessus de la région de canal.

20 Dans un mode de mise en œuvre, on forme une partie au moins des motifs dans une même zone active d'un substrat semiconducteur délimitée par une région d'isolation de sorte que les régions de source ou de drain de chaque motif adjacent soient formées dans ladite zone active.

25 On peut réaliser les motifs sous la forme de lignes, les régions de drain et de source étant de mêmes dimensions au sein d'une même ligne, les régions de drain et de source étant espacées par des régions de grille de dimensions fixes.

On peut former au moins une jonction entre deux zones actives adjacentes ayant des polarités différentes.

La jonction peut être formée en réalisant une grille entre lesdites zones actives.

30 On peut en outre réaliser aux extrémités de chaque ligne au moins un transistor supplémentaire d'extrémité.

D'autres buts, caractéristiques et avantages de modes de réalisation d'un dispositif à semiconducteur selon un aspect de l'invention apparaîtront à la lecture de la description suivante, donnée

uniquement à titre d'exemple non limitatif et faite en référence aux dessins annexés sur lesquels :

-la figure 1 illustre une situation liée à la présence d'un stress des tranchées d'isolation ;

5 -la figure 2 illustre l'influence des puits de dopage ;

-les figures 3a et 3b illustrent une situation d'arrondissement des motifs ;

-la figure 4 représente un premier exemple de mise en œuvre d'un dispositif à semiconducteur selon un aspect de l'invention;
10 et

-la figure 5 représente un deuxième exemple de mise en œuvre d'un dispositif à semiconducteur selon un aspect de l'invention pour un ensemble de polarisations différentes.

15 Dans un procédé de fabrication conventionnel, des tranchées d'isolation latérale sont créés et délimitent une zone dans laquelle la région active sera formée. La région active est ensuite fabriquée par dopage. Un stress peut affecter les tranchées d'isolation latérale résultant en une modification de la forme de la région active.

20 Ainsi, en se référant à la figure 1, un stress d'au moins une tranchée d'isolation latérale peut provoquer une modification des longueurs des régions de source 1 et de drain 3 par rapport aux valeurs attendues.

25 Des effets de proximité des caissons dopés apparaissent lors de l'étape d'implantation. Selon la présence ou l'absence de caissons dopés à proximité des régions de source et de drain du transistor, les doses reçues par ces régions varient. En effet, lors de l'implantation, une couche de protection est déposée sur les caissons dopés. Une partie du flux d'ions d'implantation rebondit sur la surface verticale de cette couche de protection. Suivant la distance entre les caissons
30 dopés et la région active du transistor, la dose implantée dans la région active peut être renforcée, ou l'extension de la région active augmentée, ou les deux. La figure 2 illustre les effets de proximité des caissons dopés. Sur cette figure, on a représenté un transistor comprenant une grille 5, une région de drain 4 et une région de source

6 est entouré de deux caissons dopés 7 et 8. Le caisson dopé 8 est placé en regard de la région de drain 4. Lors de l'implantation, le flux d'ions rebondissant sur la couche de protection du caisson dopé 8 pourra modifier la longueur de la région 4 de drain du fait du
5 positionnement des deux structures. Dans le cas du caisson dopé 7 et de la région 6 de source, la géométrie des deux structures est susceptible de modifier la largeur et la longueur de la région 6 de source. En effet, au moins une partie du caisson dopé 7 se trouve en regard de chaque face de la région 6 de source. Chaque face pouvant
10 alors subir un effet. Par comparaison, le caisson dopé 8 ne serait susceptible d'influencer qu'un coté de la région 5 de drain.

L'effet d'arrondissement des bords de motifs apparaît dans des géométries présentant de nombreux angles et une forte densité d'objets. Par effets de proximité et par migration des espèces actives
15 des résines photosensibles, les zones d'angles et les zones à forte densité de motifs sont moins bien définies.

Les figures 3a et 3b illustrent deux de ces cas. Sur la figure 3a, on peut voir le cas parfait tel qu'il est souhaité lors de la conception. Comme on peut le voir, la figure 3a illustre trois jonctions ayant
20 chacune au moins une région de source ou de drain en commun avec la jonction adjacente.

De plus, les régions 9 et 11 ne présentent pas la même largeur, avec un changement de dimension s'effectuant dans la région 10. De même, la grille 12 est connectée à angle droit à la ligne de contact 13.

25 Sur la figure 3b, on peut voir le même dispositif que celui illustré sur la figure 3a mais soumis à un effet d'arrondissement des motifs. Plus particulièrement, la zone 14 présente un profil concave au lieu d'un profil à angle droit. Lors d'une photolithographie, la dose d'illumination est calculée pour que le seuil de photosensibilité soit
30 atteint uniquement dans les zones souhaitées, ici les parallélépipèdes définissant la grille 12 et la ligne de contact 13. Cependant, le profil d'illumination décroît de façon progressive avec la distance autour d'une zone illuminée. Ainsi dans la zone 14 délimitée par l'intersection des deux parallélépipèdes, le recouvrement des deux

profils d'illumination fait apparaître une zone dépassant le seuil de photosensibilité. Lors des étapes de transfert des motifs, cette zone sera transférée au même titre que les deux parallélépipèdes définissant la grille 12 et la piste de contact 13. Ainsi au lieu d'obtenir une ligne
5 de contact à angle droit avec la grille, on obtient la zone concave 14.

Le même phénomène est visible dans la zone 15 où la succession de deux angles droits est adoucie à cause des effets de proximité.

La figure 4 sur laquelle on a représenté un mode de réalisation appliqué à deux ensembles de deux jonctions 16 et 17 tête-bêche
10 montre un exemple de mise en œuvre permettant de limiter les effets du stress des tranchés d'isolation latérales au sein d'une structure à semiconducteurs. Comme on le voit, l'ensemble de jonctions 16, constitué par une succession de régions actives 18, 20 et 22, comprend
15 une alternance de régions de source et de drain réalisées dans une zone active. Au dessus de la région active 18 est réalisé un via d'accès 19. Il en est de même pour la région active 20 avec le via d'accès 21 et pour la région active 22 avec le via d'accès 23. Les régions actives 18
20 et 20 sont séparées par une grille 24, les régions actives 20 et 22 sont séparées par une grille 25. Les régions actives 18 et 22 sont polarisées avec un potentiel Vdd, la région active 20 avec un potentiel Q, tandis que les grilles 24 et 25 sont polarisées avec un potentiel Vg.

L'autre ensemble de jonctions 17 est situé à proximité de la région active 22 et est agencé de manière similaire. Il comprend en
25 effet une alternance de régions de source, de drain et de grille implantées dans des régions actives 18', 20' et 22' pourvues de vias d'accès 19', 21' et 23'.

Pour limiter l'arrondissement des motifs, toutes les structures présentent les mêmes dimensions, et les contacts entre éléments d'un
30 même niveau sont reportés dans des niveaux différents.

Le stress des tranchées d'isolation latérale pourrait affecter en particulier les zones actives 18 et 22, ce qui entraînerait une dissymétrie des jonctions pilotées par les grilles 24 et 25. Le même phénomène interviendrait sur l'ensemble de jonctions 17.

Pour limiter l'effet lié à un stress des tranchées d'isolation latérale, il est souhaitable de limiter le nombre de tranchées d'isolation latérale et de s'assurer que les régions actives de part et d'autre d'une grille ont les mêmes dimensions.

5 On crée normalement deux ensembles de tranchées d'isolation latérale, définissant chacun une zone active à l'intérieur desquelles les ensembles de jonctions 16 et 17 seront respectivement créés.

10 Pour éviter les effets du stress des tranchées d'isolation latérale, les zones actives des ensembles de jonction 16 et 17 sont fusionnées, comme illustré sur la figure 4. Pour cela, on crée une région active 27 entre les régions actives 22 et 18'. En pratique, au lieu de définir deux zones actives réunies a posteriori par une région active 27, on définit une seule zone active englobant les zones actives correspondant aux ensembles de jonction 16 et 17 et la région active
15 27.

Il est à noter que les zones actives 22 et 18' sont polarisées de la même façon. Il n'est donc pas nécessaire de contrôler le déplacement des porteurs de charge entre ces deux régions actives. Cependant, afin d'obtenir un environnement encore plus normalisé, il
20 aurait été possible d'ajouter une grille sur la région active 20 tout en laissant cette grille flottante, aucune modulation du canal entre les régions actives 22 et 18' n'étant nécessaire. L'utilisation d'une zone active unique permet de limiter l'effet du stress des tranchées d'isolation latérale aux régions actives extérieures 18 et 22'. Les
25 régions actives 22 et 18' sont ainsi épargnées.

En d'autres termes, afin d'éviter les effets d'un stress des murs d'isolation, on regroupe toutes les zones actives dans une seule zone active continue. Ainsi, on ne définit qu'une seule surface, et on limite le nombre de tranchées d'isolation latérale. Les effets du stress des
30 tranchées d'isolation latérale apparaissant aux extrémités d'une zone active, on limite à deux le nombre de régions potentiellement affectées.

Pour limiter l'influence du stress des tranchées latérales sur les régions actives extérieures 18 et 22', des motifs d'extrémité 29 et 30

sont créés aux extrémités de la zone délimitée par les régions actives des ensembles de jonctions 16 et 17. Ces deux motifs ne jouent aucun rôle électrique actif et constituent des transistors supplémentaires. Par contre, en reprenant les mêmes dimensions et les mêmes structures que
5 les celles précédemment décrites dans les ensembles de jonctions 16 et 17, ils permettent d'absorber les problèmes de stress des tranchées d'isolation latérale tout en assurant que la dernière région active à chaque extrémité de la zone active, ici les régions actives 18 et 22' soient parfaitement fonctionnelles. En pratique, plusieurs motifs sont
10 réalisés à chaque extrémité, les influences du stress des tranchées d'isolation se faisant sentir à plus longue distance. De même, pour une ligne à l'écart, l'ajout de lignes de part et d'autre de la ligne à l'écart permet d'homogénéiser l'influence de l'environnement.

Selon un autre mode de mise en œuvre, la figure 5 illustre un
15 dispositif présentant une autre façon de polariser les jonctions. Comme on le voit, la structure visible sur la figure 5 est similaire à celle décrite précédemment en référence à la figure 4. Elle comporte en effet deux ensembles de jonctions comprenant chacune une alternance de régions actives continues dans lesquelles sont définies les
20 transistors de manière à s'assurer que les zones actives de part et d'autre de la grille des transistors ont les mêmes dimensions.

Cependant, les régions actives 31 et 33 en regard des deux ensembles de jonctions sont polarisées différemment, les relier modifierait leur polarisation effective et le fonctionnement des
25 jonctions contiguës. Pour éviter cela, une grille 32 est ajoutée pour former une jonction entre les régions actives 31 et 33. En appliquant une polarisation adéquate, la grille 32 empêche la conduction à travers le canal entre les régions actives 31 et 33 afin de maintenir leurs polarisations respectives.

30 Au vu de ce qui précède, la méthode de conception des transistors d'un dispositif telle que décrite ci-dessus permet d'homogénéiser l'influence de l'environnement sur les différents transistors. Elle permet également de limiter l'influence de certains effets négatifs comme l'influence du stress des tranchées d'isolation

latérale, l'arrondissement des bords de motifs et les effets de proximité des caissons.

REVENDICATIONS

1. Dispositif à semiconducteur comprenant un ensemble de motifs formés chacun d'au moins un transistor à effet de champ
5 comprenant chacun une région de source et une région de drain délimitant entre elles une région de canal et une région de grille formée au dessus de la région de canal, caractérisé en ce qu'une partie au moins des motifs est formée dans une même zone active d'un substrat semiconducteur délimitée par une région d'isolation de sorte
10 que les régions de source ou de drain de chaque motif adjacent soient formées dans ladite zone active.

2. Dispositif selon la revendication 1, dans lequel les motifs sont agencés sous la forme de lignes, les régions de drain et de source d'une même ligne présentant les mêmes dimensions et étant espacées
15 par des régions de grille de dimensions fixes.

3. Dispositif selon l'une quelconque des revendications précédentes, dans lequel deux régions de source et/ou de drain d'une même ligne séparées par une distance égale à la dimension d'une grille et polarisées selon le même potentiel, partagent la même région active.
20

4. Dispositif selon l'une quelconque des revendications 1 à 3, dans lequel chaque ligne comprend à chaque extrémité au moins un transistor supplémentaire d'extrémité (29).
25

5. Dispositif selon la revendication 4, comprenant en outre au moins une jonction disposée entre deux zones actives adjacentes ayant des polarités différentes.
25

6. Dispositif selon la revendication 4, dans lequel chaque jonction comprend une grille.

7. Procédé de fabrication de dispositif à semiconducteur comprenant un ensemble de motifs formés chacun d'au moins un transistor à effet de champ comprenant chacun une région de source et une région de drain délimitant entre elles une région de canal et une région de grille formée au dessus de la région de canal, caractérisé en ce que l'on forme une partie au moins des motifs dans une même zone
30

active d'un substrat semiconducteur délimitée par une région d'isolation de sorte que les régions de source ou de drain de chaque motif adjacent soient formées dans ladite zone active.

5 8. Procédé de fabrication selon la revendication 7, dans lequel on réalise les motifs sous la forme de lignes, les régions de drain et de source étant de mêmes dimensions au sein d'une même ligne, les régions de drain et de source étant espacées par des régions de grille de dimensions fixes.

10 9. Procédé de fabrication selon l'une quelconque des revendication 7 ou 8, dans lequel on forme au moins une jonction entre deux zones actives adjacentes ayant des polarités différentes.

15 10. Procédé de fabrication selon la revendication 9, dans lequel la jonction est formée en réalisant une grille entre lesdites zones actives.

20 11. Procédé de fabrication selon la revendication 8 dans lequel on réalise aux extrémités de chaque ligne au moins un transistor supplémentaire d'extrémité (29).

FIG.1

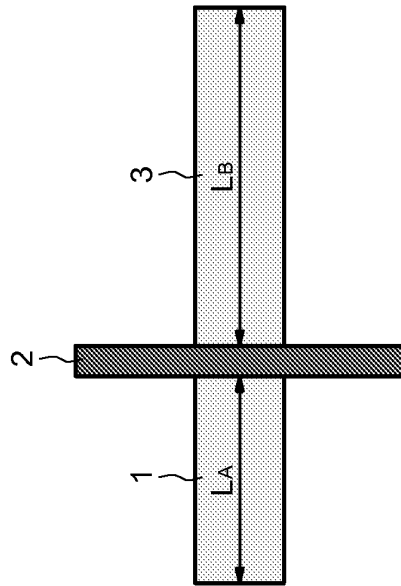


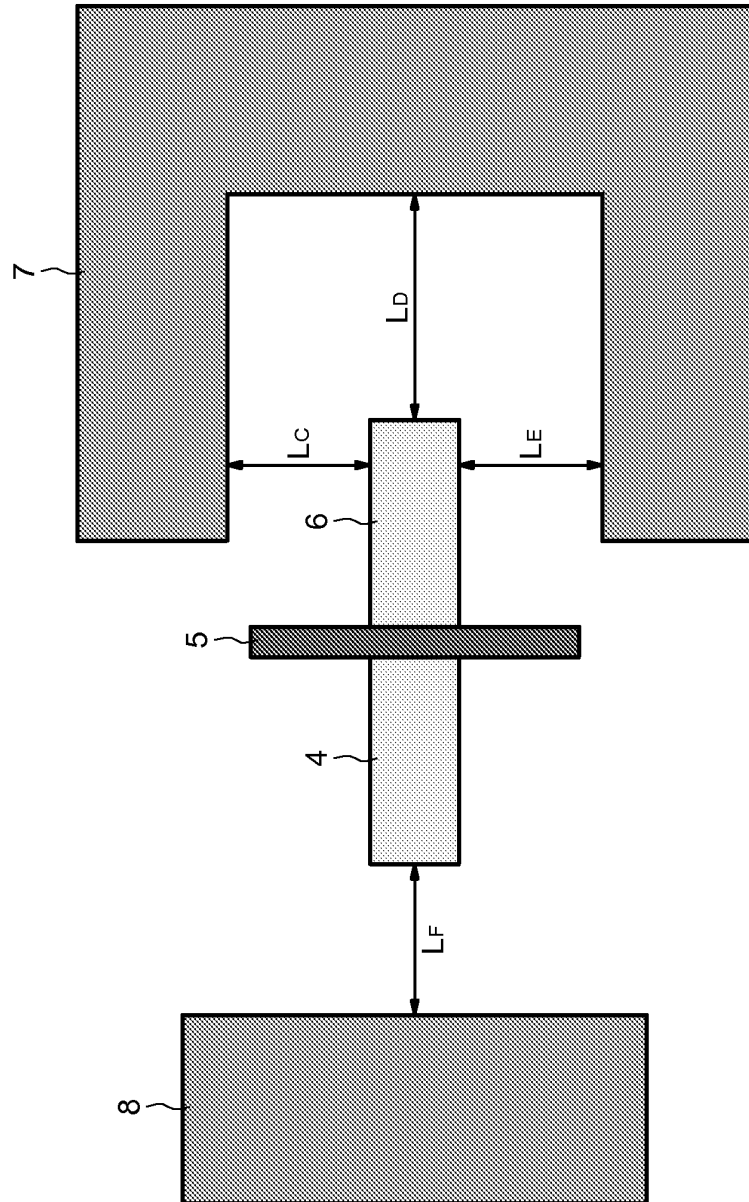
FIG.2

FIG.3a

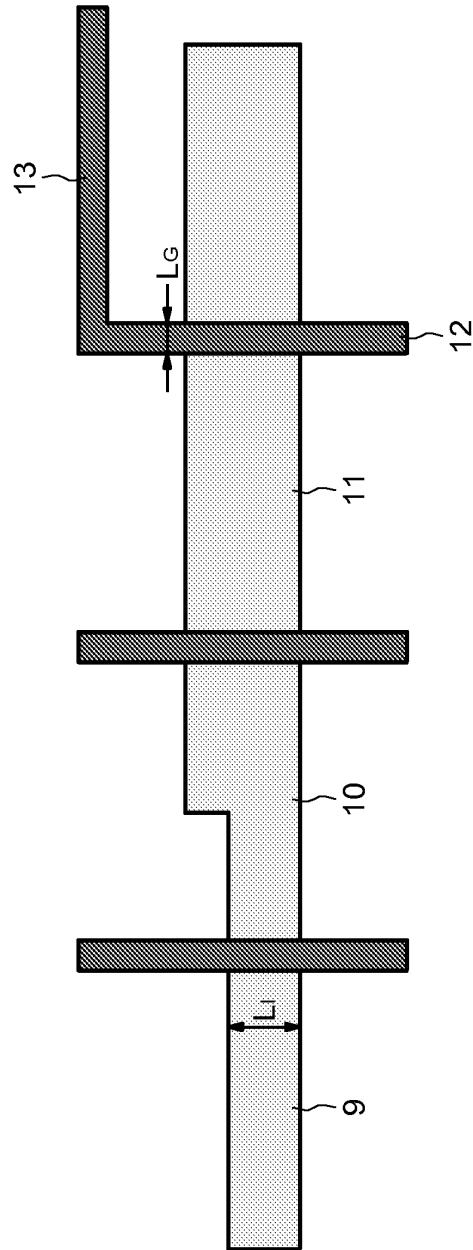


FIG.3b

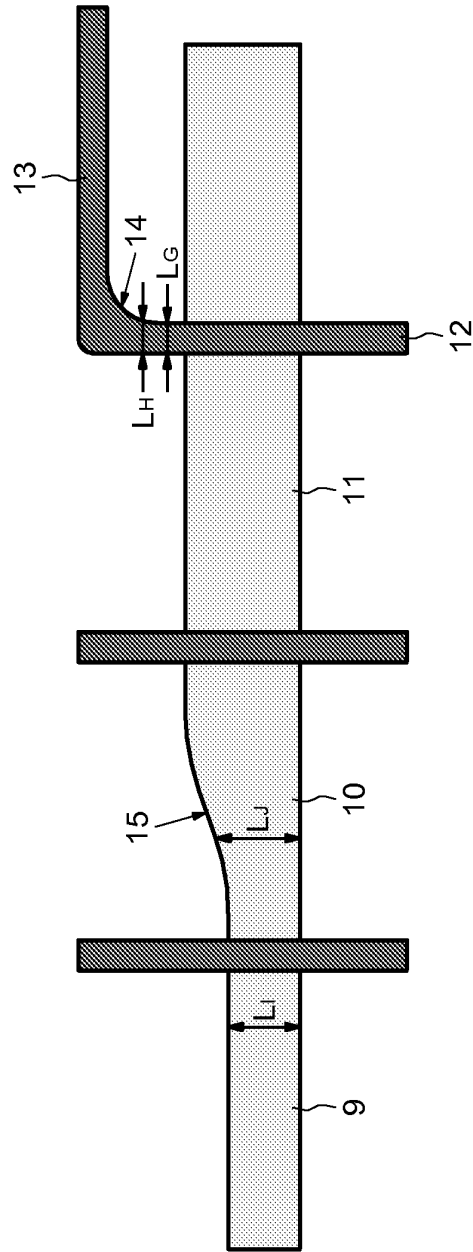


FIG. 4

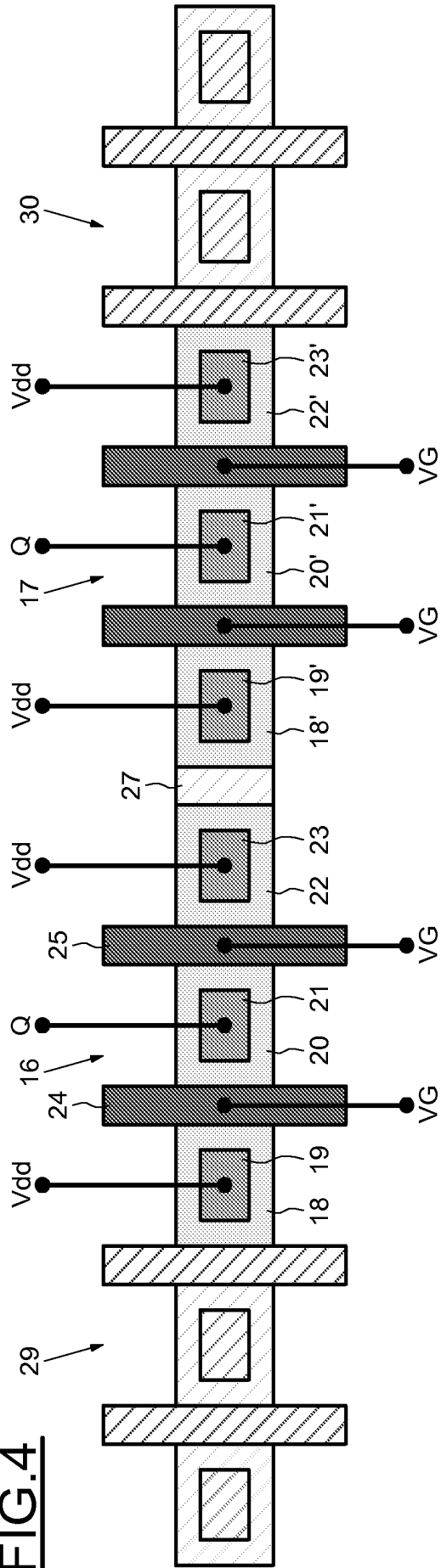
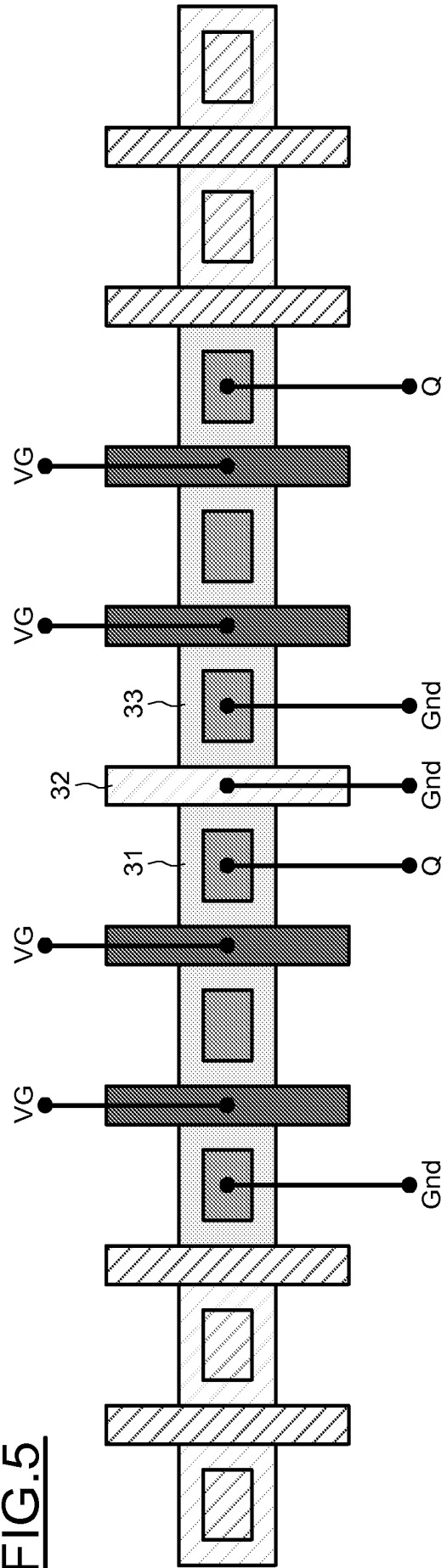


FIG. 5





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 695395
FR 0754397

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 834 820 A (CASPER STEPHEN L [US] ET AL) 10 novembre 1998 (1998-11-10) * colonne 1, ligne 1 - colonne 4, ligne 52; figures 2,3 *	1-11	H01L21/762 H01L27/085
X	US 4 570 176 A (KOLWICZ KEVIN D [US]) 11 février 1986 (1986-02-11) * colonne 1, ligne 1 - colonne 5, ligne 40; figures 3-5 *	1-11	
X	US 2007/026628 A1 (CHUNG SHINE C [TW] ET AL CHUNG SHINE CHIEN [TW] ET AL) 1 février 2007 (2007-02-01) * alinéas [0001] - [0023]; figures 3-6 *	1-5,7-9, 11	
A		6,10	
X	US 2005/260776 A1 (WANG YIN-PIN [TW] ET AL) 24 novembre 2005 (2005-11-24) * alinéas [0014] - [0025]; figures 1-5 *	1-5,7-9, 11	
A		6,10	
X	US 5 847 429 A (LIEN CHUEN-DER [US] ET AL) 8 décembre 1998 (1998-12-08) * colonne 3, ligne 32 - colonne 6, ligne 59; figures 3,4 *	1-5,7-9, 11	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A		6,10	H01L
		Date d'achèvement de la recherche	Examineur
		5 décembre 2007	Neumann, Andreas
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

1
EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0754397 FA 695395**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 05-12-2007

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5834820 A	10-11-1998	US 6242782 B1 US 6475851 B1	05-06-2001 05-11-2002
US 4570176 A	11-02-1986	CA 1217828 A1	07-02-1987
US 2007026628 A1	01-02-2007	CN 1905158 A DE 102006001665 A1 JP 2007036194 A	31-01-2007 08-02-2007 08-02-2007
US 2005260776 A1	24-11-2005	AUCUN	
US 5847429 A	08-12-1998	AUCUN	