

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3967559号

(P3967559)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int. Cl.

F I

G 1 1 C 11/406 (2006.01)
 G 1 1 C 11/403 (2006.01)
 H 0 3 K 19/0175 (2006.01)
 G 1 1 C 11/4093 (2006.01)

G 1 1 C 11/34 3 6 3 G
 G 1 1 C 11/34 3 6 3 M
 H 0 3 K 19/00 1 0 1 K
 G 1 1 C 11/34 3 7 1 J
 G 1 1 C 11/34 3 5 4 P

請求項の数 12 (全 27 頁)

(21) 出願番号 特願2001-108747 (P2001-108747)
 (22) 出願日 平成13年4月6日(2001.4.6)
 (65) 公開番号 特開2002-304884 (P2002-304884A)
 (43) 公開日 平成14年10月18日(2002.10.18)
 審査請求日 平成16年3月18日(2004.3.18)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 伊藤 成真
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内

審査官 須原 宏光

最終頁に続く

(54) 【発明の名称】 制御回路及び半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

外部からの第1の制御信号と内部で生成された第2の制御信号とのそれぞれにตอบสนองして内部回路を制御するためのメイン信号を生成する制御回路において、

前記第1の制御信号をフィルタを介して信号処理した第1の信号を生成する第1の信号処理回路と、

前記第1の制御信号をフィルタを含まない信号処理して第2の信号を生成する第2の信号処理回路と、

前記第2の信号と前記第2の制御信号とを入力し、両信号の優先判定を行い判定信号を生成するアービタと、

前記判定信号に基づいて、該判定信号又は前記第1の信号からメイン信号を生成するメイン信号生成回路と、

を備え、

前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする制御回路。

【請求項2】

前記アービタは、前記第2の制御信号に基づいて、前記内部回路の内部信号をトリガとする内部動作か、前記第1の制御信号をトリガとする外部動作かを判定することを特徴とする請求項1記載の制御回路。

【請求項3】

10

20

外部からのコマンド制御信号と内部制御信号とのそれぞれに応答して内部回路を制御するためのメイン信号を生成する制御回路において、

前記コマンド制御信号をフィルタを介して信号処理した第1の信号を生成する第1の信号処理回路と、

前記コマンド制御信号をフィルタを含まない信号処理して第2の信号を生成する第2の信号処理回路と、

前記第2の信号と前記内部制御信号とを入力し、両信号の優先判定を行い判定信号を生成するアービタと、

前記判定信号に基づいて、該判定信号又は前記第1の信号からメイン信号を生成するメイン信号生成回路と、

を備え、

前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする制御回路。

【請求項4】

前記コマンド制御信号は、出力イネーブル信号、ライトイネーブル信号またはチップイネーブル信号の何れかであることを特徴とする請求項3記載の制御回路。

【請求項5】

前記調整信号を生成するフィルタ値調整回路を備えたことを特徴とする請求項1～4のいずれか1つに記載の制御回路。

【請求項6】

前記調整回路は、前記調整信号を生成するためのデータを記憶するレジスタと、前記レジスタにデータを設定するためのセット回路とから構成されたことを特徴とする請求項5記載の制御回路。

【請求項7】

前記調整回路は、外部からの制御信号に基づいて前記調整信号を生成するためのデータを記憶することを特徴とする請求項5又は6記載の制御回路。

【請求項8】

セルフリフレッシュ機能を有する半導体記憶装置において、

外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1の検出信号を生成する第1の変移検出回路と、

フィルタを含まず、前記外部アクセス要求信号の変移を検出した第2の検出信号を生成する第2の変移検出回路と、

前記第2の検出信号と内部リフレッシュ要求信号に基づいて外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成するアービタと、

前記判定信号に基づいて前記第1の検出信号又は前記判定信号からメイン信号を生成するメイン信号生成回路と、を備え、

前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする半導体記憶装置。

【請求項9】

セルフリフレッシュ機能を有する半導体記憶装置において、

外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1の検出信号を生成する第1の変移検出回路と、

フィルタを含まず、前記外部アクセス要求信号の変移を検出した第2の検出信号を生成する第2の変移検出回路と、

外部アドレス信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1のアドレス検出信号を生成する第1のアドレス変移検出回路と、

フィルタを含まず、前記外部アドレス信号の変移を検出した第2のアドレス検出信号を生成する第2のアドレス変移検出回路と、

前記第1の検出信号と前記第1のアドレス検出信号を論理合成する第1の信号合成回路と、

10

20

30

40

50

前記第 2 の検出信号と前記第 2 のアドレス検出信号を論理合成する第 2 の信号合成回路と、

前記第 2 の信号合成回路の出力信号と内部リフレッシュ要求信号を論理合成して外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成するアービタと、

前記判定信号に基づいて前記第 1 の検出信号又は前記判定信号からメイン信号を生成するメイン信号生成回路と、を備え、

前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする半導体記憶装置。

【請求項 10】

前記調整信号を生成するフィルタ値調整回路を備えたことを特徴とする請求項 8 又は 9 記載の半導体記憶装置。

【請求項 11】

セルフリフレッシュ機能を有する半導体記憶装置において、外部コマンド信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第 1 の検出信号を生成する第 1 の変移検出回路と、

フィルタを含まず、前記外部コマンド信号の変移を検出した第 2 の検出信号を生成する第 2 の変移検出回路と、

前記第 2 の検出信号と内部リフレッシュ要求信号に基づいて外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成するアービタと、

前記判定信号に基づいて前記第 1 の検出信号又は前記判定信号からメイン信号を生成するメイン信号生成回路と、を備えたことを特徴とする半導体記憶装置。

【請求項 12】

前記外部コマンド信号は、出力イネーブル信号、ライトイネーブル信号またはチップイネーブル信号の何れかであることを特徴とする請求項 11 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は外部動作要求と内部動作要求とに応じて内部回路を制御する制御回路及び半導体記憶装置に関するものである。

【0002】

近年、電子情報機器等には記憶容量の大きい半導体記憶装置（DRAM:Dynamic Random Access Memory）が用いられている。DRAMは、内部回路におけるカウンタ動作に従ってメモリセルに対してセルデータのリフレッシュを行うセルフリフレッシュ機能を有している。このセルフリフレッシュ機能を有するDRAMは、外部からのリフレッシュ操作が不要であるため、低消費電力化が図れると共に、DRAM周辺の回路設計が簡単化できる利点がある。

【0003】

このようなセルフリフレッシュ機能を有するDRAMは、デバイス内部のリフレッシュ動作と外部からのアクセス要求が重なった場合、セルデータを保持する為にデバイス内部のリフレッシュ動作を優先させるよう設計される。この場合、外部からのアクセス要求は内部リフレッシュ動作が完了してから行われるために、内部リフレッシュ要求と重ならない場合のアクセスと比べ約 2 倍のアクセス時間を要す。このようなアクセス時間の短縮が求められている。

【0004】

【従来の技術】

図 18 は、従来のデバイス内部で自動的にリフレッシュを行う機能を持つDRAMの入力回路部分を示すブロック回路図である。

【0005】

DRAMには、複数の制御信号として出力イネーブル信号/OE、ライトイネーブル信号/W

10

20

30

40

50

E、チップイネーブル信号/CE1が供給される。各信号/OE、/WE、/CE1は、それぞれ入力バッファ11、12、13を介してフィルタ14、15、16に入力される。入力バッファ11～13は、入力信号をデバイスの内部電圧に応じたレベルの信号に変換する入力初段回路であり、CMOSインバータ形式またはC/M差動増幅形式等で構成されている。

【0006】

各フィルタ14～16は、外部より入力される信号のグリッチなどのノイズ成分を除去する。これはDRAMのデータ保持形式が電荷保持形式であり、入力信号に不確定なノイズ成分が含まれるとデバイスの内部動作が中途半端な状態でワード線のレベルが変更され、メモセルのデータを破壊してしまうことを防ぐためである。これらフィルタ14～16の特性は、DRAMを使用する顧客のシステムボードによって各信号のノイズ状況が変わるので、一般的にデバイス設計としては、最悪のケースのノイズに耐えられるように設計されている。従って、フィルタ14～16の設定値は一般的に読み出しや書き込みアクセスにとってそれらアクセス速度を制限する素子であり、ここでの設定値はアクセス時間に占める割合を大きく変える。

10

【0007】

各フィルタ14、15、16の出力信号oeb5z、web5z、clb5zは、それぞれ対応する第1～第3の遷移検出回路(CTD:Control Transition Detector)17、18、19とコントロールデコーダ(CTLDEC:Control Decoder)20に入力される。各遷移検出回路17、18、19は、それぞれ入力信号の状態の変移を検出した検出信号oerex、werex、cerexを出力する。

20

【0008】

コントロールデコーダ20は、外部制御信号(本例ではチップイネーブル信号/CE1、出力イネーブル信号/OE、ライトイネーブル信号/WE)であって、実際には入力信号oeb5z、web5z、clb5z)の状態(Hレベル又はLレベル)からライトコマンド、リードコマンド等の各種のコマンドをデコードする。そして、コントロールデコーダ20は、デコードしたコマンドに対応する制御信号(例えば、ライトコマンドに対応したライト制御信号wrz、リードコマンドに対応したリード制御信号rdz)を活性化パルス信号生成回路(ACTPGEN:Active Pulse Generator)(第1の信号生成回路)21に出力する。

【0009】

外部アドレス信号Addは、上記と同様に構成された入力バッファ22、フィルタ23を介してアドレス遷移検出回路(ATD:Address Transition Detector)24に入力される。アドレス遷移検出回路24は、上記制御信号の遷移検出回路17～19と同様に、外部アドレスの変移を検出した検出信号adrexを出力する。

30

【0010】

各遷移検出回路17、18、19からの検出信号oerex、werex、cerexとアドレス遷移検出回路24からの検出信号adrexは、アドレス遷移検出信号生成回路(ATDGEN:ATD Generator)(第2の信号生成回路)25に入力される。

【0011】

第2の信号生成回路25は、各検出信号oerex、werex、cerex、adrexを論理合成し、最後に入力される検出信号、つまり制御信号/OE、/WE、/CE1と外部アドレス信号Addにより生成した活性化信号atdpzを外部アクティブラッチ信号生成回路(EALGEN:External Active Latch Generator)(第3の信号生成回路)26とリフレッシュ制御回路27(REFCNTL:Refresh Control)に出力する。

40

【0012】

第3の信号生成回路26は、入力した活性化信号atdpzにตอบสนองして生成したデバイスを活性化するメイン信号mpealzを第1の信号生成回路21に出力する。

第1の信号生成回路21は、コントロールデコーダ20からの制御信号wrz、rdzと第3の信号生成回路26からのメイン信号mpealzにตอบสนองして生成したライト信号wrtz又はリード信号redzを出力するとともに、生成した活性化信号actpzをロウアドレス信号生成回路(RASGEN:Row Address Generator)(第4の信号生成回路)28に出力する。この活性化信

50

号actpz は、メモリセルにつながるワード線やビット線につながるセンスアンプなどを制御するロウ系の回路、データバスにつながるコラムゲートなどを制御するコラム系の回路を活性化する信号である。

【 0 0 1 3 】

リフレッシュ制御回路 2 7 は所謂アービタであり、内部のリフレッシュ要求（セルフリフレッシュ要求信号srtz）を選択（優先）するか、あるいは外部からのアクセス要求（活性化信号atdpz）を選択（優先）するかを判定した判定信号refzを第 4 の信号生成回路 2 8 に出力する。

【 0 0 1 4 】

第 4 の信号生成回路 2 8 は、判定信号refzと活性化信号actpz に基づいて生成したワード線選択信号の基幹信号raszを出力する。この基幹信号raszにより、内部リフレッシュ要求を選択した場合には図示しないアドレスカウンタにより生成されたリフレッシュアドレスに対応したワード線が活性化され、外部アクセス要求を選択した場合には外部アドレス信号Add に対応したワード線が活性化される。

【 0 0 1 5 】

上記のように構成された D R A M の動作を説明する。

[外部アクセス要求に応答する場合]

図 1 9 は、外部からのアクセス要求に応答する場合の動作波形図である。

【 0 0 1 6 】

チップイネーブル信号 /CE1 が立下り、各遷移検出回路 1 7 , 1 8 , 1 9 から検出信号oerex , werex , cerex が出力される。アドレス遷移検出回路 2 4 は、外部アドレス信号Add の遷移（例えば外部アドレス信号Add の最下位ビットA<0>の変化）を検出して検出信号adrex を出力する。

【 0 0 1 7 】

それらの検出信号oerex , werex , cerex , adrex が第 2 の信号生成回路 2 5 で論理合成され活性化信号atdpz が出力される。その信号atdpz を受け、第 3 の信号生成回路 2 6 からメイン信号mpealzが出力される。内部でのリフレッシュ要求が無い場合はセルフリフレッシュ要求信号srtzが L レベルのために、それにより出力される判定信号refzは変化しない（L レベル）。第 3 の信号生成回路 2 6 からメイン信号mpealzとコントロールデコーダ 2 0 からの制御信号wrz , rdz を受け、第 1 の信号生成回路 2 1 から活性化信号actpz と、ライト信号writezまたはリード信号readz が出力される。ライト信号wrtzはライトモードを示し、リード信号redzはリードモードを示す。これらのどちらを出力するかは、その他の制御信号（ /WE , /OE ）の状態による。

【 0 0 1 8 】

第 1 の信号生成回路 2 1 からの出力信号actpz が第 4 の信号生成回路 2 8 に入力され、ワード線を選択する基幹信号raszを出力する。この基幹信号raszに応答する回路は、リフレッシュ要求がないため外部アドレス信号Add に対応するワード線が選択される。

【 0 0 1 9 】

[リフレッシュ要求を選択した場合]

図 2 0 は、リフレッシュ要求が外部からの要求と重なり、リフレッシュ要求を選択した場合の動作波形図である。

【 0 0 2 0 】

上記と同様に、各遷移検出回路 1 7 , 1 8 , 1 9 から検出信号oerex , werex , cerex とアドレス遷移検出回路 2 4 から検出信号adrex が出力される。それら検出信号oerex , werex , cerex , adrex が合成されて活性化信号atdpz が第 2 の信号生成回路 2 5 から出力される。その信号atdpz と内部リフレッシュ要求信号srtzとが比較され、リフレッシュ要求信号srtzが活性化信号atdpz より早い場合には、リフレッシュ制御回路 2 7 から H レベルの判定信号refzが出力される。そのため、先ず第 4 の信号生成回路 2 8 は、内部のリフレッシュ要求を優先し、内部リフレッシュ用アドレスに対応するワード線を活性化するために基幹信号raszを出力する。

10

20

30

40

50

【 0 0 2 1 】

次に、リフレッシュ動作が終了すると、第 4 の信号生成回路 2 8 は、活性化信号 actpz に応答して基幹信号 rasz を出力し、外部アドレス信号 Add に対応するワード線が活性化される。

【 0 0 2 2 】

従って、アービタであるリフレッシュ制御回路 2 7 において、内部リフレッシュ動作が優先された場合は、外部アクセス要求（外部アクセスコマンド）は内部リフレッシュ動作が終了が完了してから外部アドレス信号 Add に対応して選択したワード線を活性化するための基幹信号 rasz を出力する。

【 0 0 2 3 】

〔外部アクセス要求を選択した場合〕

図 2 1 は、リフレッシュ要求が外部からの要求と重なり、外部アクセス要求を選択した場合の動作波形図である。

【 0 0 2 4 】

上記と同様に、各遷移検出回路 1 7 , 1 8 , 1 9 から検出信号 oerex , werex , cerex とアドレス遷移検出回路 2 4 から検出信号 adrex が出力される。それら検出信号 oerex , werex , cerex , adrex が合成されて活性化信号 atdpz が第 2 の信号生成回路 2 5 から出力される。その信号 atdpz と内部リフレッシュ要求信号 srtz とが比較され、リフレッシュ要求信号 srtz が活性化信号 atdpz より遅い場合には、リフレッシュ制御回路 2 7 から L レベルの判定信号 refz が出力される。そのため、先ず第 4 の信号生成回路 2 8 は、外部アクセス要求を優先し、外部アドレス信号 Add に対応するワード線を活性化するために基幹信号 rasz を出力する。

【 0 0 2 5 】

次に、外部アクセス動作が終了すると、第 4 の信号生成回路 2 8 は、リフレッシュ要求信号 srtz に応答して基幹信号 rasz を出力し、内部リフレッシュアドレスに対応するワード線が活性化される。

【 0 0 2 6 】

従って、アービタであるリフレッシュ制御回路 2 7 において、外部アクセス動作が優先された場合は、内部リフレッシュ要求は外部アクセス動作が完了してから内部リフレッシュアドレスに対応して選択したワード線を活性化するための基幹信号 rasz を出力する。

【 0 0 2 7 】

【発明が解決しようとする課題】

上記説明したように、デバイス内部で自動的にリフレッシュ動作を行うメモリ（DRAM）は、内部のリフレッシュ要求と外部からのアクセス要求が重なった場合、メモリセルの情報を保持するために、原則として内部のリフレッシュ動作を優先する。これは、内部のリフレッシュ要求のタイミング（リフレッシュ間隔）が、メモリセルの特性（データ保持時間）の記憶保持能力によって決定されるためである。

【 0 0 2 8 】

従って、内部のリフレッシュ要求と外部からのアクセス要求が重なった場合の、外部アクセス要求に対するデバイスの応答時間は、通常の外部からのアクセス動作に要する時間と、内部リフレッシュ動作に要する時間の合計値となる。この時間は、内部リフレッシュ要求と重ならない場合と比べ約 2 倍となり、デバイスの高速化を妨げる大きな要因である。

【 0 0 2 9 】

本発明は上記問題点を解決するためになされたものであって、その目的は内部要求と外部要求が重なった場合の、外部要求に対するデバイスの応答速度を高速化することのできる制御回路及び半導体記憶装置を提供することにある。

【 0 0 3 0 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明によれば、第 1 の信号処理回路は外部からの第 1 の制御信号をフィルタを介して信号処理した第 1 の信号を生成し、第 2 の信号

10

20

30

40

50

処理回路はフィルタを含まない信号処理して第2の信号を生成する。従って、アービタにて第2の信号と内部で生成された第2の制御信号の優先判定は第1の信号を用いる場合に比べて早く行われて判定信号が生成され、メイン信号生成回路にて判定信号から生成されるメイン信号は第1の信号を用いて判定した場合に比べて早く出力される。また、フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されている。フィルタ値を適宜設定することで、ユーザのシステムボードに適したタイミングでメイン信号が生成される。

【0031】

請求項2に記載の発明によれば、アービタは、第2の制御信号に基づいて、内部回路を内部信号をトリガとする内部動作か、第1の制御信号をトリガとする外部動作かを判定する。

10

【0032】

請求項3に記載の発明によれば、第1の信号処理回路は外部からのコマンド制御信号をフィルタを介して信号処理した第1の信号を生成し、第2の信号処理回路はフィルタを含まない信号処理して第2の信号を生成する。従って、アービタにて第2の信号と内部制御信号の優先判定は第1の信号を用いる場合に比べて早く行われて判定信号が生成され、メイン信号生成回路にて判定信号から生成されるメイン信号は第1の信号を用いて判定した場合に比べて早く出力される。また、フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されている。フィルタ値を適宜設定することで、ユーザのシステムボードに適したタイミングでメイン信号が生成される。

【0033】

請求項4に記載の発明によれば、コマンド制御信号は、出力イネーブル信号、ライトイネーブル信号またはチップイネーブル信号の何れかである。

20

請求項5に記載の発明によれば、調整信号を生成するフィルタ値調整回路が備えられる。

請求項6に記載の発明によれば、調整回路は、調整信号を生成するためのデータを記憶するレジスタと、レジスタにデータを設定するためのセット回路とから構成される。

【0034】

請求項7に記載の発明によれば、調整回路は、外部からの制御信号に基づいて調整信号を生成するためのデータを記憶するため、設定が容易に行われる。

請求項8に記載の発明によれば、第1の変移検出回路は外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1の検出信号を生成する。第2の変移検出回路はフィルタを含まず、外部アクセス要求信号の変移を検出した第2の検出信号を生成する。アービタは第2の検出信号と内部リフレッシュ要求信号に基づいて外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成し、メイン信号生成回路は判定信号に基づいて第1の検出信号又は判定信号からメイン信号を生成する。アービタ判定にフィルタを介していない第2の検出信号を用いることで、第1の検出信号を用いた場合に比べて早くメイン信号が生成される。従って、内部リフレッシュが早く開始されるため、その分外部アクセスに要する時間が短い。また、フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されている。フィルタ値を適宜設定することで、ユーザのシステムボードに適したタイミングでメイン信号が生成され、外部アクセスが行われる。

30

40

【0035】

請求項9に記載の発明によれば、第1の変移検出回路は外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1の検出信号を生成する。第2の変移検出回路はフィルタを含まず、外部アクセス要求信号の変移を検出した第2の検出信号を生成する。第1のアドレス変移検出回路は外部アドレス信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1のアドレス検出信号を生成する。第2のアドレス変移検出回路は外部アドレス信号の変移を検出した第2のアドレス検出信号を生成する。第1の信号合成回路は第1の検出信号と第1のアドレス検出信号を論理合成し、第2の信号合成回路はフィルタを含まず、第2の検出信

50

号と第2のアドレス検出信号を論理合成する。そして、アービタは第2の信号合成回路の出力信号と内部リフレッシュ要求信号を論理合成して判定信号を生成する。従って、内部リフレッシュが早く開始されるため、その分外部アクセスに要する時間が短い。また、フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されている。フィルタ値を適宜設定することで、ユーザのシステムボードに適したタイミングでメイン信号が生成され、外部アクセスが行われる。

【0037】

請求項10に記載の発明によれば、調整信号を生成するフィルタ値調整回路が備えられる。

請求項11に記載の発明によれば、第1の変移検出回路は外部コマンド信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第1の検出信号を生成する。第2の変移検出回路はフィルタを含まず、外部コマンド信号の変移を検出した第2の検出信号を生成する。アービタは第2の検出信号と内部リフレッシュ要求信号に基づいて外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成し、メイン信号生成回路は判定信号に基づいて第1の検出信号又は判定信号からメイン信号を生成する。アービタ判定にフィルタを介していない第2の検出信号を用いることで、第1の検出信号を用いた場合に比べて早くメイン信号が生成される。従って、内部リフレッシュが早く開始されるため、その分外部アクセスに要する時間が短い。

10

請求項12に記載の発明によれば、外部コマンド信号は、出力イネーブル信号、ライトイネーブル信号またはチップイネーブル信号の何れかである。

20

【0038】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図14に従って説明する。

【0039】

図1は、本実施形態の半導体装置の入力回路部を示すブロック回路図である。

半導体装置30は、第1及び第2信号処理回路31、32、アービタ33、メイン信号生成回路34を含む。

【0040】

第1及び第2信号処理回路31、32は、共通の外部端子P1に接続され、該外部端子P1を介して入力信号inが入力される。入力信号inは、半導体装置30の内部回路が所定の処理を実行するための外部要求信号である。

30

【0041】

第1信号処理回路31は、フィルタ35と信号処理回路36を含む。フィルタ35は、入力信号inに所定のフィルタ処理を施すことでグリッチなどのノイズ成分を除去した信号S1を信号処理回路36に出力する。

【0042】

信号処理回路36は、入力信号S1に所定の信号処理を施して生成した第1の出力信号S2をメイン信号生成回路34に出力する。

第2信号処理回路32は、第1信号処理回路31の信号処理回路36と同じ構成を持つ信号処理回路37を備え、該信号処理回路37は入力信号inに所定の信号処理を施して生成した第2の出力信号S3をアービタ33に出力する。

40

【0043】

アービタ33は、第1の信号S4と第2信号処理回路32の出力信号S3とを入力する。第1の信号S4は、半導体装置30の内部回路に所定の処理を実行させるために信号生成回路が発生した内部要求信号である。アービタ33は、第1の信号S4と出力信号S3の何れを優先するかを判定しその判定結果に基づく判定信号S5をメイン信号生成回路34に出力する。例えば、アービタ33は、第1の信号S4と出力信号S3を論理合成して判定信号S5を生成する。

【0044】

50

メイン信号生成回路34は、第1信号処理回路31からの信号S2とアービタ33からの信号S5を受け、両信号S2, S5を論理合成して生成したメイン信号S6を出力する。

【0045】

第1及び第2信号処理回路31, 32は、同一構成の信号処理回路36, 37をそれぞれ備えるため、その第1の出力信号S2の波形は、第2の出力信号S3の波形とほぼ等しい。従って、アービタ33において、第1の出力信号S2を用いた場合と同様の判定結果を第2の出力信号S3により得られる。

【0046】

しかし、第1信号処理回路31はフィルタ35を備えるため、第1の出力信号S2は第2の出力信号S3よりも遅れて出力される。従って、アービタ33は、第2の出力信号S3を用いることで、第1の出力信号S2を用いた場合よりも早く判定を行い判定信号S5を出力する。

10

【0047】

メイン信号生成回路34は、アービタ33からの判定信号S5と第1信号処理回路31の出力信号S2を論理合成してメイン信号S6を生成する。判定信号S5は、第1信号処理回路31の出力信号S2を用いる場合に比べて早く出力されるため、同様にメイン信号S6も第1の出力信号S2を用いて判定を行う場合に比べて早く出力される。このため、半導体装置30の内部回路は第1の出力信号S2により判定を行う場合に比べて早く動作する。

【0048】

20

次に、本実施形態をDRAMに適用した例を図2～図14に従って説明する。尚、説明の便宜上、図18と同様の構成については同一の符号を付して説明する。

【0049】

図2は、デバイス内部で自動的にリフレッシュを行う機能を持つDRAMの入力回路部分を示すブロック回路図である。

DRAM40には、複数の制御信号として出力イネーブル信号/OE、ライトイネーブル信号/WE、チップイネーブル信号/CE1が供給される。各信号/OE, /WE, /CE1は第1～第3入力バッファ11～13にそれぞれ入力される。

【0050】

第1入力バッファ11は、入力信号/OEをデバイスの内部電圧に応じたレベルの信号に変換する入力初段回路であり、変換後の信号を第1及び第2変移検出回路41a, 41bにそれぞれ出力する。

30

【0051】

第2入力バッファ12は、入力信号/WEをデバイスの内部電圧に応じたレベルの信号に変換する入力初段回路であり、変換後の信号を第3及び第4変移検出回路42a, 42bにそれぞれ出力する。

【0052】

第3入力バッファ13は、入力信号/CE1をデバイスの内部電圧に応じたレベルの信号に変換する入力初段回路であり、変換した信号c1b0zを第5及び第6変移検出回路43a, 43bに出力する。

40

【0053】

図3は、第3入力バッファ13の一例を示す回路図である。イネーブル信号enxは、外部から供給される第2のチップイネーブル信号CE2(図示略)を受ける入力バッファから入力される。第3入力バッファ13は、Lレベルのイネーブル信号enxに应答して外部信号(チップイネーブル信号/CE1)を受け付け、Hレベルの信号enxに应答してそれを受け付けない。そして、第3入力バッファ13は、受け付けたチップイネーブル信号/CE1を内部電圧に応じたレベルに変換した信号c1b0zを出力する。尚、第1及び第2入力バッファ11, 12の構成は、第3入力バッファ13と同じ構成であるため、図面を省略する。

【0054】

第1変移検出回路41aは、第1フィルタ14と第1遷移検出回路17aとから構成され

50

ている。第1フィルタ14は第1入力バッファ11より入力される信号のグリッチなどのノイズ成分を除去した信号oeb5zを第1遷移検出回路17aとコントロールデコーダ20に出力する。第1遷移検出回路17aは、入力信号oeb5zの変移を検出した第1コントロール遷移検出信号oerex-aを第1の信号合成回路44に出力する。

【0055】

第2変移検出回路41bは第2遷移検出回路17bを備える。第2遷移検出回路17bは、第1入力バッファ11より入力される信号の変移を検出した第2コントロール遷移検出信号oerex-rを第2の信号合成回路45に出力する。

【0056】

第2遷移検出回路17bは第1遷移検出回路17aと同じ構成を持つ。従って、第2コントロール遷移検出信号oerex-rは、第1コントロール遷移検出信号oerex-aとほぼ同じ波形を持ち、それよりも早く出力される。

10

【0057】

第3変移検出回路42aは、第2フィルタ15と第3遷移検出回路18aとから構成されている。第2フィルタ15は第2入力バッファ12より入力される信号のグリッチなどのノイズ成分を除去した信号web5zを第3遷移検出回路18aとコントロールデコーダ20に出力する。第3遷移検出回路18aは、入力信号web5zの変移を検出した第3コントロール遷移検出信号werex-aを第1の信号合成回路44に出力する。

【0058】

第4変移検出回路42bは第4遷移検出回路18bを備える。第4遷移検出回路18bは、第2入力バッファ12より入力される信号の変移を検出した第4コントロール遷移検出信号werex-rを第2の信号合成回路45に出力する。

20

【0059】

第4遷移検出回路18bは第3遷移検出回路18aと同じ構成を持つ。従って、第4コントロール遷移検出信号werex-rは、第3コントロール遷移検出信号werex-aとほぼ同じ波形を持ち、それよりも早く出力される。

【0060】

第5変移検出回路43aは、第3フィルタ16と第5遷移検出回路19aとから構成されている。第3フィルタ16は外部より入力される信号のグリッチなどのノイズ成分を除去した信号ceb5zを第5遷移検出回路19aとコントロールデコーダ20に出力する。

30

【0061】

図4は、第3フィルタ16の一例を示す回路図である。尚、第1及び第2フィルタ14、15は、第3フィルタ16と同じ構成であるため、図面を省略する。尚、第1～第3フィルタ14～16を、図5に示すように構成してもよい。

【0062】

図7は、コントロールデコーダ20の一例を示す回路図であり、ライトコマンドに対応したライト制御信号wrz、リードコマンドに対応したリード制御信号rdzを生成する部分回路を示す。コントロールデコーダ20は、第1～第3フィルタ11～13からの信号oeb5z、web5z、ceb5zを論理合成して生成したライト制御信号wrz又はリード制御信号rdzを出力する。

40

【0063】

第5遷移検出回路19aは、入力信号ceb5zの変移を検出した第5コントロール遷移検出信号ctd-aを第1の信号合成回路44に出力する。図6は、第5遷移検出回路19aの一例を示す回路図である。第5遷移検出回路19aは、入力信号ceb5zがHレベルからLレベルに、又はLレベルからHレベルに切り替わった場合に、ワンショットパルスの検出信号ctd-aを出力する。尚、第1、第2、第3及び第4遷移検出回路17a、17b、18a、18bは第5遷移検出回路19aと同じ構成であるため、図面を省略する。

【0064】

第6変移検出回路43bは第6遷移検出回路19bを備える。第6遷移検出回路19bは、入力信号clb0zの変移を検出した第6コントロール遷移検出信号ctd-rを第2の信号合

50

成回路 4 5 に出力する。

【 0 0 6 5 】

第 6 遷移検出回路 1 9 b は第 5 遷移検出回路 1 9 a と同じ構成を持つ。従って、第 6 コントロール遷移検出信号 ctd-r は、第 5 コントロール遷移検出信号 ctd-a とほぼ同じ波形を持ち、それよりも早く出力される。

【 0 0 6 6 】

D R A M 4 0 には、複数ビットにて構成された外部アドレス信号 Add が供給され、その信号 Add は入力バッファ 2 2 に入力される。入力バッファ 2 2 は、上記した第 1 ~ 第 3 入力バッファ 1 1 ~ 1 3 と同じ構成であり、入力信号 Add をデバイスの内部電圧に応じたレベルに変換した信号 a0z を第 1 及び第 2 のアドレス変移検出回路 4 6 a , 4 6 b に出力する

10

【 0 0 6 7 】

第 1 のアドレス変移検出回路 4 6 a は、フィルタ 2 3 と第 1 アドレス遷移検出回路 2 4 とから構成されている。フィルタ 2 3 は上記第 1 ~ 第 3 フィルタ 1 4 ~ 1 6 と同じ構成を持ち、外部より入力される信号のグリッチなどのノイズ成分を除去した信号 a5z を第 1 アドレス遷移検出回路 2 4 に出力する。第 1 アドレス遷移検出回路 2 4 は、上記制御信号の遷移検出回路 1 7 a , 1 7 b ~ 1 9 a , 1 9 b と同じ構成を持ち、入力信号 a5z の変移を検出した検出信号 atd-a を第 1 の信号合成回路 4 4 に出力する。

【 0 0 6 8 】

第 2 のアドレス変移検出回路 4 6 b は第 2 アドレス遷移検出回路 4 8 を備える。第 2 アドレス遷移検出回路 4 8 は、入力信号 a0z の変移を検出した検出信号 atd-r を第 2 の信号合成回路 4 5 に出力する。

20

【 0 0 6 9 】

第 2 アドレス遷移検出回路 4 8 は第 1 アドレス遷移検出回路 2 4 と同じ構成を持つ。従って、第 2 アドレス遷移検出信号 atd-r は、第 1 アドレス遷移検出信号 atd-a とほぼ同じ波形を持ち、それよりも早く出力される。

【 0 0 7 0 】

第 1 の信号合成回路 4 4 は、第 1 遷移検出信号生成回路 2 5、外部アクティブラッチ信号生成回路 2 6、活性化パルス信号生成回路 2 1 を含む。

図 8 は、第 1 遷移検出信号生成回路 2 5 の一例を示す回路図である。第 1 遷移検出信号生成回路 2 5 は、検出信号 oerex-a , werex-a , ctd-a , atd-a を論理合成して生成した活性化信号 atdpz-a をラッチ信号生成回路 2 6 に出力する。尚、図中の信号 atd0x ~ atd7x は、外部アドレス信号 Add に対応して第 1 アドレス遷移検出回路 2 4 から出力される検出信号 atd-a の下位 8 ビットである。

30

【 0 0 7 1 】

図 9 は、外部アクティブラッチ信号生成回路 2 6 の一例を示す回路図である。ラッチ信号生成回路 2 6 は、入力した活性化信号 atdpz-a に応答して生成したデバイスを活性化するメイン信号 mpealz を活性化パルス信号生成回路 2 1 に出力する。

【 0 0 7 2 】

図 1 0 は、活性化パルス信号生成回路 2 1 の一例を示す回路図である。活性化パルス信号生成回路 2 1 は、コントロールデコーダ 2 0 からのライト又はリード制御信号 wrz , rdz と活性化信号 atdpz に応答して生成したライト又はリード信号 wrtz , redz を出力するとともに、生成した活性化信号 actpz をメイン信号生成回路としてのロウアドレス信号生成回路 2 8 に出力する。

40

【 0 0 7 3 】

第 2 の信号合成回路 4 5 は、第 2 遷移検出信号生成回路 4 9、リフレッシュ制御回路 2 7 を備える。

第 2 遷移検出信号生成回路 4 9 は、検出信号 oerex-r , werex-r , ctd-r , atd-r を論理合成して生成した活性化信号 atdpz-r をアービタとしてのリフレッシュ制御回路 2 7 に出力する。第 2 遷移検出信号生成回路 4 9 は、第 1 遷移検出信号生成回路 2 5 と同じ回路構

50

成を持つ。従って、第1及び第2遷移検出信号生成回路25, 49から出力される第1及び第2活性化信号atdpz-a, atdpz-rは同じ波形を持ち、第2活性化信号atdpz-rの方が第1活性化信号atdpz-aに比べて早く(具体的にはフィルタ16を通過しない分)出力される。即ち、第2遷移検出信号生成回路49は、第1遷移検出信号生成回路25に比べて早く論理合成を行う。

【0074】

図11は、リフレッシュ制御回路27の一例を示す回路図である。尚、図中の信号raszは後述するロウアドレス信号生成回路28にて生成される基幹信号であり、信号icsxはロウアドレス信号生成回路28にて生成され供給される信号である。

【0075】

リフレッシュ制御回路27は、内部のリフレッシュ要求(セルフリフレッシュ要求信号sr_{tz})を選択(優先)するか、あるいは外部からのアクセス要求(第2活性化信号atdpz-r)を選択(優先)するかを判定した判定信号refzをロウアドレス信号生成回路28に出力する。

【0076】

図12は、ロウアドレス信号生成回路28の一例を示す回路図である。尚、図中の信号sp_{rx}は、基幹信号raszを出力して一定期間が経過した後にNAND回路よりなるフリップフロップをリセットするために生成され供給される信号である。

【0077】

ロウアドレス信号生成回路28は、判定信号refzと活性化信号actpzに基づいて生成したワード線選択信号の基幹信号raszを出力する。この基幹信号raszにより、内部リフレッシュ要求を選択した場合には図示しないアドレスカウンタにより生成されたリフレッシュアドレスに対応したワード線が活性化され、外部アクセス要求を選択した場合には外部アドレス信号Addに対応したワード線が活性化される。

【0078】

第2活性化信号atdpz-rは、第1活性化信号atdpz-aに比べて早く出力されるため、リフレッシュ制御回路27は、第2活性化信号atdpz-rを用いることで、従来に比べて早く判定を行い判定信号refzを出力する。従って、基幹信号raszも従来に比べて早く出力されるため、リフレッシュアドレス又は外部アドレス信号Addに対応したワード線が従来よりも早く活性化され、外部アクセス時間が短縮される。

【0079】

次に、上記のように構成されたDRAMの作用を図13に従って説明する。

図13は、リフレッシュ要求が外部からの要求と重なり、リフレッシュ要求を選択した場合の動作波形図である。

【0080】

チップイネーブル信号/CE1が立下り、第1, 第3, 第5変移検出回路41a, 42a, 43aから検出信号oerex-a, werex-a, ctd-aが出力され、第2, 第4, 第6変移検出回路41b, 42b, 43bから検出信号oerex-r, werex-r, ctd-rが出力される。同様に、外部アドレス信号Addの変化(例えば最下位ビットA<0>)の変化により、第1のアドレス変移検出回路46aから検出信号atd-aが出力され、第2のアドレス変移検出回路46bから検出信号atd-rが出力される。

【0081】

それら検出信号oerex-a, werex-a, ctd-a, atd-aが第1遷移検出信号生成回路25にて論理合成されて第1活性化信号atdpz-aが出力され、検出信号oerex-r, werex-r, ctd-r, atd-rが第2遷移検出信号生成回路49にて論理合成されて第2活性化信号atdpz-rが出力される。

【0082】

第1活性化信号atdpz-aを受けるラッチ信号生成回路26から、デバイスを活性化するメイン信号mpealzが出力される。

リフレッシュ制御回路27にて、第2活性化信号atdpz-rと内部リフレッシュ要求信号

10

20

30

40

50

srtzが比較され、リフレッシュ要求信号strzが第2活性化信号atdpz-rより早いため、第2活性化信号atdpz-rの立ち上がりに応じて、リフレッシュ制御回路27からアクティブ（例えばHレベル）の判定信号refzが出力される。ロウアドレス信号生成回路28は、内部のリフレッシュ要求を優先し、内部リフレッシュ用アドレスに対応するワード線を活性化するために基幹信号raszを出力する。

【0083】

第2活性化信号atdpz-rは、第1活性化信号atdpz-a（従来例の活性化信号atdpz）より早い。従って、従来例に比べて判定信号refzが早くアクティブになる。そのため、内部リフレッシュ要求が従来例を同じタイミングで発生しても、それによるリフレッシュ動作は従来例に比べて早く開始される。

10

【0084】

リフレッシュ動作が終了すると、ロウアドレス信号生成回路28は、活性化信号actpzに 응답して基幹信号raszを出力し、外部アドレス信号Addに対応するワード線が活性化される。

【0085】

内部リフレッシュ動作が従来に比べて早く開始される、即ち内部リフレッシュ動作が従来に比べて早く終了するため、活性化信号に 응답した基幹信号raszも従来のそれに比べて早く出力される。このため、外部アクセスに要する時間は、従来のに比べて短い。

【0086】

ところで、外部信号にグリッチ等のノイズが入った場合、各フィルタ14, 15, 16, 23にてそのノイズを除去することでデバイスが誤動作するのを防止している。上記実施形態の構成では、フィルタを備えていない第2, 第4, 第6の変移検出回路43bと第2のアドレス変移検出回路46bからの検出信号oerex-r, werex-r, ctd-r, atd-rを論理合成した第2活性化信号atdpz-rと内部リフレッシュ要求信号srtzを比較して判定信号refzを生成しているため、ノイズが入った場合も判定信号refzを出力する。しかし、判定信号refzが出力されても内部リフレッシュ動作を実行するだけであるため、メモリセルに記憶したデータが変更される等の問題は発生しない。

20

【0087】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 半導体装置30はフィルタ35を含む第1信号処理回路31と、フィルタを含まない第2信号処理回路32を備え、アービタ33にて第2信号処理回路32からの第2の出力信号S3と第1の信号S4の何れを優先するかを判定しその判定結果に基づく判定信号S5をメイン信号生成回路34に出力する。メイン信号生成回路34は、第1信号処理回路31からの信号S2とアービタ33からの信号S5を受け、両信号S2, S5を論理合成して生成したメイン信号S6を出力する。その結果、判定信号S5は、第1信号処理回路31の出力信号S2を用いる場合に比べて早く出力されるため、同様にメイン信号S6も第1の出力信号S2を用いて判定を行う場合に比べて早く出力される。このため、半導体装置30の内部回路は第1の出力信号S2により判定を行う場合に比べて早く動作させることができる。

30

【0088】

(2) DRAM40は、フィルタを含まない第2, 第4, 第6変移検出回路41b, 42b, 43bからの検出信号oerex-r, werex-r, ctd-rと第2のアドレス変移検出回路46bからの検出信号atd-rを第2遷移検出信号生成回路49にて論理合成した第2活性化信号atdpz-rとリフレッシュ要求信号strzをリフレッシュ制御回路27にて比較し、その比較結果に基づいてワード線を活性化するために基幹信号raszを出力するようにした。その結果、フィルタを含む第1, 第3, 第5変移検出回路41a, 42a, 43aと第1のアドレス変移検出回路46aからの検出信号oerex-a, werex-a, ctd-a（従来例ではoerex, werex, ctd）, atd-aを用いる場合に比べて基幹信号raszの出力が早くなり、内部リフレッシュが早く開始される。そのため、外部アクセスの開始が早くなり、外部アクセスに要する時間を短くすることができる。

40

50

【0089】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図14～図16に従って説明する。尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0090】

図14は、本実施形態の半導体装置の入力回路部を示すブロック回路図である。

半導体装置50は、第1及び第2信号処理回路51、52、アービタ33、メイン信号生成回路34、フィルタ値調整回路53を含む。

【0091】

第1及び第2信号処理回路51、52は、共通の外部端子P1に接続され、該外部端子P1を介して入力信号inが入力される。入力信号inは、半導体装置50の内部回路が所定の処理を実行するための外部要求信号である。

【0092】

第1信号処理回路51は、フィルタ54を含む。フィルタ54は、入力信号inに所定のフィルタ処理を施すことでグリッチなどのノイズ成分を除去した信号S11を出力する。

【0093】

第2信号処理回路52は、第1信号処理回路51の構成に対してフィルタ54を除いた構成を持ち、入力信号inに基づく第2の出力信号S12をアービタ33に出力する。

【0094】

アービタ33は、第1の信号S4と第2信号処理回路52の出力信号S12とを入力する。第1の信号S4は、半導体装置50の内部回路に所定の処理を実行させるために信号生成回路が発生した内部要求信号である。アービタ33は、第1の信号S4と出力信号S12の何れを優先するかを判定しその判定結果に基づく判定信号S13をメイン信号生成回路34に出力する。例えば、アービタ33は、第1の信号S4と出力信号S12を論理合成して判定信号S13を生成する。

【0095】

メイン信号生成回路34は、第1信号処理回路51からの信号S11とアービタ33からの信号S13を受け、両信号S11、S13を論理合成して生成したメイン信号S14を出力する。

【0096】

フィルタ54は、その値が入力される調整信号S15により変更可能に構成されている。即ち、フィルタ54は、調整信号S15にตอบสนองして入力信号inに対する出力信号S11の遅延時間を任意に設定可能に構成されている。第1信号処理回路51は、入力信号inに対してフィルタ54を経由した第1の出力信号S11をメイン信号生成回路34に出力する。

【0097】

調整信号S15は、フィルタ値調整回路53から供給される。フィルタ値調整回路53は外部端子P2に接続され、その外部端子P2を介してフィルタ値を調整するためのデータが入力される。

【0098】

フィルタ値調整回路53は、セット回路55と少なくとも一つのレジスタ56を含む。セット回路55は、調整信号S15を生成するためのデータをレジスタ56にセットするための回路である。セット回路55は、外部端子P2を介して入力される制御信号に基づいてレジスタ56にデータをセットする。そのレジスタ56にセットされたデータに対応する調整信号S15がフィルタ54に出力される。

【0099】

第2信号処理回路52は、第1信号処理回路51の構成からフィルタ54を除いて構成されているため、その第2の出力信号S12の波形は、第1の出力信号S11の波形とほぼ等しい。従って、アービタ33において、第1の出力信号S11を用いた場合と同様の判

10

20

30

40

50

定結果を第2の出力信号S12により得られる。

【0100】

しかし、第1信号処理回路51はフィルタ54を備えるため、第1の出力信号S11は第2の出力信号S12よりも遅れて出力される。従って、アービタ33は、第2の出力信号S12を用いることで、第1の出力信号S11を用いた場合よりも早く判定信号S13を出力する。

【0101】

メイン信号生成回路34は、アービタ33からの判定信号S13と第1信号処理回路51の出力信号S11を論理合成してメイン信号S14を生成する。判定信号S13は、第1信号処理回路51の出力信号S11を用いる場合に比べて早く出力されるため、同様にメイン信号S14も第1の出力信号51を用いて判定を行う場合に比べて早く出力される。このため、半導体装置50の内部回路は第1の出力信号S14により判定を行う場合に比べて早く動作する。

10

【0102】

また、第1の出力信号S11の第2の出力信号S12に対する遅れは、フィルタ54のフィルタ値により決定される。ユーザは、この半導体装置50を実装したシステムにおいて、入力信号inのノイズ成分に応じてフィルタ値を調整するようにデータをフィルタ値調整回路53に供給する。これにより、入力信号inにより内部回路がユーザのシステムに応じた最適な時間で動作する。

【0103】

次に、本実施形態をDRAMに適用した例を図15～図17に従って説明する。尚、説明の便宜上、図2と同様の構成については同一の符号を付してその説明を一部省略する。

20

【0104】

図15は、デバイス内部で自動的にリフレッシュを行う機能を持つDRAM60の入力回路部分のうち、チップイネーブル信号/CE1の入力回路部分を示す回路図である。

【0105】

DRAM60に制御信号として供給されるチップイネーブル信号/CE1は入力バッファ13に入力され、該入力バッファ13の出力信号clb0zは第1の変移検出回路61と第2の変移検出回路62に入力される。

30

【0106】

第1の変移検出回路61はフィルタ63と遷移検出回路19aを含み、該フィルタ63はフィルタ値調整回路としてのモードレジスタ64にて生成された調整信号pos, negが供給され、該調整信号pos, negにตอบสนองしてフィルタ値を変更可能に構成されている。

【0107】

モードレジスタ64は、コントロールデコーダ20からの外部コマンドと、外部アドレス信号Addに基づく内部アドレス信号a5z(図2参照)を入力する。コントロールデコーダ20は、外部から入力される制御信号をデコードして生成したモードレジスタセットコマンドをモードレジスタ64に出力する。モードレジスタ64は、モードレジスタセットコマンドにตอบสนองし、内部アドレス信号a5zに基づくデータをフィルタ値調整データとして記憶する。そして、モードレジスタ64は、その記憶したフィルタ値調整データに応じて調整信号pos, negを出力する。

40

【0108】

フィルタ63は、調整信号pos, negにフィルタ値にて入力信号clb0zのノイズ成分を除去して生成した信号clbfzをコントロールデコーダ20と遷移検出回路19aに出力する。遷移検出回路19aは、入力信号clbfzの変移を検出して検出信号ctd-aを出力する。

【0109】

第2の変移検出回路62は遷移検出回路19bを含み、該遷移検出回路19bは入力バッファ13からの信号clb0zの変移を検出して検出信号ctd-rを出力する。この検出信号ctd-rの出力タイミングと第1の変移検出回路61の検出信号ctd-aの出力タイミングの差

50

は、フィルタ 6 3 のフィルタ値に対応している。

【 0 1 1 0 】

ユーザは、この D R A M 6 0 を実装したシステムボードの状態に応じて、該システムボードの初期設定時などにおいてモードレジスタセットコマンドを発行してデータをモードレジスタ 6 4 に記憶させ、該データに基づいてフィルタ 6 3 のフィルタ値を調整する。

【 0 1 1 1 】

従って、本実施形態の D R A M 6 0 は、第 2 の変移検出回路 6 2 からの検出信号 ctd-r により内部リフレッシュ要求か外部からのアクセス要求かを判定することで、内部リフレッシュ要求と外部アクセス要求が重なった場合の外部アクセスに要する時間を短縮する。更に、第 1 の変移検出回路 6 1 のフィルタ 6 3 のフィルタ値をシステムボードの状態に応じて調整することで、

10

図 1 6 は、フィルタ 6 3 の一例を示す回路図である。

【 0 1 1 2 】

フィルタ 6 3 は、第 1 及び第 2 遅延回路 7 1 , 7 2、ラッチ回路 7 3、第 1 ~ 第 3 インバータ回路 7 4 ~ 7 6、第 1 ~ 第 3 N A N D 回路 7 7 ~ 7 9 から構成されている。

【 0 1 1 3 】

第 1 及び第 2 遅延回路 7 1 , 7 2 は入力信号 clb0z を入力する。第 1 遅延回路 7 1 は入力信号 clb0z の立ち下がりエッジを遅延させた信号 nfd を出力する。第 2 遅延回路 7 2 は入力信号 clb0z の立ち上がりエッジを遅延させた信号 nrd を出力する。

【 0 1 1 4 】

入力信号 clb0z は、第 1 遅延回路 7 1 の第 1 N O R 回路 8 1 と遅延回路 8 2 に入力される。遅延回路 8 2 は直列接続された偶数段 (本実施形態では 4 段) のインバータ回路 8 3 ~ 8 6 から構成されている。遅延回路 8 2 の出力信号はインバータ回路 8 7 に出力され、インバータ回路 8 7 の出力信号は第 2 N O R 回路 8 8 に入力される。その第 2 N O R 回路 8 8 には、インバータ回路 8 9 により調整信号 pos を反転した信号が入力される。従って、第 2 N O R 回路 8 8 は、調整信号 pos が H レベルの場合に入力信号 clb0z を遅延回路 8 2 の 4 段のインバータ回路 8 3 ~ 8 6 により遅延した信号を出力し、調整信号 pos が L レベルの場合に L レベルの信号を出力する。その第 2 N O R 回路 8 8 の出力信号は第 1 N O R 回路 8 1 に入力される。

20

【 0 1 1 5 】

遅延回路 8 2 の所定段 (本実施形態では 2 段目のインバータ回路 8 4) の出力信号はインバータ回路 9 0 に出力され、そのインバータ回路 9 0 の出力信号は第 3 N O R 回路 9 1 に出力される。その第 3 N O R 回路 9 1 には調整信号 pos が入力される。従って、第 3 N O R 回路 9 1 は、調整信号 pos が L レベルの場合に入力信号 clb0z を遅延回路 8 2 の 2 段のインバータ回路 8 3 , 8 4 により遅延した信号を出力し、調整信号 pos が H レベルの場合に L レベルの信号を出力する。その第 3 N O R 回路 9 1 の出力信号は第 1 N O R 回路 8 1 に入力される。

30

【 0 1 1 6 】

従って、第 1 N O R 回路 8 1 は、調整信号 pos が L レベルの場合に入力信号 clb0z と第 3 N O R 回路 9 1 の出力信号とを論理合成した信号を出力し、調整信号 pos が H レベルの場合に入力信号 clb0z と第 2 N O R 回路 8 8 の出力信号とを論理合成した信号を出力する。即ち、第 1 N O R 回路 8 1 は、調整信号 pos のレベルに応じて、入力信号 clb0z を所定時間 (第 1 のフィルタ値) させた信号、又は入力信号 clb0z を第 1 のフィルタ値よりも 2 段分 (第 2 のフィルタ値) 余計に遅延させた信号を出力する。

40

【 0 1 1 7 】

第 1 N O R 回路 8 1 の出力信号はインバータ回路 9 2 に入力され、インバータ回路 9 2 の出力信号は第 4 N O R 回路 9 3 に直接入力されると共に、直列接続された奇数段のインバータ回路よりなる遅延回路 9 4 を介して第 4 N O R 回路 9 3 に入力される。そして、第 4 N O R 回路 9 3 は遅延信号 nfd を出力する。

【 0 1 1 8 】

50

入力信号clb0z は第2遅延回路72のインバータ回路101に入力され、そのインバータ回路101の出力信号は、第1NOR回路102と遅延回路103に入力される。遅延回路103は直列接続された偶数段(本実施形態では4段)のインバータ回路104~107から構成されている。遅延回路103の出力信号はインバータ回路108に出力され、インバータ回路108の出力信号は第2NOR回路109に入力される。その第2NOR回路109には、インバータ回路110により調整信号posを反転した信号が入力される。従って、第2NOR回路109は、調整信号posがHレベルの場合に入力信号clb0zを遅延回路103の4段のインバータ回路104~107により遅延した信号を出力し、調整信号posがLレベルの場合にLレベルの信号を出力する。その第2NOR回路109の出力信号は第1NOR回路102に入力される。

10

【0119】

遅延回路103の所定段(本実施形態では2段目のインバータ回路105)の出力信号はインバータ回路111に出力され、そのインバータ回路111の出力信号は第3NOR回路112に出力される。その第3NOR回路112には調整信号posが入力される。従って、第3NOR回路112は、調整信号posがLレベルの場合に入力信号clb0zを遅延回路103の2段のインバータ回路104, 105により遅延した信号を出力し、調整信号posがHレベルの場合にLレベルの信号を出力する。その第3NOR回路112の出力信号は第1NOR回路102に入力される。

【0120】

従って、第1NOR回路102は、調整信号posがHレベルの場合に入力信号clb0zと第2NOR回路109の出力信号とを論理合成した信号を出力し、調整信号posがLレベルの場合に入力信号clb0zと第3NOR回路112の出力信号とを論理合成した信号を出力する。即ち、第1NOR回路102は、調整信号posのレベルに応じて、入力信号clb0zを所定時間(第1のフィルタ値)させた信号、又は入力信号clb0zを第1のフィルタ値よりも2段分(第2のフィルタ値)余計に遅延させた信号を出力する。

20

【0121】

第1NOR回路102の出力信号はインバータ回路113に入力され、インバータ回路113の出力信号はNAND回路114に直接入力されると共に、直列接続された奇数段のインバータ回路よりなる遅延回路115を介してNAND回路114に入力される。NAND回路114の出力信号はインバータ回路116に入力され、そのインバータ回路116は遅延信号nrdを出力する。

30

【0122】

第1遅延信号nfdと第2遅延信号nrdはラッチ回路73に入力される。ラッチ回路73は第1及び第2NOR回路121, 122から構成されている。第1遅延信号nfdは第1NOR回路121に入力され、第2遅延信号nrdは第2NOR回路122に入力される。第1NOR回路121には第2NOR回路122の出力信号が入力され、第2NOR回路122には第1NOR回路121の出力信号と制御信号sttzが入力される。この制御信号sttzは、チップの電源投入(起動時)に図示しない検出回路により生成されるパルス信号である。

【0123】

第1NOR回路121の出力信号は第1NAND回路77に入力され、その第1NAND回路77にはインバータ回路74により調整信号negを反転した信号が入力される。調整信号negは第2NAND回路78に入力され、その第2NAND回路78には入力信号clb0zが入力される。第1及び第2NAND回路77, 78の出力信号は第3NAND回路79に入力され、その第3NAND回路79の出力信号は直列接続された2段のインバータ回路75, 76の初段に入力され、最終段のインバータ回路76は信号clbfzを出力する。

40

【0124】

第1NAND回路77は、Hレベルの調整信号negに应答してHレベルの信号を出力し、Lレベルの調整信号negに应答して第1及び第2遅延信号nfd, nrdをラッチした信号を

50

反転して出力する。

【0125】

第2 NAND回路78は、Hレベルの調整信号negにตอบสนองして入力信号clb0zを反転した信号を出力し、Lレベルの調整信号negにตอบสนองしてHレベルの信号を出力する。

【0126】

従って、フィルタ64は、Hレベルの調整信号negにตอบสนองして入力信号clb0zを第1及び第3 NAND回路78、79及びインバータ回路75、76を介して信号clbfzとして出力する。一方、フィルタ64は、図17に示すように、Lレベルの調整信号negにตอบสนองして調整信号posに応じて第1又は第2のフィルタ値にて遅延させることでノイズ成分を除去した信号clbfzを出力する。

10

【0127】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) フィルタ54をそのフィルタ値が調整可能に構成した。その結果、フィルタ値をユーザのシステムボードにおけるノイズに応じて設定することで、入力信号inに対して内部回路が動作するまでの時間を最適化することができる。

【0128】

(2) フィルタ54のフィルタ値を調整するフィルタ値調整回路53を備えた。その結果、フィルタ値をユーザがシステムボードに応じて容易に変更することができる。

【0129】

(3) DRAM60に適用した場合、フィルタ値調整回路としてのモードレジスタは外部コマンドにตอบสนองして外部アドレス信号をフィルタ値を設定するためのデータとして記憶する。その結果、フィルタ値をユーザがシステムボードに応じて簡単なシーケンスで容易に設定することができる。

20

【0130】

尚、前記各実施形態は、以下の態様に変更してもよい。

・上記第二実施形態では、モードレジスタセットコマンドによってレジスタ56、64にフィルタ値を設定するためのデータを記憶させるようにしたが、テストモードにエントリーするためのコマンド等の他のコマンドによって設定してもよい。また、データの記憶にレジスタ56、64を用いたが、フューズのトリミングによりフィルタ値を設定するようにしてもよい。

30

【0131】

・上記第二実施形態では、調整信号posによりフィルタ63のフィルタ値を2段階に調整するようにしたが、3段階以上に調整可能に構成してもよい。その場合、モードレジスタ64(フィルタ値調整回路53)は、調整可能な段階に応じた信号を出力するよう構成する(調整する段階に応じた複数のレジスタを備える)ことは言うまでもない。

【0132】

・上記各実施形態では、メイン信号生成回路34は判定信号S5、S13に基づいて、第1の出力信号S2、S11又は判定信号S5、S13からメイン信号S6、S14を生成するようにしたが、第2信号処理回路32、52からの第2の出力信号S3、S12をメイン信号生成回路34に供給し、判定信号S5、S13に基づいて第1の出力信号S2、S11又は第2の出力信号S3、S12からメイン信号S6、S14を生成するようにしてもよい。

40

【0133】

以上の様々な実施の形態をまとめると、以下のようになる。

(付記1) 第1の制御信号と第2の制御信号とのそれぞれにตอบสนองして内部回路を制御するためのメイン信号を生成する制御回路において、

前記第1の制御信号をフィルタを介して信号処理した第1の信号を生成する第1の信号処理回路と、

前記第1の制御信号をフィルタを含まない信号処理して第2の信号を生成する第2の信号処理回路と、

50

前記第 2 の信号と前記第 2 の制御信号とを入力し、両信号の優先判定を行い判定信号を生成するアービタと、

前記判定信号に基づいて、該判定信号又は前記第 1 の信号からメイン信号を生成するメイン信号生成回路と、

を備えたことを特徴とする制御回路。

(付記 2) 前記アービタは、前記第 2 の制御信号に基づいて、前記内部回路を内部信号をトリガとする内部動作か、前記第 1 の制御信号をトリガとする外部動作かを判定することを特徴とする付記 1 記載の制御回路。

(付記 3) 前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする付記 1 又は 2 記載の制御回路。

(付記 4) 前記調整信号を生成するフィルタ値調整回路を備えたことを特徴とする付記 3 記載の制御回路。

(付記 5) 前記調整回路は、前記調整信号を生成するためのデータを記憶するレジスタと、前記レジスタにデータを設定するためのセット回路とから構成されたことを特徴とする付記 4 記載の制御回路。

(付記 6) 前記調整回路は、外部からの制御信号に基づいて前記調整信号を生成するためのデータを記憶することを特徴とする付記 4 又は 5 記載の制御回路。

(付記 7) セルフリフレッシュ機能を有する半導体記憶装置において、外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第 1 の検出信号を生成する第 1 の変移検出回路と、

前記外部アクセス要求信号の変移を検出した第 2 の検出信号を生成する第 2 の変移検出回路と、

前記第 2 の検出信号と内部リフレッシュ要求信号に基づいて外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成するアービタと、

前記判定信号に基づいて前記第 1 の検出信号又は前記判定信号からメイン信号を生成するメイン信号生成回路と、

を備えたことを特徴とする半導体記憶装置。

(付記 8) セルフリフレッシュ機能を有する半導体記憶装置において、外部アクセス要求信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第 1 の検出信号を生成する第 1 の変移検出回路と、

前記外部アクセス要求信号の変移を検出した第 2 の検出信号を生成する第 2 の変移検出回路と、

前記判定信号に基づいて前記第 1 の検出信号又は前記判定信号からメイン信号を生成するメイン信号生成回路と、

外部アドレス信号のノイズ成分を除去するフィルタを含み、該フィルタの出力信号の変移を検出した第 1 のアドレス検出信号を生成する第 1 のアドレス変移検出回路と、

前記外部アドレス信号の変移を検出した第 2 のアドレス検出信号を生成する第 2 のアドレス変移検出回路と、

前記第 1 の検出信号と前記第 1 のアドレス検出信号を論理合成する第 1 の信号合成回路と、

前記第 2 の検出信号と前記第 2 のアドレス検出信号を論理合成する第 2 の信号合成回路と、

前記アービタは前記第 2 の信号合成回路の出力信号と前記内部リフレッシュ要求信号を論理合成して外部アクセス要求と内部リフレッシュ要求の何れを優先するかを示す判定信号を生成するアービタと、

を備えたことを特徴とする半導体記憶装置。

(付記 9) 前記フィルタは、調整信号に基づいてフィルタ値を変更可能に構成されていることを特徴とする付記 7 又は 8 記載の半導体記憶装置。

(付記 10) 前記調整信号を生成するフィルタ値調整回路を備えたことを特徴とする付記 9 記載の半導体記憶装置。

10

20

30

40

50

(付記 1 1) 前記調整回路は、前記調整信号を生成するためのデータを記憶するレジスタと、前記レジスタにデータを設定するためのセット回路とから構成されたことを特徴とする付記 1 0 記載の半導体記憶装置。

(付記 1 2) 前記調整回路は、コマンドを受け付け、該コマンドに応答して外部からの信号に基づいて前記調整信号を生成するためのデータを記憶することを特徴とする付記 1 0 又は 1 1 記載の半導体記憶装置。

【 0 1 3 4 】

【発明の効果】

以上詳述したように、本発明によれば、内部要求と外部要求が重なった場合の、外部要求に対するデバイスの応答速度を高速化することのできる制御回路及び半導体記憶装置を提供することができる。

10

【図面の簡単な説明】

【図 1】 第一実施形態の半導体装置の一部ブロック回路図である。

【図 2】 第一実施形態の半導体記憶装置の一部ブロック回路図である。

【図 3】 入力バッファの回路図である。

【図 4】 フィルタの回路図である。

【図 5】 別のフィルタの回路図である。

【図 6】 遷移検出回路の回路図である。

【図 7】 コントロールデコーダの回路図である。

【図 8】 遷移検出信号生成回路の回路図である。

20

【図 9】 外部アクティブラッチ信号生成回路の回路図である。

【図 1 0】 活性化パルス信号生成回路の回路図である。

【図 1 1】 リフレッシュ制御回路の回路図である。

【図 1 2】 ロウアドレス信号生成回路の回路図である。

【図 1 3】 第一実施形態の動作波形図である。

【図 1 4】 第二実施形態の半導体装置の一部ブロック回路図である。

【図 1 5】 第二実施形態の半導体記憶装置の一部ブロック回路図である。

【図 1 6】 第二実施形態のフィルタの回路図である。

【図 1 7】 第二実施形態の動作波形図である。

【図 1 8】 従来例の半導体記憶装置の一部ブロック回路図である。

30

【図 1 9】 従来例の動作波形図である。

【図 2 0】 従来例の動作波形図である。

【図 2 1】 従来例の動作波形図である。

【符号の説明】

3 1 第 1 の信号処理回路

3 2 第 2 の信号処理回路

3 3 アービタ

3 4 メイン信号生成回路

3 5 フィルタ

i n 第 1 の制御信号

40

S 2 第 1 の信号

S 3 第 2 の信号

S 4 第 2 の制御信号

S 5 判定信号

S 6 メイン信号

1 6 フィルタ

4 1 a , 4 2 a , 4 3 a 第 1 の変移検出回路としての第 1 , 第 3 , 第 5 変移検出回路

4 1 b , 4 2 b , 4 3 b 第 2 の変移検出回路としての第 2 , 第 4 , 第 6 変移検出回路

oerex-a , werex-a , ctd-a 第 1 の検出信号

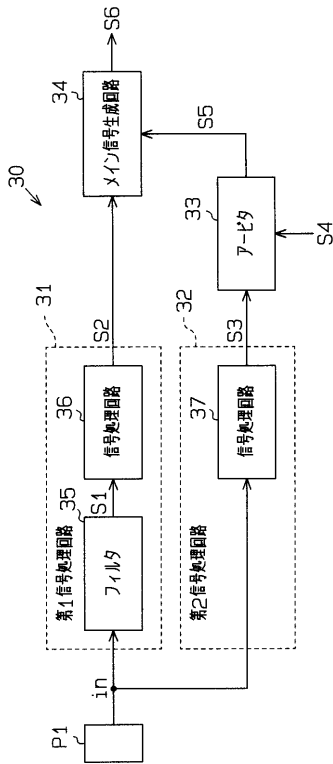
oerex-r , werex-r , ctd-r 第 2 の検出信号

50

- refz 判定信号
- srtz 内部リフレッシュ要求信号
- rasz メイン信号としての基幹信号
- /CE1 外部アクセス要求信号としてのチップイネーブル信号

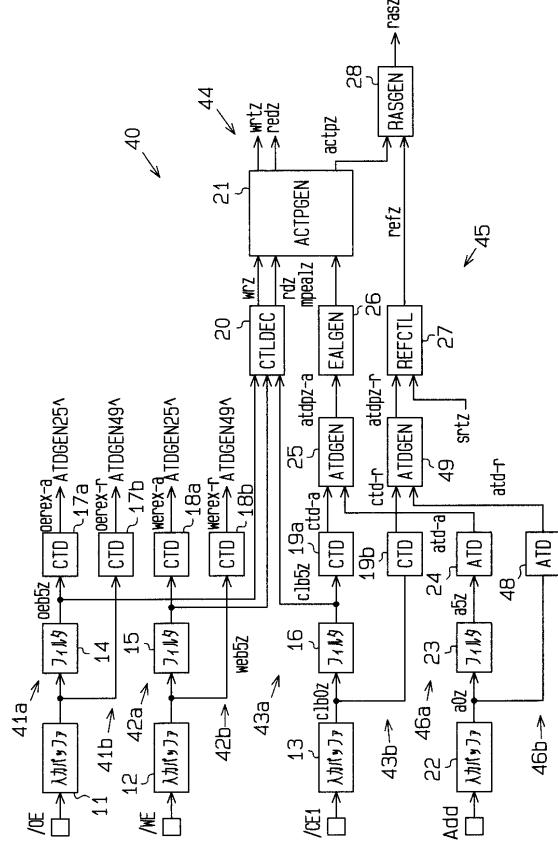
【 図 1 】

第一実施形態の半導体装置の一部ブロック回路図



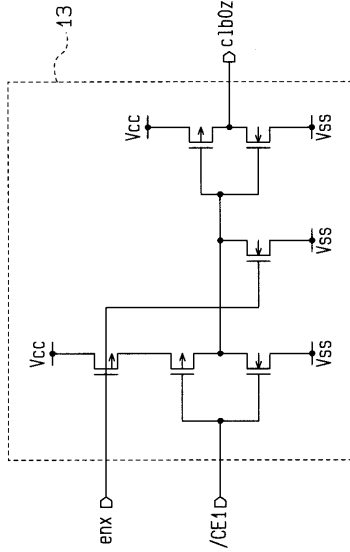
【 図 2 】

第一実施形態の半導体記憶装置の一部ブロック回路図



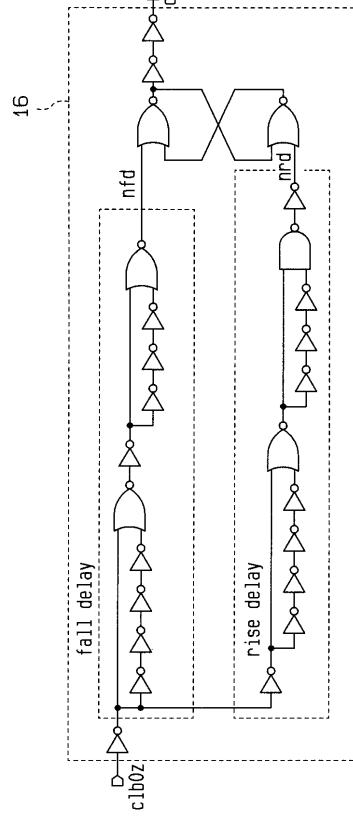
【 図 3 】

入力バッファの回路図



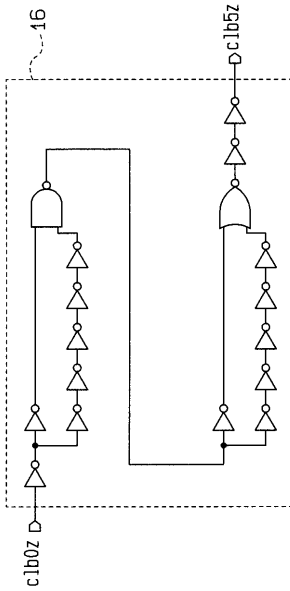
【 図 4 】

フィルタの回路図



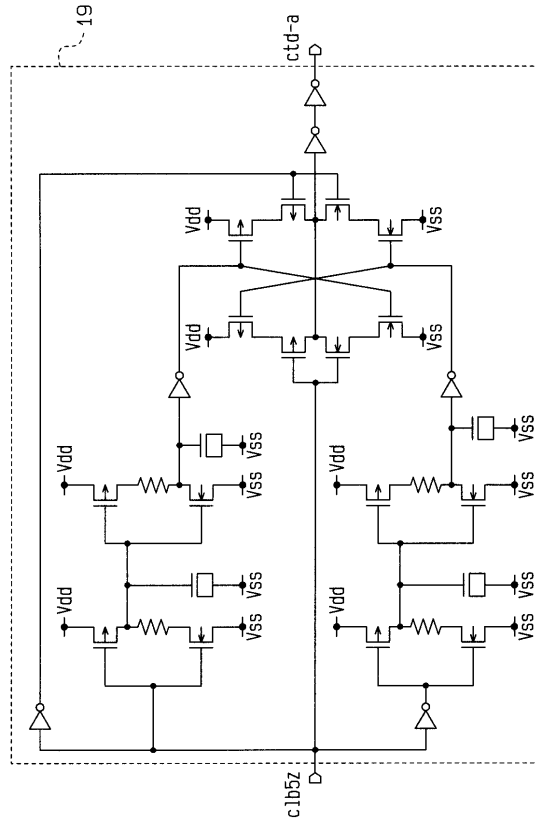
【 図 5 】

別のフィルタの回路図



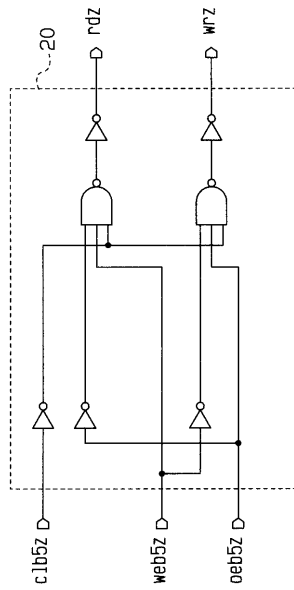
【 図 6 】

遷移検出回路の回路図



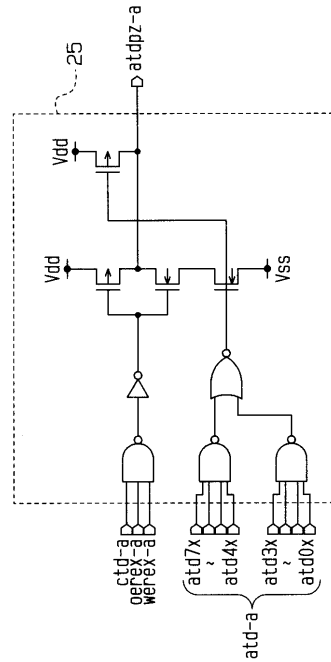
【 図 7 】

コントロールデコーダの回路図



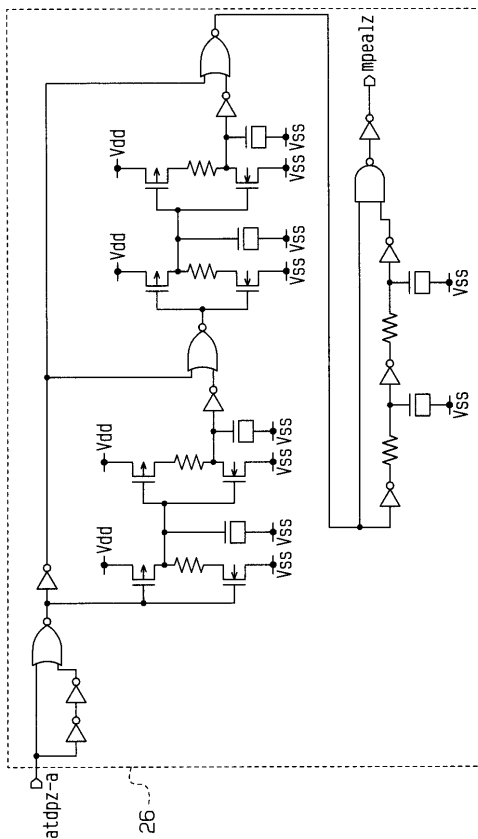
【 図 8 】

遷移検出信号生成回路の回路図



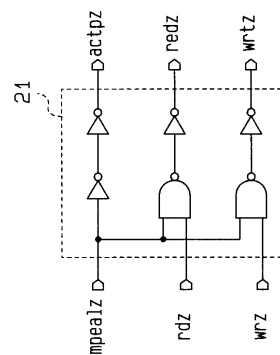
【 図 9 】

外部アクティブラッチ信号生成回路の回路図



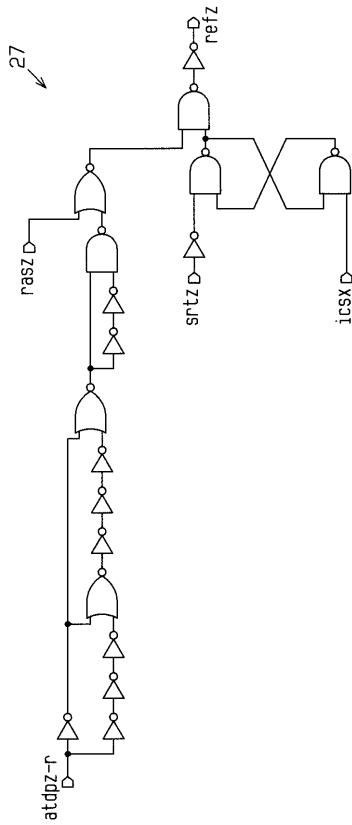
【 図 10 】

活性化パルス信号生成回路の回路図



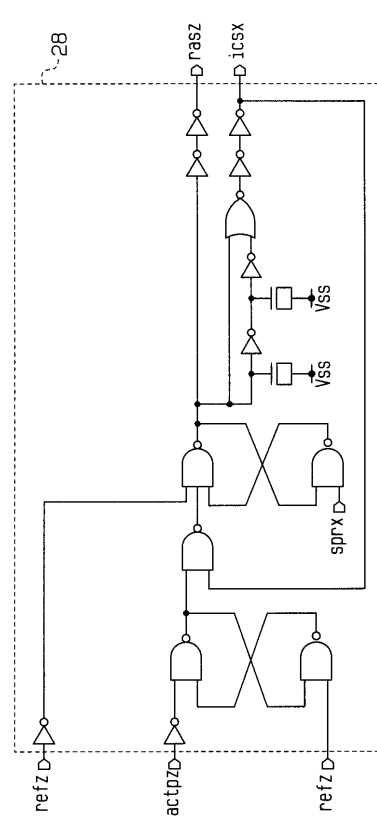
【 図 1 1 】

リフレッシュ制御回路の回路図



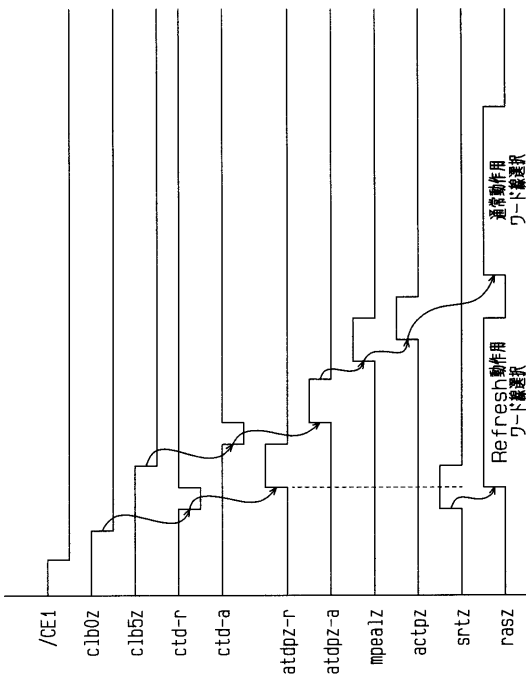
【 図 1 2 】

ロウアドレス信号生成回路の回路図



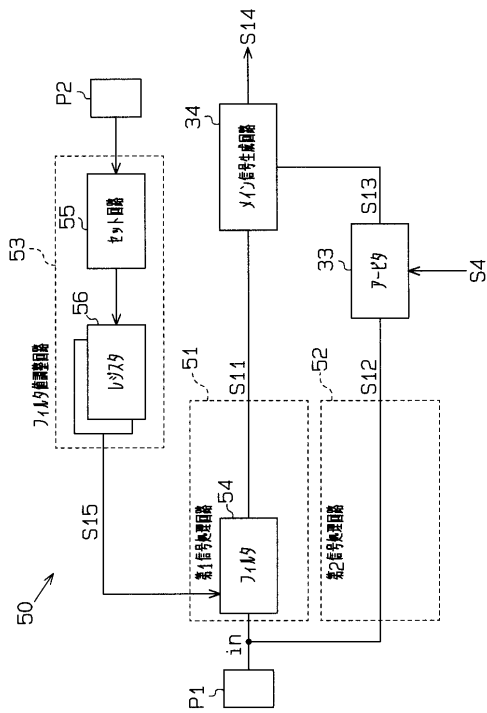
【 図 1 3 】

第一実施形態の動作波形図



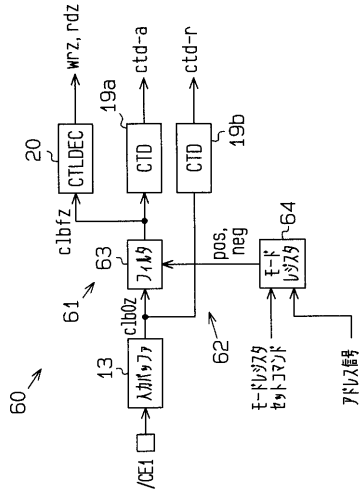
【 図 1 4 】

第二実施形態の半導体装置の一部ブロック回路図



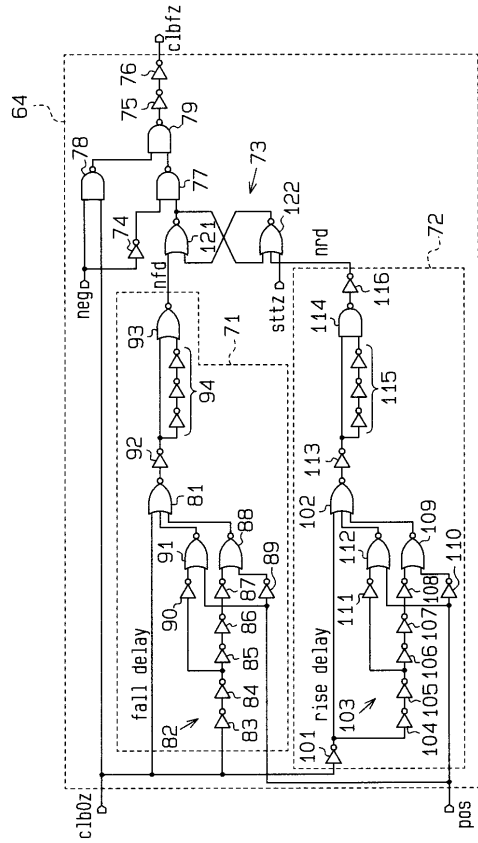
【 図 15 】

第二実施形態の半導体記憶装置の一部ブロック回路図



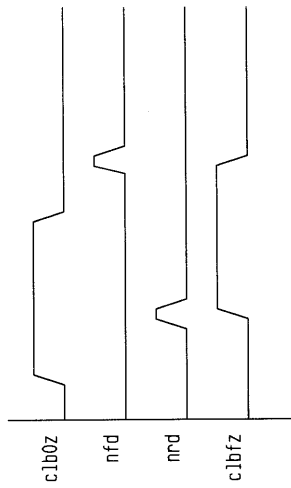
【 図 16 】

第二実施形態のフィルタの回路図



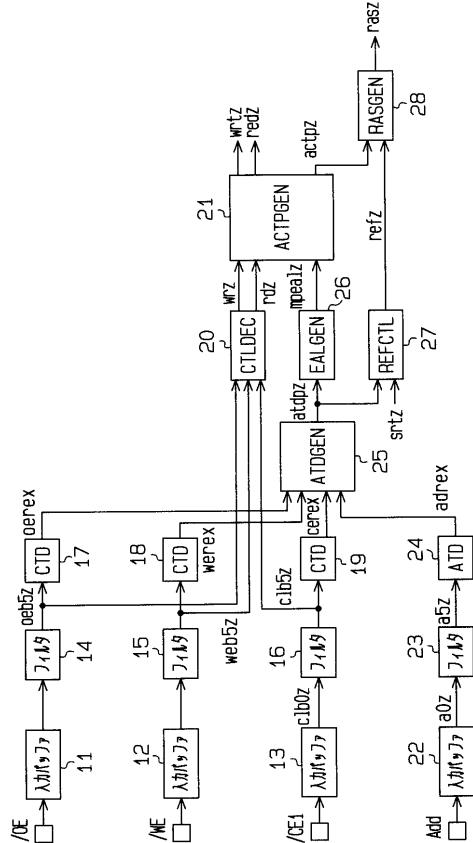
【 図 17 】

第二実施形態の動作波形図



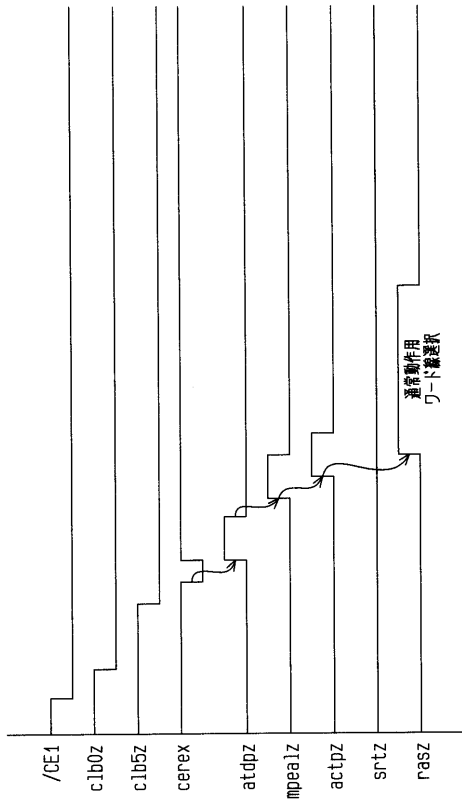
【 図 18 】

従来の半導体記憶装置の一部ブロック回路図



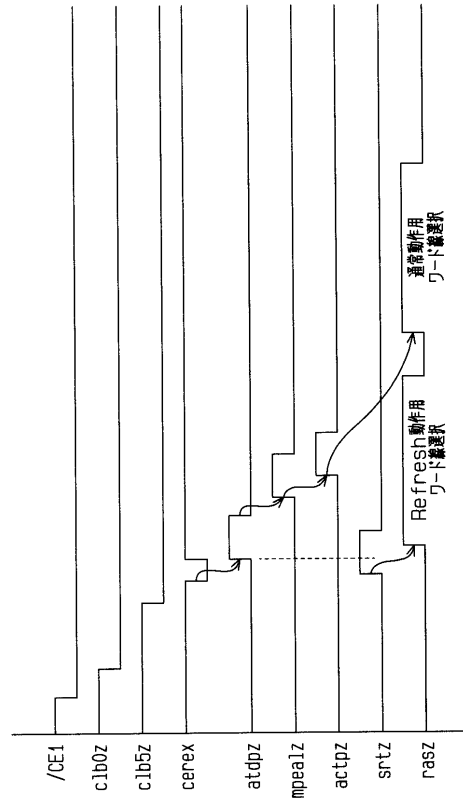
【 図 19 】

従来例の動作波形図



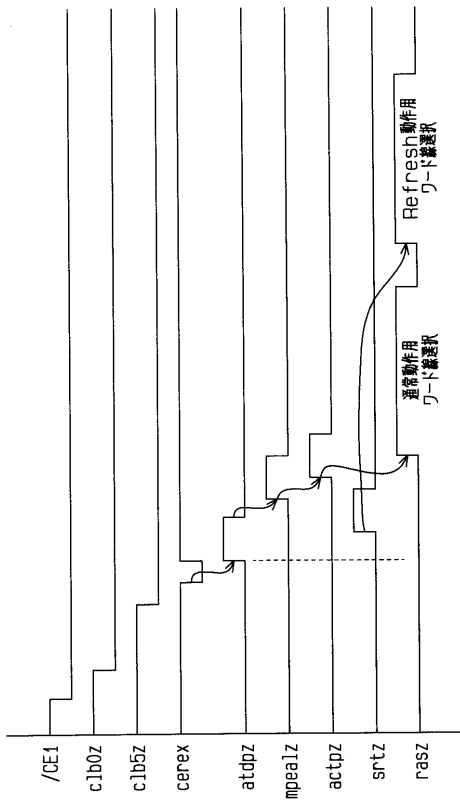
【 図 20 】

従来例の動作波形図



【 図 21 】

従来例の動作波形図



フロントページの続き

(56)参考文献 特開2002-042460(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/40-11/409