

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年8月18日(18.08.2016)



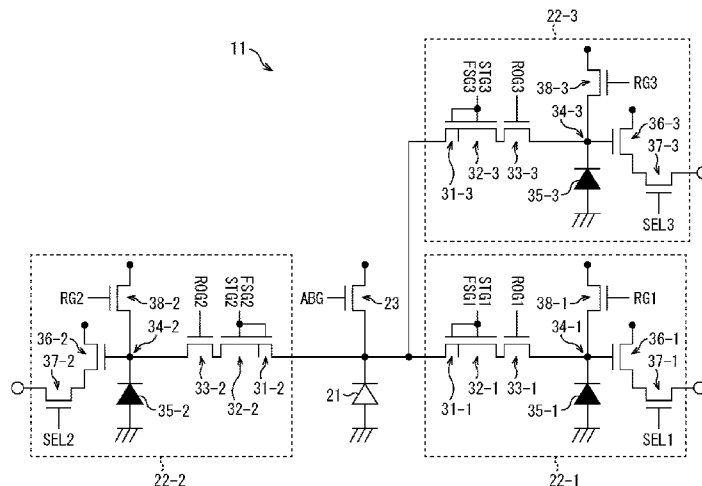
(10) 国際公開番号  
WO 2016/129410 A1

- (51) 国際特許分類:  
H04N 5/355 (2011.01) H04N 5/359 (2011.01)  
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)
  - (21) 国際出願番号: PCT/JP2016/052592
  - (22) 国際出願日: 2016年1月29日(29.01.2016)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2015-026497 2015年2月13日(13.02.2015) JP
  - (71) 出願人: ソニー株式会社(SONY CORPORATION)  
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
  - (72) 発明者: 広田 功(HIROTA Isao); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
  - (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: IMAGE CAPTURING ELEMENT, DRIVING METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像素子、駆動方法、および電子機器

[図2]





---

本開示は、より高ダイナミックレンジな画像を撮像することができるようにする撮像素子、駆動方法、および電子機器に関する。撮像素子は、入射した光を光電変換により電荷に変換して蓄積する光電変換部、および光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、画素を駆動する駆動部とを備える。そして、駆動部は、それぞれ異なる露光時間の電荷を、2つ以上の電荷蓄積部に光電変換部から転送することを、1フレームの受光期間中に繰り返すように画素を駆動する。本技術は、例えば、HDR画像を撮像可能な撮像素子に適用できる。

## 明 細 書

発明の名称：撮像素子、駆動方法、および電子機器

### 技術分野

[0001] 本開示は、撮像素子、駆動方法、および電子機器に関し、特に、より高ダイナミックレンジな画像を撮像することができるようにした撮像素子、駆動方法、および電子機器に関する。

### 背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うPD (photodiode : フォトダイオード) と複数のトランジスタとが組み合わされた画素を有しており、平面的に配置された複数の画素から出力される画素信号に基づいて画像が構築される。また、画素から出力される画素信号は、例えば、画素の列ごとに配置された複数のAD (Analog to Digital) 変換器によって並列的にAD変換されて出力される。

[0003] また、近年、複数の異なる露光時間で撮像された信号を組み合わせる撮像手法により、ダイナミックレンジを上げたHDR (High Dynamic Range : ハイダイナミックレンジ) 画像を撮像する様々な技術が提案されている。

[0004] 例えば、特許文献1には、第1および第2の電荷蓄積部を有する画素において、第1の電荷蓄積部の飽和電荷量以下の電荷は第1の電荷蓄積部に蓄積し、第1の電荷蓄積部の飽和電荷量を超える電荷は第1および第2の電荷蓄積部に蓄積するように駆動を行う固体撮像素子が開示されている。これにより、低照度、中照度、および大照度の3段階のHDR合成を行って、SNR (signal-to-noise ratio) を改善しながらHDR比を拡大することができる。

### 先行技術文献

## 特許文献

[0005] 特許文献1：特許第5521682号

## 発明の概要

### 発明が解決しようとする課題

[0006] しかしながら、特許文献1に開示されている構成では、電荷蓄積部の設置面積に限りがある場合、電荷蓄積部に蓄積可能な総容量を増加させることができないため、単に、電荷蓄積部を2つに分けて構成しただけとなっていた。そのため、1つの電荷蓄積部当りのダイナミックレンジの拡大率が低下することになる結果、ダイナミックレンジの拡大比を改善することができず、より高ダイナミックレンジな画像を撮像することは困難であった。

[0007] 本開示は、このような状況に鑑みてなされたものであり、より高ダイナミックレンジな画像を撮像することができるようにするものである。

### 課題を解決するための手段

[0008] 本開示の一側面の撮像素子は、入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部とを備える。

[0009] 本開示の一側面の駆動方法は、入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、前記画素を駆動する駆動部とを備える撮像素子の駆動方法において、前記駆動部は、それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返す。

[0010] 本開示の一側面の電子機器は、入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積す

る2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部とを有する撮像素子を備える。

[0011] 本開示の一側面においては、それぞれ異なる露光時間の電荷を、2つ以上の電荷蓄積部に光電変換部から転送することが、1フレームの受光期間中に繰り返される。

### 発明の効果

[0012] 本開示の一側面によれば、より高ダイナミックレンジな画像を撮像することができる。

### 図面の簡単な説明

[0013] [図1]本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[図2]画素の第1の構成例の回路図である。

[図3]第1の構成例の画素の平面的な構成例を示す図である。

[図4]第1の構成例の画素を備える撮像素子の駆動方法について説明する図である。

[図5]画素の第2の構成例の回路図である。

[図6]第2の構成例の画素の平面的な構成例を示す図である。

[図7]第2の構成例の画素を備える撮像素子の駆動方法について説明する図である。

[図8]画素の第3の構成例の回路図である。

[図9]第3の構成例の画素の平面的な構成例を示す図である。

[図10]画素の第4の構成例の回路図である。

[図11]第4の構成例の画素の平面的な構成例を示す図である。

[図12]第4の構成例の画素を備える撮像素子の駆動方法について説明する図である。

[図13]画素の第5の構成例の回路図である。

[図14]第5の構成例の画素の平面的な構成例を示す図である。

[図15]表面照射型の撮像素子に設けられる画素の構成の概略的な斜視図である。

[図16]裏面照射型の撮像素子に設けられる画素の構成の概略的な斜視図である。

[図17]裏面照射型の撮像素子に設けられる画素の構成の概略的な斜視図である。

[図18]駆動方法の第1の変形例について説明する図である。

[図19]駆動方法の第2の変形例について説明する図である。

[図20]本技術を適用した撮像装置の一実施の形態の構成例を示すブロック図である。

### 発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] 図1は、本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[0016] 図1に示すように、撮像素子1は、画素領域2、垂直駆動回路3、コラム信号処理回路4、水平駆動回路5、出力回路6、および制御回路7を備えて構成される。

[0017] 画素領域2は、図示しない光学系により集光される光を受光する受光面である。画素領域2には、複数の画素11が行列状に配置されており、それぞれの画素11は、水平信号線を介して行ごとに垂直駆動回路3に接続されるとともに、垂直信号線を介して列ごとにコラム信号処理回路4に接続される。複数の画素11は、それぞれ受光する光の光量に応じたレベルの画素信号をそれぞれ出力し、それらの画素信号から、画素領域2に結像する被写体の画像が構築される。

[0018] 垂直駆動回路3は、画素領域2に配置される複数の画素11の行ごとに順次、それぞれの画素11を駆動（転送や、選択、リセットなど）するための

駆動信号を、水平信号線を介して画素 1 1 に供給する。

- [0019] カラム信号処理回路 4 は、複数の画素 1 1 から垂直信号線を介して出力される画素信号に対して CDS (Correlated Double Sampling : 相関 2 重サンプリング) 処理を施すことにより、画素信号の A D 変換を行うとともにリセットノイズを除去する。
- [0020] 水平駆動回路 5 は、画素領域 2 に配置される複数の画素 1 1 の列ごとに順次、カラム信号処理回路 4 から画素信号をデータ出力信号線に出力させるための駆動信号を、カラム信号処理回路 4 に供給する。
- [0021] 出力回路 6 は、水平駆動回路 5 の駆動信号に従ったタイミングでカラム信号処理回路 4 からデータ出力信号線を介して供給される画素信号を増幅し、後段の信号処理回路に出力する。
- [0022] 制御回路 7 は、撮像素子 1 の内部の各ブロックの駆動を制御する。例えば、制御回路 7 は、各ブロックの駆動周期に従ったクロック信号を生成して、それぞれのブロックに供給する。
- [0023] このように構成される撮像素子 1 において、H D R 画像の動画像を撮像することができるように、画素 1 1 は、複数の電荷蓄積部を備えて構成され、それぞれ露光時間の異なる電荷が電荷蓄積部に蓄積される。
- [0024] 次に、図 2 乃至図 4 を参照して、画素 1 1 の第 1 の構成例および駆動方法について説明する。
- [0025] 図 2 には、画素 1 1 の第 1 の構成例の回路図が示されている。
- [0026] 図 2 に示すように、画素 1 1 は、P D 2 1、電荷読み出し経路 2 2 - 1 乃至 2 2 - 3、および、アンチブルーミングゲート 2 3 を備えて構成される。
- [0027] P D 2 1 は、入射した光を光電変換により電荷に変換して蓄積する光電変換部である。P D 2 1 は、アノード端子が接地されているとともに、カソード端子が電荷読み出し経路 2 2 - 1 乃至 2 2 - 3 それぞれを介して垂直信号線に接続されるとともに、アンチブルーミングゲート 2 3 を介してドレインに接続されている。
- [0028] 電荷読み出し経路 2 2 - 1 は、転送ゲート 3 1 - 1、電荷蓄積ゲート 3 2

ー 1、読み出しゲート 33-1、FD部 34-1、蓄積容量 35-1、増幅トランジスタ 36-1、選択トランジスタ 37-1、およびリセットトランジスタ 38-1 を備えて構成される。なお、電荷読み出し経路 22-2 および 22-3 は、電荷読み出し経路 22-1 と同様に構成されており、その詳細な説明は省略する。

[0029] 転送ゲート 31-1 のゲート電極と電荷蓄積ゲート 32-1 のゲート電極とは接続されており、転送ゲート 31-1 および電荷蓄積ゲート 32-1 は、ゲート電極に印加される転送パルス FSG1/STG1 に従って、同一のタイミングで駆動する。即ち、転送パルス FSG1/STG1 がオンになるタイミングで、PD 21 に蓄積されている電荷が、転送ゲート 31-1 を介して電荷蓄積ゲート 32-1 に転送され、電荷蓄積ゲート 32-1 で蓄積される。

[0030] 読み出しゲート 33-1 は、ゲート電極に印加される読み出しパルス ROG1 に従って駆動し、読み出しパルス ROG1 がオンになるタイミングで、電荷蓄積ゲート 32-1 に蓄積されている電荷が FD部 34-1 に読み出される。

[0031] FD部 34-1 は、増幅トランジスタ 36-1 のゲート電極に接続された所定の蓄積容量 35-1 を有する浮遊拡散領域であり、読み出しゲート 33-1 を介して転送される電荷を蓄積容量 35-1 に一時的に蓄積する。

[0032] 増幅トランジスタ 36-1 は、FD部 34-1 の蓄積容量 35-1 に蓄積されている電荷に応じたレベル（即ち、FD部 34-1 の電位）の画素信号を、選択トランジスタ 37-1 を介して垂直信号線に出力する。つまり、FD部 34-1 が増幅トランジスタ 36-1 のゲート電極に接続される構成により、FD部 34-1 は、PD 21 から電荷蓄積ゲート 32-1 に転送された電荷を、その電荷に応じたレベルの画素信号に変換する電荷電圧変換部として機能する。

[0033] 選択トランジスタ 37-1 は、垂直駆動回路 3 から供給される選択信号 SEL1 に従って駆動し、選択トランジスタ 37-1 がオンになると、増幅トランジスタ 36-1 から出力される画素信号が垂直信号線に出力可能な状態となる。



- [0034] リセットトランジスタ38-1は、垂直駆動回路3から供給されるリセット信号RG1に従って駆動し、リセットトランジスタ38-1がオンになると、FD部34-1の蓄積容量35-1に蓄積されている電荷がドレインに排出される。これにより、FD部34-1の蓄積容量35-1がリセットされる。
- [0035] このように電荷読み出し経路22-1は構成されており、PD21から電荷蓄積ゲート32-1に転送された電荷に応じた画素信号が、電荷読み出し経路22-1を介して読み出される。同様に、電荷読み出し経路22-2では、PD21から電荷蓄積ゲート32-2に転送された電荷に応じた画素信号が読み出され、電荷読み出し経路22-3では、PD21から電荷蓄積ゲート32-3に転送された電荷に応じた画素信号が読み出される。
- [0036] アンチブルーミングゲート23は、ゲート電極に印加される排出パルスABGに従って駆動し、排出パルスABGがオンになるタイミングで、PD21に蓄積されている電荷がドレインに排出されることにより、シャッタ制御が行われる。また、PD21に非常に強い光が入射した場合に、PD21からアンチブルーミングゲート23を介して電荷が溢れ出るように、アンチブルーミングゲート23の電位が設定されている。
- [0037] このように構成される画素11は、図1の垂直駆動回路3の駆動に従って、PD21で発生した電荷を、電荷読み出し経路22-1乃至22-3を介して読み出すことができる。従って、画素11は、1フレームの受光期間中にPD21の電荷を順次、電荷蓄積ゲート32-1、電荷蓄積ゲート32-2、電荷蓄積ゲート32-3に転送して、それぞれ3つの異なる露光時間の電荷（画素信号）を蓄積することができる。そして、このような駆動方法によって、撮像素子1は、それぞれ異なる露光時間の画素信号を取得することができる。
- [0038] 例えば、撮像素子1は、蓄積時間が短時間の電荷（以下適宜、短蓄と称する）を電荷蓄積ゲート32-1に転送し、蓄積時間が中時間の電荷（以下適宜、中蓄と称する）を電荷蓄積ゲート32-2に転送し、蓄積時間が長時間

の電荷（以下適宜、長蓄と称する）を電荷蓄積ゲート32-3に転送するような駆動方法で画素11を駆動する。このとき、電荷を転送する転送パルスFSG/STGを供給するタイミングを、1フレームよりも十分に短い期間に設定し、電荷蓄積ゲート32-1、電荷蓄積ゲート32-2、および電荷蓄積ゲート32-3への電荷の転送を繰り返し行う駆動方法（以下適宜、バースト分配駆動と称する）が行われる。

[0039] そして、撮像素子1では、1フレームの蓄積後に、電荷蓄積ゲート32-1、電荷蓄積ゲート32-2、および電荷蓄積ゲート32-3に転送された電荷に応じた画素信号を読み出してHDR合成が行われる。これにより、ダイナミックレンジが十分に広いHDR画像を取得することができる。例えば、電荷蓄積ゲート32-1、電荷蓄積ゲート32-2、および電荷蓄積ゲート32-3それぞれに転送される電荷の露光比を、1(60dB) : 32(+30dB) : 1000(+30dB)に設定することで、撮像素子1は、120dBのHDR画像を取得することができる。

[0040] ここで、電荷蓄積ゲート32-1、電荷蓄積ゲート32-2、および電荷蓄積ゲート32-3にそれぞれ転送される電荷の露光比について説明する。

[0041] 例えば、撮像素子1において、月明かりから晴天の日中までをカバーするためには、120dBを実現する必要がある。近年、撮像素子1の小型化が進むのに伴って、主に、PD21や電荷蓄積ゲート32などの飽和電荷量は1万電子以下となっている。一方、暗電流や回路ノイズが実使用温度範囲で、数電子程度残留し、1つのPD21や電荷蓄積ゲート32でのダイナミックレンジは、例えば、 $20\text{LOG}(10000e/10e) = 60\text{dB}$ 程度である。

[0042] また、複数の感度差のある画像からHDR合成をする場合に、高照度の画像に関しては数電子のノイズレベルから合成しようとする、低照度側の飽和弱の信号がある高SNR画像との合成部でSNR差が広くなりすぎ、画像破綻が起きてしまう。

[0043] そのため、一般的に、高照度側の信号に関しては、ある程度のSNR以上の信号でなければ、HDR合成に用いることができない。例えば、視覚的に

許容できるレベルが20dB程度とすると、高照度側のダイナミックレンジ拡大に使える量+60dBではなく、+40dBになってしまう。そのため2つの信号だけでは $DR=60+40=100$ dBとなり、月明かりから晴天の日中までをカバーする120dBを達成することができない。

[0044] そこで、撮像素子1では、3つの電荷蓄積ゲート32-1乃至32-3を利用することで、 $DR=60+40+40=140$ dBに設定することにより、月明かりから晴天の日中までをカバーするという目標を達成することができる。

[0045] 次に、図3には、図2に示す画素11の平面的な構成例が示されている。

[0046] 図3に示すように、画素11は、略正方形に形成されたPD21の3辺に接続するように電荷読み出し経路22-1乃至22-3が形成され、残りの1辺に接続するようにアンチブルーミングゲート23が形成されている。

[0047] 電荷読み出し経路22-1は、PD21側から順に、転送ゲート31-1、電荷蓄積ゲート32-1、読み出しゲート33-1、およびリセットトランジスタ38-1が配置されている。なお、電荷読み出し経路22-2および22-3は、電荷読み出し経路22-1と同様に構成されており、その詳細な説明は省略する。また、図3では、増幅トランジスタ36および選択トランジスタ37の図示は省略されている。

[0048] 転送ゲート31-1および電荷蓄積ゲート32-1は、共通のゲート電極41-1を有して構成され、ゲート電極41-1はPD21に隣接するように配置されている。また、読み出しゲート33-1を構成するゲート電極42-1と、リセットトランジスタ38-1を構成するゲート電極43-1との間に、FD部34に接続される貫通電極44-1が配置されている。また、ゲート電極43-1に対して貫通電極44-1の反対側に、リセットトランジスタ38-1のドレインに接続される貫通電極45-1が配置されている。

[0049] アンチブルーミングゲート23は、PD21に隣接するようにゲート電極51-1が配置され、ゲート電極51-1に対してPD21の反対側に、ドレインに接続される貫通電極52が配置されている。

[0050] また、画素11の受光面側には、電荷読み出し経路22-1乃至22-3およびアンチブルーミングゲート23を遮光するように遮光膜61が成膜されており、遮光膜61には、PD21に光を入射するための開口部62が形成されている。

[0051] このように、画素11は、3方向に電荷読み出し経路22-1乃至22-3が配置され(3tap構造)、残りの1方向にアンチブルーミングゲート23が配置されるように構成される。このような構成により、画素11は、上述したように、それぞれ露光時間の異なる電荷を、電荷読み出し経路22-1乃至22-3を介して読み出すことができる。

[0052] なお、図2および図3に示すように、画素11は、PD21から転送される電荷を蓄積する電荷蓄積部として、ゲート電極付き埋め込みチャンネル型の構造の電荷蓄積ゲート32-1乃至32-3を採用している。この他、画素11は、例えば、フローティングディフュージョン型や仮想ゲート付き埋め込みチャンネル型などのように様々な構造の電荷蓄積部を採用することができる。この場合、それらの電荷蓄積部の容量は、ダイナミックレンジ比やSNRに応じて設定することができる。また、画素11は、ダイナミックレンジを大きくすることができるのでアンチブルーミングゲート23を備えない構造としてもよい。さらに、近年微細化で多く利用されているFD共有構造を採用することが可能で、FD部34以降の回路を共有することができる。即ち、FD部34-1、FD部34-2、FD部34-3を1つに接続して、1つずつ設けられたリセットトランジスタ38、増幅トランジスタ36、および選択トランジスタ37を、電荷読み出し経路22-1乃至22-3で共有する構造を採用することができる。

[0053] 次に、図4を参照して、撮像素子1の駆動方法について説明する。

[0054] 例えば、撮像素子1が動画像を撮像する際のフレームレートを60fpsとすると、1フレーム当たりの露光時間は16.7msとなる。そして、撮像素子1は、1フレーム分の撮像が終了した後に、行ごとに順次、ローリングシャッタ読み出しを行う。

- [0055] 図4の例では、電荷蓄積ゲート32-3に対する長蓄の転送、電荷蓄積ゲート32-1に対する短蓄の転送、電荷蓄積ゲート32-2に対する中蓄の転送の順番で、PD21から電荷が転送される。そして、撮像素子1では、電荷蓄積ゲート32-3、電荷蓄積ゲート32-1、および電荷蓄積ゲート32-2に対して複数回行われる電荷の転送の1回あたりの電荷の露光時間が、1フレームよりも十分に短く設定され、長蓄、短蓄、および中蓄の転送が1フレームで繰り返して行われる。このとき、電荷蓄積ゲート32-3、電荷蓄積ゲート32-1、および電荷蓄積ゲート32-2それぞれに対して転送する長蓄、短蓄、および中蓄の露光時間は、電荷蓄積ゲート32-3、電荷蓄積ゲート32-1、および電荷蓄積ゲート32-2ごとに略同一とされる。
- [0056] まず、図示するように、時刻t1において排出パルスABGがオンとなって、PD21に蓄積されている電荷がアンチブルーミングゲート23を介して排出されたタイミングから、長蓄の露光が開始される。そして、時刻t2において転送パルスFSG3がオンとなって、PD21から電荷蓄積ゲート32-3に長蓄が転送されて蓄積される。
- [0057] その後、時刻t3において排出パルスABGがオンとなって短蓄の露光が開始され、時刻t4において転送パルスFSG1がオンとなって、PD21から電荷蓄積ゲート32-1に短蓄が転送されて蓄積される。
- [0058] 続いて、時刻t5において排出パルスABGがオンとなって中蓄の露光が開始され、時刻t6において転送パルスFSG2がオンとなって、PD21から電荷蓄積ゲート32-2に中蓄が転送されて蓄積される。
- [0059] このような時刻t1から時刻t6までにおける長蓄、短蓄、および中蓄の転送が、以下、同様に、1フレームの間に繰り返して行われる。例えば、短蓄、中蓄、および長蓄の露光時間の割合を、 $5\text{ ns} : 0.5\text{ }\mu\text{ s} : 50\text{ }\mu\text{ s} = 1 : 100 : 10000$ となるように設定すると、撮像素子1は、40+40dBのHDR画像を取得することができる。
- [0060] なお、図4には、画素11の最大の感度に対して1/2の感度で撮像を行

う例が示されている。

- [0061] 例えば、長蓄の露光時間（時刻  $t_1$  から時刻  $t_2$  までの時間）は、時刻  $t_1$  の直前で転送パルスFSG2がオンとなったタイミングから、時刻  $t_2$  において転送パルスFSG3がオンとなるタイミングまでの期間中に時刻  $t_1$  を設定することで決定される。長蓄の露光時間を最大（最大の感度）とする場合には、直前で転送パルスFSG2がオンとなったタイミングと同時に、時刻  $t_1$  を設定して長蓄の露光を開始すればよく、図4の例では、その期間が  $1/2$  となるタイミングに時刻  $t_1$  が設定されている。また、露光時間を最大にするには、排出パルスABGの排出駆動を全てオフとしてもよい。
- [0062] 同様に、図4の例では、短蓄の露光時間（時刻  $t_3$  から時刻  $t_4$  までの時間）は、時刻  $t_2$  から時刻  $t_4$  までの期間が  $1/2$  となるタイミングに時刻  $t_3$  が設定されている。また、中蓄の露光時間（時刻  $t_5$  から時刻  $t_6$  までの時間）は、時刻  $t_4$  から時刻  $t_6$  までの期間が  $1/2$  となるタイミングに時刻  $t_5$  が設定されている。また、転送パルスFSG1乃至FSG3および排出パルスABGを、ローリングシャッタ読み出しの1ラインに同期するように設定することで、同期回路設計を容易にすることができる。
- [0063] 以上のような駆動方法により、撮像素子1は、画素11において電荷を転送するタイミングを制御するだけで、露光時間の異なる3つの画像を生成し、HDR合成を行うことができる。このとき、撮像素子1は、例えば、短蓄の電荷が少なくても合成を行うことができ、HDR合成を行う段階でSNRを良好にすることができる。これにより、撮像素子1は、よりノイズの少ないHDR画像を取得することができる。
- [0064] このように、撮像素子1は、1つのPD21に対して2つ以上、図2の構成例では3つの電荷蓄積ゲート32-1乃至32-3を有して構成され、かつ、バースト分配駆動を行うことによって、HDR画像の露光時間比を制御する。このように、電荷蓄積ゲート32-1乃至32-3への電荷の転送を時分割で分配することにより、撮像素子1は、確実に高ダイナミックレンジな画像を撮像することができる。

- [0065] そして、撮像素子1では、1つのPD21を用いる構造であるため感度ロスを抑制することができ、低照度におけるSNRを良好にし、かつ、高ダイナミックレンジを両立することができ、より高画質のHDR画像を撮像することができる。
- [0066] 次に、図5乃至図7を参照して、画素11の第2の構成例および駆動方法について説明する。
- [0067] 図5には、第2の構成例である画素11Aの回路図が示されており、図6には、画素11Aの平面的な構成例が示されている。
- [0068] 図5および図6に示すように、画素11Aは、PD21、電荷読み出し経路22-1Aおよび22-2A、並びに、アンチブルーミングゲート23を備えて構成される。なお、PD21、電荷読み出し経路22-1A、および、アンチブルーミングゲート23は、図2の画素11と同様に構成されており、その詳細な説明は省略する。
- [0069] 即ち、図2の画素11は、3つの電荷読み出し経路22-1乃至22-3を備えていたのに対し、画素11Aは、2つの電荷読み出し経路22-1Aおよび22-2Aを備え、電荷読み出し経路22-2Aの構成が、図2の画素11とは異なるものとされている。
- [0070] 電荷読み出し経路22-2Aは、転送ゲート31-2、キャパシタ71、読み出しゲート33-2、FD部34-2、蓄積容量35-2、増幅トランジスタ36-2、選択トランジスタ37-2、およびリセットトランジスタ38-2を備えて構成される。このように、電荷読み出し経路22-2Aは、図2の電荷読み出し経路22-2と比較して、電荷蓄積ゲート32-2に替えて、拡散接合を経由し貫通電極46-2を介して接続されるキャパシタ71を備えて構成される点で異なるものとされている。
- [0071] このように構成される画素11Aでは、PD21の電荷が転送ゲート31-2を介してキャパシタ71に転送され、蓄積される。つまり、画素11Aは、電荷読み出し経路22-2Aにおける電荷蓄積部として、埋め込みチャンネル型の電荷蓄積部ではなく、キャパシタ型の電荷蓄積部を採用する構成と

なっている。

[0072] これにより、画素11Aは、電荷読み出し経路22-2Aにおけるキャパシタ71の蓄積容量を、図2の電荷読み出し経路22-2における電荷蓄積ゲート32-2よりも大きくすることができる。従って、画素11Aでは、長蓄を電荷蓄積ゲート32-1に転送することで、低照度から高SNRを実現することができる。さらに、画素11Aでは、短蓄をキャパシタ71に転送することで、例えば、太陽などの高輝度の被写体であっても電荷が溢れないようにすることができる。即ち、画素11Aは、キャパシタ71と電荷蓄積ゲート32-2とで、それぞれ電荷蓄積可能容量が異なるように設計され、電荷蓄積容量が少ない電荷蓄積ゲート32-2に長蓄を転送し、電荷蓄積容量が大きいキャパシタ71に短蓄が転送される。

[0073] 例えば、電荷蓄積ゲート32-1の蓄積容量(60dB)に対して、キャパシタ71の蓄積容量を10倍以上(60+20dB)にし、それらの蓄積時間差を1:1000(+60dB)とすることで、HDR合成時に20dBを保ちながら、60+60=120dBのHDR画像を生成することができる。

[0074] 従って、このような画素11Aを備える撮像素子1は、2つの電荷読み出し経路22-1Aおよび22-2Aを備える構造(2tap構造)であっても、十分なダイナミックレンジを有するHDR画像を撮像することができる。さらに、画素11Aは、画素11と比較してシンプルな構成となっており、画素11Aを備える撮像素子1は、例えば、微細化するのに有利な構造となる。

[0075] なお、画素11Aでは、図示したような構造の他、例えば、フローティングディフュージョン型や仮想ゲート付き埋め込みチャンネル型などのように様々な構造の電荷蓄積部を採用することができる。この場合、それらの電荷蓄積部の容量は、ダイナミックレンジ比やSNRに応じてそれぞれ異なる容量に設定することができる。

[0076] 次に、図7を参照して、画素11Aを備える撮像素子1の駆動方法について説明する。



- [0077] 図7の例では、電荷蓄積ゲート32-1に対する長蓄の転送、キャパシタ71に対する短蓄の転送の順番で、PD21から電荷が転送される。そして、電荷蓄積ゲート32-1およびキャパシタ71に対して複数回行われる電荷の転送の1回あたりの電荷の露光時間が、1フレームよりも十分に短く設定され、長蓄および短蓄の転送が1フレームで繰り返して行われる。
- [0078] まず、図示するように、時刻t1において排出パルスABGがオンとなって、PD21に蓄積されている電荷がアンチブルーミングゲート23を介して排出されたタイミングから、長蓄の露光が開始される。そして、時刻t2において転送パルスFSG1がオンとなって、PD21から電荷蓄積ゲート32-1に長蓄が転送される。
- [0079] その後、時刻t3において排出パルスABGがオンとなって短蓄の露光が開始され、時刻t4において転送パルスFSG2がオンとなって、PD21からキャパシタ71に短蓄が転送される。
- [0080] このような時刻t1から時刻t4までにおける長蓄および短蓄の転送が、以下、同様に、1フレームの間に、繰り返して行われる。例えば、短蓄および長蓄の露光時間の割合を、 $0.5\mu\text{s} : 50\mu\text{s} = 1 : 100$ となるように設定すると、撮像素子1は、+40dBのHDR画像を取得することができる。
- [0081] なお、図7には、図4と同様に、画素11Aの最大の感度に対して1/2の感度で撮像を行う例が示されている。また、転送パルスFSG1乃至FSG3および排出パルスABGを、ローリングシャッタ読み出しの1ラインに同期するように設定することで、同期回路設計を容易にすることができる。
- [0082] 以上のような駆動方法により、撮像素子1は、低照度時の高SNRと高輝度耐性を両立することができる。さらに、1フレームよりも十分に短い時間の露光を繰り返して行うバースト分配駆動によって、短蓄側でも、例えば、LED光源などのパルス発光源を撮像することができる。また、より低消費電力化を図ることができる。
- [0083] 次に、図8および図9を参照して、画素11の第3の構成例について説明する。

- [0084] 図8には、第3の構成例である画素11Bの回路図が示されており、図9には、画素11Bの平面的な構成例が示されている。
- [0085] 図8および図9に示すように、画素11Bは、PD21、電荷読み出し経路22-1B、電荷読み出し経路22-2B、および、アンチブルーミングゲート23を備えて構成される。なお、PD21およびアンチブルーミングゲート23は、図2の画素11と同様に構成されており、その詳細な説明は省略する。また、電荷読み出し経路22-2Bは、図5の電荷読み出し経路22-2Aと同様に構成されている。
- [0086] 即ち、画素11Bは、電荷読み出し経路22-1Bの構造が、図5の電荷読み出し経路22-1Aとは異なるものとされている。
- [0087] 電荷読み出し経路22-1Bは、転送ゲート31-1、遮光HAD (Hole Accumulation Diode) 72、読み出しゲート33-1、FD部34-1、蓄積容量35-1、増幅トランジスタ36-1、選択トランジスタ37-1、およびリセットトランジスタ38-1を備えて構成される。このように、電荷読み出し経路22-1Bは、図5の電荷読み出し経路22-1Aと比較して、電荷蓄積ゲート32-1に替えて、低ノイズである遮光HAD72を備えて構成される点で異なるものとされている。
- [0088] このように構成される画素11Bでは、PD21の電荷が転送ゲート31-1を介して遮光HAD72に転送され、蓄積される。つまり、画素11Bは、電荷読み出し経路22-1Bにおける電荷蓄積部として、埋め込みチャンネル型の電荷蓄積部ではなく、遮光されたHAD型のフォトダイオード構造を採用する構成となっている。なお、遮光HAD72とPD21との構造の違いは、遮光HAD72は遮光膜61Bによって遮光されているのに対し、PD21は遮光されていないだけであるので、電荷蓄積部として用いる遮光HAD72もPD21と同様のSNRを実現することができる。
- [0089] これにより、画素11Bでは、長蓄を遮光HAD72に転送することで、低照度から高SNRを実現することができる。さらに、画素11Bでは、短蓄をキャパシタ71に転送することで、画素11Aと同様に、太陽などの高

輝度の被写体であっても電荷が溢れないようにすることができる。

[0090] また、画素11Bを備える撮像素子1は、図7を参照して説明したような画素11Aを備える撮像素子1と同様の駆動方法で駆動することができ、低照度時の高SNRと高輝度耐性を両立することができる。

[0091] 従って、画素11Bを備える撮像素子1は、上述した画素11Aを備える撮像素子1と同様に、2つの電荷読み出し経路22-1Bおよび22-2Bを備える構造(2tap構造)であっても、十分なダイナミックレンジを有するHDR画像を撮像することができる。さらに、画素11Bは、画素11と比較して、シンプルな構成となっており、画素11Bを備える撮像素子1は、例えば、微細化するのに有利な構造となる。

[0092] 次に、図10乃至図12を参照して、画素11の第4の構成例および駆動方法について説明する。

[0093] 図10には、第4の構成例である画素11Cの回路図が示されており、図11には、画素11Cの平面的な構成例が示されている。

[0094] 図10および図11に示すように、画素11Cは、PD21、電荷読み出し経路22-1C、および電荷読み出し経路22-2Cを備えて構成される。

[0095] 画素11Cは、例えば、図5の画素11Aと比較して、アンチブルーミングゲート23が設けられていないとともに、電荷読み出し経路22-1Cおよび電荷読み出し経路22-2Cが一部を共有するように構成される点で異なっている。

[0096] 例えば、電荷蓄積ゲート32-1とキャパシタ71との比率(HDR比)が、太陽などの高輝度の被写体であっても電荷が溢れないような比率となるように設計することで、アンチブルーミングゲート23を不要とすることができる。従って、画素11Cは、アンチブルーミングゲート23が設けられない構成とされている。

[0097] なお、PD21から電荷が溢れる場合には、電荷読み出し経路22-1C側に先に電荷が溢れるように、転送ゲート31-1のバイアスが設定される

。即ち、PD 2 1 から溢れる電荷が、キャパシタ 7 1 よりも電荷蓄積容量が小さい電荷蓄積ゲート 3 2 - 1 に排出されるように電位が設定される。このように PD 2 1 から電荷が溢れた場合には、電荷読み出し経路 2 2 - 2 C 側から読み出した電荷だけを用いて画像を構成することができる。

[0098] また、画素 1 1 C では、FD 部 3 4、蓄積容量 3 5、増幅トランジスタ 3 6、選択トランジスタ 3 7、およびリセットトランジスタ 3 8 を、電荷読み出し経路 2 2 - 1 C および電荷読み出し経路 2 2 - 2 C で共有するように構成されている。このように、電荷読み出し経路 2 2 - 1 C および電荷読み出し経路 2 2 - 2 C が FD 部 3 4 以降の構造を共有する構成では、それぞれの電荷を画素信号として異なるタイミングで読み出すように制御される。そして、電荷読み出し経路 2 2 - 1 C および電荷読み出し経路 2 2 - 2 C が FD 部 3 4 以降の構造を共有する構成では、例えば、従来のグローバルシャッタ画素に読み出しゲート 3 3 - 2 を追加するだけでシンプルに実現することができる。

[0099] さらに、画素 1 1 C は、キャパシタ 7 1 が、図 1 1 に示す一点鎖線の領域に配置された構成とすることができる。即ち、画素 1 1 C では、キャパシタ 7 1 の配置箇所を、転送ゲート 3 1 - 1 および電荷蓄積ゲート 3 2 - 1 のゲート電極 4 1 - 1 と重なるようにすることで、平面的なレイアウトを有効活用して、キャパシタ 7 1 の容量を確保することができる。

[0100] このように構成される画素 1 1 C は、画素 1 1 や画素 1 1 A および 1 1 B などと比較してシンプルな構成で、より小型化することができ、画素 1 1 C を備える撮像素子 1 は、例えば、微細化するのに非常に有利な構造となる。

[0101] なお、シャッタ制御が必要なユースケースでは、画素 1 1 C にアンチブルーミングゲート 2 3 (図 2 参照) を設ける構成とした方がよく、用途に応じて適切な構成を採用することができる。

[0102] なお、画素 1 1 C においても、図示したような構造の他、例えば、フローティングディフュージョン型や仮想ゲート付き埋め込みチャンネル型などのように様々な構造の電荷蓄積部を採用することができる。この場合、それらの

電荷蓄積部の容量は、ダイナミックレンジ比やSNRに応じてそれぞれ異なる容量に設定することができる。

[0103] 次に、図12を参照して、画素11Cを備える撮像素子1の駆動方法について説明する。なお、図12では、画素11Cがアンチブルーミングゲート23を備え、シャッタ制御が行われる場合における駆動方法が示されている。

[0104] 図12の例では、電荷蓄積ゲート32-1に対する長蓄の転送、キャパシタ71に対する短蓄の転送の順番で、PD21から電荷が転送される。そして、電荷蓄積ゲート32-1およびキャパシタ71に対して複数回行われる電荷の転送の1回あたりの電荷の露光時間が、1フレームよりも十分に短く設定され、長蓄および短蓄の転送が1フレームで繰り返して行われる。

[0105] まず、図示するように、時刻t1において排出パルスABGがオンとなって、PD21に蓄積されている電荷がアンチブルーミングゲート23を介して排出されたタイミングから、長蓄の露光が開始される。そして、時刻t2において転送パルスFSG1がオンとなって、PD21から電荷蓄積ゲート32-1に長蓄が転送される。

[0106] その後、時刻t3において排出パルスABGがオンとなって短蓄の露光が開始され、時刻t4において転送パルスFSG2がオンとなって、PD21からキャパシタ71に短蓄が転送される。

[0107] このような時刻t1から時刻t4までにおける長蓄および短蓄の転送が、以下、同様に、1フレームの間に、繰り返して行われる。例えば、短蓄および長蓄の露光時間の割合を、 $0.5\mu\text{s} : 50\mu\text{s} = 1 : 100$ となるように設定すると、撮像素子1は、+40dBのHDR画像を取得することができる。

[0108] なお、図12には、図4と同様に、画素11Aの最大の感度に対して1/2の感度で撮像を行う例が示されている。また、転送パルスFSG1およびFSG2、並びに排出パルスABGを、ローリングシャッタ読み出しの1ラインに同期するように設定することで、同期回路設計を容易にすることができる。なお、図10および図11に示すようなアンチブルーミングゲート23を備えない

構造では、図 1 2 に示す排出パルス ABG が駆動に用いられることなく、常に最大感度の状態となる。

- [0109] 以上のような駆動方法により、撮像素子 1 は、低照度時の高 S N R と高輝度耐性を両立することができる。さらに、1 フレームよりも十分に短い時間の露光を繰り返して行うバースト分配駆動によって、短蓄側でも、例えば、LED 光源などのパルス発光源を撮像することができる。
- [0110] 次に、図 1 3 および図 1 4 を参照して、画素 1 1 の第 5 の構成例について説明する。
- [0111] 図 1 3 には、第 5 の構成例である画素 1 1 D の回路図が示されており、図 1 4 には、画素 1 1 D の平面的な構成例が示されている。
- [0112] 図 1 3 および図 1 4 に示すように、画素 1 1 D は、PD 2 1、電荷読み出し経路 2 2 - 1 D、および電荷読み出し経路 2 2 - 2 D を備えて構成される。また、電荷読み出し経路 2 2 - 2 D は、図 1 0 の電荷読み出し経路 2 2 - 2 C と同様に構成されている。
- [0113] 即ち、画素 1 1 D は、電荷読み出し経路 2 2 - 1 D の構造が、図 1 0 の電荷読み出し経路 2 2 - 1 C とは異なるものとされている。
- [0114] 電荷読み出し経路 2 2 - 1 D は、転送ゲート 3 1 - 1、遮光 H A D 7 2、読み出しゲート 3 3 - 1、FD 部 3 4 - 1、蓄積容量 3 5 - 1、増幅トランジスタ 3 6 - 1、選択トランジスタ 3 7 - 1、およびリセットトランジスタ 3 8 - 1 を備えて構成される。このように、電荷読み出し経路 2 2 - 1 D は、図 1 0 の電荷読み出し経路 2 2 - 1 C と比較して、電荷蓄積ゲート 3 2 - 1 に替えて、遮光 H A D 7 2 を備えて構成される点で異なるものとされている。
- [0115] このように構成される画素 1 1 D では、PD 2 1 の電荷が転送ゲート 3 1 - 1 を介して遮光 H A D 7 2 に転送され、蓄積される。つまり、画素 1 1 D は、電荷読み出し経路 2 2 - 1 D における電荷蓄積部として、埋め込みチャンネル型の電荷蓄積部ではなく、遮光された H A D 型のフォトダイオード構造を採用する構成となっている。

- [0116] これにより、画素11Dでは、長蓄を遮光HAD72に転送することで、低照度から高SNRを実現することができる。さらに、画素11Dでは、短蓄をキャパシタ71に転送することで、画素11Cと同様に、太陽などの高輝度の被写体であっても電荷が溢れないようにすることができる。
- [0117] また、画素11Dを備える撮像素子1は、図12を参照して説明したような画素11Cを備える撮像素子1と同様の駆動方法で駆動することができ、低照度時の高SNRと高輝度耐性を両立することができる。
- [0118] 従って、画素11Dを備える撮像素子1は、上述した画素11Cを備える撮像素子1と同様に、2つの電荷読み出し経路22-1Dおよび22-2Dを備える構造(2tap構造)であっても、十分なダイナミックレンジを有するHDR画像を撮像することができる。さらに、画素11Dを備える撮像素子1は、画素11Cを備える撮像素子1と同様に、例えば、微細化するのに非常に有利な構造となる。
- [0119] また、画素11Dは、キャパシタ71が、図14に示す一点鎖線の領域に配置された構成とすることができる。これにより、画素11Dは、図11に示した画素11Cと同様に、キャパシタ71の容量を確保することができる。なお、画素11Cおよび画素11Dでは、隣接する複数の画素どうしで、FD部34以降の構造を共有する構成とすることができる。
- [0120] 次に、図15乃至図17を参照して、画素11の立体的な構成例について説明する。
- [0121] 例えば、撮像素子1には、PD21が形成される半導体基板に対して配線層などを積層する表面側から光を照射する表面照射型と、表面に対して反対側を向く裏面側から光を照射する裏面照射型との2種類がある。図15には表面照射型の撮像素子1の画素11Eの構成例が示されており、図16および図17には、裏面照射型の撮像素子1の画素11Fおよび画素11Gの構成例がそれぞれ示されている。また、図15乃至図17に示す画素11E乃至11Gは、図2に示した画素11と同様に、PD21に対して3方向に電荷蓄積部が配置される構造(3tap構造)である。

- [0122] 図15には、表面照射型の撮像素子1に設けられる画素11Eの構成の概略的な斜視図が示されている。
- [0123] 画素11Eごとにオンチップレンズ81が設けられており、オンチップレンズ81を介して入射する光は、PD21が設けられる半導体基板の配線層側に積層された遮光膜61の開口部を通過してPD21に照射される。
- [0124] 図示するように、PD21に対して3方向に電荷蓄積部82-1乃至82-3が設けられ、残りの1方向にリセットドレイン83が設けられている。電荷蓄積部82-1乃至82-3は、例えば、電荷蓄積ゲート32-1乃至32-3（図2参照）に対応し、図4を参照して説明したような駆動方法によって、PD21から電荷蓄積部82-1乃至82-3に電荷が転送される。リセットドレイン83は、アンチブルーミングゲート23（図2参照）を介してPD21の電荷を排出するのに利用される。
- [0125] なお、図15の構成例において、画素11Eが、電荷蓄積部82-1に替えてキャパシタ71（図5参照）を設ける構成とする場合、PD21が形成される半導体基板と遮光膜61との間の配線層にキャパシタ71が配置される。
- [0126] このように、表面照射型の撮像素子1に設けられる画素11Eでは、PD21と電荷蓄積部82-1乃至82-3とが同一平面上に配置される構成となる。
- [0127] 図16には、裏面照射型の撮像素子1に設けられる画素11Fの構成の概略的な斜視図が示されている。
- [0128] 画素11Fごとにオンチップレンズ81が設けられており、オンチップレンズ81を介して入射する光がPD21に照射される。PD21の表面側（図16の下方を向く面側）に遮光膜61が積層されており、遮光膜61により電荷蓄積部82-1乃至82-3およびリセットドレイン83が遮光されている。
- [0129] 図示するように、電荷蓄積部82-1乃至82-3およびリセットドレイン83は、裏面側にPD21が設けられる半導体基板の表面側に、平面的に



見てPD21と重なるように配置される。このように、裏面照射型の撮像素子1に設けられる画素11Fでは、PD21と電荷蓄積部82-1乃至82-3とが同一平面上に配置されることがないため、電荷蓄積部82-1乃至82-3の面積を、図15の画素11Eと比較して、大きく設計することができる。

[0130] これにより、例えば、画素11Fのサイズを全体的に小さくすることができる。即ち、裏面側の多くの部分を電荷蓄積部82-1乃至82-3の配置に用いることができるので、画素11Fの微細化を図ることができる。さらに、電荷蓄積部82-1乃至82-3の影響を受けることなくPD21の開口率を広くすることができるので、受光感を向上させることができる。

[0131] 図17には、裏面照射型の撮像素子1に設けられる画素11Gの構成の概略的な斜視図が示されている。

[0132] 図17に示すように、画素11Gは、図16の画素11Fの構造にキャパシタ71を追加したものとなっている。例えば、図15の裏面照射型の撮像素子1が備える画素11Eでは、キャパシタ71は、遮光膜61の下方にしか配置することができない（即ち、開口部に配置不可である）ため、キャパシタ71の容量が小さくなるという制約があった。

[0133] これに対して、画素11Gでは、このような制約がなく、画素11Gの全体領域をキャパシタ71に使用することができる。従って、画素11Gでは、PD21の受光感度に影響を与えることなくキャパシタ71の大面積化および大容量化を図ることができる。

[0134] 次に、図18および図19を参照して、駆動方法の変形例について説明する。

[0135] 上述した駆動方法では、短蓄、中蓄、および長蓄の露光時間が、1フレームの受光期間に亘って略同一で繰り返されている。これに対し、撮像素子1では、長蓄、中蓄、および短蓄の露光時間が、1フレームの受光期間中の後になるに従い長くなるように駆動することができる。

[0136] 図18には、駆動方法の第1の変形例が示されている。図18には、長蓄

の露光時間が例示されており、1フレームの受光期間中の後になるに従い対数的に露光時間が長くなっている。

[0137] 図19には、駆動方法の第2の変形例として、アンチブルーミングゲート23を有さない駆動方法が示されている。図19には、長蓄の露光時間が例示されており、1フレームの受光期間中の後になるに従い対数的に露光時間が長くなっている。

[0138] このように、撮像素子1では、露光時間を繰り返すサイクルが略同一でなくても、蓄積後の露光比が、短蓄、中蓄、および長蓄で一定であれば、HDR合成を行うことができる。また、蓄積累積後の露光比が不規則であっても、その比を補正したHDR合成を行うことで、最終的に得られるHDR画像における影響を低減することができる。例えば、その影響以上に有効な他の効果を得ることができれば、より良いHDR画像を得ることができる。

[0139] 例えば、撮像素子1は、図18および図19に示すように、露光比を一定として、間隔が対数的に伸びるような駆動方法（以下適宜、非線形バースト駆動と称する）を採用することができる。

[0140] 従来、あるフレームに1回だけの読出し制御を行う撮像素子で高速電子シャッタを使用すると、動体ボケは解消され静止画のように止まった画像に見えるようになる。しかしながら、フレームレートを上げる訳でなければ、フレームレートが30fpsの場合には、ほぼ1/30s間の画像が抜けたバラバラ漫画的な滑らかさのない画像になって、特に再生フレーム周波数が低い場合には見苦しい画像になってしまう。また、近年のテレビジョン受像機において、4倍速（=240fps）などバラバラ感をなくすような高速処理と同等なことを行うには、撮像素子も4倍速化する必要があり、莫大な電力増加になってしまう。

[0141] そこで、1フレーム最後の1瞬だけを露光するような滑らかさとシャッキリ感を両立できない従来の電子シャッタに対して、時間軸方向で対数的な配分になるような蓄積時間配分とする非線形バースト駆動を採用することが有効である。これにより、人間の目の対数応答特性に近い露光制御をすること

になるので、滑らかさと動体ボケのないシャッキリ感を両立する電子シャッタを実現することができる。即ち、非線形バースト分配駆動によって、人間の目の応答特性と同じ対数感度特性が実現可能で、動被写体に対して滑らかに再生（滑らかにシャッキリとした再生）することが可能な動画像を撮像することができる。

[0142] なお、上述したような各実施の形態の画素 11 を備える撮像素子 1 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0143] 図 20 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0144] 図 20 に示すように、撮像装置 101 は、光学系 102、撮像素子 103、信号処理回路 104、モニタ 105、およびメモリ 106 を備えて構成され、静止画像および動画像を撮像可能である。

[0145] 光学系 102 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子 103 に導き、撮像素子 103 の受光面（センサ部）に結像させる。

[0146] 撮像素子 103 としては、上述した各実施の形態の画素 11 を備える撮像素子 1 が適用される。撮像素子 103 には、光学系 102 を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子 103 に蓄積された電子に応じた信号が信号処理回路 104 に供給される。

[0147] 信号処理回路 104 は、撮像素子 103 から出力された画素信号に対して各種の信号処理を施す。信号処理回路 104 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 105 に供給されて表示されたり、メモリ 106 に供給されて記憶（記録）されたりする。

[0148] このように構成されている撮像装置 101 では、上述した各実施の形態の画素 11 を備える撮像素子 1 を適用することで、より高画質な HDR 画像を撮像することができる。

[0149] なお、本技術は以下のような構成も取ることができる。

(1)

入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、

それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部と

を備える撮像素子。

(2)

2つ以上の前記電荷蓄積部は、それぞれ電荷蓄積可能容量が異なる上記(1)に記載の撮像素子。

(3)

2つ以上の前記電荷蓄積部のうち、電荷蓄積容量が少ない方の前記電荷蓄積部に長時間露光の電荷が転送され、電荷蓄積容量が大きい方の前記電荷蓄積部に短時間露光の電荷が転送される

上記(1)または(2)に記載の撮像素子。

(4)

前記画素の露光期間中に、前記光電変換部から溢れ出る電荷を排出するアンチブルーミングゲート

をさらに備える上記(1)から(3)までのいずれかに記載の撮像素子。

(5)

前記画素の露光期間中に、前記光電変換部から溢れ出る電荷が、電荷蓄積容量が小さい方の前記電荷蓄積部に排出されるように電位が設定されている

上記(3)に記載の撮像素子。

(6)

電荷蓄積容量が大きい方の前記電荷蓄積部には、拡散接合を経由したキャパシタ構造の蓄積部を使用する

上記（３）から（５）までのいずれかに記載の撮像素子。

（７）

電荷蓄積容量が小さい方の前記電荷蓄積部には、遮光されたフォトダイオード構造の蓄積部を使用する

上記（３）から（６）までのいずれかに記載の撮像素子。

（８）

前記光電変換部で発生した電荷を電圧に変換する電荷電圧変換部をさらに備え、

２つ以上の前記電荷蓄積部から共通の前記電荷電圧変換部に電荷が転送され、２つ以上の前記電荷蓄積部で前記電荷電圧変換部以降の構造を共有する

上記（１）から（７）までのいずれかに記載の撮像素子。

（９）

前記駆動部は、１フレームの受光期間中において、２つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、前記電荷蓄積部ごとに略同一となるように駆動を行う

上記（１）から（８）までのいずれかに記載の撮像素子。

（１０）

前記駆動部は、２つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、１フレームの受光期間に亘って略同一となるように駆動を行う

上記（１）から（９）までのいずれかに記載の撮像素子。

（１１）

前記駆動部は、２つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、１フレームの受光期間中の後になるに従い長くなるように駆動を行う

上記（１）から（９）までのいずれかに記載の撮像素子。

（１２）

入射した光を光電変換により電荷に変換して蓄積する光電変換部、および

前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、前記画素を駆動する駆動部とを備える撮像素子の駆動方法において、

前記駆動部は、それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返す

駆動方法。

(13)

入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、

それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部と

を有する撮像素子を備える電子機器。

[0150] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

## 符号の説明

[0151] 1 撮像素子, 2 画素領域, 3 垂直駆動回路, 4 カラム信号処理回路, 5 水平駆動回路, 6 出力回路, 7 制御回路, 11 画素, 21 PD, 22 電荷読み出し経路, 23 アンチブルーミングゲート, 31 転送ゲート, 32 電荷蓄積ゲート, 33 読み出しゲート, 34 FD部, 35 蓄積容量, 36 増幅トランジスタ, 37 選択トランジスタ, 38 リセットトランジスタ, 41 乃至43 ゲート電極, 44および45 貫通電極, 51 ゲート電極, 52 貫通電極, 61 遮光膜, 62 開口部, 71 キャパシタ, 72 遮光HAD, 81 オンチップレンズ, 82 電荷蓄積部, 83 リセットドレイン

## 請求の範囲

- [請求項1] 入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、  
それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部と  
を備える撮像素子。
- [請求項2] 2つ以上の前記電荷蓄積部は、それぞれ電荷蓄積可能容量が異なる請求項1に記載の撮像素子。
- [請求項3] 2つ以上の前記電荷蓄積部のうち、電荷蓄積容量が少ない方の前記電荷蓄積部に長時間露光の電荷が転送され、電荷蓄積容量が大きい方の前記電荷蓄積部に短時間露光の電荷が転送される  
請求項2に記載の撮像素子。
- [請求項4] 前記画素の露光期間中に、前記光電変換部から溢れ出る電荷を排出するアンチブルーミングゲート  
をさらに備える請求項1に記載の撮像素子。
- [請求項5] 前記画素の露光期間中に、前記光電変換部から溢れ出る電荷が、電荷蓄積容量が小さい方の前記電荷蓄積部に排出されるように電位が設定されている  
請求項3に記載の撮像素子。
- [請求項6] 電荷蓄積容量が大きい方の前記電荷蓄積部には、拡散接合を經由したキャパシタ構造の蓄積部を使用する  
請求項3に記載の撮像素子。
- [請求項7] 電荷蓄積容量が小さい方の前記電荷蓄積部には、遮光されたフォトダイオード構造の蓄積部を使用する  
請求項3に記載の撮像素子。
- [請求項8] 前記光電変換部で発生した電荷を電圧に変換する電荷電圧変換部を

さらに備え、

2つ以上の前記電荷蓄積部から共通の前記電荷電圧変換部に電荷が転送され、2つ以上の前記電荷蓄積部で前記電荷電圧変換部以降の構造を共有する

請求項1に記載の撮像素子。

[請求項9] 前記駆動部は、1フレームの受光期間中において、2つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、前記電荷蓄積部ごとに略同一となるように駆動を行う

請求項1に記載の撮像素子。

[請求項10] 前記駆動部は、2つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、1フレームの受光期間に亘って略同一となるように駆動を行う

請求項1に記載の撮像素子。

[請求項11] 前記駆動部は、2つ以上の前記電荷蓄積部それぞれに対して転送する電荷の露光時間が、1フレームの受光期間中の後になるに従い長くなるように駆動を行う

請求項1に記載の撮像素子。

[請求項12] 入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、前記画素を駆動する駆動部とを備える撮像素子の駆動方法において、

前記駆動部は、それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返す

駆動方法。

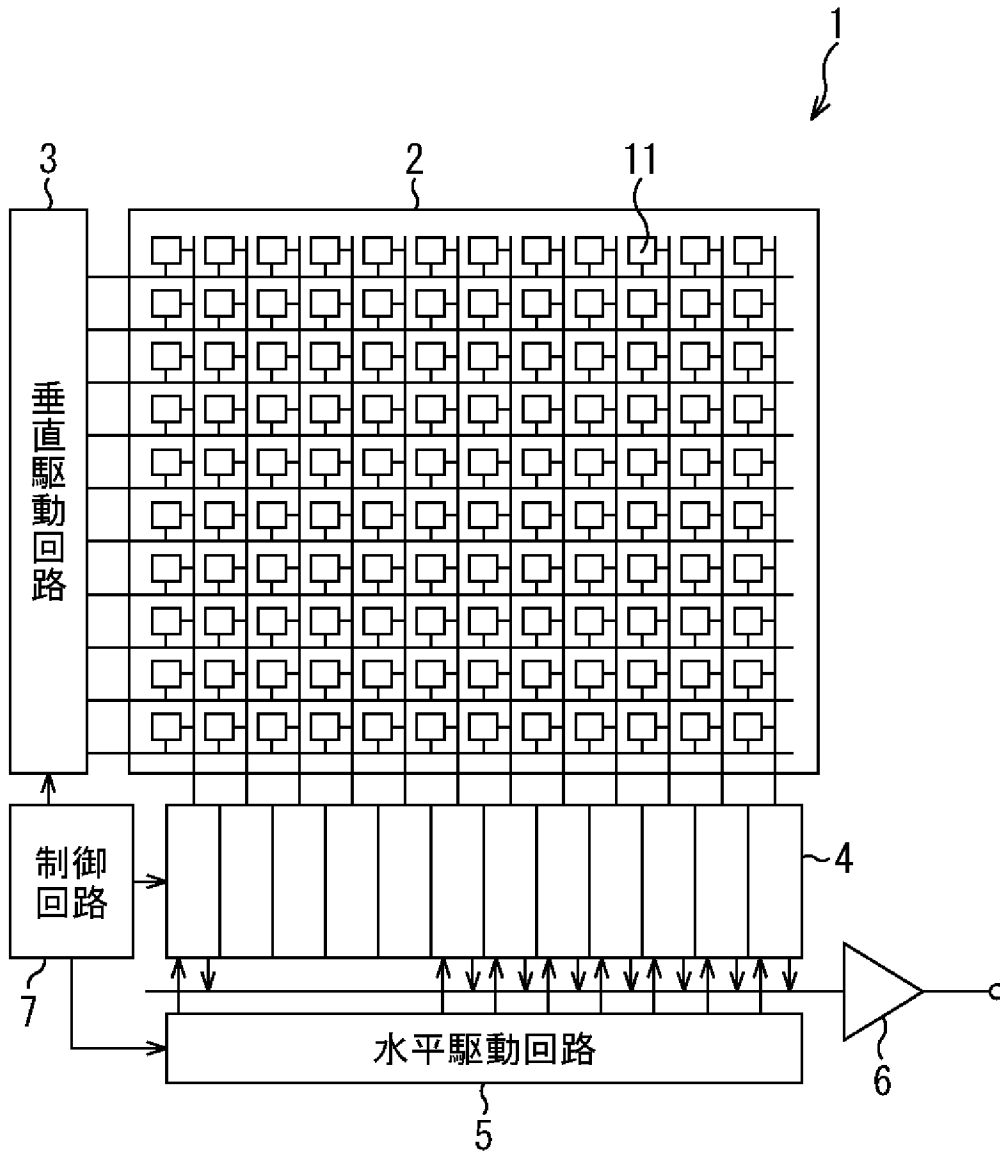
[請求項13] 入射した光を光電変換により電荷に変換して蓄積する光電変換部、および前記光電変換部から転送される電荷を蓄積する2つ以上の電荷蓄積部を有する画素が複数配置されてなる画素領域と、



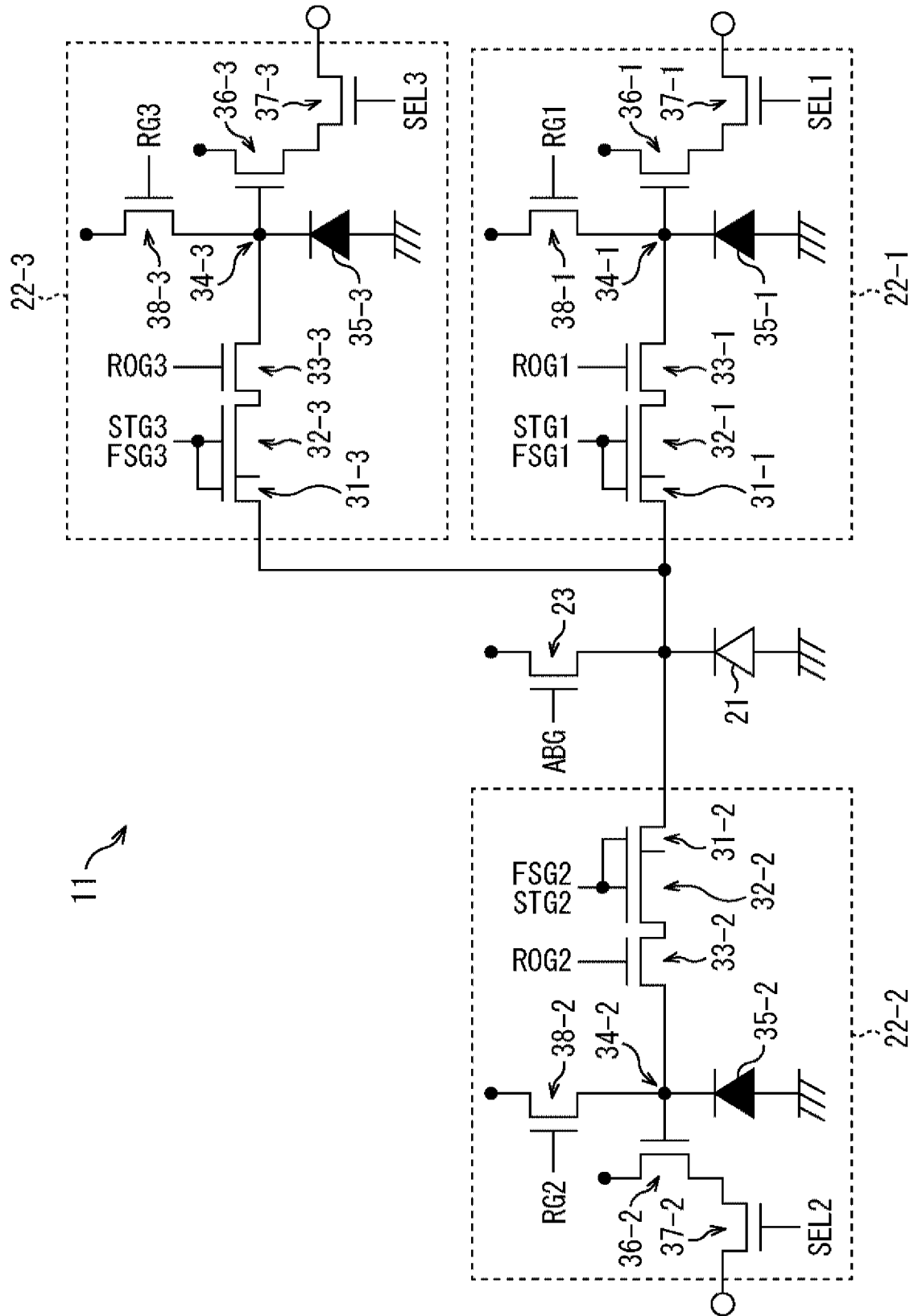
それぞれ異なる露光時間の電荷を、2つ以上の前記電荷蓄積部に前記光電変換部から転送することを、1フレームの受光期間中に繰り返すように前記画素を駆動する駆動部と

を有する撮像素子を備える電子機器。

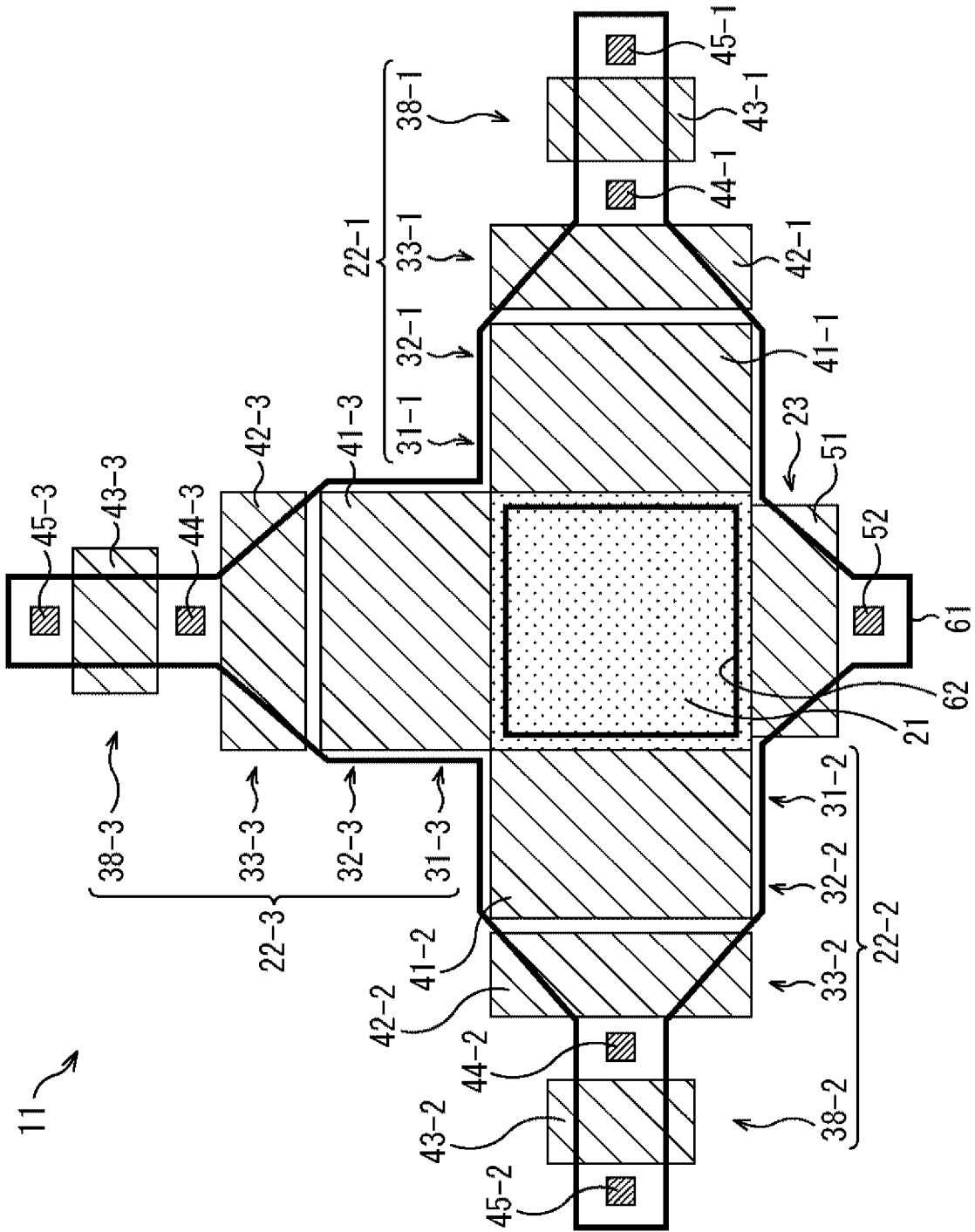
[図1]  
図1



[図2]  
図2

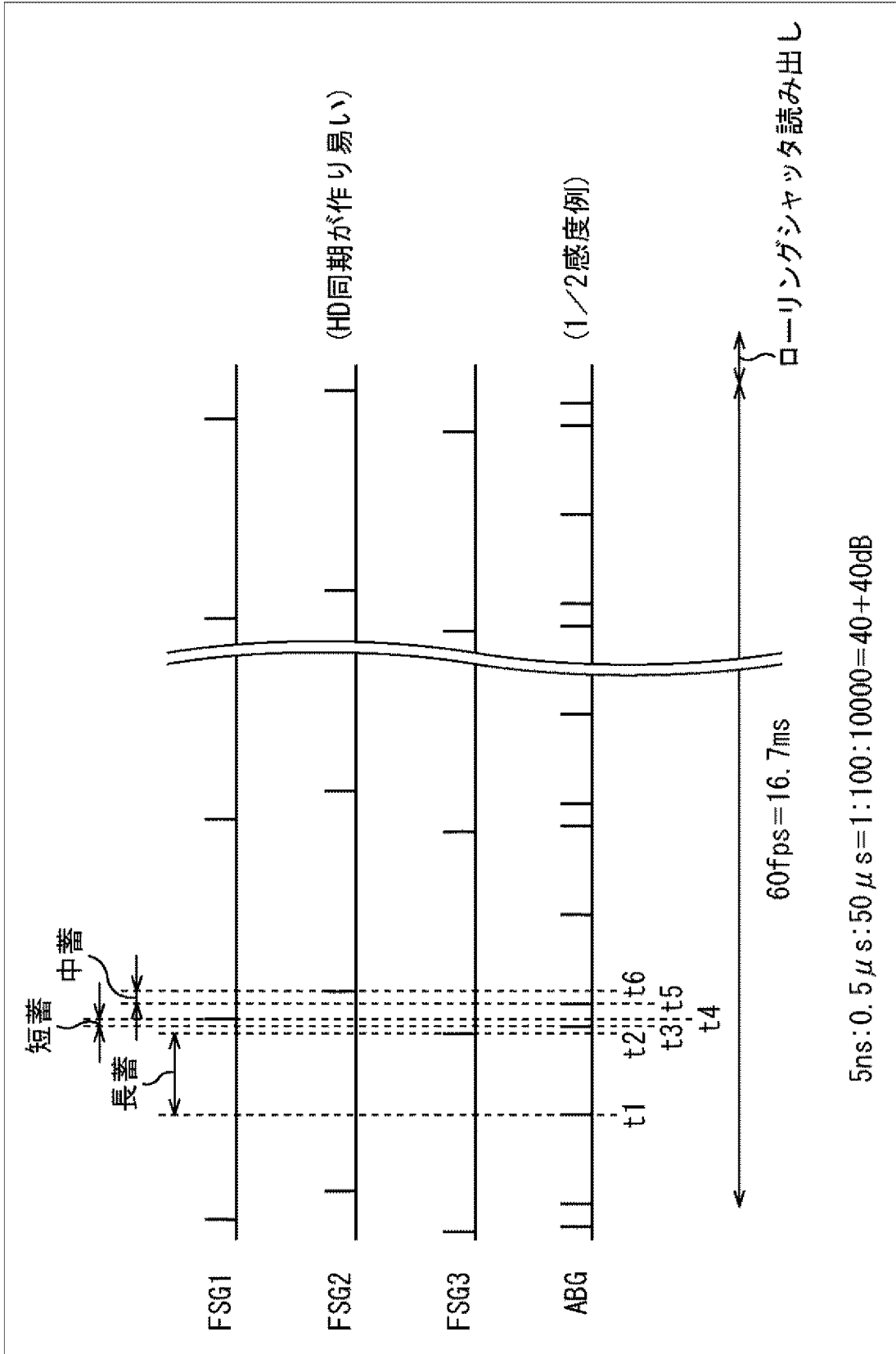


[図3]  
 図3



[図4]

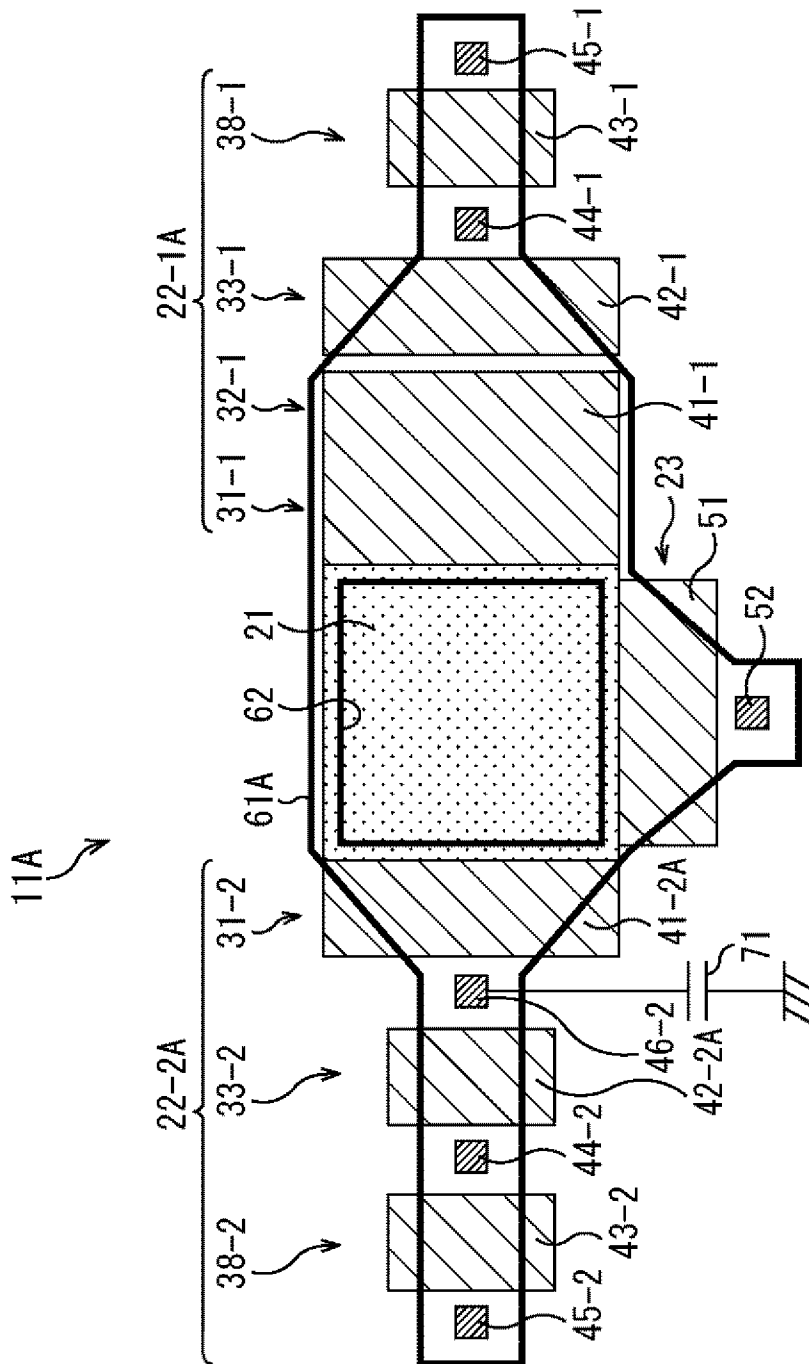
図4



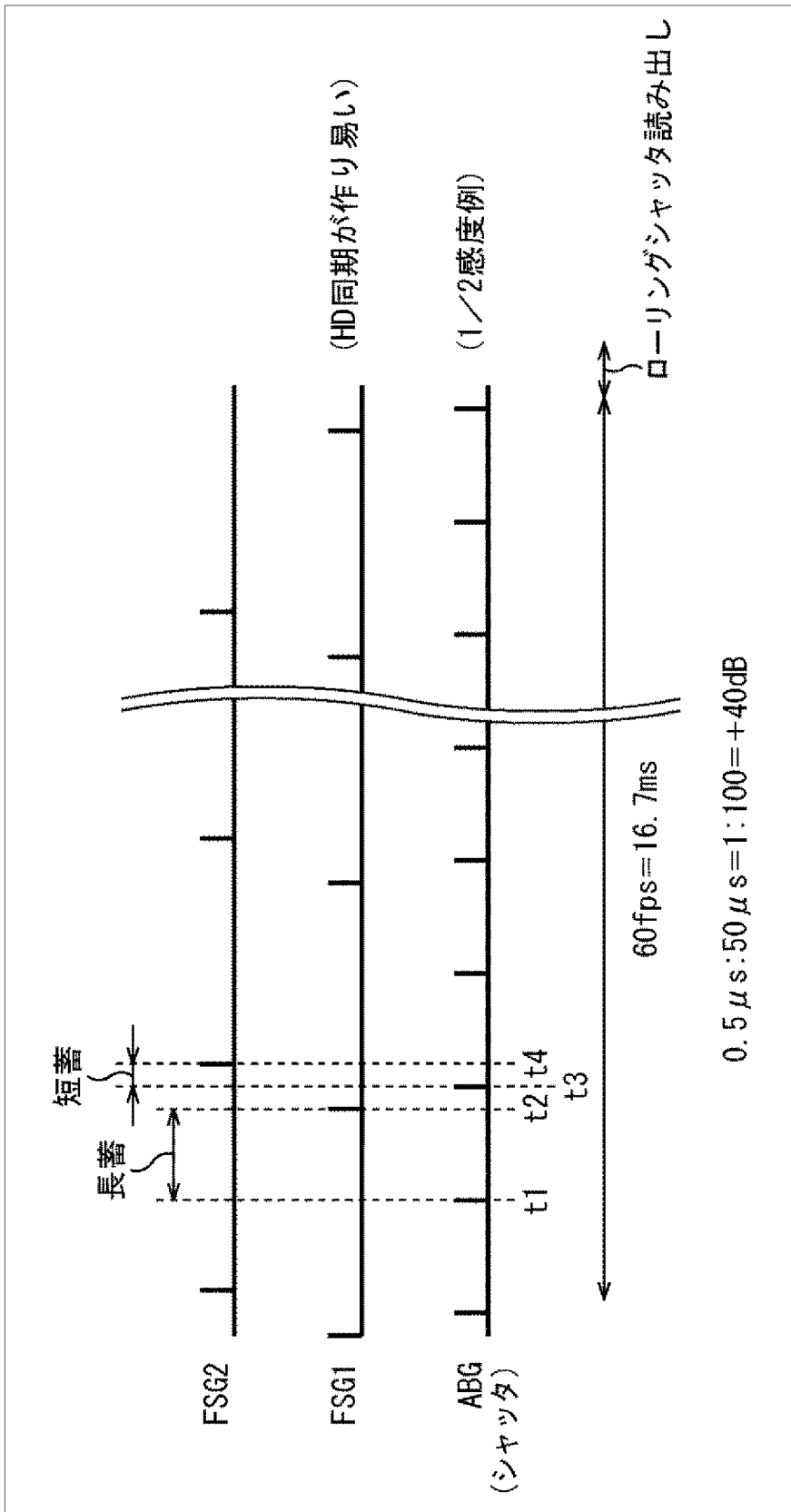


[図6]

図6



[図7]  
図7

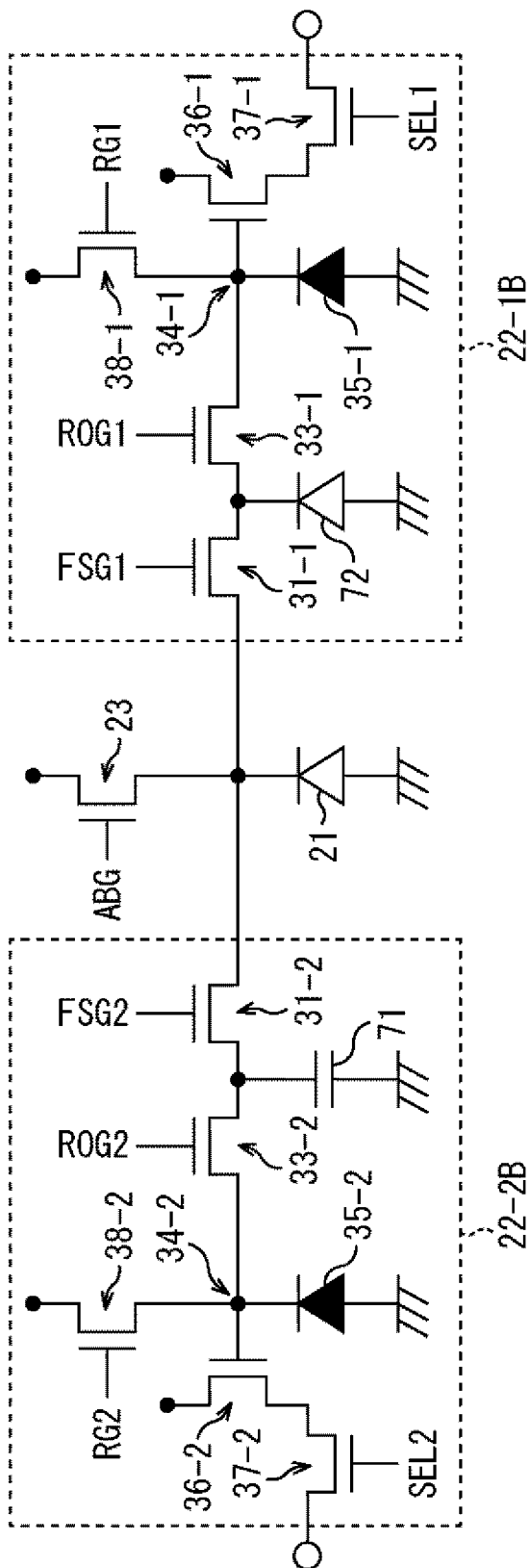




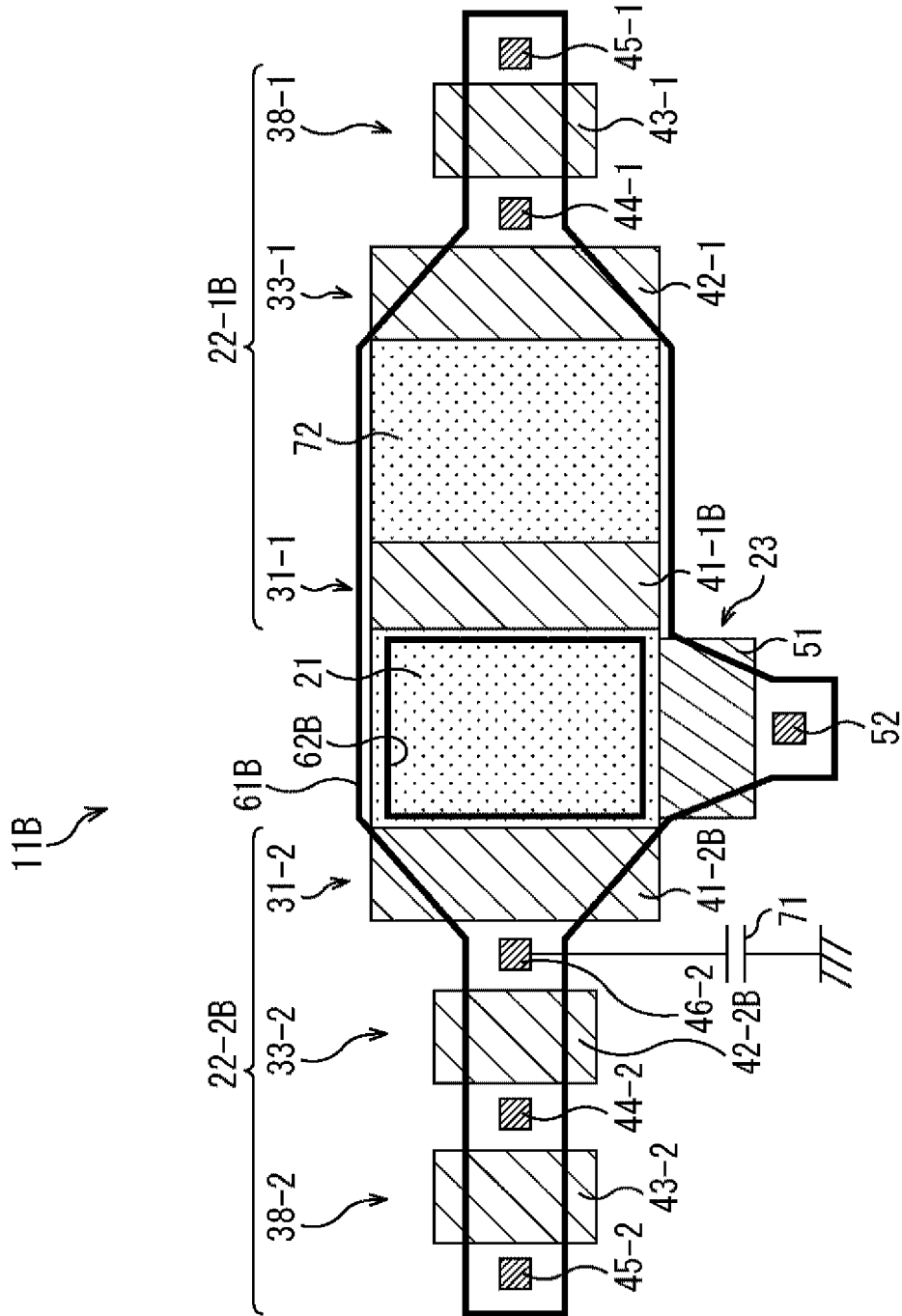
[図8]

図8

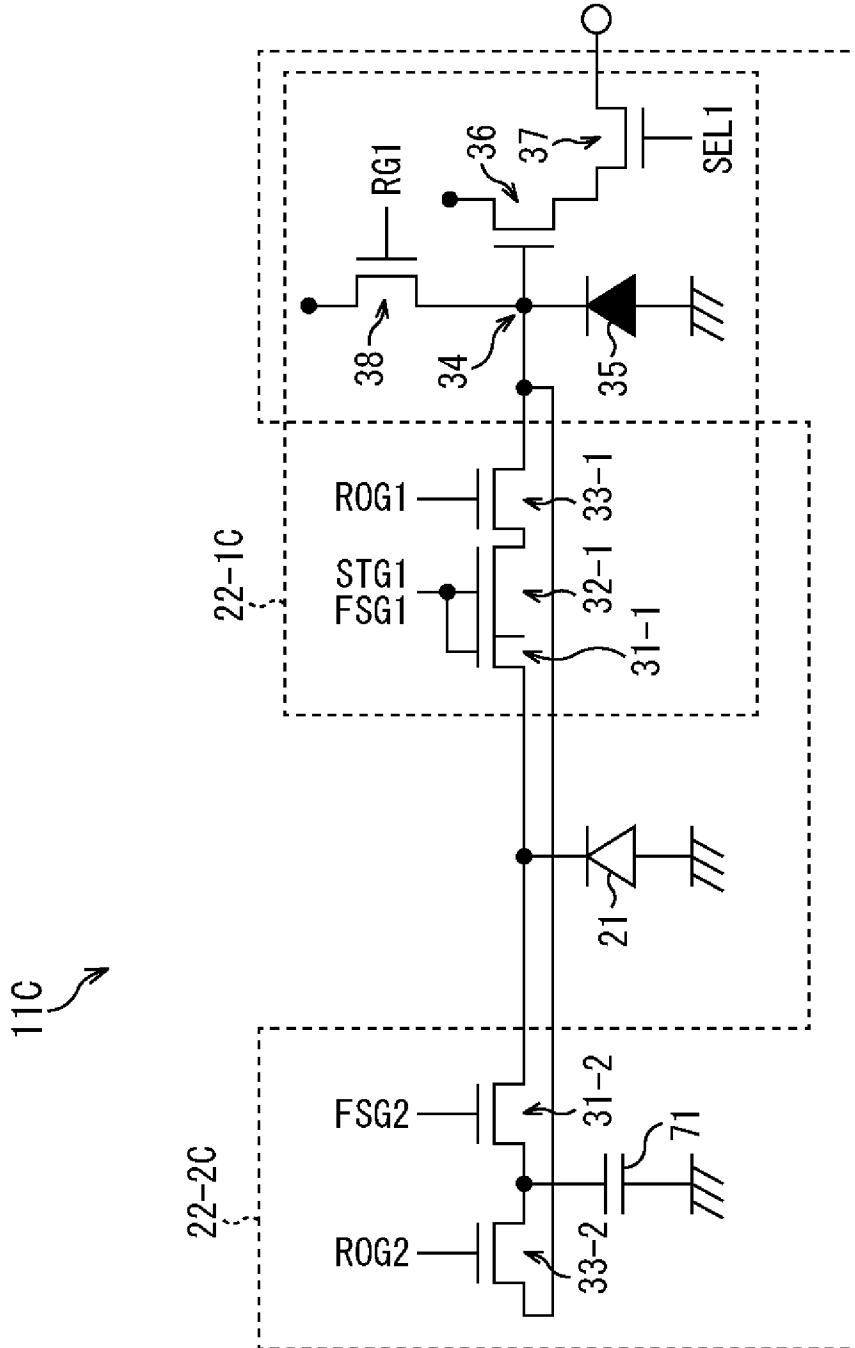
11B



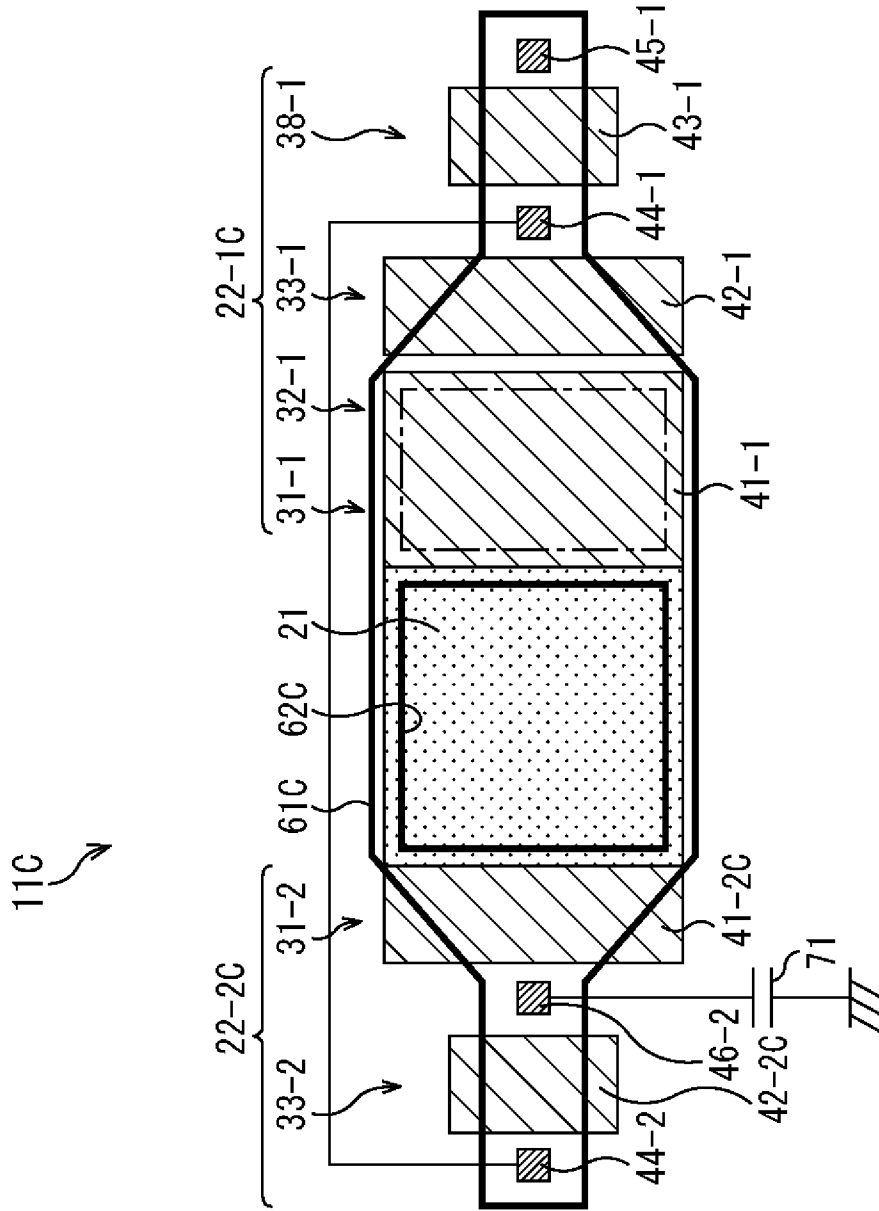
[図9]  
 図9



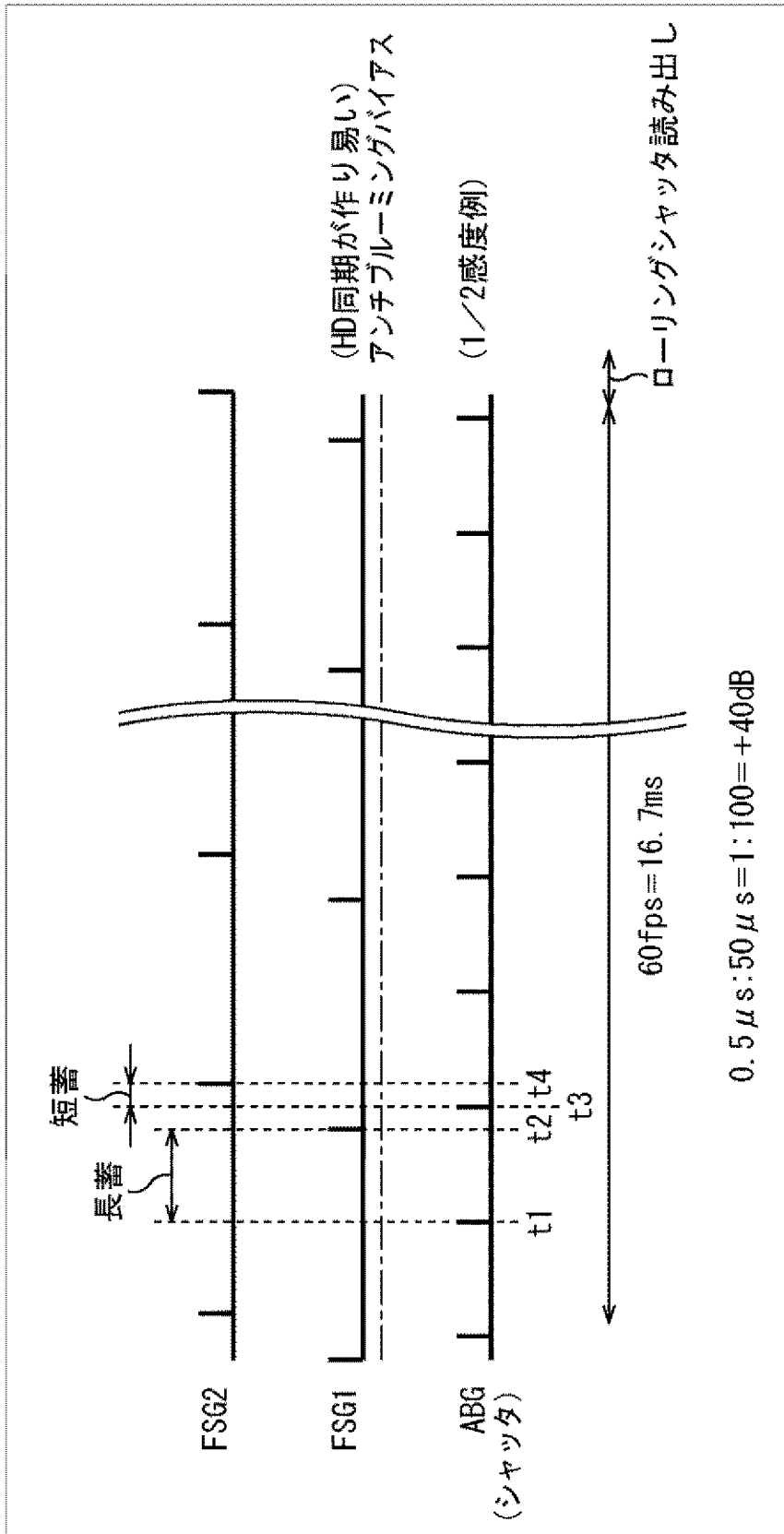
[図10]  
 図10



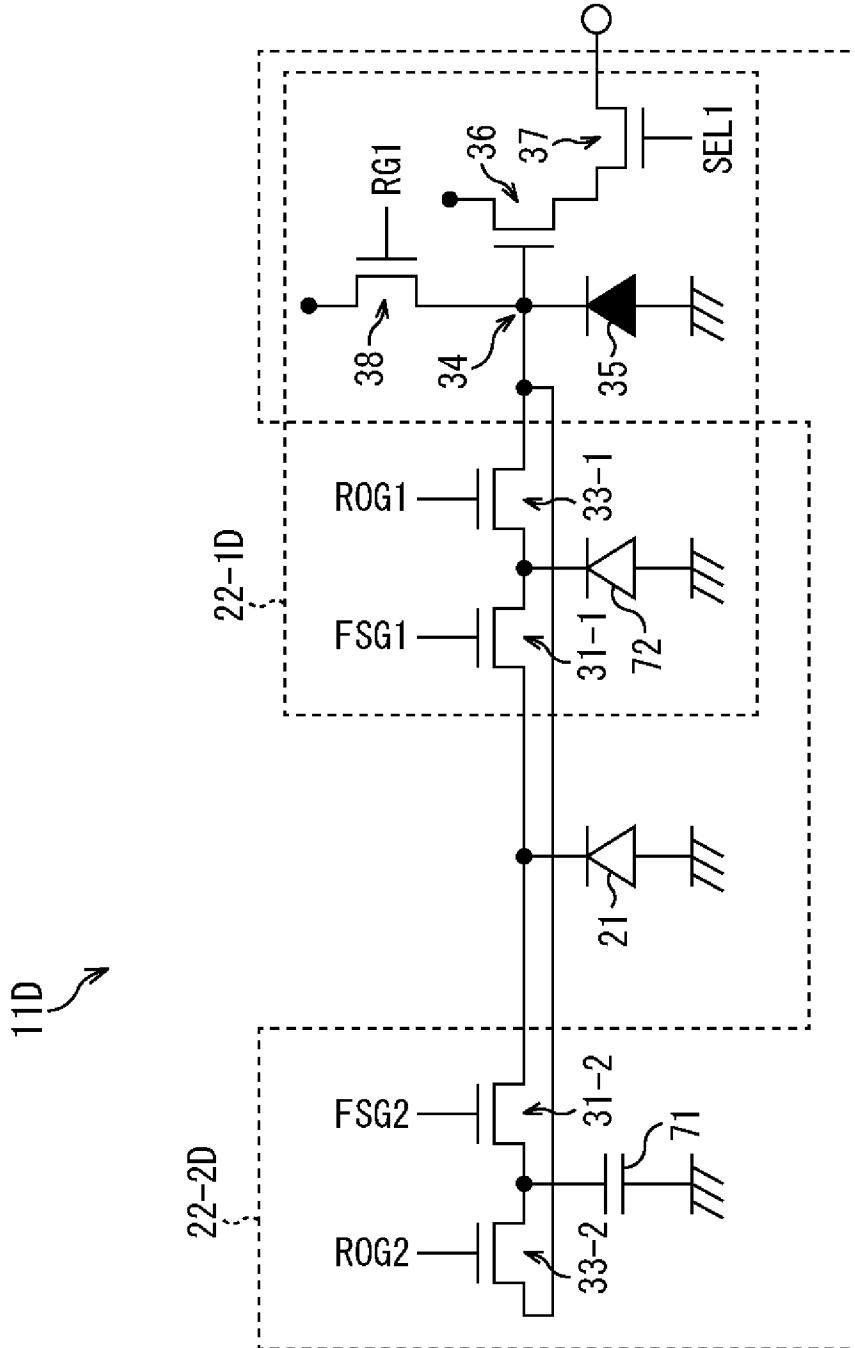
[図11]  
 図11



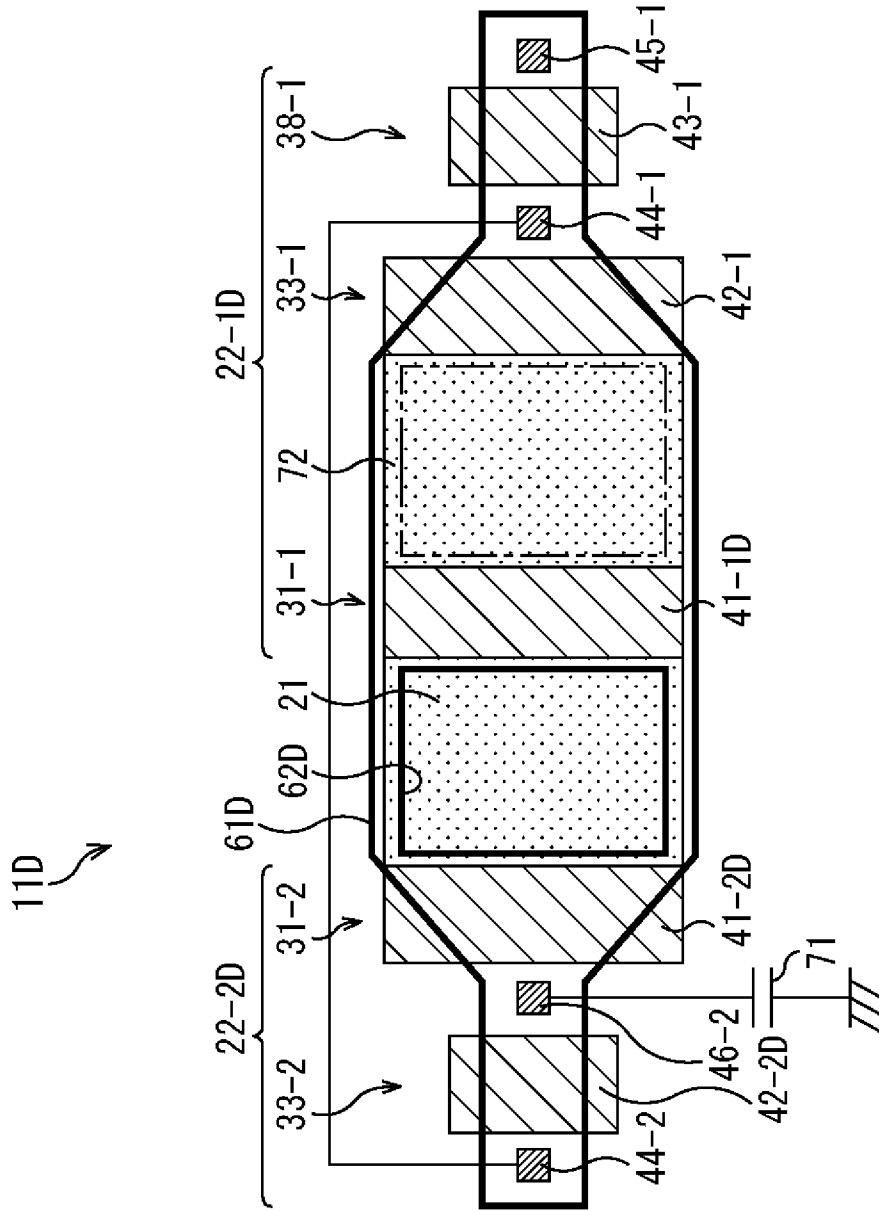
[図12]  
図12



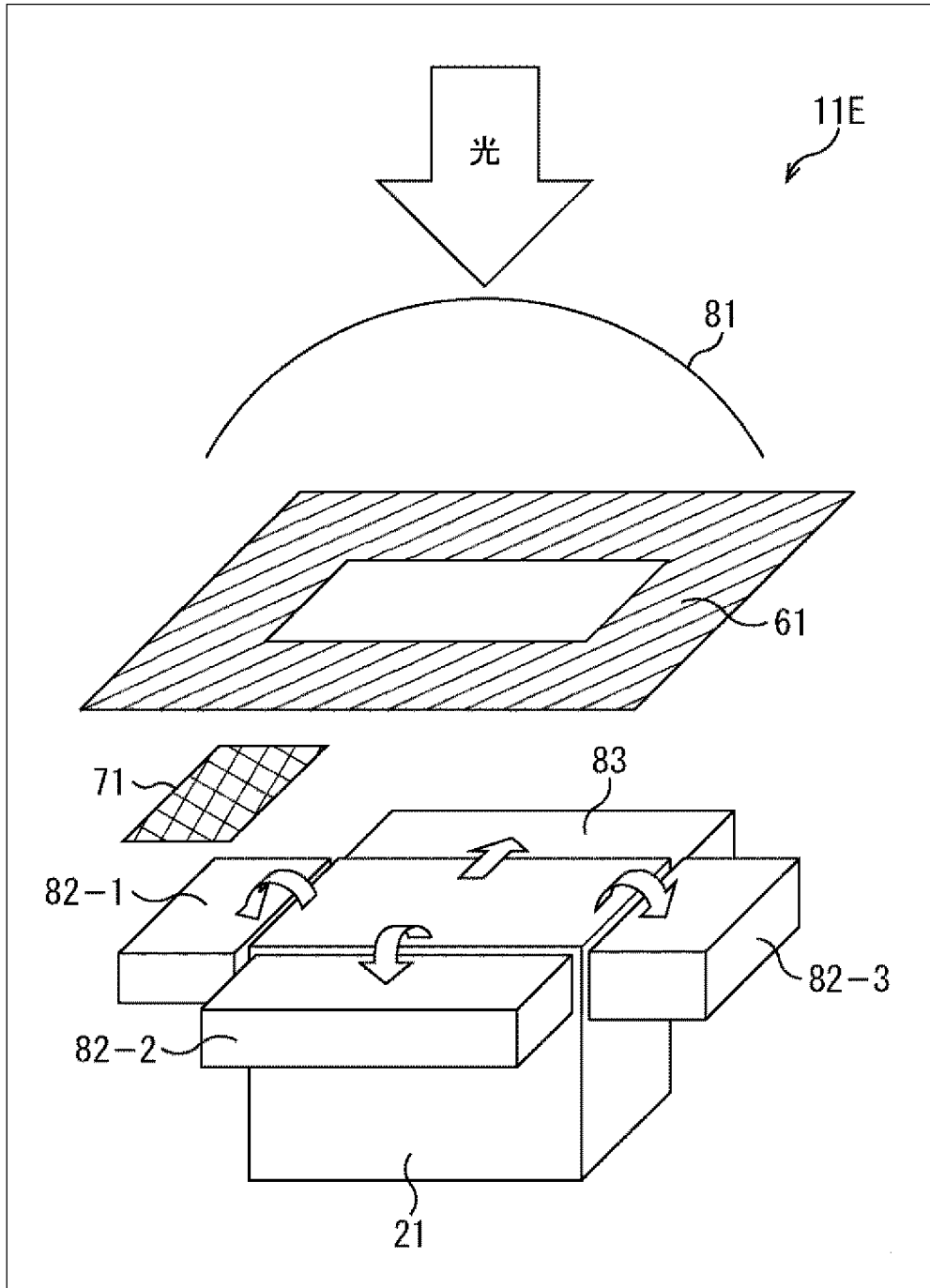
[図13]  
 図13



[図14]  
 図14



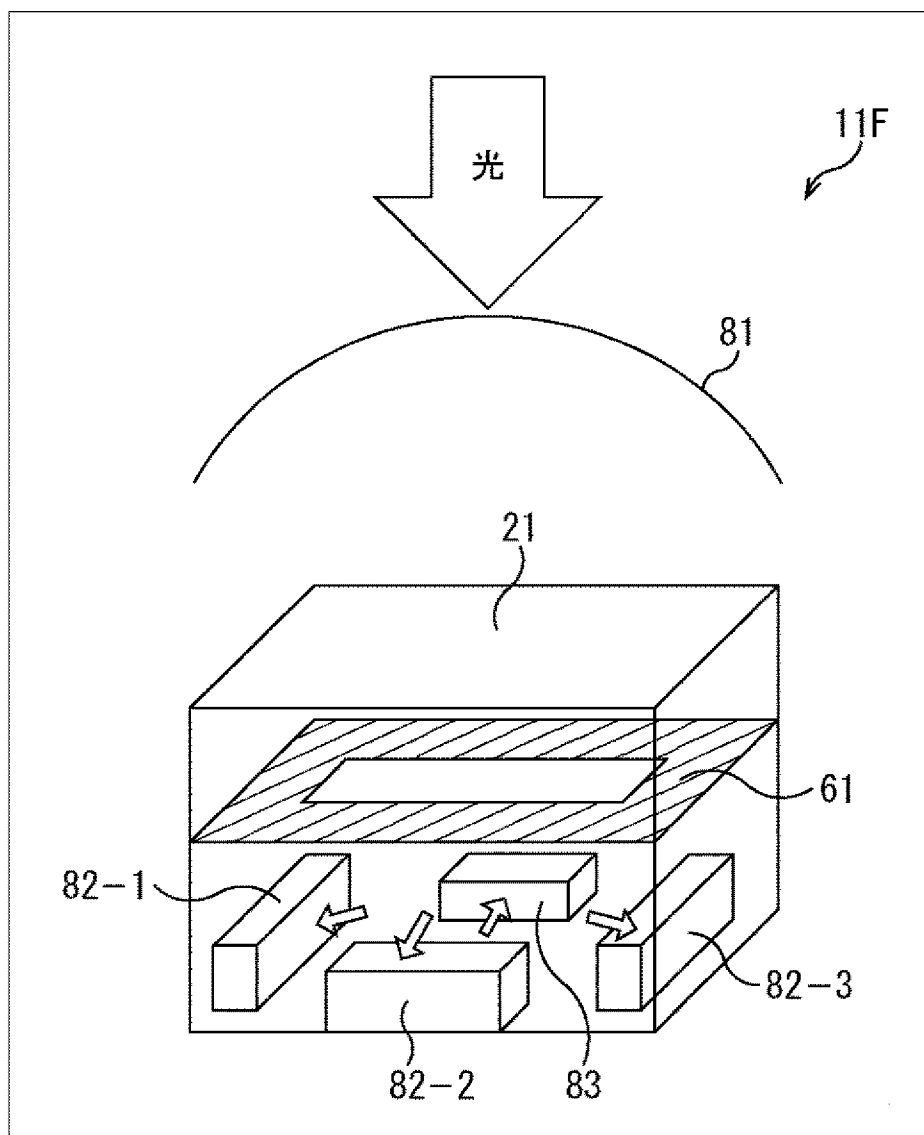
[図15]  
図15





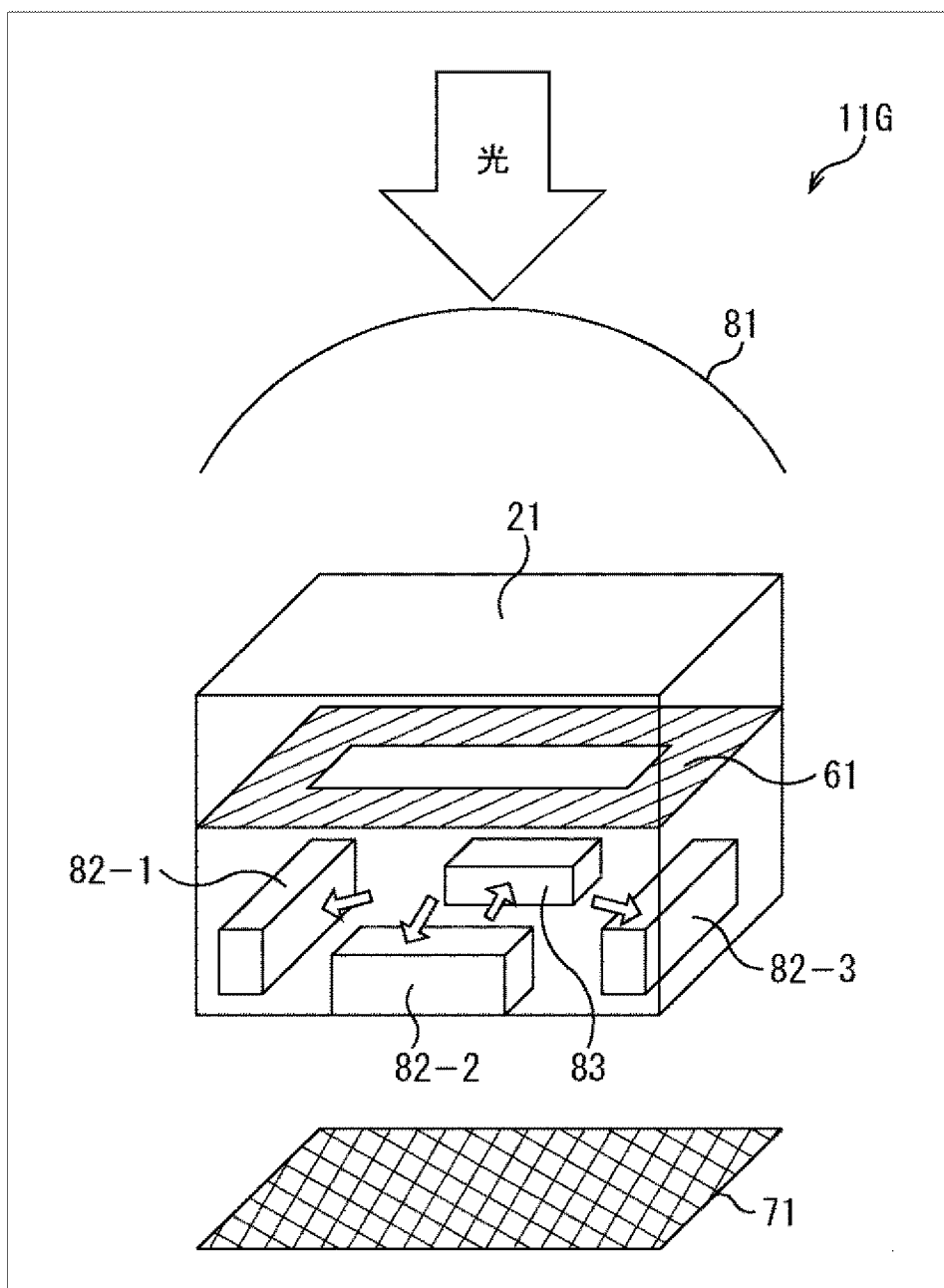
[図16]

図16

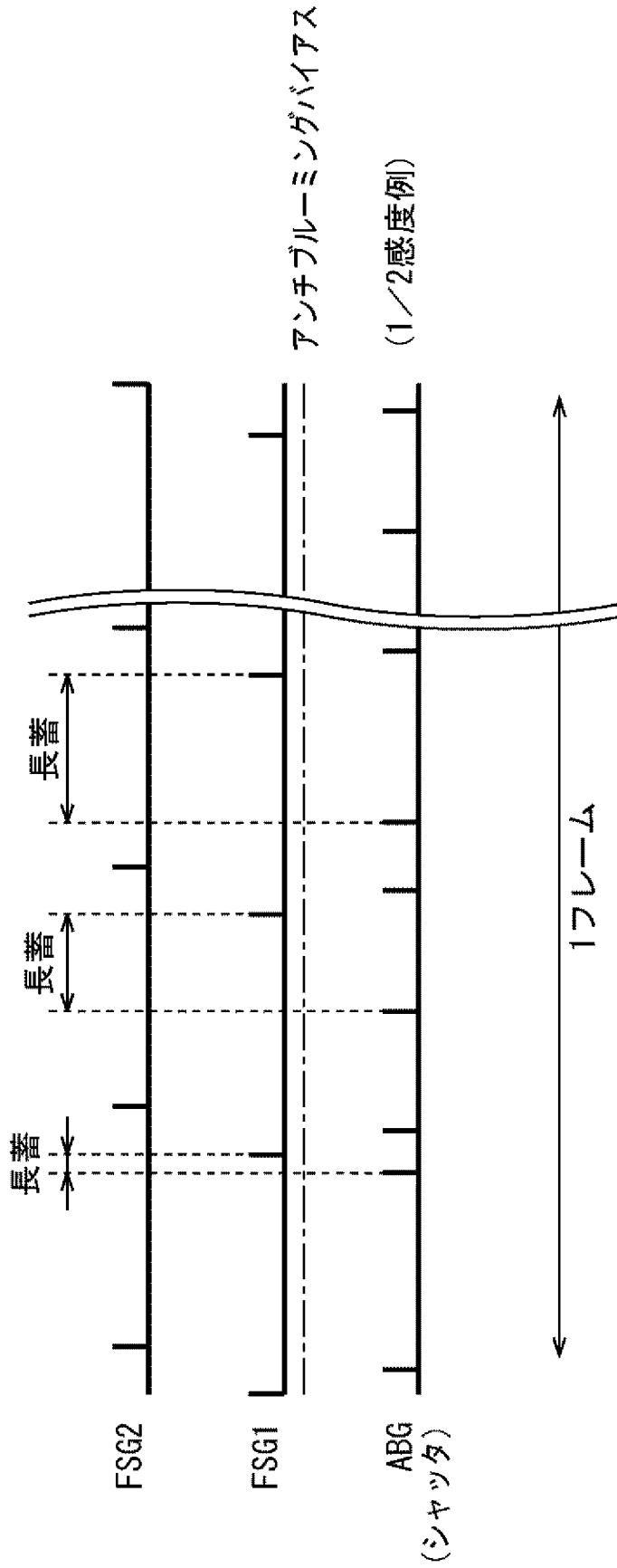


[図17]

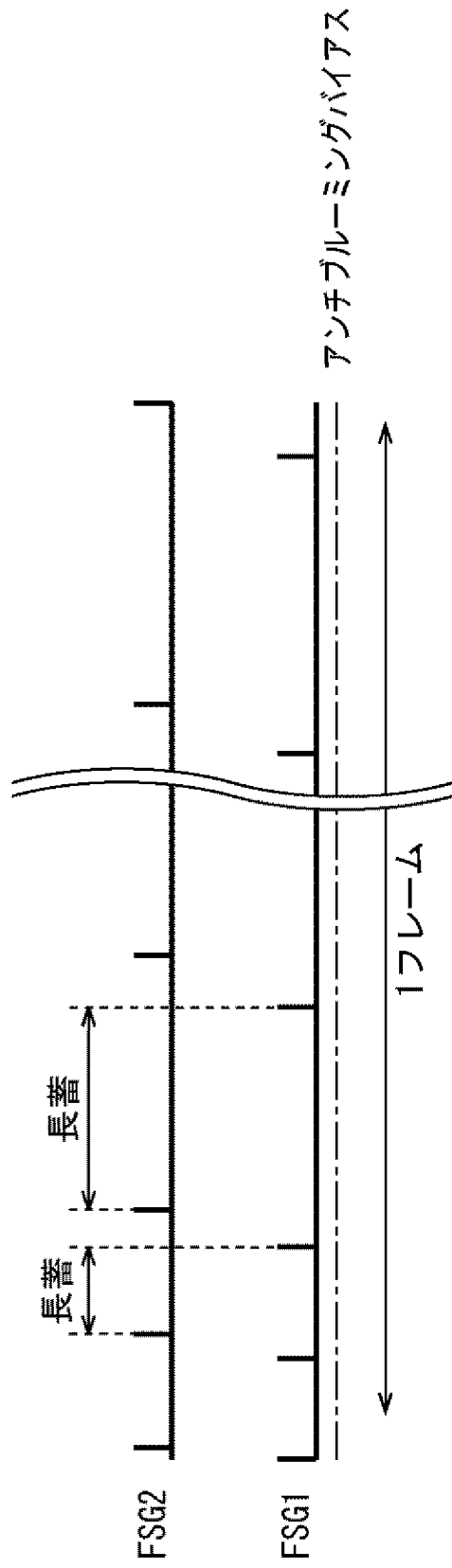
図17



[図18]  
図18

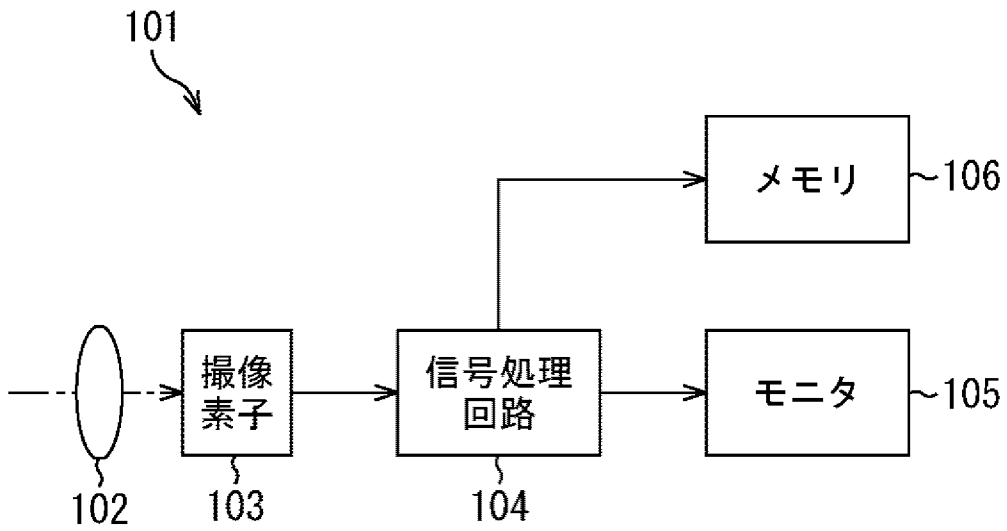


[図19]  
図19



[図20]

図20



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/052592

**A. CLASSIFICATION OF SUBJECT MATTER**  
H04N5/355(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i,  
H04N5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H04N5/355, H01L27/146, H04N5/359, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| X<br>Y    | JP 2013-55610 A (Olympus Imaging Corp.),<br>21 March 2013 (21.03.2013),<br>paragraphs [0001] to [0196]<br>& US 2013/0057754 A1<br>paragraphs [0050] to [0226] | 1, 8-13<br>2-4        |
| Y         | JP 2008-28678 A (Pentax Corp.),<br>07 February 2008 (07.02.2008),<br>paragraph [0019]<br>& US 2008/0018763 A1<br>paragraph [0029]                             | 2, 3                  |
| Y         | JP 2004-111590 A (Sony Corp.),<br>08 April 2004 (08.04.2004),<br>paragraphs [0085] to [0087]<br>& US 2004/0051801 A1<br>paragraphs [0096] to [0098]           | 4                     |

Further documents are listed in the continuation of Box C.       See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |
| "E" earlier application or patent but published on or after the international filing date   | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family  |
| "O" document referring to an oral disclosure, use, exhibition or other means  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |

|   |  |
|---|--|
| Date of the actual completion of the international search<br>02 March 2016 (02.03.16) | Date of mailing of the international search report<br>15 March 2016 (15.03.16) |
|---|--|

|  |   |
|--|---|
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Authorized officer<br><br>Telephone No. |
|--|---|

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/052592

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP 5-268533 A (Matsushita Electric Industrial Co., Ltd.),<br>15 October 1993 (15.10.1993),<br>paragraph [0008]<br>(Family: none) | 6                     |

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/355(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/355, H01L27/146, H04N5/359, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求項の番号 |
|-----------------|--|----------------|
| X<br>Y          | JP 2013-55610 A（オリンパスイメージング株式会社）2013.03.21,<br>段落[0001]-[0196] & US 2013/0057754 A1, 段落[0050]-[0226] | 1, 8-13<br>2-4 |
| Y               | JP 2008-28678 A（ペンタックス株式会社）2008.02.07, 段落[0019]<br>& US 2008/0018763 A1, 段落[0029]                    | 2, 3           |
| Y               | JP 2004-111590 A（ソニー株式会社）2004.04.08, 段落<br>[0085]-[0087] & US 2004/0051801 A1, 段落[0096]-[0098]       | 4              |

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

02.03.2016

国際調査報告の発送日

15.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

電話番号 03-3581-1101 内線 3571

5V

4228



| C (続き) . 関連すると認められる文献 |   |                |
|-----------------------|---|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                               | 関連する<br>請求項の番号 |
| A                     | JP 5-268533 A (松下電器産業株式会社) 1993. 10. 15, 段落[0008] (フ<br>ァミリーなし) | 6              |