



(12) 发明专利

(10) 授权公告号 CN 108321209 B

(45) 授权公告日 2022. 05. 13

(21) 申请号 201810356741.1

(22) 申请日 2013.09.13

(65) 同一申请的已公布的文献号
申请公布号 CN 108321209 A

(43) 申请公布日 2018.07.24

(30) 优先权数据
2012-210230 2012.09.24 JP

(62) 分案原申请数据
201380049515.4 2013.09.13

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川

(72) 发明人 山崎舜平

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

专利代理师 贾成功

(51) Int.Cl.
H01L 29/786 (2006.01)
H01L 29/10 (2006.01)

(56) 对比文件
JP 特开2011-243745 A, 2011.12.01
CN 101884109 A, 2010.11.10
CN 102593186 A, 2012.07.18
US 2011/0284844 A1, 2011.11.24

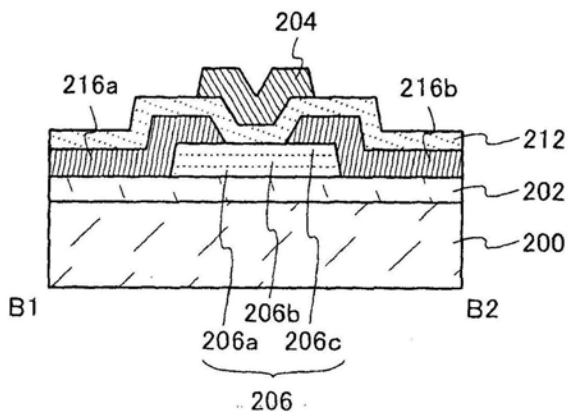
审查员 卢振宇

权利要求书2页 说明书34页 附图30页

(54) 发明名称
半导体装置

(57) 摘要

包括氧化物半导体层的晶体管可以具有稳定的电特性。另外,提供包括上述晶体管的高可靠性的半导体装置。半导体装置包括包含氧化物层和氧化物半导体层的多层膜、与多层膜接触的栅极绝缘膜及隔着栅极绝缘膜与多层膜重叠的栅电极。在半导体装置中,氧化物半导体层包含铟,氧化物半导体层与氧化物层接触,并且氧化物层包含铟且具有比氧化物半导体层大的能隙。



1. 一种半导体装置,包括:

衬底上的第一氧化物层;

所述第一氧化物层上的氧化物半导体层;

所述氧化物半导体层上的第二氧化物层;

都与所述氧化物半导体层电连接的源电极和漏电极;

所述第二氧化物层、所述源电极和所述漏电极上的栅极绝缘膜;

所述栅极绝缘膜上的栅电极;

所述栅电极上的第一保护绝缘膜;和

所述第一保护绝缘膜上的第二保护绝缘膜,

其中所述第一保护绝缘膜包含氧化硅或氮化硅,其在ESR中来源于g值为2.001的信号
的自旋密度为 3×10^{17} 自旋/cm³以下,

其中所述第二保护绝缘膜包含氧化硅或氮化硅且通过加热处理可以释放氧,

其中所述第一氧化物层、所述氧化物半导体层和所述第二氧化物层中的至少一个包含
铟、镓和锌,

其中所述第一氧化物层、所述氧化物半导体层和所述第二氧化物层中的至少一个包括
结晶部,

其中所述结晶部的c轴平行于所述第一氧化物层的表面的法线向量,以及

其中所述氧化物半导体层中的硅的浓度低于 1×10^{18} 原子/cm³。

2. 一种半导体装置,包括:

衬底上的第一氧化物层;

所述第一氧化物层上的氧化物半导体层;

所述氧化物半导体层上的第二氧化物层;

都与所述氧化物半导体层电连接的源电极和漏电极;

所述第二氧化物层、所述源电极和所述漏电极上的栅极绝缘膜;

所述栅极绝缘膜上的栅电极;

所述栅电极上的第一保护绝缘膜;和

所述第一保护绝缘膜上的第二保护绝缘膜,

其中所述第一保护绝缘膜包含氧化硅或氮化硅,其在ESR中来源于g值为2.001的信号
的自旋密度为 3×10^{17} 自旋/cm³以下,以及

其中所述第二保护绝缘膜包含氧化硅或氮化硅且通过加热处理可以释放氧,

其中所述源电极和所述漏电极都包含钛和铜,

其中所述第一氧化物层、所述氧化物半导体层和所述第二氧化物层中的至少一个包含
铟、镓和锌,

其中所述第一氧化物层、所述氧化物半导体层和所述第二氧化物层中的至少一个包括
结晶部,

其中所述结晶部的c轴平行于所述第一氧化物层的表面的法线向量,以及

其中所述氧化物半导体层中的硅的浓度低于 1×10^{18} 原子/cm³。

3. 根据权利要求1或2所述的半导体装置,

其中所述第一氧化物层的带隙比所述氧化物半导体层的带隙大,并且

其中所述第二氧化物层的带隙比所述氧化物半导体层的所述带隙大。

4. 根据权利要求1或2所述的半导体装置，

其中所述第一氧化物层的导带底端的能量比所述氧化物半导体层的导带底端的能量大，

其中所述第二氧化物层的导带底端的能量比所述氧化物半导体层的所述导带底端的所述能量大。

5. 根据权利要求4所述的半导体装置，

其中所述第一氧化物层的所述导带底端的所述能量和所述氧化物半导体层的所述导带底端的所述能量之间的间隙为0.05eV以上且2eV以下，并且

其中所述第二氧化物层的所述导带底端的所述能量和所述氧化物半导体层的所述导带底端的所述能量之间的间隙为0.05eV以上且2eV以下。

6. 根据权利要求1或2所述的半导体装置，

其中所述氧化物半导体层的氢浓度为 2×10^{20} 原子/cm³以下。

7. 根据权利要求1或2所述的半导体装置，还包括所述第二保护绝缘膜上的第三保护绝缘膜，

其中所述第三保护绝缘膜包含氮化硅。

8. 根据权利要求1或2所述的半导体装置，其中所述源电极和所述漏电极都与所述氧化物半导体层的侧端部接触。

半导体装置

[0001] 本申请是申请日为2013年09月13日、申请号为201380049515.4、发明名称为“半导体装置”的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置及半导体装置的制造方法。

[0003] 注意,在本说明书中,半导体装置是指能够通过利用半导体特性而工作的任何装置,因此电光装置、半导体电路以及电子设备等都是半导体装置。

背景技术

[0004] 使用形成在具有绝缘表面的衬底上的半导体层形成晶体管的技术受到关注。该晶体管被应用于广泛范围的半导体装置例如集成电路和显示装置。作为可用于晶体管的半导体层,硅膜被众所周知。

[0005] 作为晶体管的半导体层使用非晶硅膜还是多晶硅膜取决于目的。例如,因为在大尺寸衬底上形成膜的技术已经确立,所以作为大尺寸的显示装置中的晶体管,优选使用非晶硅膜。另一方面,对于在相同的衬底上形成驱动电路的高功能的显示装置中包含的晶体管,优选使用可以形成具有高场效应迁移率的晶体管的多晶硅膜。作为用来形成多晶硅膜的方法,已知对非晶硅膜进行的高温加热处理或激光处理。

[0006] 并且,近年来,氧化物半导体层受到关注。例如,公开了包括包含铟、镓及锌且具有低于 $10^{18}/\text{cm}^3$ 的载流子密度的氧化物半导体层的晶体管(参照专利文献1)。

[0007] 氧化物半导体层可以通过溅射法形成,由此可以被用于大尺寸的显示装置中的晶体管。并且,包括氧化物半导体层的晶体管具有高场效应迁移率;由此,可以得到在相同的衬底上形成驱动电路的高功能的显示装置。另外,因为用于包括非晶硅膜的晶体管的生产装置的一部分可以改良而利用,所以有可以减少资本投资的优点。

[0008] 已知当包括氧化物半导体层的晶体管关闭时,该晶体管的具有极低的泄漏电流。例如,公开了利用作为包括氧化物半导体层的晶体管的特性的低泄漏电流的低耗电量的CPU(参照专利文献2)。

[0009] [参考文献]

[0010] [专利文献1]日本专利申请公开第2006-165528号公报

[0011] [专利文献2]美国专利申请公开第2012/0032730号说明书

发明内容

[0012] 随着包括氧化物半导体层的晶体管的应用扩大,从各个方面要求可靠性。于是,本发明的一个方式的目的是得到具有稳定的电特性的包括氧化物半导体层的晶体管。其另一个目的是提供包括上述晶体管的高可靠性的半导体装置。

[0013] 根据本发明的一个方式,半导体装置包括包含氧化物层和氧化物半导体层的多层膜、与多层膜接触的栅极绝缘膜以及隔着栅极绝缘膜与多层膜重叠的栅电极。氧化物半导

体层包含铟。氧化物半导体层与氧化物层接触。氧化物层包含铟且具有比氧化物半导体层大的能隙。

[0014] 注意,包含铟的氧化物半导体层或氧化物层的典型例子包括In-Ga氧化物、In-Zn氧化物和In-M-Zn氧化物(M为Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf)。

[0015] 根据本发明的另一个方式,半导体装置包括包含氧化物层和氧化物半导体层的多层膜、与多层膜接触的栅极绝缘膜、隔着栅极绝缘膜与多层膜重叠的栅电极。氧化物半导体层包含铟。氧化物半导体层与氧化物层接触。氧化物层包含铟。氧化物层的导带底端的能量比起氧化物半导体层的导带底端的能量近于真空能级。注意,真空能级与导带底端之间的能隙被称为电子亲和能。

[0016] 根据本发明的另一个方式,半导体装置包括:包含第一氧化物层、第二氧化物层以及氧化物半导体层的多层膜;与多层膜接触的栅极绝缘膜;隔着栅极绝缘膜与多层膜重叠的栅电极。氧化物半导体层包含铟。氧化物半导体层与第一氧化物层接触。第一氧化物层包含铟并具有比氧化物半导体层大的能隙。氧化物半导体层与第二氧化物层接触,所述第二氧化物与第一氧化物层对置。第二氧化物层包含铟并具有比氧化物半导体层大的能隙。

[0017] 根据本发明的另一个方式,半导体装置包括:包含第一氧化物层、第二氧化物层以及氧化物半导体层的多层膜;与多层膜接触的栅极绝缘膜;隔着栅极绝缘膜与多层膜重叠的栅电极。氧化物半导体层包含铟。氧化物半导体层与第一氧化物层接触。第一氧化物层包含铟。第一氧化物层的导带底端的能量比起氧化物半导体层的导带底端的能量近于真空能级,氧化物半导体层与第二氧化物层接触,所述第二氧化物与第一氧化物层对置。第二氧化物层包含铟。第二氧化物层的导带底端的能量比起氧化物半导体层的导带底端的能量近于真空能级。

[0018] 为了得到在氧化物半导体层中形成沟道的具有稳定的电特性的晶体管,通过降低氧化物半导体层中的杂质浓度而使氧化物半导体层高纯化来实现高纯度本征的氧化物半导体层是有效的。得到高纯度本征的氧化物半导体层是指使氧化物半导体层高纯化或实质上高纯化来实现本征或实质上本征的氧化物半导体层。注意,在实质上高纯度本征的氧化物半导体层的情况下,其载流子密度低于 $1 \times 10^{17}/\text{cm}^3$ 、低于 $1 \times 10^{15}/\text{cm}^3$ 或低于 $1 \times 10^{13}/\text{cm}^3$ 。在氧化物半导体层中,氢、氮、碳、硅以及除了主成分以外的金属元素都成为杂质,有时增大载流子密度。为了降低氧化物半导体层中的杂质浓度,优选还降低接近于氧化物半导体层的第一氧化物层和第三氧化物层的杂质浓度。

[0019] 例如,在氧化物半导体层中,硅形成杂质能级。有时该杂质能级成为陷阱,使得晶体管的电特性劣化。具体地,将氧化物半导体层中的硅浓度设定为低于 1×10^{19} 原子/ cm^3 、优选低于 5×10^{18} 原子/ cm^3 ,更优选低于 1×10^{18} 原子/ cm^3 。注意,作为晶体管的栅极绝缘膜,在很多情况下使用包含硅的绝缘膜例如氧化硅膜、氧氮化硅膜、氮化硅膜或氮氧化硅膜;由此,优选不使氧化物半导体层与栅极绝缘膜接触。

[0020] 另外,氧化物半导体层中的氢及氮形成供体能级,使得载流子密度增大。

[0021] 在沟道形成在栅极绝缘膜和氧化物半导体层之间的界面的情况下,在该界面产生界面散射,由此晶体管的场效应迁移率降低。从上述观点来看,优选不与栅极绝缘膜接触地形成氧化物半导体层而将沟道从栅极绝缘膜离开。

[0022] 因此,当将晶体管的沟道从栅极绝缘膜离开时,晶体管可以具有稳定的电特性和

高场效应迁移率。通过作为显示装置的开关元件使用该晶体管,可以得到高可靠性的显示装置,因为晶体管具有稳定的电特性。

[0023] 为了将晶体管的沟道从栅极绝缘膜离开,例如包含氧化物半导体层的多层膜可以具有如下结构。注意,氧化物半导体层优选至少包含铟,因为可以增大载流子迁移率。

[0024] 包含氧化物半导体层的多层膜至少包括氧化物半导体层(方便起见,称为第二氧化物层)以及第二氧化物层和栅极绝缘膜之间的第一氧化物层(也称为阻挡层)。第一氧化物层包括包含在第二氧化物层中的氧以外的一种以上的元素。另外,第一氧化物层的导带底端的能量比起第二氧化物层的导带底端的能量近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或0.4eV以下。此时,当电场施加到栅电极时,沟道形成在导带底端的能量小的包含氧化物半导体层的多层膜的第二氧化物层中。就是说,第一氧化物层形成在第二氧化物层和栅极绝缘膜之间,由此可以将晶体管的沟道形成在不与栅极绝缘膜接触的层(在此,第二氧化物层)中。另外,因为第一氧化物层包括包含在第二氧化物层中的氧以外的一种以上的元素,所以在第一氧化物层和第二氧化物层之间的界面不容易产生界面散射。因此,因为在该界面不阻碍载流子的移动,所以晶体管可以具有高场效应迁移率。

[0025] 例如,第一氧化物层也可以以比第二氧化物层高的原子比包含铝、硅、钛、镓、锗、钇、铈、锡、镧、铈、铈或铈。具体而言,第一氧化物层中的任意的上述元素的原子比与第二氧化物层相比高1.5倍以上,优选为2倍以上,更优选为3倍以上。上述元素与氧坚固地键合,所以具有抑制氧缺位产生在第一氧化物层中的功能。就是说,与在第二氧化物层中相比,在第一氧化物层中不容易产生氧缺位。

[0026] 或者,在第一氧化物层和第二氧化物层都是In-M-Zn氧化物且第一氧化物层和第二氧化物层分别包含原子比为 $x_1:y_1:z_1$ 的In、M和Zn、以及原子比为 $x_2:y_2:z_2$ 的In、M和Zn时, y_1/x_1 需要比 y_2/x_2 大。注意,元素M是其与氧的键合力比In与氧的键合力大的金属元素,作为例子可以举出Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd和Hf。优选的是,选择 y_1/x_1 比 y_2/x_2 大1.5倍以上的第一氧化物层及第二氧化物层。更优选的是,选择 y_1/x_1 比 y_2/x_2 大2倍以上的第一氧化物层及第二氧化物层。进一步优选的是,选择 y_1/x_1 比 y_2/x_2 大3倍以上的第一氧化物层及第二氧化物层。此时,在第二氧化物层中,因为晶体管可以具有稳定的电特性,所以 y_1 优选为 x_1 以上。但是,当 y_1 为 x_1 的3倍以上时,晶体管的场效应迁移率变低,所以 y_1 优选等于 x_1 或小于 x_1 的3倍。

[0027] 第一氧化物层的厚度为3nm以上且100nm以下,优选为3nm以上且50nm以下。第二氧化物层的厚度为3nm以上且200nm以下,优选为3nm以上且100nm以下,更优选为3nm以上且50nm以下。

[0028] 此外,包含氧化物半导体层的多层膜也可以包括与栅极绝缘膜对置且与绝缘膜及第二氧化物层接触的第三氧化物层(也称为阻挡层)。第三氧化物层包含除第二氧化物层所包含的氧以外的一种以上的元素。另外,第三氧化物层的导带底端的能量比第二氧化物层的导带底端的能量近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或0.4eV以下。此时,当电场施加到栅电极时,在第三氧化物层中不形成沟道。另外,第三氧化物层包含除第二氧化物层所包含的氧以外的一种以上的元素,由此在第二氧化物层和第三氧化物层之间的界面不容易形成界面能级。当该界面具有界面

能级时,有时形成将该界面用作沟道并具有不同阈值电压的第二晶体管,使得晶体管的外观上的阈值电压发生变动。因此,通过第三氧化物层,可以降低晶体管的电特性例如阈值电压的不均匀。注意,在包括第三氧化物层的情况下,有时包含氧化物半导体层的多层膜不需要包括第一氧化物层。

[0029] 例如,第三氧化物层也可以以比第二氧化物层高的原子比包含铝、硅、钛、镓、锗、钇、锆、锡、镧、铈、钕或铪。具体而言,第三氧化物层中的上述元素的原子比与第二氧化物层相比高1.5倍以上,优选为2倍以上,更优选为3倍以上。任意的上述元素与氧坚固地键合,所以具有抑制氧缺位产生在第三氧化物层中的功能。就是说,与在第二氧化物层中相比,在第三氧化物层中不容易产生氧缺位。

[0030] 或者,在第二氧化物层和第三氧化物层都是In-M-Zn氧化物且第二氧化物层和第三氧化物层分别包含原子比为 $x_2:y_2:z_2$ 的In、M和Zn、以及原子比为 $x_3:y_3:z_3$ 的In、M和Zn时, y_3/x_3 需要比 y_2/x_2 大。注意,元素M是其与氧的键合力比In与氧的键合力大的金属元素,作为例子可以举出Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd和Hf。优选的是,选择 y_3/x_3 比 y_2/x_2 大1.5倍以上的第二氧化物层及第三氧化物层。更优选的是,选择 y_3/x_3 比 y_2/x_2 大2倍以上的第二氧化物层及第三氧化物层。进一步优选的是,选择 y_3/x_3 比 y_2/x_2 大3倍以上的第二氧化物层及第三氧化物层。此时,在第二氧化物层中,因为晶体管可以具有稳定的电特性,所以 y_2 优选为 x_2 以上。但是,当 y_2 为 x_2 的3倍以上时,晶体管的场效应迁移率变低,所以 y_2 优选等于 x_2 或小于 x_2 的3倍。

[0031] 第三氧化物层的厚度为3nm以上且100nm以下,优选为3nm以上且50nm以下。

[0032] 注意,第一氧化物层或第三氧化物层与晶体管的源电极(源区域)及漏电极(漏区域)接触地设置。

[0033] 当晶体管的源电极(源区域)及漏电极(漏区域)至少与氧化物半导体层的侧端部接触地设置时,源电极(源区域)及漏电极(漏区域)与沟道形成区域接触,这是优选的。

[0034] 根据本发明的一个方式,通过包含氧化物半导体层的多层膜,可以得到具有稳定的电特性的晶体管。另外,可以提供包括该晶体管的高可靠性的半导体装置。

附图说明

[0035] 图1是说明本发明的一个方式的多层膜的截面图。

[0036] 图2示出本发明的一个方式的多层膜的ToF-SIMS的结果。

[0037] 图3A至3C都示出本发明的一个方式的多层膜中的氧的扩散。

[0038] 图4示出本发明的一个方式的氧化物层和氧化物半导体层中的微粒的个数。

[0039] 图5A和5B都示出本发明的一个方式的多层膜的带结构。

[0040] 图6A和6B都说明本发明的一个方式的多层膜的带结构。

[0041] 图7示出本发明的一个方式的多层膜的带结构。

[0042] 图8A至8D都是利用TEM得到的本发明的一个方式的多层膜的透射电子图像。

[0043] 图9A至9D都是利用TEM得到的本发明的一个方式的多层膜的透射电子图像。

[0044] 图10A和10B说明从靶材剥离溅射粒子的状态。

[0045] 图11A和11B说明In-Ga-Zn氧化物的结晶结构的一个例子。

[0046] 图12A和12B是说明溅射粒子到达沉积表面并沉积的状态的示意图。

- [0047] 图13A和13B示出本发明的一个方式的多层膜的CPM测定结果。
- [0048] 图14是说明成膜装置的一个例子的俯视图。
- [0049] 图15A至15C是说明成膜室等的一个例子的截面图。
- [0050] 图16A至16D是说明本发明的一个方式的半导体装置的俯视图及截面图。
- [0051] 图17A至17C是说明本发明的一个方式的半导体装置的制造方法的截面图。
- [0052] 图18A和18B是说明本发明的一个方式的半导体装置的制造方法的截面图。
- [0053] 图19A至19C是说明本发明的一个方式的半导体装置的俯视图及截面图。
- [0054] 图20A至20C是说明本发明的一个方式的半导体装置的制造方法的截面图。
- [0055] 图21A和21B是说明本发明的一个方式的半导体装置的制造方法的截面图。
- [0056] 图22A和22B都示出晶体管的V_g-I_d特性。
- [0057] 图23A和23B都示出栅极BT测试的结果。
- [0058] 图24是说明本发明的一个方式的半导体装置的一个例子的方框图。
- [0059] 图25是说明本发明的一个方式的半导体装置的一个例子的截面图。
- [0060] 图26A至26C是说明本发明的一个方式的半导体装置的一个例子的方框图。
- [0061] 图27A至27C都说明本发明的一个方式的电子设备的一个例子。

具体实施方式

[0062] 下面,参照附带附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以被变换为各种各样的形式。此外,本发明不应该被解释为仅限于以下所示的实施方式中的说明。在参照附图的发明结构的说明中,在不同的附图中共同使用相同部分的附图标记。注意,相同的阴影图案应用于相似的部分,而有时不特别以附图标记表示相似的部分。

[0063] 并且,为方便起见,使用本说明书中的“第一”和“第二”等序数,而其并不表示工序顺序或叠层顺序。此外,本说明书中的序数不表示特定本发明的固有名称。

[0064] 注意,在很多情况下,电压表示某个电位与基准电位(例如,接地电位(GND)或源电位)之间的电位差。由此,电压也可以被称为电位。

[0065] 即使使用“电连接”的表达,也有在现实的电路中没有物理连接而布线仅延伸的情况。

[0066] 并且,例如当在电路工作中电流的方向发生变化的情况下,源极及漏极的功能可能被调换。因此,在本说明书中,“源极”及“漏极”的术语可以被调换。

[0067] 本实施方式的说明可以适当地彼此组合。

[0068] <1. 包含氧化物半导体层的多层膜>

[0069] 参照图1说明用于晶体管的包含氧化物半导体层的多层膜。

[0070] <1-1. 多层膜的结构>

[0071] 在本节中,说明多层膜的结构。

[0072] 在图1中说明的多层膜106包括氧化物层106a、氧化物层106a上的氧化物半导体层106b以及氧化物半导体层106b上的氧化物层106c。注意,虽然在下面的说明中多层膜106具有三层,但是多层膜106也可以具有两层或四层以上。例如,多层膜106也可以为包含氧化物

层106a和氧化物层106a上的氧化物半导体层106b的两层膜。或者,多层膜106也可以为包含氧化物半导体层106b和氧化物半导体层106b上的氧化物层106c的两层膜。

[0073] <1-2.组成及杂质>

[0074] 在本节中,参照图2说明包括在多层膜106中的层中的硅浓度。

[0075] 在此,氧化物层106a通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0076] 氧化物半导体层106b通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为300℃,施加0.5kW的DC功率。

[0077] 氧化物层106c通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0078] 在硅片上设置多层膜106,准备没有进行加热处理的样品和以450℃进行了2小时的加热处理的样品。图2示出利用ToF-SIMS(Time-of-flight secondary ion mass spectrometry)测定的样品的深度方向的In、Ga和Zn的二次离子强度以及从SiO₃的二次离子强度换算的深度方向的Si浓度(原子/cm³)。多层膜106包括具有10nm的厚度的氧化物层106a、氧化物层106a上的具有10nm的厚度的氧化物半导体层106b以及氧化物半导体层106b上的具有10nm的厚度的氧化物层106c。

[0079] 图2示出根据当成膜时使用的各靶材的组成,包括在多层膜106中的层的组成发生变化。注意,层的组成不能使用图2进行单纯的比较。

[0080] 图2表示多层膜106的硅片和氧化物层106a之间的界面以及氧化物层106c的上表面具有较高的Si浓度。另外,图2示出氧化物半导体层106b中的Si浓度为利用ToF-SIMS的检测下限的 1×10^{18} 原子/cm³左右。这可能是由于如下缘故:由于氧化物层106a和106c的存在,氧化物半导体层106b不受到起因于硅片或表面污染的硅的影响。

[0081] 另外,从刚成膜之后(as-deposited)的样品(没有进行加热处理的样品,在图2中称为“as-depo”)和加热处理之后的样品的比较可知,虽然因加热处理而硅的扩散的影响小,但是当成膜时主要发生硅的混入。

[0082] 为了使包括多层膜106的晶体管具有稳定的电特性,使氧化物半导体层106b高纯度化而实现高纯度本征氧化物半导体层是有效的。具体地,可以将氧化物半导体层106b的载流子密度设定为低于 1×10^{17} /cm³、低于 1×10^{15} /cm³或低于 1×10^{13} /cm³。在氧化物半导体层106b中,氢、氮、碳、硅以及除了主成分以外的金属元素成为杂质。为了降低氧化物半导体层106b中的杂质浓度,优选将接近于氧化物半导体层106b的氧化物层106a和106c中的杂质浓度还降低到与氧化物半导体层106b中的杂质浓度同样的程度。

[0083] 尤其是,当在氧化物半导体层106b中包含高浓度的硅时,在氧化物半导体层106b中起因于硅的杂质能级被形成。有时该杂质能级成为陷阱,使得晶体管的电特性劣化。为了降低晶体管的电特性的劣化,可以将氧化物半导体层106b中的硅浓度设定为低于 1×10^{19} 原子/cm³、优选低于 5×10^{18} 原子/cm³,更优选低于 1×10^{18} 原子/cm³。并且,将氧化物层106a和氧化物半导体层106b之间的界面及氧化物半导体层106b和氧化物层106c之间的界面的硅

浓度都设定为低于 1×10^{19} 原子/cm³、优选低于 5×10^{18} 原子/cm³，更优选低于 1×10^{18} 原子/cm³。

[0084] 另外，氧化物半导体层106b中的氢及氮形成供体能级，使得载流子密度增大。为了使氧化物半导体层106b实现本征或实质上本征，将通过SIMS测量的氧化物半导体层106b中的氢浓度设定为 2×10^{20} 原子/cm³以下，优选为 5×10^{19} 原子/cm³以下，更优选为 1×10^{19} 原子/cm³以下，进一步优选为 5×10^{18} 原子/cm³以下。将通过SIMS测量的氧化物半导体层106b中的氮浓度设定为低于 5×10^{19} 原子/cm³，优选为 5×10^{18} 原子/cm³以下，更优选为 1×10^{18} 原子/cm³以下，进一步优选为 5×10^{17} 原子/cm³以下。

[0085] 注意，当在氧化物半导体层106b中包含高浓度的硅及碳时，有时使得氧化物半导体层106b的结晶性降低。为了不使氧化物半导体层106b的结晶性降低，可以将氧化物半导体层106b中的硅浓度设定为低于 1×10^{19} 原子/cm³、优选低于 5×10^{18} 原子/cm³，更优选低于 1×10^{18} 原子/cm³。另外，为了不使氧化物半导体层106b的结晶性降低，可以将氧化物半导体层106b中的碳浓度设定为低于 1×10^{19} 原子/cm³、优选低于 5×10^{18} 原子/cm³，更优选低于 1×10^{18} 原子/cm³。后面进行多层膜106的结晶性的说明。

[0086] 氧化物半导体层及氧化物层中的氧缺位有时举止像杂质。在此，参照图3A至3C说明经过350℃的加热处理或450℃的加热处理的多层膜106中的氧扩散。

[0087] 图3A至3C都示出使用¹⁸O₂气体形成多层膜106中的任一层的样品中的深度方向的¹⁸O的浓度分布的SIMS测量结果。

[0088] 在此，氧化物层106a通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)的靶材的溅射法来形成。

[0089] 氧化物半导体层106b通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为3:1:2)的靶材的溅射法来形成。

[0090] 氧化物层106c通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)的靶材的溅射法来形成。

[0091] 在此，图3A示出对氧化物层106a的成膜使用¹⁸O₂气体而对其他层的成膜不使用¹⁸O₂气体的样品的氧化物层106a、氧化物半导体层106b以及它们之间的界面的深度方向的¹⁸O的浓度分布。SIMS测量结果示出如下：与没有进行加热处理(由虚线记载为“as-depo”)的样品相比，在进行350℃的加热处理(由实线记载为“350℃的加热处理之后”)的样品以及进行450℃的加热处理(由短划线记载为“450℃的加热处理之后”)的样品中，¹⁸O从氧化物层106a进一步扩散到氧化物半导体层106b。

[0092] 图3B示出对氧化物半导体层106b的成膜使用¹⁸O₂气体而对其他层的成膜不使用¹⁸O₂气体的样品的包含氧化物半导体层106b、氧化物层106c以及它们之间的界面的深度方向的¹⁸O的浓度分布。SIMS测量结果示出如下：与没有进行加热处理(由虚线记载为“as-depo”)的样品相比，在进行350℃的加热处理(由实线记载为“350℃的加热处理之后”)的样品以及进行450℃的加热处理(由短划线记载为“450℃的加热处理之后”)的样品中，¹⁸O从氧化物半导体层106b进一步扩散到氧化物层106c。

[0093] 图3C示出对氧化物半导体层106b的成膜使用¹⁸O₂气体而对其他层的成膜不使用¹⁸O₂气体的样品的包含氧化物层106a、氧化物半导体层106b以及它们之间的界面的深度方向的¹⁸O的浓度分布。SIMS测量结果示出如下：与没有进行加热处理(由虚线记载为“as-

depo”)的样品以及进行350°C的加热处理(由实线记载为“350°C的加热处理之后”)的样品相比,在进行450°C的加热处理(由短划线记载为“450°C的加热处理之后”)的样品中,¹⁸O从氧化物半导体层106b进一步扩散到氧化物层106a。

[0094] 如图3A至3C表示,在多层膜106中,氧从一个层扩散到其他层。

[0095] <1-3.氧化物层>

[0096] 接着,通过溅射法形成多层膜106中使用的可应用于氧化物层106a和106c的每一个的氧化物层,测定1 μ m以上的尺寸的微粒的个数。

[0097] 对如下样品进行测量:使用氧化镓靶材形成的样品;使用Ga-Zn氧化物(Ga对Zn的原子比为2:5)靶材形成的样品;使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为3:1:2)靶材形成的样品;使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)靶材形成的样品;以及使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)靶材形成的样品。

[0098] 图4示出,在使用氧化镓靶材形成的样品及使用Ga-Zn氧化物靶材形成的样品中,氧化物层的厚度越增大,1 μ m以上的尺寸的微粒的个数也越急速地增大。另一方面,在使用In-Ga-Zn氧化物的靶材形成的样品中,即使氧化物层的厚度增大也不容易急速地增大1 μ m以上的尺寸的微粒的个数。

[0099] 因此,当通过溅射法形成氧化物层时,从微粒的个数的增大的观点来看,优选使用包含铟的靶材。另外,优选使用铟对镓和锌的原子比中镓所占的比率比较少的氧化物靶材。尤其是,当使用包含铟的靶材时,可以提高靶材的导电率并容易进行DC放电及AC放电;因此,容易进行大尺寸的衬底上的成膜。由此,可以制造生产率得到提高的半导体装置。

[0100] <1-4.带结构>

[0101] 在本节中,参照图5A和5B以及图6A和6B说明多层膜106的带结构。

[0102] 注意,氧化物层106a使用具有3.15eV的能隙的In-Ga-Zn氧化物形成,氧化物半导体层106b使用具有2.8eV的能隙的In-Ga-Zn氧化物形成,氧化物层106c使用其物性与氧化物层106a相似的氧化物层形成。另外,氧化物层106a和氧化物半导体层106b之间的界面附近的能隙以及氧化物层106c和氧化物半导体层106b之间的界面附近的能隙都为3eV。利用光谱椭偏仪(HORIBA JOBIN YVON SAS.制造的UT-300)测量能隙。将氧化物层106a、氧化物半导体层106b以及氧化物层106c的厚度都为10nm。

[0103] 在图5A中,示出在从氧化物层106c一侧对多层膜106进行蚀刻的同时,测量各层的真空能级和价带顶端之间的能隙并由点表示出。利用紫外线光电子能谱(UPS)装置(ULVAC-PHI, Inc制造的VersaProbe)测定真空能级和价带顶端之间的能隙。

[0104] 在图5B中,以通过从真空能级和价带顶端之间的能隙减各层的能隙计算出各层的真空能级和导带底端之间的能隙的方式得到值并进行绘制。

[0105] 在图6A中,示意性地示出图5B中的带结构的一部分。图6A示出与氧化物层106a以及106c接触地设置氧化硅膜的情况。在此,EcI1表示氧化硅膜的导带底端的能量,EcS1表示氧化物层106a的导带底端的能量,EcS2表示氧化物半导体层106b的导带底端的能量,EcS3表示氧化物层106c的导带底端的能量,EcI2表示氧化硅膜的导带底端的能量。

[0106] 如图6A所示那样,氧化物层106a、氧化物半导体层106b以及氧化物层106c的导带底端的能量连续地变化。从在氧化物层106a和氧化物半导体层106b之间的界面以及氧化物半导体层106b和氧化物层106c之间的界面氧扩散的图3A至3C所示的结果,也可以理解上述

变化。

[0107] 注意,图6A示出氧化物层106a和106c具有相似的物性的情况;但是,氧化物层106a和106c也可以具有不同的物性。例如,在图6B中,示出EcS1具有比EcS3大的能量的情况下的带结构的一部分。另外,虽然在图6A和6B中没表示,但是EcS3也可以具有比EcS1大的能量。

[0108] 根据图5A和5B以及图6A和6B,多层膜106的氧化物半导体层106b用作阱(well),在包括多层膜106的晶体管的沟道形成在氧化物半导体层106b。注意,由于导带底端的能量连续地变化,多层膜106可以被称为U字形阱(U-shaped well)。

[0109] 注意,如图7所示那样,虽然在绝缘膜例如氧化硅膜与氧化物层106a以及106c的每一个之间的界面附近有可能形成起因于杂质或缺陷的陷阱能级,但是由于氧化物层106a及106c的存在,可以使氧化物半导体层106b和该陷阱能级远离。但是,当EcS1或EcS3和EcS2之间的能隙小时,有时电子超过该能隙到达陷阱能级。电子被陷阱在能级俘获,使得在与绝缘膜的界面产生负的固定电荷,这导致晶体管的阈值电压漂移到正的方向。

[0110] 因此,EcS1与EcS2之间的能隙及EcS3与EcS2之间的能隙都优选为0.1eV以上,更优选为0.15eV以上,因为晶体管的阈值电压的变动量得到降低而使晶体管具有稳定的电特性。

[0111] <1-5. 结晶性>

[0112] 多层膜106的至少氧化物半导体层106b具有结晶性是优选的。通过氧化物半导体层106b具有结晶性,与氧化物半导体层106b不具有结晶性的情况相比,可以使包括多层膜106的晶体管具有稳定的电特性。在本节中,对在多层膜106中氧化物半导体层106b具有结晶性的一个例子进行说明。

[0113] <1-5-1. 利用TEM的结晶排列的评估>

[0114] 在此,关于多层膜106的结晶性,利用透射电子显微镜(TEM:Transmission Electron Microscope)评价原子排列等。下面,参照图8A至8D以及图9A至9D进行说明。

[0115] 在此,氧化物层106a通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0116] 另外,氧化物半导体层106b通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm);将压力设定为0.4Pa,将衬底温度设定为300℃或400℃,施加0.5kW的DC功率。

[0117] 氧化物层106c通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0118] 图8A至8D以及图9A至9D是包含设置在作为衬底的硅片上的氧化硅膜上的多层膜106的各样品的透射电子图像。注意,图8A至8D所示出的评价的样品与图9A至9D所示的评价的样品的不同之处只在于形成氧化物半导体层106b时的衬底温度为300℃(图8A至8D)和400℃(图9A至9D)。注意,对各样品没有进行成膜后的加热处理。利用日立H-9500透射电子显微镜(TEM)测量透射电子图像。

[0119] 在此,多层膜106包括具有20nm的厚度的In-Ga-Zn氧化物作为氧化物层106a、具有15nm的厚度的In-Ga-Zn氧化物作为氧化物半导体层106b,具有5nm的厚度的In-Ga-Zn氧化

物作为氧化物层106c。图8A为包括氧化物层106a、氧化物半导体层106b以及氧化物层106c的透射电子图像。图8B为氧化物半导体层106b和氧化物层106c之间的界面附近的部分的放大图,图8C为氧化物层106a和氧化物半导体层106b之间的界面附近的部分的放大图,图8D为氧化硅膜和氧化物层106a之间的界面附近的部分的放大图。同样地,图9A为包括氧化物层106a、氧化物半导体层106b以及氧化物层106c的透射电子图像。图9B为氧化物半导体层106b和氧化物层106c之间的界面附近的部分的放大图,图9C为氧化物层106a和氧化物半导体层106b之间的界面附近的部分的放大图,图9D为氧化硅膜和氧化物层106a之间的界面附近的部分的放大图。

[0120] 根据图8A至8D以及图9A至9D,氧化物层106a和106c不具有明确的结晶部。另外,氧化物半导体层106b是在从与氧化物层106a之间的界面到与氧化物层106c之间的界面的整个区域中具有高结晶性的结晶。注意,可知氧化物半导体层106b的结晶部的原子排列为与氧化物半导体层106b的上表面平行的面中的层状的排列。另外,在氧化物半导体层106b中的结晶部之间观察不到明确的晶界。此外,可知与图8A至8D所示的氧化物半导体层106b相比,图9A至9D所示的氧化物半导体层106b具有更高的结晶性。

[0121] 氧化物半导体层106b为结晶的事实与图2所示的ToF-SIMS的结果也适合。就是说,大概因为由于氧化物层106a和106c的存在对氧化物半导体层106b的硅的混入变少,所以氧化物半导体层106b的结晶性不被降低。

[0122] 如此,看上去沟道被形成的氧化物半导体层106b具有高结晶性并且起因于杂质或缺陷的能级少;由此,包括多层膜106的晶体管具有稳定的电特性。

[0123] <1-5-2. 结晶成长的模型>

[0124] 在此,参照图10A和10B、图11A和11B以及图12A和12B说明具有高结晶性的氧化物半导体层106b中的结晶成长的模型。

[0125] 图10A是说明离子1001碰撞到包含具有高取向性的多晶氧化物半导体的靶材1000而使具有结晶性的溅射粒子1002从溅射靶材1000剥离的状态的示意图。晶粒具有平行于靶材1000的表面的劈开面。并且,晶粒具有原子间的键合弱的部分。当离子1001碰撞到晶粒时,原子间的键合弱的部分的原子间键合被切断。由此,产生沿着劈开面及原子间的键合弱的部分切断且以平板(或者颗粒)状剥离的溅射粒子1002。注意,溅射粒子1002的平面的圆当量直径为晶粒的平均粒径的 $1/3000$ 以上且 $1/20$ 以下,优选为 $1/1000$ 以上且 $1/30$ 以下。在此,“面的圆当量直径”的表达是指具有与面的面积相同的正圆形的直径。

[0126] 另外,当晶粒的一部分从劈开面作为粒子剥离并暴露于等离子,从原子间的键合弱的部分开始键合的切断,由此生产多个溅射粒子1002。

[0127] 通过作为离子1001使用氧的阳离子,可以减轻成膜时的等离子体损伤。因此,当离子1001碰撞到靶材1000的表面时,可以抑制靶材1000的结晶性的下降,或者可以抑制靶材1000向非晶状态的变化。

[0128] 作为包含具有高取向性的多晶氧化物半导体的靶材1000的一个例子,图11A说明从平行于结晶的a-b面的方向看时的In-Ga-Zn氧化物的结晶结构。图11B示出图11A中的由短划线围绕的部分的放大图。

[0129] 例如,如图11B所示,在In-Ga-Zn氧化物的晶粒中,劈开面是第一层与第二层之间的面。第一层包含镓原子和/或锌原子及氧原子,第二层包含镓原子和/或锌原子及氧原子。

这是因为在第一层中具有负电荷的氧原子和在第二层中具有负电荷的氧原子彼此接近(参照图11B中的围绕的部分)。如此,劈开面平行于a-b面。另外,图11A和11B所示的In-Ga-Zn氧化物的结晶是六方晶;由此,上述平板状晶粒容易具有其内角为 120° 的正六角形面的六方柱状。

[0130] 优选使溅射粒子1002带正电。对溅射粒子1002带正电的时机没有特别的限制,但是通过当离子1001碰撞时接受电荷而溅射粒子1002带正电是优选的。另外,当产生等离子时,溅射粒子1002优选暴露于等离子而带正电。此外,作为氧的阳离子的离子1001优选与溅射粒子1002的侧面、顶面或者底面键合,由此使溅射粒子1002带正电。

[0131] 下面,参照图12A和12B说明溅射粒子沉积到沉积表面上的情况。另外,在图12A和12B中,由虚线表示已沉积的溅射粒子。

[0132] 在图12A中,沉积表面1003是沉积有几个氧化物半导体层的表面。如图12A所示,在溅射粒子1002带正电的情况下,溅射粒子1002沉积在还没有沉积溅射粒子1002的沉积表面1003的区域。这是因为带正电的溅射粒子1002互相排斥。

[0133] 图12B是沿图12A中的点划线X-Y的截面图。如上述那样沉积的溅射粒子1002具有其c轴在垂直于沉积表面1003的方向上取向的结晶;由此,氧化物半导体层106b是c轴取向结晶氧化物半导体(CAAC-OS:c-axis aligned crystalline oxide semiconductor)层。

[0134] 通过如上所述的沉积得到的氧化物半导体层具有均匀的厚度以及均匀的晶体取向。溅射粒子不是不规则地沉积。带正电了的溅射粒子彼此作用并规则地沉积,以便c轴在垂直于沉积表面的方向上取向。

[0135] 通过在上述方法中使用包含具有高取向性的多晶氧化物半导体的靶材,可以形成具有均匀的厚度以及均匀的晶体取向的氧化物半导体层106b。将在后面说明溅射装置的详细内容。

[0136] CAAC-OS层是包含多个结晶部的氧化物半导体膜之一,结晶部的大部分都容纳于一边短于100nm的立方体内。因此,有时包括在CAAC-OS层中的结晶部容纳于一边短于10nm、短于5nm或短于3nm的立方体内。CAAC-OS层的缺陷态密度低。下面,对CAAC-OS层进行详细的说明。

[0137] 在CAAC-OS层的TEM图像中,不能清楚地观察到结晶部与结晶部之间的边界,即晶界。因此,在CAAC-OS层中,不容易发生起因于晶界的电子迁移率的降低。

[0138] 根据在大致平行于样品表面的方向上观察的CAAC-OS层的TEM图像(截面TEM图像),在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS层的面(以下,形成CAAC-OS层的面也被称为形成表面)或CAAC-OS层的顶面的形态并以平行于CAAC-OS层的形成表面或顶面的方式排列。

[0139] 另一方面,根据在大致垂直于样品表面的方向上观察的CAAC-OS层的TEM图像(平面TEM图像),在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0140] 从截面TEM图像及平面TEM图像的结构的结果,在CAAC-OS层中的结晶部中观察到取向性。

[0141] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS层进行结构分析。例如,当通过面外法分析包括 InGaZnO_4 结晶的CAAC-OS层时,在衍射角(2θ)为 31° 附近时常出现峰

值。该峰值来源于InGaZnO₄结晶的(009)面,其表示CAAC-OS层中的结晶具有c轴取向性,并且c轴在大致垂直于CAAC-OS层的形成表面或顶面的方向上取向。

[0142] 另一方面,当通过从大致垂直于c轴的方向X线入射到样品的面内法分析CAAC-OS层时,在2θ为56°附近时常出现峰值。该峰值来源于InGaZnO₄结晶的(110)面。在此,在将2θ固定为56°附近且沿着作为轴(φ轴)的样品表面的法线向量旋转样品的条件下进行分析(φ扫描)。在该样品是InGaZnO₄的单晶氧化物半导体膜的情况下,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,在CAAC-OS层的情况下,即使在将2θ固定为56°附近的条件下进行φ扫描也不能清楚地观察到峰值。

[0143] 根据上述结果,在具有c轴取向的CAAC-OS层中,虽然a轴及b轴的方向在结晶部之间不同,但是c轴在平行于形成表面的法线向量或顶面的法线向量的方向上取向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的a-b面平行的面。

[0144] 注意,结晶部在与CAAC-OS层的沉积同时形成或者通过晶化处理诸如加热处理形成。如上所述,结晶的c轴在平行于形成表面的法线向量或顶面的法线向量的方向上取向。由此,例如,在CAAC-OS层的形状因蚀刻等而发生变化的情况下,c轴不一定平行于CAAC-OS层的形成表面的法线向量或顶面的法线向量。

[0145] 此外,CAAC-OS层中的晶化度不一定均匀。例如,在从该层的顶面附近产生用来形成CAAC-OS层的结晶成长的情况下,有时顶面附近的晶化度高于形成表面附近的晶化度。另外,当对CAAC-OS层添加杂质时,被添加了杂质的区域中的晶化度改变,所以CAAC-OS层中的晶化度根据区域而不同。

[0146] 注意,当通过面外法分析具有InGaZnO₄结晶的CAAC-OS层时,除了位于31°附近的2θ的峰值之外,在36°附近也可能观察到2θ的峰值。位于36°附近的2θ的峰值表示不具有c轴取向的结晶包括在CAAC-OS层的一部分中。优选的是,在CAAC-OS层中,在31°附近出现2θ的峰值而在36°附近不出现2θ的峰值。

[0147] 在使用CAAC-OS层的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。因此,该晶体管具有高可靠性。

[0148] <1-6. 局部能级密度>

[0149] 通过降低多层膜106的局部能级密度,包括多层膜106的晶体管可以具有稳定的电特性。在本节中,通过恒定光电流法(CPM)测量多层膜106的局部能级密度。

[0150] 为了使晶体管具有稳定的电特性,由通过CPM测量的多层膜106的局部能级的吸收系数优选低于 $1 \times 10^{-3} \text{ cm}^{-1}$,更优选低于 $3 \times 10^{-4} \text{ cm}^{-1}$ 。

[0151] 下面,说明进行了CPM测定的样品。

[0152] 氧化物层106a通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0153] 氧化物半导体层106b通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:1:1)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0154] 氧化物层106c通过使用In-Ga-Zn氧化物(In对Ga和Zn的原子比为1:3:2)的靶材的溅射法来形成。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm),将

压力设定为0.4Pa,将衬底温度设定为200℃,施加0.5kW的DC功率。

[0155] 在此,为了提高CPM测定的精度,多层膜106需要具有某些厚度。具体地,将包括在多层膜106中的氧化物层106a、氧化物半导体层106b和氧化物层106c的厚度分别设定为30nm、100nm和30nm。

[0156] 在CPM测定中,调整照射到端子之间的样品的表面的光量,以便在对与作为样品的多层膜106接触地设置的第一电极和第二电极之间施加电压的状态下使光电流值保持固定,然后在各波长上根据照射光量得到吸收系数。在CPM测定中,当样品有缺陷时,由于对应于存在缺陷的能级的能量(从波长计算出)的吸收系数增加。用常数乘以该吸收系数中的增加值,由此可以得到样品的缺陷密度。

[0157] 图13A示出在多层膜106中的各层的能隙以上的能量范围中,将利用分光光度测量的吸收系数(短划线)与通过CPM测量的吸收系数(实线)拟合的结果。注意,基于通过CPM测量的吸收系数得到的乌尔巴赫能量为78.7meV。在图13A中的用短划线的圆表示的能量范围中,以从通过CPM测量的吸收系数减背景值(虚线)的方式算出该能量范围中的吸收系数的积分值(参照图13B)。其结果,本样品的起因于局部能级的吸收系数为 $2.02 \times 10^{-4} \text{cm}^{-1}$ 。

[0158] 这里得到的局部能级大概起因于杂质或缺陷。从此可知,多层膜106中的起因于杂质或缺陷的能级极少。就是说,包括多层膜106的晶体管具有稳定的电特性。

[0159] <1-7. 制造装置>

[0160] 下面,说明用来形成具有高结晶性的氧化物半导体层106b的成膜装置。

[0161] 首先,参照图14以及图15A至15C说明成膜时混入到膜中的杂质少的成膜装置的结构。

[0162] 图14是示意性地说明单晶片多室的成膜装置4000的俯视图。成膜装置4000包括包含用来保持衬底的盒式接口(cassette port)4101和用来进行衬底的对准的对准接口(alignment port)4102的大气侧衬底供给室4001、从大气侧衬底供给室4001传送衬底的大气侧衬底传送室4002、进行衬底的搬入且将室内的压力从大气压切换为减压或从减压切换为大气压的装载闭锁室4003a、进行衬底的搬出且将室内的压力从减压切换为大气压或从大气压切换为减压的卸载闭锁室4003b、在真空中传送衬底的传送室4004、衬底被加热的衬底加热室4005以及用来成膜配置靶材的成膜室4006a、4006b和4006c。

[0163] 注意,如图14所示那样可以设置多个盒式接口4101(在图14中,设置有三个盒式接口4101)。

[0164] 大气侧衬底传送室4002与装载闭锁室4003a以及卸载闭锁室4003b连接,装载闭锁室4003a以及卸载闭锁室4003b与传送室4004连接,传送室4004与衬底加热室4005以及成膜室4006a、成膜室4006b和成膜室4006c连接。

[0165] 在各室之间的连接部设置有闸阀4104,以便可以使除了大气侧衬底供给室4001和大气侧衬底传送室4002以外的各室独立地保持为真空下。另外,大气侧衬底传送室4002及传送室4004都包括可以传送玻璃衬底的传送机器人4103。

[0166] 另外,衬底加热室4005优选兼作等离子体处理室。在成膜装置4000中,可以在处理与处理之间以不暴露于大气的方式传送衬底;由此,可以抑制衬底上的杂质的吸附。另外,可以自由地决定成膜、加热处理等的顺序。注意,传送室的个数、成膜室的个数、装载闭锁室的个数、卸载闭锁室的个数以及衬底加热室的个数不局限于上述个数,可以根据设置的空

间或工序条件适当地设定个数。

[0167] 接着,图15A、图15B和图15C分别是图14所示的成膜装置4000中的沿着点划线X1-X2的截面图、沿着点划线Y1-Y2的截面图及沿着点划线Y2-Y3的截面图。

[0168] 图15A是衬底加热室4005和传送室4004的截面,衬底加热室4005包括可以保持衬底的多个加热载物台4105。注意,虽然图15A所示的加热载物台4105的个数为7,但是不局限于此,也可以为1以上且少于7或8以上。因为可以同时多个衬底进行加热处理以提高生产率,所以增加加热载物台4105的个数是优选的。此外,衬底加热室4005通过阀与真空泵4200连接。作为真空泵4200,例如可以使用干燥泵、机械增压泵。

[0169] 作为可以用于衬底加热室4005的加热机构,例如也可以使用电阻加热器。另外,作为加热机构还可以使用来自介质例如被加热的气体的热传导或热辐射。例如,可以使用快速热退火(RTA:Rapid Thermal Annealing)装置例如气体快速热退火(GRTA:Gas Rapid Thermal Annealing)装置或灯快速热退火(LRTA:Lamp Rapid Thermal Annealing)装置。LRTA装置是通过从灯例如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯的发射的光(电磁波)的辐射来加热对象的装置。在GRTA装置中,利用高温气体进行加热处理。作为气体使用惰性气体。

[0170] 另外,衬底加热室4005通过质量流量控制器4300与精制器4301连接。注意,虽然可以对于多种气体的每一个设置质量流量控制器4300和精制器4301,但是为了便于理解,设置有只有一个质量流量控制器4300和一个精制器4301。作为导入到衬底加热室4005中的气体,可以使用露点为 -80°C 以下,优选为 -100°C 以下的气体;例如,可以使用氧气体、氮气体及稀有气体(诸如氩气体)。

[0171] 传送室4004包括传送机器人4103。传送机器人4103包括多个可动部和用来保持衬底的臂,能够将衬底传送到各室。另外,传送室4004通过阀与真空泵4200以及低温泵4201连接。通过采用上述结构,当传送室4004内的气压在于大气压至低真空(约 0.1Pa 至几百Pa)的范围中时,可以使用真空泵4200进行排气,然后,通过切换阀,当传送室4004内的气压在于中真空至超高真空(0.1Pa 至 $1 \times 10^{-7}\text{Pa}$)的范围中时,可以使用低温泵4201进行排气。

[0172] 另外,两个以上的低温泵4201可以与传送室4004并联连接。通过采用上述结构,即使一个低温泵在进行再生中也可以使用任意的其他低温泵进行排气。注意,上述的再生是指释放积存在低温泵中的分子(或原子)的处理。当过多分子(或原子)积存在低温泵中时,低温泵的排气能力降低;因此,定期进行再生。

[0173] 图15B是成膜室4006b、传送室4004、装载闭锁室4003a的截面。

[0174] 在此,参照图15B说明成膜室(溅射室)的详细内容。图15B所示的成膜室4006b包括靶材4106、防着板4107和衬底载物台4108。注意,这里衬底4109设置在衬底载物台4108上。虽然未图示,但是衬底载物台4108也可以包括保持衬底4109的衬底保持机构、从背面加热衬底4109的背面加热器等。

[0175] 注意,在成膜时衬底载物台4108被保持为大致垂直于地板,当传递衬底时衬底载物台4108被保持为大致水平于地板。在图15B中,以短划线表示当传递衬底时保持有衬底载物台4108的位置。通过采用上述结构,与衬底载物台4108被保持为水平于地板的情况相比,可以抑制成膜时可能会混入的尘屑或微粒附着于衬底4109的概率。但是,当衬底载物台4108被保持为垂直(90°)于地板时,有衬底4109落下的概率;由此,衬底载物台4108对地板

的角度由选为大于 80° 且小于 90° 。

[0176] 防着板4107可以抑制不希望沉积的区域上的从靶材4106被溅射的粒子的沉积。另外,为了防止积累的溅射粒子的剥离,优选对防着板4107进行加工。例如,也可以进行使表面粗糙度增加的喷砂处理,或者在防着板4107的表面上设置粗糙度。

[0177] 成膜室4006b通过气体加热机构4302与质量流量控制器4300连接,气体加热机构4302通过质量流量控制器4300与精制器4301连接。通过气体加热机构4302,导入到成膜室4006b的气体可以被加热为 40°C 以上且 400°C 以下,优选为 50°C 以上且 200°C 以下。注意,虽然可以对于多种气体的每一个设置气体加热机构4302、质量流量控制器4300和精制器4301,但是为了便于理解,设置有只有一个气体加热机构4302、一个质量流量控制器4300和一个精制器4301。作为导入到成膜室4006b的气体,可以使用露点为 -80°C 以下,优选为 -100°C 以下的气体;例如,可以使用氧气体、氮气体及稀有气体(诸如氩气体)。

[0178] 对置靶材式溅射装置可以设置在成膜室4006b中。在对置靶材式溅射装置的上述结构的每一个中,等离子体封闭在靶材之间;由此,可以减轻对于衬底的等离子体损伤。此外,因为根据靶材的倾斜可以使溅射粒子的对于衬底的入射角度小,所以可以提高台阶覆盖性。

[0179] 注意,平行平板型溅射装置或离子束溅射装置也可以设置在成膜室4006b中。

[0180] 在就要导入气体的成膜室前设置精制器的情况下,精制器与成膜室4006b之间的管道的长度为10m以下,优选为5m以下,更优选为1m以下。当管道的长度为10m以下、5m以下或1m以下时,可以对应地减少来自管道的气体的释放的影响。作为气体的管道,可以使用其内部由氟化铁、氧化铝或氧化铬等覆盖的金属管道。通过上述管道,例如与SUS316L-EP管道相比,使包含杂质的气体的释放量少,而可以降低杂质的对于气体的混入。另外,作为管道的接头,可以使用高性能超小型金属垫片接头(UPG接头)。因为与使用树脂等的结构相比,可以降低所产生的释放气体或外部泄漏的影响,所以所有管道的材料是金属的结构是优选的。

[0181] 成膜室4006b通过阀与涡轮分子泵4202以及真空泵4200连接。

[0182] 另外,成膜室4006b设置有低温冷阱4110。

[0183] 低温冷阱4110是能够吸附具有较高的熔点的分子(或原子)诸如水的机构。涡轮分子泵4202能够对大尺寸的分子(或原子)稳定地进行排气且维修频度低,因此可以实现高生产率,但是排氢和水的的能力低。于是,为了具有高的排出水等的的能力,低温冷阱4110与成膜室4006b连接。将低温冷阱4110的制冷机的温度设定为100K以下,优选为80K以下。在低温冷阱4110包括多个制冷机的情况下,优选将各个制冷机的温度设定为不同的温度,因为可以高效率地进行排气。例如,可以将第一阶段的制冷机的温度设定为100K以下,可以将第二阶段的制冷机的温度设定为20K以下。

[0184] 注意,成膜室4006b的排气方法不局限于上述方法,也可以采用与传送室4004所示的排气方法(利用低温泵及真空泵的排气方法)相似的结构。当然,传送室4004的排气方法可以具有与成膜室4006b的排气方法(利用涡轮分子泵及真空泵的排气方法)相似的结构。

[0185] 注意,在上述的传送室4004、衬底加热室4005和成膜室4006b的每一个中,优选将背压(全压)以及各气体分子(原子)的分压设定为下述。尤其是,因为杂质有可能混入到将形成的膜,所以需要注意成膜室4006b中的背压以及各气体分子(原子)的分压。

[0186] 在上述的各室中,背压(全压)为 1×10^{-4} Pa以下,优选为 3×10^{-5} Pa以下,更优选为 1×10^{-5} Pa以下。在上述的各室中,具有18的质量电荷比(m/z)的气体分子(原子)的分压为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。另外,在上述的各室中,具有28的质量电荷比(m/z)的气体分子(原子)的分压为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。此外,在上述的各室中,具有44的质量电荷比(m/z)的气体分子(原子)的分压为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。

[0187] 注意,真空室内的全压及分压可以使用质量分析器测量。例如,可以使用ULVAC, Inc.制造的四极质量分析器(也称为Q-mass)Qulee CGM-051。

[0188] 另外,上述的传送室4004、衬底加热室4005及成膜室4006b优选具有少量的外部泄漏或内部泄漏。

[0189] 例如,在上述的传送室4004、衬底加热室4005及成膜室4006b的每一个中,泄漏率为 3×10^{-6} Pa \cdot m³/s以下,优选为 1×10^{-6} Pa \cdot m³/s以下。具有18的质量电荷比(m/z)的气体分子(原子)的泄漏率为 1×10^{-7} Pa \cdot m³/s以下,优选为 3×10^{-8} Pa \cdot m³/s以下。具有28的质量电荷比(m/z)的气体分子(原子)的泄漏率为 1×10^{-5} Pa \cdot m³/s以下,优选为 1×10^{-6} Pa \cdot m³/s以下。具有44的质量电荷比(m/z)的气体分子(原子)的泄漏率为 3×10^{-6} Pa \cdot m³/s以下,优选为 1×10^{-6} Pa \cdot m³/s以下。

[0190] 注意,泄漏率可以从利用上述质量分析器测量出的全压及分压算出。

[0191] 泄漏率取决于外部泄漏及内部泄漏。外部泄漏是指通过微小的孔、密封不良等的来自真空系统的外部的气体的流入。内部泄漏起因于经过真空系统中隔板例如阀的泄漏,或者起因于来自内部构件的释放气体。为了将泄漏率设定为上述数值以下,需要从外部泄漏及内部泄漏的两个方面采取措施。

[0192] 例如,可以使用金属垫片对成膜室4006b的开/闭部分进行密封。金属垫片优选使用由氟化铁、氧化铝或氧化铬覆盖的金属。金属垫片实现比O形环高的密合性和可以降低外部泄漏。此外,通过利用处于钝态的由氟化铁、氧化铝或氧化铬等覆盖的金属,抑制从金属垫片释放的包含杂质的气体的释放,由此可以降低内部泄漏。

[0193] 对于成膜装置4000的构件,使用包含杂质的气体的释放量少的铝、铬、钛、锆、镍或钒。另外,对于上述构件,可以使用由上述材料覆盖的含有铁、铬及镍等的合金。含有铁、铬及镍等的合金硬,耐热且适于加工。在此,当通过抛光等减少构件的表面的凹凸以缩小表面积时,可以减少气体的释放。

[0194] 另外,上述成膜装置4000的构件可以由氟化铁、氧化铝或氧化铬等覆盖。

[0195] 成膜装置4000的构件优选尽量只由金属形成。例如,在设置使用石英等形成的观察窗(viewing window)的情况下,为了抑制气体的释放,优选观察窗的表面由氟化铁、氧化铝或氧化铬等薄地覆盖。

[0196] 当吸附物存在于成膜室内时,该吸附物不影响成膜室中的压力,因为该吸附物吸附于内壁等;但是,当对成膜室的内部进行排气时,吸附物导致气体的释放。所以,虽然泄漏率与排气速度没有相关关系,但是尽量地使存在于成膜室内的吸附物脱离而通过使用排气能力高的泵预先进行排气是重要的。注意,为了促进吸附物的脱离,也可以对成膜室进行烘烤。通过烘烤,可以提高吸附物的脱离速度10倍左右。烘烤可以以100℃至450℃的范围中的温度进行。此时,当一边将惰性气体导入成膜室一边去除吸附物时,可以进一步提高仅通过

排气不容易脱离的水等的脱离速度。注意,当对被导入的惰性气体加热到与成膜室的烘烤温度大致相同的温度,可以进一步提高吸附物的脱离速度。这里,作为惰性气体优选使用稀有气体。根据将形成的膜的种类,也可以使用氧等代替惰性气体。例如,在形成氧化物的情况下,有时优选使用作为氧化物的主要成分的氧。

[0197] 另外,在导入被加热的氧、被加热的惰性气体例如被加热的稀有气体等而提高成膜室内的压力之后,优选进行用来对成膜室的内部进行排气的处理一定时间。被加热的气体的导入可以使成膜室内的吸附物脱离和可以减少存在于成膜室内的杂质。注意,当该处理反复2次以上且30次以下,优选为5次以上且15次以下时,可以获得有利的效果。具体地,将温度为40℃以上且400℃以下,优选为50℃以上且200℃以下的惰性气体或氧等导入到成膜室,以便在1分钟至300分钟,优选为5分钟至120分钟的时间范围中将成膜室内的压力保持为0.1Pa以上且10kPa以下,优选为1Pa以上且1kPa以下,更优选为5Pa以上且100Pa以下。然后,在5分钟至300分钟,优选为10分钟至120分钟的时间范围中,对成膜室的内部进行排气。

[0198] 通过伪成膜也可以进一步提高吸附物的脱离速度。在此,伪成膜是指通过溅射法等对伪衬底进行成膜,其中在伪衬底及成膜室的内壁上沉积膜,以便将成膜室内的杂质及成膜室的内壁的吸附物密封于膜中。对于伪衬底,优选使用释放气体更少的衬底。通过进行伪成膜,可以降低后面形成的膜中的杂质浓度。注意,可以与成膜室的烘烤同时进行伪成膜。

[0199] 接着,下面说明图15B所示的传送室4004和装载闭锁室4003a以及图15C所示的大气侧衬底传送室4002和大气侧衬底供给室4001的详细内容。注意,图15C是大气侧衬底传送室4002和大气侧衬底供给室4001的截面。

[0200] 关于图15B所示的传送室4004,可以参照图15A所示的传送室4004的说明。

[0201] 装载闭锁室4003a包括衬底递送载物台4111。当通过装载闭锁室4003a中的压力从减压上升而成为大气压时,衬底递送载物台4111从设置在大气侧衬底传送室4002中的传送机器人4103接收衬底。然后,对装载闭锁室4003a进行排气而使其处于真空,以便其中的气压成为减压,然后设置在传送室4004中的传送机器人4103从衬底递送载物台4111接收衬底。

[0202] 另外,装载闭锁室4003a通过阀与真空泵4200以及低温泵4201连接。关于排气系统的连接方法例如真空泵4200和低温泵4201,可以参照传送室4004的连接方法,所以这里省略说明。注意,图14所示的卸载闭锁室4003b可以具有与装载闭锁室4003a相似的结构。

[0203] 大气侧衬底传送室4002包括传送机器人4103。传送机器人4103可以从盒式接口4101向装载闭锁室4003a递送衬底或者从装载闭锁室4003a向盒式接口4101递送衬底。另外,用来抑制尘屑或微粒的混入的机构如高效空气(HEPA:High Efficiency Particulate Air)过滤器也可以设置在大气侧衬底传送室4002和大气侧衬底供给室4001的上方。

[0204] 大气侧衬底供给室4001包括多个盒式接口4101。盒式接口4101可以保持多个衬底。

[0205] 当利用上述成膜装置形成氧化物层时,可以抑制杂质的对于氧化物层的混入。并且,当利用上述成膜装置形成接触于该氧化物层的膜时,可以抑制从接触于氧化物层的膜向氧化物层的杂质的混入。

[0206] 接着,说明利用上述成膜装置的CAAC-OS层的成膜方法。

[0207] 溅射靶材的表面温度被设定为100℃以下,优选为50℃以下,更优选为室温(典型的是25℃)左右。在用于大衬底的溅射装置中,经常使用大的溅射靶材。但是,没有接缝地形成用于大衬底的溅射靶材是困难的。实际上,将多个溅射靶材以其间的间隙尽量小的方式排列而得到大的形状;但是,无论怎样总会产生微小的间隙。当溅射靶材的表面温度升高时,有时Zn等从该微小的间隙挥发且该间隙可能渐渐变大。当间隙变大时,垫板的金属或用于粘合的金属可能被溅射且可能导致杂质浓度的增大。因此,优选充分冷却溅射靶材。

[0208] 具体地,对于垫板,使用具有高导电性及高放热性的金属(具体而言,Cu)。通过使充分量的冷却水流过形成在垫板内的水路,可以高效率地冷却溅射靶材。

[0209] 在衬底加热温度为100℃以上且600℃以下,优选为150℃以上且550℃以下,更优选为200℃以上且500℃以下的氧气体气氛下形成氧化物层。氧化物层的厚度为1nm以上且40nm以下,优选为3nm以上且20nm以下。成膜时的衬底加热温度越高,得到的氧化物层中的杂质浓度越低。另外,沉积表面上的溅射粒子的迁移容易发生;由此,氧化物层中的原子排列有序且其密度得到增加,由此容易形成结晶性高的CAAC-OS层。并且,当在氧气体气氛中进行成膜时,等离子体损伤减轻并多余的原子例如稀有气体不包含在氧化物层,由此容易形成结晶性高的CAAC-OS层。注意,也可以在包含氧气体和稀有气体的混合气氛中进行成膜。此时,将氧气体的百分比设定为30vol.%以上,优选为50vol.%以上,更优选为80vol.%以上。

[0210] 注意,在溅射靶材含有Zn的情况下,通过在氧气体气氛下进行成膜,等离子体损伤减轻;由此,可以得到不容易发生Zn的挥发的氧化物层。

[0211] 在成膜压力被设定为0.8Pa以下,优选为0.4Pa以下,并且溅射靶材与衬底之间的距离被设定为100mm以下,优选为40mm以下,更优选为25mm以下的条件下形成氧化物层。当在该条件下形成氧化物层时,可以降低溅射粒子与其它的溅射粒子、气体分子或离子之间的碰撞的频度。即,根据成膜压力使溅射靶材与衬底之间的距离小于溅射粒子、气体分子或离子的平均自由程,由此可以降低混入膜的杂质的浓度。

[0212] 例如,当将压力设定为0.4Pa并将温度设定为25℃(绝对温度为298K)时,氢原子(H₂)具有48.7mm的平均自由程,氦原子(He)具有57.9mm的平均自由程,水分子(H₂O)具有31.3mm的平均自由程,甲烷分子(CH₄)具有13.2mm的平均自由程,氖原子(Ne)具有42.3mm的平均自由程,氮分子(N₂)具有23.2mm的平均自由程,一氧化碳分子(CO)具有16.0mm的平均自由程,氧分子(O₂)具有26.4mm的平均自由程,氩原子(Ar)具有28.3mm的平均自由程,二氧化碳分子(CO₂)具有10.9mm的平均自由程,氪原子(Kr)具有13.4mm的平均自由程,氙原子(Xe)具有9.6mm的平均自由程。注意,当压力变为2倍时平均自由程变为2分之1,当绝对温度变为2倍时平均自由程变为2倍。

[0213] 平均自由程取决于压力、温度及分子(原子)的直径。在压力及温度为固定的情况下,分子(原子)的直径越大,平均自由程越短。注意,分子(原子)的直径为如下:H₂:0.218nm;He:0.200nm;H₂O:0.272nm;CH₄:0.419nm;Ne:0.234nm;N₂:0.316nm;CO:0.380nm;O₂:0.296nm;Ar:0.286nm;CO₂:0.460nm;Kr:0.415nm;Xe:0.491nm。

[0214] 因此,分子(原子)的直径越大,平均自由程越短,并且当分子(原子)混入到膜时,由于分子(原子)的直径大而使结晶性降低。为此,例如,可以说其直径比Ar大的分子(原子)

容易像杂质那样举止。

[0215] 接着,进行加热处理。加热处理在减压、惰性气氛或氧化气氛下进行。通过加热处理,可以降低CAAC-OS层中的杂质浓度。

[0216] 加热处理优选以在减压或惰性气氛下进行加热处理之后,在保持温度的情况下将气氛切换为氧化气氛还进行加热处理的方式进行。当在减压或惰性气氛下进行加热处理时,可以降低CAAC-OS层中的杂质浓度;但是,在同时产生氧缺位。通过在氧化气氛下的加热处理,可以减少所产生的氧缺位。

[0217] 当除了成膜时的衬底加热之外对CAAC-OS层进行加热处理,可以降低膜中的杂质浓度。

[0218] 具体地,可以将通过二次离子质谱分析(SIMS)测量的CAAC-OS层中的氢浓度设定为 2×10^{20} 原子/cm³以下,优选为 5×10^{19} 原子/cm³以下,更优选为 1×10^{19} 原子/cm³以下,进一步优选为 5×10^{18} 原子/cm³以下。

[0219] 可以将通过SIMS测量的CAAC-OS层中的氮浓度设定为小于 5×10^{19} 原子/cm³,优选为 5×10^{18} 原子/cm³以下,更优选为 1×10^{18} 原子/cm³以下,进一步优选为 5×10^{17} 原子/cm³以下。

[0220] 可以将通过SIMS测量的CAAC-OS层中的碳浓度设定为小于 5×10^{19} 原子/cm³,优选为 5×10^{18} 原子/cm³以下,更优选为 1×10^{18} 原子/cm³以下,进一步优选为 5×10^{17} 原子/cm³以下。

[0221] 可以将通过热脱附谱(TDS)分析测量的从CAAC-OS层中释放的如下各气体分子(原子)的量设定为 1×10^{19} /cm³以下,优选为 1×10^{18} /cm³以下:具有2的质量电荷比(m/z)的气体分子(原子)(例如,氢分子等)、具有18的质量电荷比(m/z)的气体分子(原子)、具有28的质量电荷比(m/z)的气体分子(原子)及具有44的质量电荷比(m/z)的气体分子(原子)。

[0222] 利用TDS分析的释放量的测量方法参照后面说明的氧原子的释放量的测量方法。

[0223] 在上述方式中,可以形成结晶性高的CAAC-OS层。

[0224] <2. 晶体管>

[0225] 下面,说明包括多层膜106的晶体管。

[0226] <2-1. 晶体管结构(1)>

[0227] 在本节中,说明底栅型晶体管。

[0228] <2-1-1. 晶体管结构(1-1)>

[0229] 在此,参照图16A至16D说明作为底栅型晶体管的一种的底栅顶接触结构(BGTC结构)的晶体管。

[0230] 图16A至16D是BGTC晶体管的俯视图及截面图。图16A是晶体管的俯视图。图16B是沿着图16A所示的点划线A1-A2的截面图。图16C是沿着图16A所示的点划线A3-A4的截面图。

[0231] 图16B所示的晶体管包括:衬底100上的栅电极104;栅电极104上的栅极绝缘膜112;栅极绝缘膜112上的包含氧化物层106a、氧化物层106a上的氧化物半导体层106b以及氧化物半导体层106b上的氧化物层106c的多层膜106;栅极绝缘膜112和多层膜106上的源电极116a及漏电极116b;多层膜106、源电极116a以及漏电极116b上的保护绝缘膜118。

[0232] 源电极116a以及漏电极116b与氧化物半导体层106b的侧端部接触。

[0233] 另外,如图16B所示那样,根据用于源电极116a及漏电极116b的导电膜的种类,从

氧化物层106c的一部分夺取氧,因此在氧化物层106c中形成源区域106d及漏区域106e。

[0234] 在图16A中,将重叠于栅电极104的多层膜106的区域中的源电极116a和漏电极116b之间的间隔称为沟道长度。注意,当晶体管包括源区域106d和漏区域106e时,可以将重叠于栅电极104的区域中的源区域106d和漏区域106e之间的间隔称为沟道长度。

[0235] 注意,沟道形成区域是指多层膜106中的重叠于栅电极104并在俯视时位于源电极116a和漏电极116b之间的区域(参照图16B)。另外,沟道区域是指沟道形成区域中的电流主要流过的区域。在此,沟道区域是指沟道形成区域中的氧化物半导体层106b的部分。

[0236] 下面,说明多层膜106、以及多层膜106中的氧化物层106a、氧化物半导体层106b和氧化物层106c。注意,关于多层膜106,可以参照其他节中的说明。

[0237] 氧化物层106a包含除氧化物半导体层106b所包含的氧以外的一种以上的元素。另外,氧化物层106a的导带底端的能量比氧化物半导体层106b的导带底端的能量近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或0.4eV以下。注意,氧化物半导体层106b优选至少包含镧因为载流子迁移率可增高。此时,当对栅电极104施加电场时,沟道形成在多层膜106的氧化物半导体层106b中,氧化物半导体层106b的导带底端的能量小。就是说,在氧化物半导体层106b和栅极绝缘膜112之间形成氧化物层106a,由此可以将晶体管的沟道形成在不与栅极绝缘膜112接触的氧化物半导体层106b中。另外,由于氧化物层106a包含除氧化物半导体层106b所包含的氧以外的一种以上的元素,由此在氧化物半导体层106b和氧化物层106a之间的界面不容易产生界面散射。因此,因此在该界面不阻碍载流子的移动,因此晶体管可以具有高场效应迁移率。

[0238] 例如,氧化物层106a也可以以比氧化物半导体层106b高的原子比包含铝、硅、钛、镓、锗、钇、锆、锡、镧、铈或钪。具体而言,氧化物层106a中的上述元素的原子比与氧化物半导体层106b相比高1.5倍以上,优选为2倍以上,更优选为3倍以上。各上述元素与氧坚固地键合,所以具有抑制氧缺位产生在氧化物层106a中的功能。就是说,与在氧化物半导体层106b中相比,在氧化物层106a中不容易产生氧缺位。

[0239] 或者,在氧化物半导体层106b和氧化物层106a都是In-M-Zn氧化物且氧化物层106a和氧化物半导体层106b分别包含原子比为 $x_1:y_1:z_1$ 的In、M和Zn、以及原子比为 $x_2:y_2:z_2$ 的In、M和Zn时, y_1/x_1 需要比 y_2/x_2 大。注意,元素M是其与氧的键合力比In与氧的键合力大的金属元素,作为例子可以举出Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd和Hf。优选的是,选择 y_1/x_1 比 y_2/x_2 大1.5倍以上的氧化物层106a及氧化物半导体层106b。更优选的是,选择 y_1/x_1 比 y_2/x_2 大2倍以上的氧化物层106a及氧化物半导体层106b。进一步优选的是,选择 y_1/x_1 比 y_2/x_2 大3倍以上的氧化物层106a及氧化物半导体层106b。此时,在氧化物半导体层106b中,因为晶体管可以具有稳定的电特性,所以 y_1 优选为 x_1 以上。但是,当 y_1 为 x_1 的3倍以上时,晶体管的场效应迁移率变低,所以 y_1 优选等于 x_1 或小于 x_1 的3倍。

[0240] 氧化物层106a的厚度为3nm以上且100nm以下,优选为3nm以上且50nm以下。氧化物半导体层106b的厚度为3nm以上且200nm以下,优选为3nm以上且100nm以下,更优选为3nm以上且50nm以下。

[0241] 氧化物层106c包含除氧化物半导体层106b所包含的氧以外的一种以上的元素。另外,氧化物层106c的导带底端的能量比氧化物半导体层106b的导带底端的能量近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或

0.4eV以下。另外,由于氧化物层106c包含除氧化物半导体层106b所包含的氧以外的一种以上的元素,由此在氧化物半导体层106b和氧化物层106c之间的界面不容易产生界面能级。当该界面具有界面能级时,有时形成将该界面用作沟道并具有不同阈值电压的第二晶体管,使得晶体管的外观上的阈值电压发生变动。因此,通过设置氧化物层106c,可以降低晶体管的电特性例如阈值电压的不均匀。

[0242] 例如,氧化物层106c也可以以比氧化物半导体层106b高的原子比包含铝、硅、钛、镓、锗、钇、锆、锡、镧、铈、铈或铪。具体而言,氧化物层106c中的上述元素的原子比为氧化物半导体层106b的1.5倍以上,优选为2倍以上,更优选为3倍以上。各上述元素与氧坚固地键合,所以具有抑制氧缺位产生在氧化物层106c中的功能。就是说,与在氧化物半导体层106b中相比,在氧化物层106c中不容易产生氧缺位。

[0243] 或者,在氧化物半导体层106b和氧化物层106c都是In-M-Zn氧化物且氧化物半导体层106b和氧化物层106c分别包含原子比为 $x_2:y_2:z_2$ 的In、M和Zn、以及原子比为 $x_3:y_3:z_3$ 的In、M和Zn时, y_3/x_3 需要比 y_2/x_2 大。注意,元素M是其与氧的键合力比In与氧的键合力大的金属元素,作为例子可以举出Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf等。优选的是,选择 y_3/x_3 比 y_2/x_2 大1.5倍以上的氧化物半导体层106b及氧化物层106c。更优选的是,选择 y_3/x_3 比 y_2/x_2 大2倍以上的氧化物半导体层106b及氧化物层106c。进一步优选的是,选择 y_3/x_3 比 y_2/x_2 大3倍以上的氧化物半导体层106b及氧化物层106c。此时,在氧化物半导体层106b中,因为晶体管可以具有稳定的电特性,所以 y_2 优选为 x_2 以上。但是,当 y_2 为 x_2 的3倍以上时,晶体管的场效应迁移率变低,所以 y_2 优选等于 x_2 或小于 x_2 的3倍。

[0244] 氧化物层106c的厚度为3nm以上且100nm以下,优选为3nm以上且50nm以下。

[0245] 注意,氧化物层106a、氧化物半导体层106b和氧化物层106c都具有晶体结构或者TEM图像中确认不到明确的结晶部的结构。优选的是,氧化物层106a具有TEM图像中确认不到明确的结晶部的结构,氧化物半导体层106b具有晶体结构,并且氧化物层106c具有晶体结构或TEM图像中确认不到明确的结晶部的结构。因为沟道被形成的氧化物半导体层106b具有晶体结构,所以晶体管可以具有稳定的电特性。

[0246] 下面,说明晶体管的其他结构。

[0247] 对于衬底100没有大的限制。例如,作为衬底100,也可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,作为衬底100,也可以采用由硅或碳化硅等构成的单晶半导体衬底、多晶半导体衬底、硅锗等形成的化合物半导体衬底、绝缘体上硅(SOI)的衬底等。而且,作为衬底100也可以使用在这些衬底上设置有半导体元件的衬底。

[0248] 另外,在作为衬底100使用第五代(1000mm×1200mm或1300mm×1500mm)、第六代(1500mm×1800mm)、第七代(1870mm×2200mm)、第八代(2200mm×2500mm)、第九代(2400mm×2800mm)、第十代(2880mm×3130mm)等大型玻璃衬底的情况下,由于半导体装置的制造工序中的加热处理等所导致的衬底100的收缩,有时难以进行微细加工。因此,在作为衬底100使用上述大型玻璃衬底的情况下,优选使用不可能起因于加热处理而收缩的衬底。例如,作为衬底100可以使用在400℃、优选为450℃、更优选为500℃的温度下进行1小时的加热处理之后的收缩量为10ppm以下、优选为5ppm以下、更优选为3ppm以下的大型玻璃衬底。

[0249] 此外,作为衬底100也可以使用柔性衬底。作为在柔性衬底上设置晶体管的方法,也可以举出如下方法:在不具有柔性的衬底上形成晶体管之后,从不具有柔性的衬底剥离

晶体管并将该晶体管转置到柔性衬底的衬底100上。在此情况下,优选在不具有柔性的衬底和晶体管之间设置剥离层。

[0250] 可以使用包含铝、钛、铬、钴、镍、铜、钇、锆、钼、钒、银、钽以及钨中的一种以上的导电膜的单层或叠层形成栅电极104。

[0251] 注意,如图16A所示那样,以多层膜106的端部位于栅电极104的端部的内侧的方式设置栅电极104。通过在这样的位置设置栅电极104,当从衬底100一侧入射光时,可以抑制在多层膜106中因光而产生载流子。注意,多层膜106的端部也可以位于栅电极104的端部的外侧。

[0252] 可以使用包含氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钆、氧化铈以及氧化钽中的一种以上的绝缘膜的单层或叠层形成栅极绝缘膜112。

[0253] 例如,作为栅极绝缘膜112,也可以使用包含作为第一层的氮化硅层以及作为第二层的氧化硅层的多层膜。此时,氧化硅层也可以为氧氮化硅层。另外,氮化硅层也可以为氮氧化硅层。作为氧化硅层优选使用缺陷密度小的氧化硅层。具体而言,使用如下氧化硅层:在电子自旋共振法(ESR:Electron Spin Resonance)中,来源于g值为2.001的信号是自旋密度为 3×10^{17} 自旋/cm³以下,优选为 5×10^{16} 自旋/cm³以下。作为氧化硅层优选使用包含过剩氧的氧化硅层。作为氮化硅层使用较少可能释放氢及氨的氮化硅层。氢或氨的释放量可通过热脱附谱(TDS)进行测定。

[0254] 可以使用包含铝、钛、铬、钴、镍、铜、钇、锆、钼、钒、银、钽以及钨中的一种以上的导电膜的单层或叠层形成源电极116a及漏电极116b。注意,源电极116a及漏电极116b可以具有相同的组成或不同的组成。

[0255] 可以使用包含氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钆、氧化铈以及氧化钽中的一种以上的绝缘膜的单层或叠层形成保护绝缘膜118。

[0256] 例如,作为保护绝缘膜118,也可以使用包含作为第一层的氧化硅层以及作为第二层的氮化硅层的多层膜。此时,氧化硅层也可以为氧氮化硅层。另外,氮化硅层也可以为氮氧化硅层。作为氧化硅层优选使用缺陷密度小的氧化硅层。具体而言,使用如下氧化硅层:在ESR中,来源于g值为2.001的信号是自旋密度为 3×10^{17} 自旋/cm³以下、优选为 5×10^{16} 自旋/cm³以下的氧化硅层。作为氮化硅层使用较少可能释放氢及氨的氮化硅层。氢及氨的释放量可通过TDS分析进行测定。另外,作为氮化硅层使用使氧不透过或几乎不透过的氮化硅层。

[0257] 或者,例如,作为保护绝缘膜118,也可以使用包含作为第一层的第一氧化硅层118a作为第二层的第二氧化硅层118b以及作为第三层的氮化硅层118c的多层膜(参照图16D)。此时,第一氧化硅层118a或/及第二氧化硅层118b也可以为氧氮化硅层。另外,氮化硅层也可以为氮氧化硅层。作为第一氧化硅层118a优选使用缺陷密度小的氧化硅层。具体而言,使用如下氧化硅层:在ESR中,来源于g值为2.001的信号是自旋密度为 3×10^{17} 自旋/cm³以下、优选为 5×10^{16} 自旋/cm³以下的氧化硅层。作为第二氧化硅层118b使用包含过剩氧的氧化硅层。作为氮化硅层118c使用较少可能释放氢及氨的氮化硅层。另外,作为氮化硅层使用使氧不透过或几乎不透过的氮化硅层。

[0258] 包含过剩氧的氧化硅层是指通过加热处理等可以释放氧的氧化硅层。此外,包含过剩氧的绝缘膜是指具有通过加热处理释放氧的绝缘膜。

[0259] 在此,通过加热处理释放氧的膜可能释放TDS分析中的量为 1×10^{18} 原子/cm³以上、 1×10^{19} 原子/cm³以上或 1×10^{20} 原子/cm³以上的氧(换算为氧原子的数目)。

[0260] 在此,以下说明利用TDS分析的氧的释放量的测量方法。

[0261] TDS分析中的从测量样品释放的气体的总释放量与释放气体的离子强度的积分值成比例。并且,通过对该测量样品与参考样品进行比较,可以计算出气体的总释放量。

[0262] 例如,根据使用作为参考样品的含有既定密度的氢的硅片的TDS结果以及测量样品的TDS结果的算式(1),可以算出从测量样品释放的氧分子(N_{O₂})的数目。这里,假定以通过TDS分析得到的质量数32的所有气体来源于氧分子。注意,不考虑作为质量数32的气体的CH₃OH,因为CH₃OH不可能存在。此外,包含作为氧原子的同位素的质量数17或18的氧原子的氧分子也不考虑,因为在自然界中这样的分子的比例极小。

[0263] [算式1]

$$[0264] \quad N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0265] 在此,N_{H₂}是通过从参考样品脱离的氢分子的数目换算为密度而得到的值。此外,S_{H₂}是参考样品的TDS分析中的离子强度的积分值。在此,将参考样品的参考值表示为N_{H₂}/S_{H₂}。而且,S_{O₂}是测量样品的TDS分析中的离子强度的积分值。 α 是在TDS分析中影响离子强度的系数。关于算式1的详细说明,可以参照日本专利申请公开平H6-275697公报。使用由ESCO Ltd.制造的热脱附装置EMD-WA1000S/W,并将包含 1×10^{16} 原子/cm²的氢原子的硅片用作参考样品,来对上述氧的释放量进行测量。

[0266] 此外,在TDS分析中,氧的一部分作为氧原子被检测出。氧分子与氧原子的比率可以从氧分子的电离率算出。因为上述 α 包括氧分子的电离率,所以通过评估氧分子的释放量,还可以估算出氧原子的释放量。

[0267] 在此,N_{O₂}是氧分子的释放量。换算为氧原子时的释放量是氧分子的释放量的2倍。

[0268] 进而,通过加热处理释放氧的膜可能包含过氧化物自由基。具体而言,起因于过氧化物自由基的自旋密度为 5×10^{17} 自旋/cm³以上。另外,包含过氧化物自由基的膜可能在ESR中在g值为2.01附近时具有非对称性的信号。

[0269] 包含过剩氧的绝缘膜可以是氧过剩的氧化硅(SiO_X(X>2))。在氧过剩的氧化硅(SiO_X(X>2))中,每单位体积的氧原子的数目多于每单位体积的硅原子的数目的2倍。每单位体积的硅原子的数目及氧原子的数目为通过卢瑟福背散射光谱学法(RBS)测量的值。

[0270] 当栅极绝缘膜112及保护绝缘膜118中的至少一个为包含过剩氧的绝缘膜时,可以减少氧化物半导体层106b中的氧缺位。

[0271] 在上述的晶体管中,沟道形成在多层膜106的氧化物半导体层106b中,由此该晶体管具有稳定的电特性和高场效应迁移率。

[0272] <2-1-2. 晶体管结构(1-1)的制造方法>

[0273] 在此,参照图17A至17C、图18A至18B说明晶体管的制造方法。

[0274] 首先,准备衬底100。

[0275] 接着,形成将成为栅电极104的导电膜。通过溅射法、化学气相沉积(CVD)法、分子

束外延 (MBE) 法、原子层沉积 (ALD) 法或脉冲激光沉积 (PLD) 法、使用作为栅电极104的例子而所示的任意导电膜,可以形成将成为栅电极104的导电膜。

[0276] 接着,对将成为栅电极104的导电膜的一部分进行蚀刻,形成栅电极104(参照图17A)。

[0277] 接着,形成栅极绝缘膜112(参照图17B)。通过溅射法、CVD法、MBE法、ALD法或PLD法使用作为栅极绝缘膜112的例子而所示的任意的上述绝缘膜,可以形成栅极绝缘膜112。

[0278] 接着,形成将成为氧化物层106a的氧化物层。通过溅射法、CVD法、MBE法、ALD法或PLD法使用作为氧化物层106a的例子而所示的任意的上述氧化物层,可以形成将成为氧化物层106a的氧化物层。

[0279] 接着,形成将成为氧化物半导体层106b的氧化物半导体层。关于氧化物半导体层106b的成膜方法,参照以上节中的说明。

[0280] 接着,形成将成为氧化物层106c的氧化物层。通过溅射法、CVD法、MBE法、ALD法或PLD法使用作为氧化物层106c的例子而所示的任意的上述氧化物层,可以形成将成为氧化物层106c的氧化物层。

[0281] 优选不暴露于大气地连续地形成将成为氧化物层106a的氧化物层、将成为氧化物半导体层106b的氧化物半导体层以及将成为氧化物层106c的氧化物层,以使得杂质较少可能地被引入到各界面。

[0282] 接着,对将成为氧化物层106a的氧化物层、将成为氧化物半导体层106b的氧化物半导体层以及将成为氧化物层106c的氧化物层的一部分进行蚀刻,形成包含氧化物层106a、氧化物半导体层106b以及氧化物层106c的多层膜106(参照图17C)。

[0283] 接着,优选进行第一加热处理。第一加热处理可以以250℃以上且650℃以下的温度,优选为以300℃以上且500℃以下的温度进行。第一加热处理在惰性气体气氛下,包含10ppm以上、1%以上或10%以上的氧化气体的气氛下或者减压状态下进行。或者,可以通过如下方法进行第一加热处理:在惰性气体气氛进行加热处理之后,为了填补脱离了氧在包含10ppm以上、1%以上或10%以上的氧化气体气氛下进行其他加热处理。通过进行第一加热处理,可以提高氧化物半导体层106b的结晶性,还可以从栅极绝缘膜112或/及多层膜106去除杂质例如氢及水。

[0284] 接着,形成将成为源电极116a及漏电极116b的导电膜。通过溅射法、CVD法、MBE法、ALD法或PLD法使用作为源电极116a及漏电极116b的例子而所示的任意的上述导电膜,可以形成将成为源电极116a及漏电极116b的导电膜。

[0285] 接着,对将成为源电极116a及漏电极116b的导电膜的一部分进行蚀刻,形成源电极116a及漏电极116b(参照图18A)。

[0286] 接着,优选进行第二加热处理。关于第二加热处理,可以参照第一加热处理的说明。通过第二加热处理,可以从多层膜106去除杂质例如氢及水。注意,水是包含氢的化合物,所以有可能成为氧化物半导体层106b中的杂质。

[0287] 接着,形成保护绝缘膜118(参照图18B)。通过溅射法、CVD法、MBE法、ALD法或PLD法使用作为保护绝缘膜118的例子而所示的任意的上述绝缘膜,可以形成保护绝缘膜118。

[0288] 在此,说明保护绝缘膜118具有图16D所示的三层结构的情况。首先,形成第一氧化硅层118a。接着,形成第二氧化硅层118b。然后,优选进行对第二氧化硅层118b添加氧离子

的处理。添加氧离子的处理可以利用离子掺杂装置或等离子体处理装置来进行。作为离子掺杂装置,也可以利用具有质量分离功能的离子掺杂装置。作为氧离子的原料,可以使用氧气体例如 $^{16}\text{O}_2$ 或 $^{18}\text{O}_2$ 、一氧化二氮气体、臭氧气体等。接着,形成氮化硅层118c。通过上述步骤,可以形成保护绝缘膜118。

[0289] 接着,优选进行第三加热处理。关于第三加热处理,可以参照第一加热处理的说明。通过第三加热处理,从栅极绝缘膜112或/及保护绝缘膜118释放过剩氧,因此可以降低多层膜106中的氧缺位。注意,在多层膜106中,由于氧缺位俘获所相邻的氧原子,氧缺位看上去移动。由此,过剩氧可以通过氧化物层106a或氧化物层106c而到达氧化物半导体层106b。

[0290] 通过上述步骤,可以制造BGTC晶体管。

[0291] 该晶体管具有稳定的电特性,因为多层膜106的氧化物半导体层106b中的氧缺位被降低。

[0292] <2-2. 晶体管结构(2)>

[0293] 在本节中,说明顶栅型晶体管。

[0294] <2-2-1. 晶体管结构(2-1)>

[0295] 在此,参照图19A至19C说明顶栅型晶体管的一种的顶栅顶接触(TGTC结构)结构的晶体管。

[0296] 图19A至19C是TGTC晶体管的俯视图及截面图。图19A是晶体管的俯视图。图19B是沿着图19A所示的点划线B1-B2的截面图。图19C是沿着图19A所示的点划线B3-B4的截面图。

[0297] 图19B所示的晶体管包括:衬底200上的基底绝缘膜202;包含基底绝缘膜202上的氧化物层206a、氧化物层206a上的氧化物半导体层206b以及氧化物半导体层206b上的氧化物层206c的多层膜206;基底绝缘膜202和多层膜206上的源电极216a及漏电极216b;多层膜206、源电极216a以及漏电极216b上的栅极绝缘膜212;栅极绝缘膜212上的栅电极204;栅极绝缘膜212和栅电极204上的保护绝缘膜218。注意,晶体管不是必须包括基底绝缘膜202或/及保护绝缘膜218。

[0298] 源电极216a以及漏电极216b与氧化物半导体层206b的侧端部接触。

[0299] 另外,根据用于源电极216a及漏电极216b的导电膜的种类,从氧化物层206c的一部分夺取氧,使得在氧化物层106c中形成源区域及漏区域。

[0300] 在图19A中,将重叠于栅电极204的多层膜206的区域中的源电极216a和漏电极216b之间的间隔称为沟道长度。注意,当晶体管包括源区域和漏区域时,可以将重叠于栅电极204的区域中的源区域和漏区域之间的间隔称为沟道长度。

[0301] 注意,沟道形成区域是指多层膜206中的重叠于栅电极204并在俯视时位于源电极216a和漏电极216b之间的区域。另外,沟道区域是指沟道形成区域中的电流主要流过的区域。在此,沟道区域是指沟道形成区域中的氧化物半导体层206b的部分。

[0302] 关于多层膜206,参照多层膜106的说明。具体而言:关于氧化物层206a,参照氧化物层106c的说明;关于氧化物半导体层206b,参照氧化物半导体层106b的说明;关于氧化物层206c,参照氧化物层106a的说明。

[0303] 关于衬底200,参照衬底100的说明。关于源电极216a及漏电极216b,参照源电极116a及漏电极116b的说明。关于栅极绝缘膜212,参照栅极绝缘膜112的说明。关于栅电极

204,参照栅电极104的说明。关于保护绝缘膜218,参照保护绝缘膜118的说明。

[0304] 在图19A中,虽然多层膜206的端部位于栅电极204的端部的外侧,但是,为了抑制在多层膜206中因光而产生载流子,多层膜206的端部也可以位于栅电极204的端部的内侧。

[0305] 使用包含氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪以及氧化钽中的一种以上的绝缘膜的单层或叠层,可以形成基底绝缘膜202。

[0306] 例如,作为基底绝缘膜202,也可以使用包含作为第一层的氮化硅层以及作为第二层的氧化硅层的多层膜。此时,氧化硅层也可以为氧氮化硅层。另外,氮化硅层也可以为氮氧化硅层。作为氧化硅层优选使用缺陷密度小的氧化硅层。具体而言,使用如下氧化硅层:在ESR中,来源于g值为2.001的信号的自旋密度为 3×10^{17} 自旋/cm³以下、优选为 5×10^{16} 自旋/cm³以下的氧化硅层。作为氮化硅层使用较少可能释放氢及氨的氮化硅层。作为氢及氨的释放量可以通过TDS分析进行测定。另外,作为氮化硅层使用使氧不透过或几乎不透过的氮化硅层。

[0307] 另外,例如,作为基底绝缘膜202,也可以使用包含作为第一层的氮化硅层、作为第二层的第一氧化硅层以及作为第三层的第二氧化硅层的多层膜。此时,第一氧化硅层或/及第二氧化硅层也可以为氧氮化硅层。另外,氮化硅层也可以为氮氧化硅层。作为第一氧化硅层优选使用缺陷密度小的氧化硅层。具体而言,使用如下氧化硅层:在ESR中,来源于g值为2.001的信号的自旋密度为 3×10^{17} 自旋/cm³以下、优选为 5×10^{16} 自旋/cm³以下的氧化硅层。第二氧化硅层使用包含过剩氧的氧化硅层。作为氮化硅层使用较少可能释放氢及氨的氮化硅层。另外,作为氮化硅层使用使氧不透过或几乎不透过的氮化硅层。

[0308] 当栅极绝缘膜212及基底绝缘膜202中的至少一个为包含过剩氧的绝缘膜时,可以减少氧化物半导体层206b中的氧缺位。

[0309] 在上述晶体管中,沟道形成在多层膜206的氧化物半导体层206b中,由此该晶体管具有稳定的电特性和高场效应迁移率。

[0310] <2-2-2. 晶体管结构(2-1)的制造方法>

[0311] 在此,参照图20A至20C、图21A及21B说明晶体管的制造方法。

[0312] 首先,准备衬底200。

[0313] 接着,形成将成为氧化物层206a的氧化物层。关于将成为氧化物层206a的氧化物层的成膜方法,参照将成为氧化物层106c的氧化物层的成膜方法的说明。

[0314] 接着,形成将成为氧化物半导体层206b的氧化物半导体层。关于将成为氧化物半导体层206b的氧化物半导体层的成膜方法,参照将成为氧化物半导体层106b的氧化物半导体层的成膜方法的说明。

[0315] 接着,形成将成为氧化物层206c的氧化物层。关于将成为氧化物层206c的氧化物层的成膜方法,参照将成为氧化物层106a的氧化物层的成膜方法的说明。

[0316] 接着,优选进行第一加热处理。第一加热处理可以以250℃以上且650℃以下的温度,优选为以300℃以上且500℃以下的温度进行。第一加热处理在惰性气体气氛下,包含10ppm以上、优选为1%以上、更优选为10%以上的氧化气体的气氛下或者减压状态下进行。或者,可以通过如下方法进行第一加热处理:在惰性气体气氛进行加热处理之后,为了填补脱离了氧在包含10ppm以上、优选为1%以上、更优选为10%以上的氧化气体气氛下进行

其他加热处理。通过第一加热处理,可以提高用作氧化物半导体层206b的氧化物半导体层的结晶性,还可以从基底绝缘膜202、将成为氧化物层206a的氧化物层、将成为氧化物半导体层206b的氧化物半导体层或/及将成为氧化物层206c的氧化物层去除杂质例如氢及水。

[0317] 接着,对将成为氧化物层206a的氧化物层、将成为氧化物半导体层206b的氧化物半导体层以及将成为氧化物层206c的氧化物层的一部分进行蚀刻,来形成包含氧化物层206a、氧化物半导体层206b以及氧化物层206c的多层膜206(参照图20A)。

[0318] 接着,形成将成为源电极216a及漏电极216b的导电膜。关于将成为源电极216a及漏电极216b的导电膜的成膜方法,参照将成为源电极116a及漏电极116b的导电膜的成膜方法的说明。

[0319] 接着,对将成为电极216a及漏电极216b的导电膜的一部分进行蚀刻,形成源电极216a及漏电极216b(参照图20B)。

[0320] 接着,优选进行第二加热处理。关于第二加热处理,可以参照第一加热处理的说明。通过第二加热处理,可以从多层膜206去除杂质例如氢及水。

[0321] 接着,形成栅极绝缘膜212(参照图20C)。关于栅极绝缘膜212的成膜方法,参照栅极绝缘膜112的成膜方法的说明。

[0322] 接着,形成将成为栅电极204的导电膜。关于将成为栅电极204的导电膜的成膜方法,参照将成为栅电极104的导电膜的成膜方法的说明。

[0323] 接着,对将成为栅电极204的导电膜的一部分进行蚀刻,形成栅电极204(参照图21A)。

[0324] 接着,形成保护绝缘膜218(参照图21B)。关于保护绝缘膜218的成膜方法,参照保护绝缘膜118的成膜方法的说明。

[0325] 通过上述步骤,可以制造晶体管。

[0326] 该晶体管具有稳定的电特性,因为多层膜206的氧化物半导体层206b中的氧缺位被降低。

[0327] <2-2-3. 晶体管结构(2-1)的电特性>

[0328] 在此,制造TGTC结构的晶体管,测量其电特性。

[0329] 参照图19B说明晶体管的结构。

[0330] 作为衬底200使用玻璃衬底。

[0331] 作为氧化物层206a,使用通过使用In-Ga-Zn氧化物(原子比为In:Ga:Zn=1:3:2)的靶材的溅射法形成的厚度为5nm的氧化物层。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm);将压力设定为0.4Pa;将衬底温度设定为200℃;施加0.5kW的DC功率。

[0332] 作为氧化物半导体层206b,使用通过使用In-Ga-Zn氧化物(原子比为In:Ga:Zn=1:1:1)的靶材的溅射来形成的厚度为15nm的氧化物半导体层。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm);将压力设定为0.4Pa;将衬底温度设定为300℃或400℃;施加0.5kW的DC功率。

[0333] 作为氧化物层206c,使用通过使用In-Ga-Zn氧化物(原子比为In:Ga:Zn=1:3:2)的靶材的溅射法形成的厚度为5nm的氧化物层。注意,作为沉积气体使用氩气体(流量:30sccm)及氧气体(流量:15sccm);将压力设定为0.4Pa;将衬底温度设定为200℃;施加

0.5kW的DC功率。

[0334] 作为源电极216a及漏电极216b,使用通过溅射法形成的厚度为100nm的钨膜。

[0335] 作为栅极绝缘膜212,使用通过CVD法形成的厚度为20nm的氧氮化硅膜。注意,作为沉积气体使用 SiH_4 气体(流量:1sccm)及 N_2O 气体(流量:800sccm);将压力设定为100Pa;将衬底温度设定为350℃;施加150W的60MHz的高频功率。

[0336] 作为栅电极204,使用依次层叠通过溅射法形成的厚度为30nm的氮化钽层和厚度为135nm的钨层的多层膜。

[0337] 通过如上步骤,制造晶体管。

[0338] 首先,在图22A和22B中,一起表示在衬底200上的25个点测量而得到的晶体管的 V_g - I_d 曲线。在此,在漏电压 V_d 为0.1V或3.3V并栅电压 V_g 从-4V扫描至4V的情况下,测量漏电流 I_d 。

[0339] 注意,漏电压是指以源电极的电位为基准时的源电极与漏电极之间的电位差。栅电压是指以源电极的电位为基准时的源电极与栅电极之间的电位差。漏电流是指在源电极和漏电极之间流过的电流值。

[0340] 图22A示出沟道长度 L 为0.61 μm ,沟道宽度 W 为1 μm 的晶体管的 V_g - I_d 特性。另外,图22B示出沟道长度 L 为1.06 μm ,沟道宽度 W 为1 μm 的晶体管的 V_g - I_d 特性。注意,从图表的右轴可知漏电压 V_d 为0.1V的晶体管的场效应迁移率(μ_{FE})。

[0341] 图22A和22B示出晶体管的 V_g - I_d 特性的不均匀小。

[0342] 接着,对晶体管进行正栅极BT测试及负栅极BT测试。

[0343] 在正栅极BT测试中,首先在将衬底温度设定为40℃的情况下测量 V_g - I_d 特性,然后,在将衬底温度设定为150℃,将栅电压 V_g 设定为3.3V,将漏电压 V_d 设定为0V的情况下,保持晶体管一个小时。接着,在将栅电压 V_g 设定为0V并将衬底温度设定为40℃的情况下,测量 V_g - I_d 特性。

[0344] 在负栅极BT测试中,首先在将衬底温度设定为40℃的情况下测量 V_g - I_d 特性,然后,在将衬底温度设定为150℃,将栅电压 V_g 设定为-3.3V,将漏电压 V_d 设定为0V的情况下,保持晶体管一个小时。接着,在将栅电压 V_g 设定为0V并将衬底温度设定为40℃的情况下,测量 V_g - I_d 特性。

[0345] 图23A示出对晶体管进行正栅极BT测试的结果。另外,图23B示出对晶体管进行负栅极BT测试的结果。注意,在图23A和23B的每一个中,以实线表示进行栅极BT测试之前的 V_g - I_d 特性,以虚线表示进行栅极BT测试之后的 V_g - I_d 特性。在进行任何可靠性测验之后,晶体管的阈值电压的变动量都极小,即0.5V以下。

[0346] 上述结果表明晶体管具有稳定的电特性。

[0347] <3.关于应用产品>

[0348] 本说明书所公开的晶体管可以应用于各种电子设备(也包括游戏机)和电器。作为电子设备,可以举出电视机、显示器等显示装置、照明装置、台式或笔记本型个人计算机、文字处理机、再现存储在记录介质例如数字通用光盘(DVD)中的静态图像或动态图像的图像再现装置、便携式CD播放器、收音机、磁带录音机、头戴式耳机音响、音响、无绳电话子机、步话机、移动电话机、车载电话、便携式游戏机、计算器、便携式信息终端、电子笔记本、电子书阅读器、电子翻译器、声音输入器、摄像机、数字静态照相机、电动剃须刀、IC芯片等。作为电

器,可以举出微波炉等高频加热装置、电饭煲、洗衣机、吸尘器、空调器等空调设备、洗碗机、烘碗机、干衣机、烘被机、电冰箱、电冷冻箱、电冷藏冷冻箱、DNA保存用冰冻器、辐射计数器(radiation counters)、透析装置等医疗设备等。另外,作为电器,也可以举出烟雾检测器、气体报警装置、防犯报警器等报警装置。再者,还可以举出工业设备诸如引导灯、信号机、传送带、自动扶梯、电梯、工业机器人、蓄电系统等。另外,使用石油的引擎、利用来自非水类二次电池的电力通过电动机推进的移动体等也包括在电器的范畴内。作为上述移动体,例如可以举出电动汽车(EV)、兼具内燃机和电动机的混合动力汽车(HEV)、插电式混合动力汽车(PHEV)、使用履带代替这些的车轮的履带式车辆、包括电动辅助自行车的电动自行车、摩托车、电动轮椅、高尔夫球车、小型或大型船舶、潜水艇、直升机、飞机、火箭、人造卫星、太空探测器、行星探测器、宇宙飞船。图24、图25、图26A至26C以及图27A至27C示出上述电子设备及电器的具体例子。

[0349] 说明以烟雾检测器为代表的报警装置的结构及工作。在本节中,参照图24、图25、图26A至26C以及图27A说明作为报警装置的例子的火灾报警器的结构。

[0350] 本说明书中的火灾报警器是指立即发出火灾发生的警报的所有装置,其包括诸如住宅用火灾报警器、自动火灾警报系统、用于该自动火灾警报系统的火灾检测器等。

[0351] 图24所示的报警装置至少包括微型计算机500。在此,微型计算机500设置在报警装置的内部。在微型计算机500中设置有与高电位电源线VDD电连接的电源门控制器503、与高电位电源线VDD及电源门控制器503电连接的电源门504、与电源门504电连接的CPU(Central Processing Unit)505、以及与电源门504及CPU505电连接的检测部509。另外,CPU505包含易失性存储部506及非易失性存储部507。

[0352] 另外,CPU505通过接口508与总线502电连接。与CPU505同样,接口508也与电源门504电连接。作为接口508的总线规格,可以使用I²C总线。另外,本节中所示的报警装置中设置通过接口508与电源门504电连接的发光元件530。

[0353] 发光元件530优选为发射指向性强的光的元件,例如可以使用有机EL元件、无机EL元件或发光二极管(LED)。

[0354] 电源门控制器503具有定时器,并使用该定时器控制电源门504。电源门504根据电源门控制器503的控制对CPU505、检测部509及接口508供应或关闭从高电位电源线VDD供应的电源。在此,作为电源门504可以使用如晶体管等的开关元件。

[0355] 通过使用电源门控制器503及电源门504,在测量光量的期间中进行对检测部509、CPU505及接口508的电源供应,并且可以在测量期间之间的空闲期间可以关闭对检测部509、CPU505及接口508的电源供应。通过使报警装置这样工作,与对上述结构不间断地供应电源的情况相比,能够实现报警装置的耗电量的降低。

[0356] 在作为电源门504使用晶体管的情况下,优选使用用于非易失性存储部507并且关态电流(off-state current)极低的晶体管,例如优选使用包括氧化物半导体的晶体管。通过使用这种晶体管,当由电源门504关闭电源时可以减少泄漏电流,而可以实现报警装置的耗电量的降低。

[0357] 也可以在本节中所示的报警装置中设置直流电源501,从直流电源501对高电位电源线VDD供应电源。直流电源501的高电位一侧的电极与高电位电源线VDD电连接,直流电源501的低电位一侧的电极与低电位电源线VSS电连接。低电位电源线VSS与微型计算机500电

连接。在此,对高电位电源线VDD供应高电位H。对低电位电源线VSS供应接地电位(GND)等低电位L。

[0358] 在作为直流电源501使用电池的情况下,例如在框体中设置包括如下的电池箱:与高电位电源线VDD电连接的电极、与低电位电源线VSS电连接的电极、以及可以保持该电池的框体。注意,在本节中所示的报警装置不是必须设置直流电源501,例如也可以采用从设置在该报警装置的外部的交流电源通过布线被供应电源的结构。

[0359] 作为上述电池,也可以使用二次电池如锂离子二次电池(也称为锂离子蓄电池、锂离子电池)。另外,优选设置太阳能电池以对该二次电池进行充电。

[0360] 检测部509测量有关异常的物理量并对CPU505发送检测值。有关异常的物理量根据报警装置的使用目的不同,在用作火灾报警器的报警装置中,检测有关火灾的物理量。因此,检测部509测量作为有关火灾的物理量的光量并检测出烟雾。

[0361] 检测部509包括与电源门504电连接的光传感器511、与电源门504电连接的放大器512、以及与电源门504及CPU505电连接的AD转换器513。发光元件530及设置在检测部509的光传感器511、放大器512及AD转换器513在电源门504对检测部509供应电源时工作。

[0362] 图25示出报警装置的截面的一部分。在报警装置中,在p型的半导体衬底201上形成元件分离区域203,形成有包括栅极绝缘膜207、栅电极209、n型的杂质区域211a、n型的杂质区域211b、绝缘膜215以及绝缘膜217的n型的晶体管519。在此,由于n型的晶体管519使用与氧化物半导体不同的半导体例如单晶硅而形成,所以晶体管519能够进行充分高速的工作。由此,可以形成能够实现充分高速的访问的CPU的易失性存储部。

[0363] 另外,在对绝缘膜215和绝缘膜217的一部分进行了蚀刻而形成的开口部形成接触插头219a及接触插头219b,在绝缘膜217、接触插头219a以及接触插头219b上形成具有沟槽部分的绝缘膜221。在绝缘膜221的沟槽部分形成布线223a及布线223b。在绝缘膜221、布线223a以及布线223b上通过溅射法、CVD法等形成绝缘膜220,在该绝缘膜220上形成具有沟槽部分的绝缘膜222。在绝缘膜222的沟槽部分形成电极224。电极224用作第二晶体管517的背栅电极。电极224可以控制第二晶体管517的阈值电压。

[0364] 另外,在绝缘膜222及电极224上通过溅射法、CVD法等形成绝缘膜225。

[0365] 在绝缘膜225上设置第二晶体管517及光电转换元件514。第二晶体管517包括氧化物层206a、氧化物半导体层206b、氧化物层206c、与氧化物层206a、氧化物半导体层206b和氧化物层206c的叠层的顶面接触的源电极216a及漏电极216b、栅极绝缘膜212、栅电极204以及保护绝缘膜218。另外,绝缘膜245覆盖光电转换元件514及第二晶体管517,并将布线249形成在绝缘膜245上而使布线249与漏电极216b接触。布线249用作使第二晶体管517的漏电极216b与n型的晶体管519的栅电极209电连接的节点。

[0366] 光传感器511包括光电转换元件514、电容元件、第一晶体管、第二晶体管517、第三晶体管以及n型的晶体管519。作为光电转换元件514,例如在此可以使用光电二极管。

[0367] 光电转换元件514的端子的一个与低电位电源线VSS电连接,该端子的另一个与第二晶体管517的源电极和漏电极中的一个电连接。对第二晶体管517的栅电极供应电荷累积控制信号Tx,源电极和漏电极中的另一个与电容元件的一对电极中的一个、第一晶体管的源电极和漏电极中的一个以及n型的晶体管519的栅电极电连接(下面,有时将该节点称为节点FD)。电容元件的一对电极中的另一个与低电位电源线VSS电连接。对第一晶体管的栅

电极供应复位信号Res,第一晶体管的源电极和漏电极中的另一个与高电位电源线VDD电连接。n型的晶体管519的源电极和漏电极中的一个与第三晶体管的源电极和漏电极中的一个以及放大器512电连接。n型的晶体管519的源电极和漏电极中的另一个与高电位电源线VDD电连接。对第三晶体管的栅电极供应偏压信号Bias,第三晶体管的源电极和漏电极中的另一个与低电位电源线VSS电连接。

[0368] 注意,未必一定要设置电容元件,例如在n型的晶体管519等的寄生电容充分大的情况下也可以采用不设置电容元件的结构。

[0369] 另外,作为第一晶体管及第二晶体管517的每一个,优选使用关态电流极低的晶体管。作为关态电流极低的晶体管,优选使用包含氧化物半导体的晶体管。通过采用这种结构,能够长时间保持节点FD的电位。

[0370] 在图25所示的结构中,光电转换元件514与第二晶体管517电连接并设置在绝缘膜225上。

[0371] 光电转换元件514包括绝缘膜225上的半导体层260、以及与半导体层260的表面接触的源电极216a、电极216c。源电极216a为用作第二晶体管517的源电极或漏电极的电极并使光电转换元件514与第二晶体管517电连接。

[0372] 在半导体层260、源电极216a及电极216c上设置有栅极绝缘膜212、保护绝缘膜218及绝缘膜245。另外,在绝缘膜245上设置有布线256,布线256通过设置在栅极绝缘膜212、保护绝缘膜218及绝缘膜245中的开口与电极216c接触。

[0373] 电极216c可以通过与源电极216a及漏电极216b类似的工序形成。布线256可以通过与布线249类似的工序形成。

[0374] 作为半导体层260,设置能够进行光电转换的半导体层,例如可以使用硅或锗。在使用硅的情况下,半导体层260用作检测可见光的光传感器。此外,硅和锗能够吸收的电磁波的波长不同。在半导体层260包含锗时,能够得到检测红外线的传感器。

[0375] 如上所述那样,可以在微型计算机500中内藏包括光传感器511的检测部509,所以可以缩减部件数,而缩小报警装置的框体的尺寸。

[0376] 在包含上述的IC芯片的火灾报警器中,使用其中组合多个包括上述晶体管的电路并将该电路组装在一个IC芯片上的CPU505。

[0377] 图26A至26C是示出至少部分地包括上述晶体管的CPU的具体结构的方框图。

[0378] 图26A所示的CPU在衬底1190上包括:ALU(Arithmetic logic unit:算术逻辑单元)1191;ALU控制器1192;指令解码器1193;中断控制器1194;时序控制器1195;寄存器1196;寄存器控制器1197;总线接口1198;可改写的ROM1199;以及ROM接口1189。作为衬底1190,使用半导体衬底、SOI衬底及玻璃衬底等。ROM1199和ROM接口1189可以设置在另一芯片上。当然,图26A所示的CPU只是将其结构简化而示出的一个例子,并且实际上的CPU根据其用途具有多种结构。

[0379] 通过总线接口1198输入到CPU的指令输入到指令解码器1193且被进行解码之后,输入到ALU控制器1192、中断控制器1194、寄存器控制器1197和时序控制器1195。

[0380] 根据被解码的指令,ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195进行各种控制。具体而言,ALU控制器1192产生用来控制ALU1191的工作的信号。当CPU在执行程序时,中断控制器1194根据其优先度或掩模状态而判断来自外部的输入/输出

装置或外围电路的中断要求,且处理该要求。寄存器控制器1197产生寄存器1196的地址,并根据CPU的状态进行从寄存器1196的读出或对寄存器1196的写入。

[0381] 另外,时序控制器1195产生控制ALU1191、ALU控制器1192、指令解码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具备根据参考时钟信号CLK1产生内部时钟信号CLK2的内部时钟产生部,并将内部时钟信号CLK2供应到上述各种电路。

[0382] 在图26A所示的CPU中,在寄存器1196中设置有存储单元。作为寄存器1196的存储单元,可以使用上述晶体管。

[0383] 在图26A所示的CPU中,寄存器控制器1197根据来自ALU1191的指示,选择寄存器1196中的保持工作。换言之,在寄存器1196所具有的存储单元中,寄存器控制器1197选择利用触发器进行数据的保持还是利用电容元件进行数据的保持。当选择利用触发器进行数据的保持时,进行对寄存器1196中的存储单元的电源电压的供应。当选择利用电容元件进行数据的保持时,进行对电容元件的数据的改写,而可以停止对寄存器1196内的存储单元的电源电压的供应。

[0384] 如图26B或26C所示那样,通过在存储单元群与被供应有电源电位VDD或电源电位VSS的节点之间设置开关元件,可以停止电源的供应。以下说明图26B及26C的电路。

[0385] 在图26B及26C各示出存储电路的结构例子,其中作为控制对存储单元的电源供应电位的供应的开关元件使用上述晶体管中的任一

[0386] 图26B所示的存储装置包括开关元件1141以及具有多个存储单元1142的存储单元群1143。具体而言,作为各存储单元1142可以使用上述晶体管。通过开关元件1141,高电平的电源电位VDD供应到存储单元群1143所具有的各存储单元1142。并且,信号IN的电位和低电平的电源电位VSS的电位供应到存储单元群1143所具有的各存储单元1142。

[0387] 在图26B中,作为开关元件1141使用上述晶体管中的任一,该晶体管的开关受控于供应到其栅电极层的信号SigA。

[0388] 注意,在图26B中,示出开关元件1141只具有一个晶体管的结构,但是没有特别的限制,开关元件1141也可以具有多个晶体管。当开关元件1141具有多个用作开关元件的晶体管时,既可以将上述多个晶体管并联,又可以将上述多个晶体管串联,还可以组合并联和串联。

[0389] 在图26B中,虽然开关元件1141控制对存储单元群1143所具有的各存储单元1142的高电平的电源电位VDD的供给,但是开关元件1141也可以控制低电平的电源电位VSS的供给。

[0390] 图26C示出存储装置的一个例子,其中通过开关元件1141低电平的电源电位VSS被供应到存储单元群1143所具有的各存储单元1142。由开关元件1141可以控制对存储单元群1143所具有的各存储单元1142的低电平的电源电位VSS的供应。

[0391] 在存储单元群与被施加电源电位VDD或电源电位VSS的节点之间设置开关元件,即使暂时停止CPU的工作且停止电源电压的供应时也可以保持数据,由此可以降低耗电量。具体而言,例如,在个人计算机的使用者没有对键盘等输入装置输入信息的期间中也可以停止CPU的工作,由此可以降低耗电量。

[0392] 在此以CPU为例子进行说明,但是也可以将晶体管应用于LSI例如数字信号处理器

(DSP)、定制LSI或现场可编程门阵列(FPGA)。

[0393] 在图27A的电视装置8000中,框体8001中组装有显示部8002,显示部8002显示影像,并且从扬声器部8003可以输出声音。可以将上述晶体管用于显示部8002。

[0394] 作为显示部8002,可以使用半导体显示装置例如液晶显示装置、在各个像素中具备发光元件例如有机EL元件的发光装置、电泳显示装置、数字微镜装置(DMD)、等离子体显示面板(PDP)。

[0395] 此外,电视装置8000也可以具备用来进行信息通信的CPU8004、或存储器等。通过作为CPU8004或存储器使用上述晶体管、存储装置或CPU,可以实现电视装置8000的低耗电量化。

[0396] 在图27A中,报警装置8100是住宅用火灾报警器,该报警装置是包括检测部和微型计算机8101的一个例子。微型计算机8101是利用使用上述晶体管的CPU的电器的一个例子。

[0397] 在图27A中,具有室内机8200和室外机8204的空调器是利用使用上述晶体管的CPU的电器的一个例子。具体而言,室内机8200具有框体8201、送风口8202、CPU8203等。在图27A中,CPU8203设置在室内机8200中的情况,但是CPU8203也可以设置在室外机8204中。或者,可以在室内机8200和室外机8204的双方中设置有CPU8203。通过将上述晶体管用作空调器的CPU,可以实现空调器的低耗电量化。

[0398] 在图27A中,电冷藏冷冻箱8300是具备使用氧化物半导体的CPU的电器的一个例子。具体而言,电冷藏冷冻箱8300包括框体8301、冷藏室门8302、冷冻室门8303及CPU8304等。在图27A中,CPU8304设置在框体8301的内部。通过将上述晶体管用作电冷藏冷冻箱8300的CPU8304,可以实现电冷藏冷冻箱8300的低耗电量化。

[0399] 在图27B和27C中,例示出作为电器的一个例子的电动汽车。电动汽车9700安装有二次电池9701。二次电池9701的电力的输出由控制电路9702调整而将电力供应到驱动装置9703。控制电路9702由具有未图示的ROM、RAM、CPU等的处理装置9704控制。在将上述晶体管用作电动汽车9700的CPU,可以实现电动汽车9700的低耗电量化。

[0400] 驱动装置9703是利用直流电动机或交流电动机的,或者将电动机和内燃机组合而构成的。处理装置9704根据输入数据例如电动汽车9700的驾驶员或操作数据(例如,加速、减速、停止)、行车信息(例如,爬坡或下坡的数据,或者行车中的车轮受到的负荷的数据),向控制电路9702输出控制信号。控制电路9702利用处理装置9704的控制信号调整从二次电池9701供应的电能控制驱动装置9703的输出。当安装交流电动机时,虽然未图示,但是还安装有将直流转换为交流的逆变器。

[0401] 符号说明

[0402] 100:衬底,104:栅电极,106:多层膜,106a:氧化物层,106b:氧化物半导体层,106c:氧化物层,106d:源区域,106e:漏区域,112:栅极绝缘膜,116a:源电极,116b:漏电极,118:保护绝缘膜,118a:氧化硅层,118b:氧化硅层,118c:氮化硅层,200:衬底,201:半导体衬底,202:基底绝缘膜,203:元件分离区域,204:栅电极,206:多层膜,206a:氧化物层,206b:氧化物半导体层,206c:氧化物层,207:栅极绝缘膜,209:栅电极,211a:杂质区域,211b:杂质区域,212:栅极绝缘膜,215:绝缘膜,216a:源电极,216b:漏电极,216c:电极,217:绝缘膜,218:保护绝缘膜,219a:接触插头,219b:接触插头,220:绝缘膜,221:绝缘膜,222:绝缘膜,223a:布线,223b:布线,224:电极,225:绝缘膜,245:绝缘膜,249:布线,256:布

线,260:半导体层,500:微型计算机,501:直流电源,502:总线,503:电源门控制器,504:电源门,505:CPU,506:易失性存储部,507:非易失性存储部,508:接口,509:检测部,511:光传感器,512:放大器,513:AD转换器,514:光电转换元件,517:晶体管,519:晶体管,530:发光元件,1000:靶材,1001:离子,1002:溅射粒子,1003:沉积表面,1141:开关元件,1142:存储单元,1143:存储单元群,1189:ROM接口,1190:衬底,1191:ALU,1192:ALU控制器,1193:指令解码器,1194:中断控制器,1195:时序控制器,1196:寄存器,1197:寄存器控制器,1198:总线接口,1199:ROM,4000:成膜装置,4001:大气侧衬底供给室,4002:大气侧衬底传送室,4003a:装载闭锁室,4003b:卸载闭锁室,4004:传送室,4005:衬底加热室,4006a:成膜室,4006b:成膜室,4006c:成膜室,4101:盒式接口,4102:对准接口,4103:传送机器人,4104:闸阀,4105:加热载物台,4106:靶材,4107:防着板,4108:衬底载物台,4109:衬底,4110:低温冷阱,4111:载物台,4200:真空泵,4201:低温泵,4202:涡轮分子泵,4300:质量流量控制器,4301:精制器,4302:气体加热机构,8000:电视装置,8001:框体,8002:显示部,8003:扬声器部,8004:CPU,8100:报警装置,8101:微型计算机,8200:室内机,8201:框体,8202:送风口,8203:CPU,8204:室外机,8300:电冷藏冷冻箱,8301:框体,8302:冷藏室门,8303:冷冻室门,8304:CPU,9700:电动汽车,9701:二次电池,9702:控制电路,9703:驱动装置,9704:处理装置

[0403] 本申请基于2012年9月24日提交到日本专利局的日本专利申请No.2012-210230,通过引用将其完整内容并入在此。

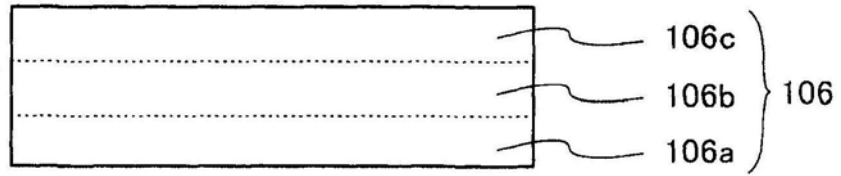


图1

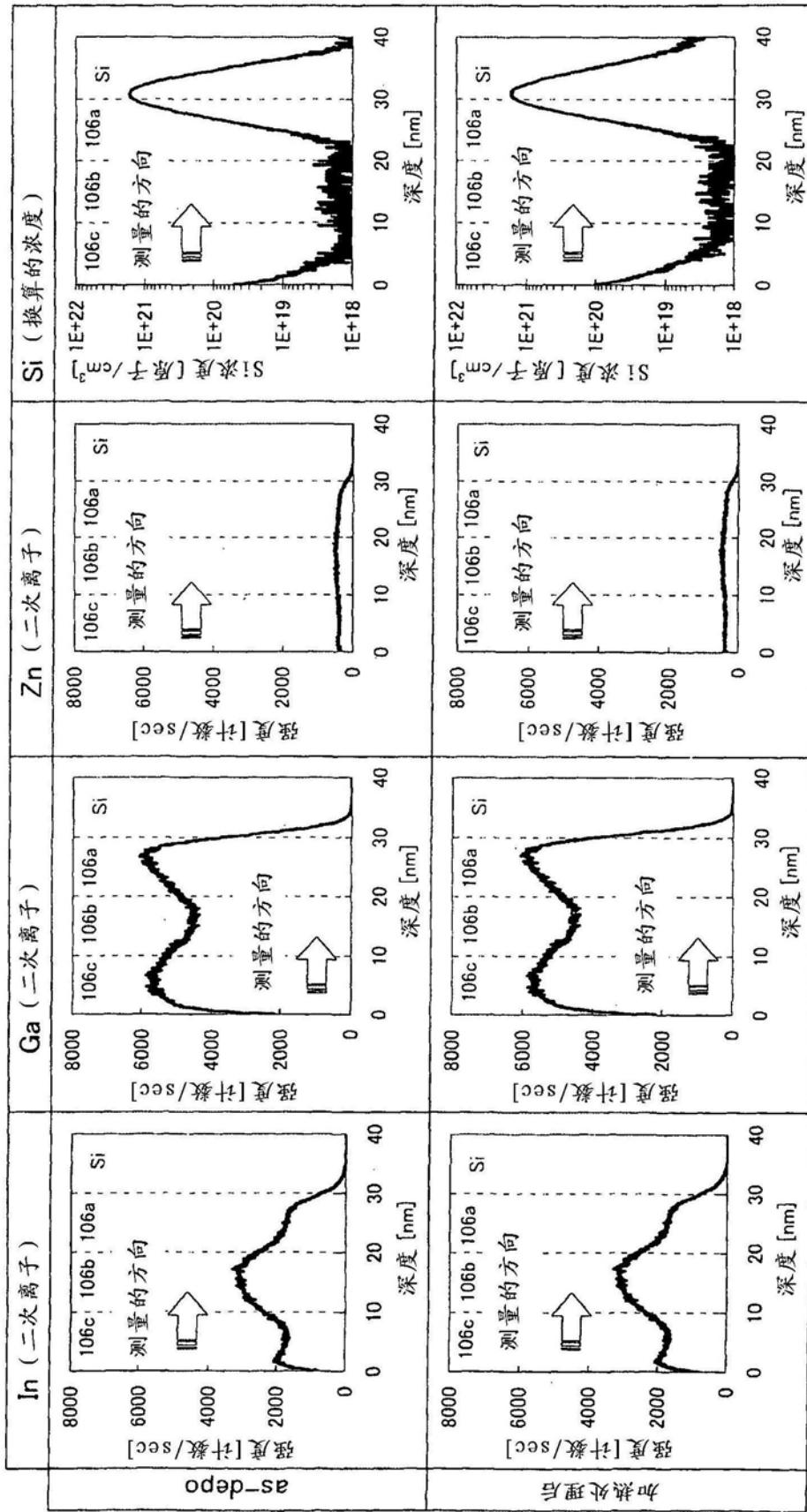


图2

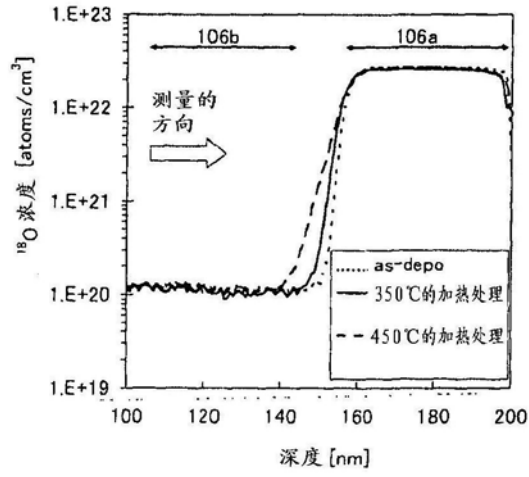


图3A

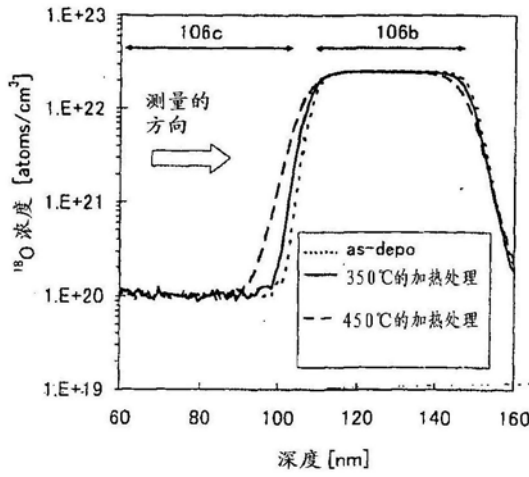


图3B

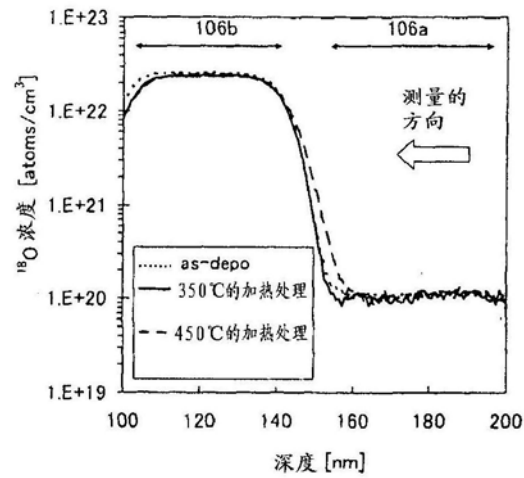


图3C

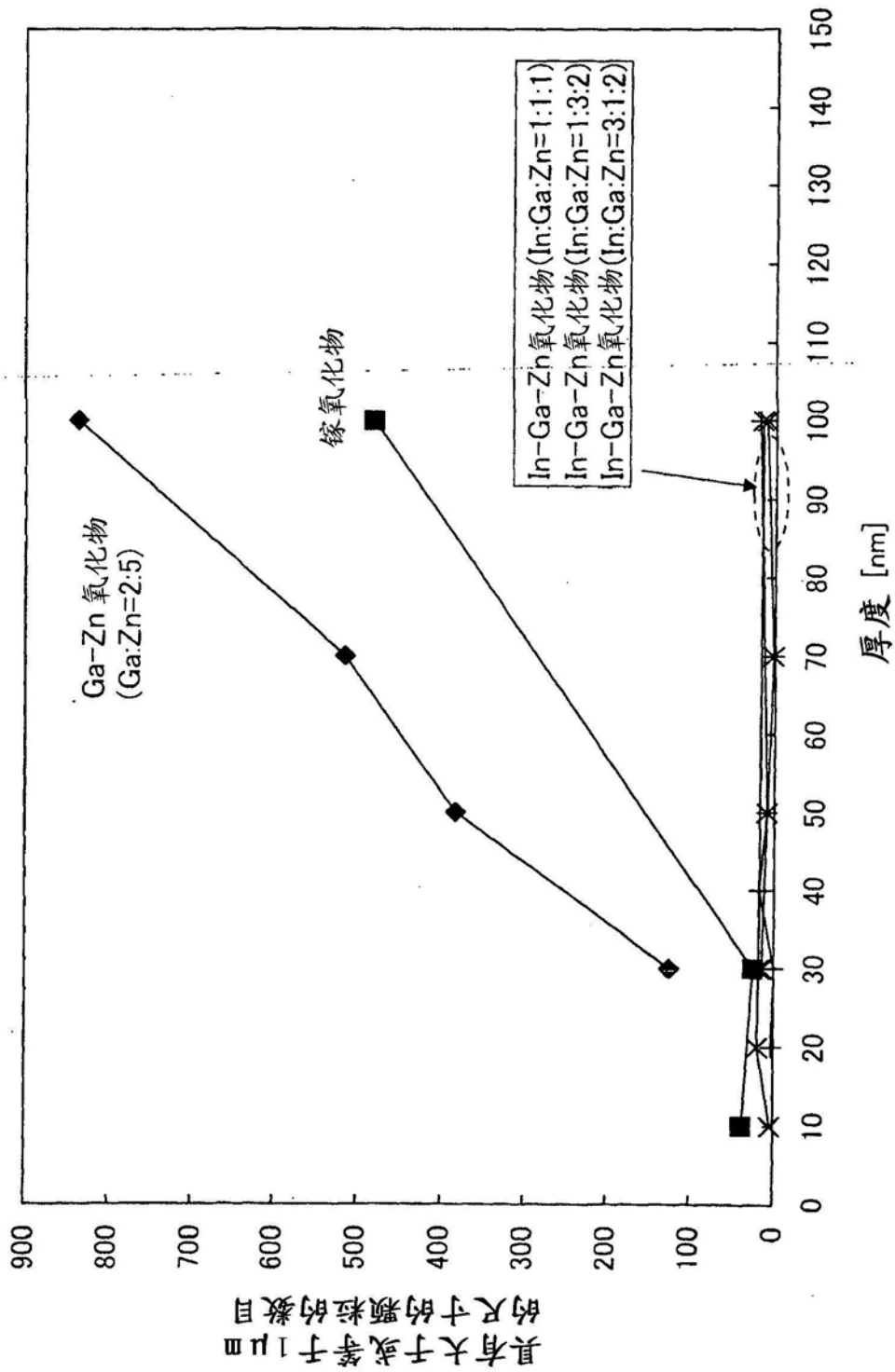


图4

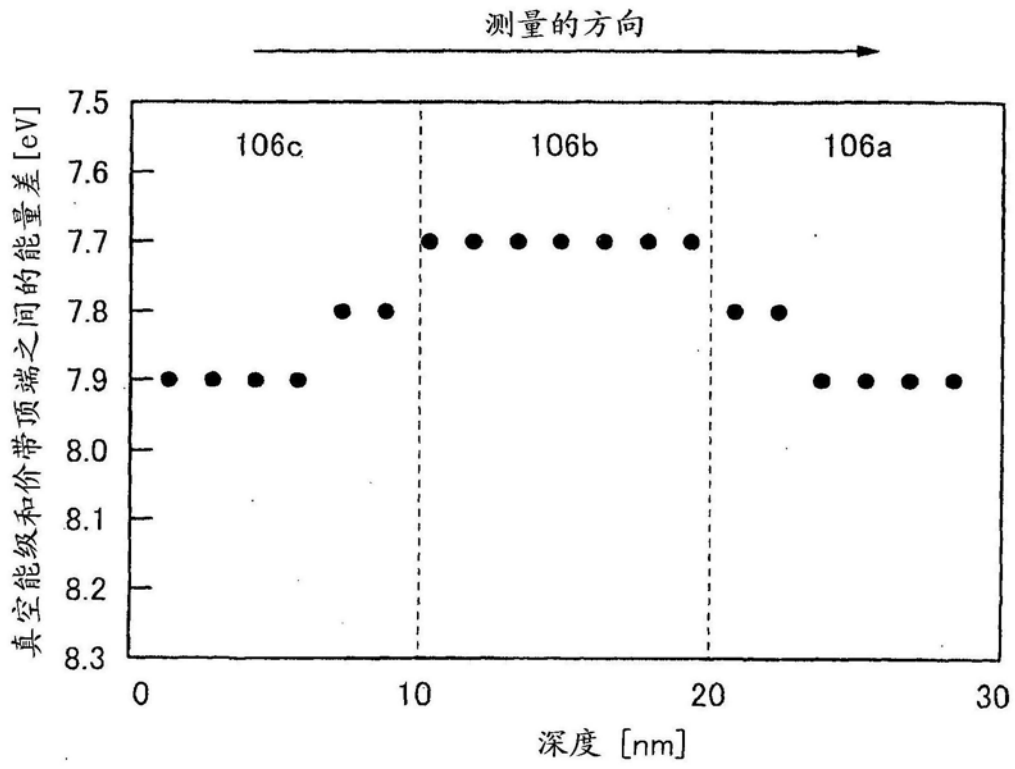


图5A

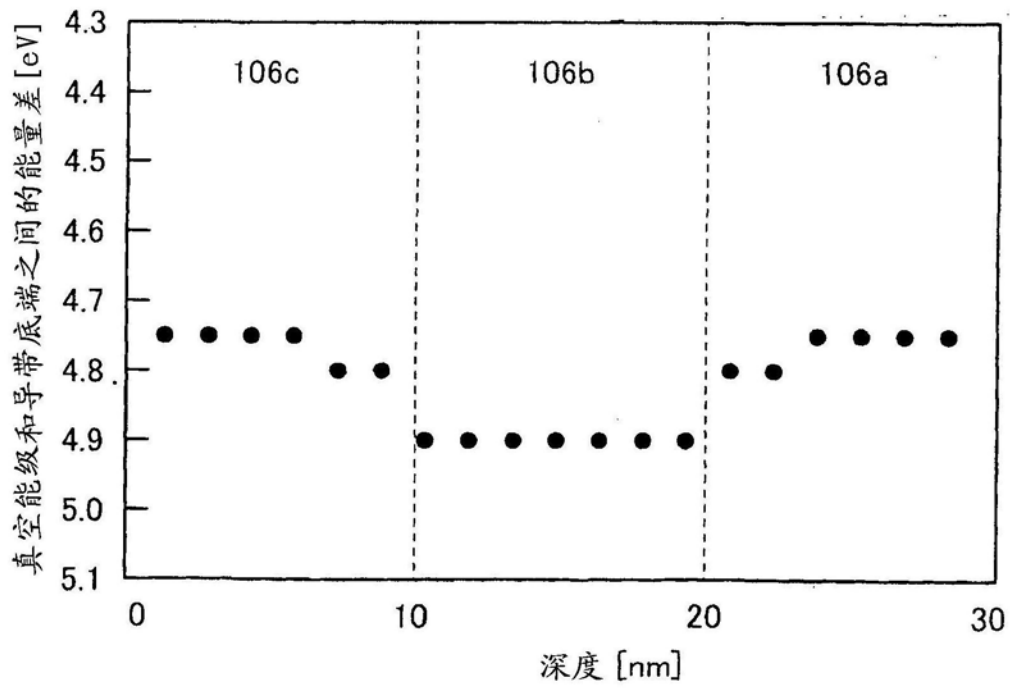


图5B

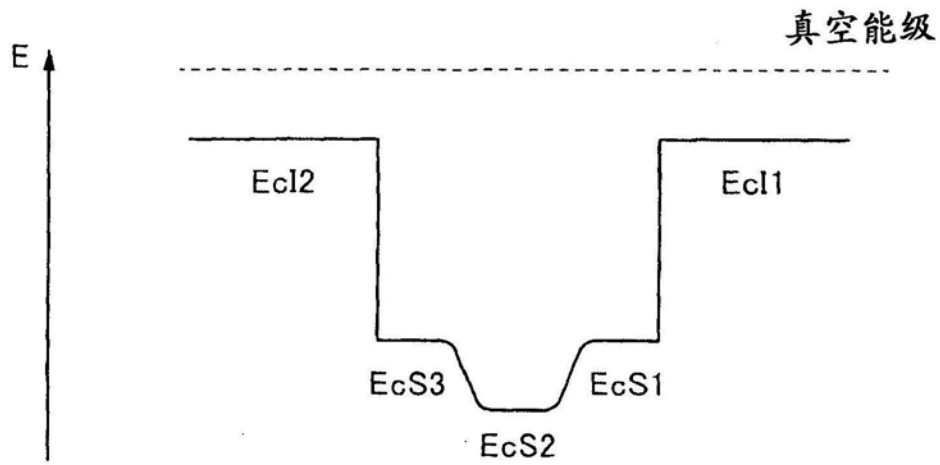


图6A

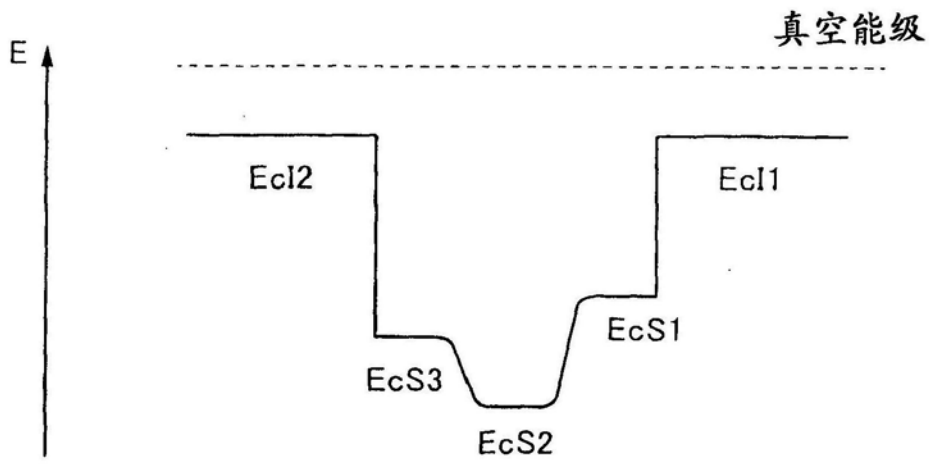


图6B

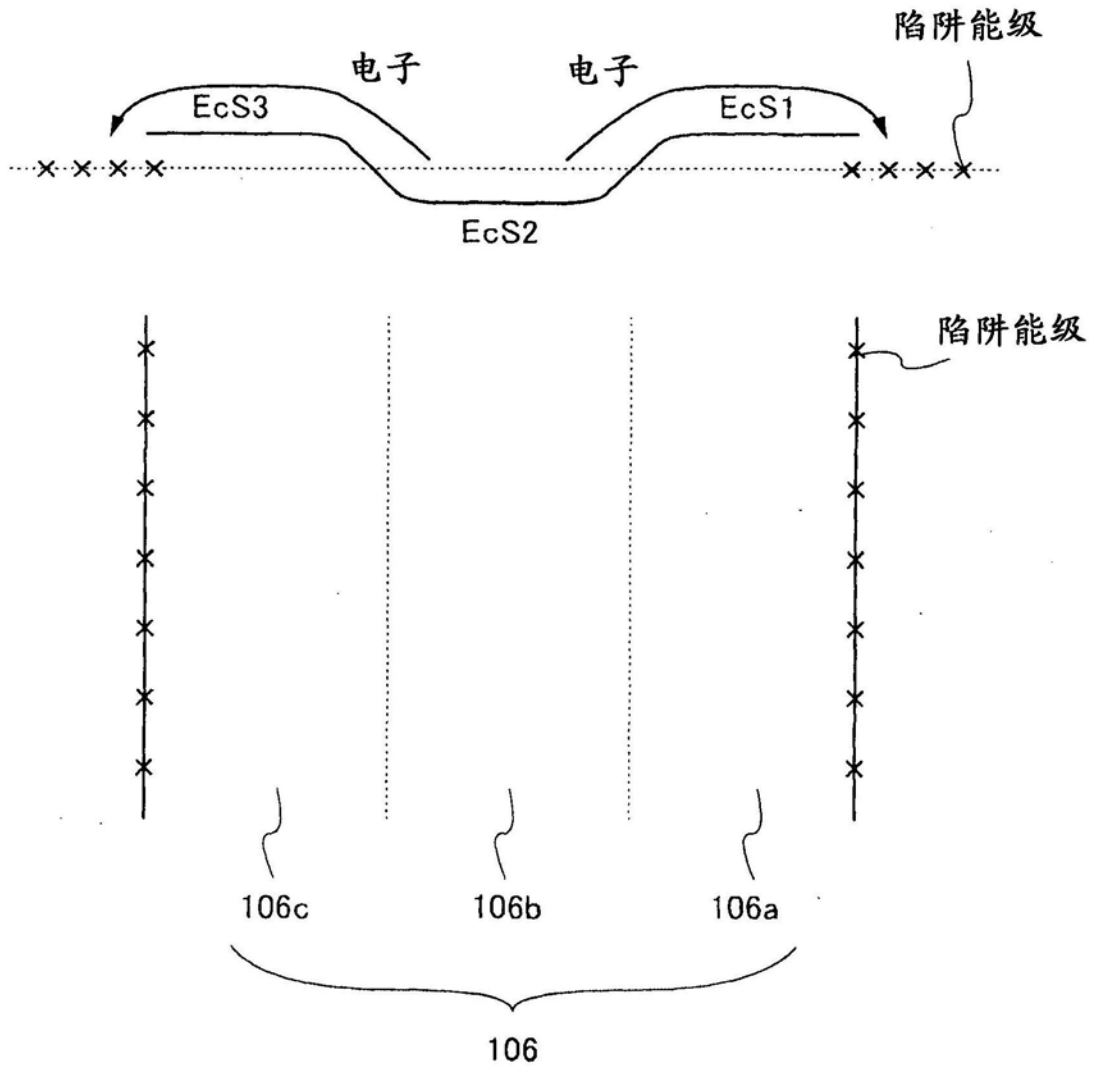


图7

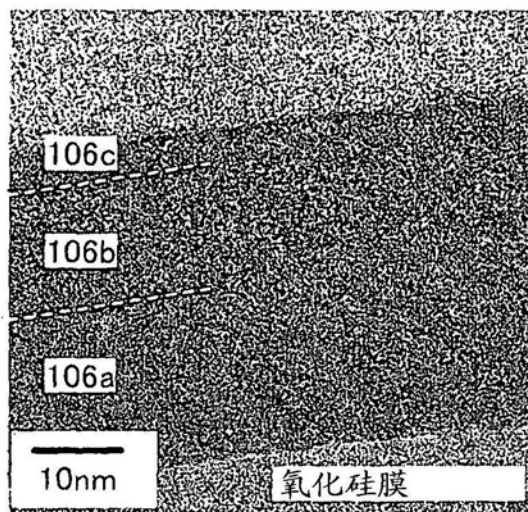


图8A

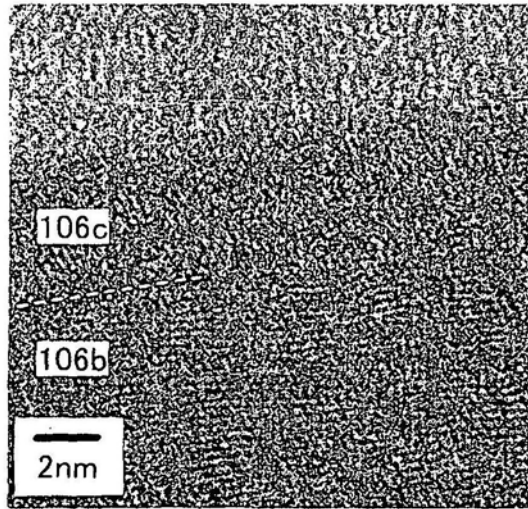


图8B

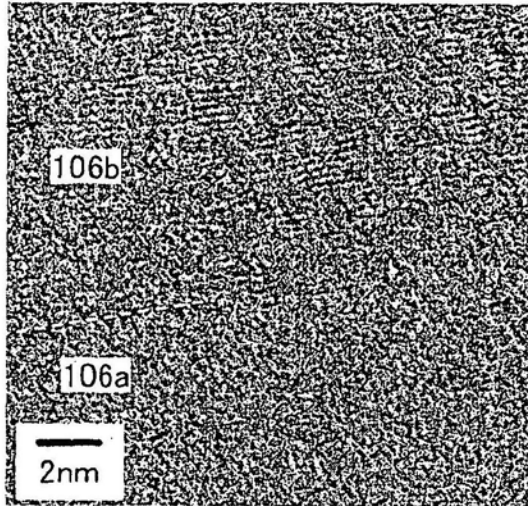


图8C

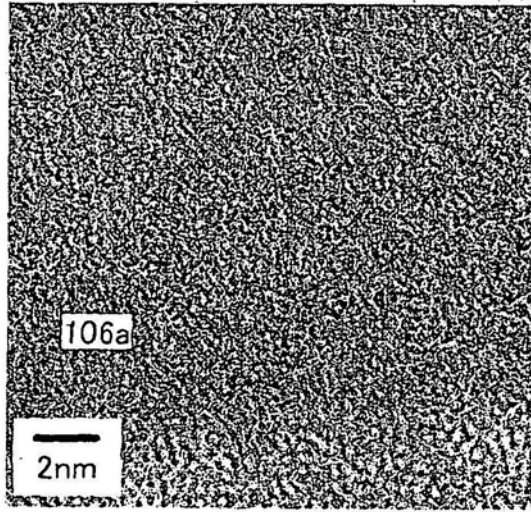


图8D

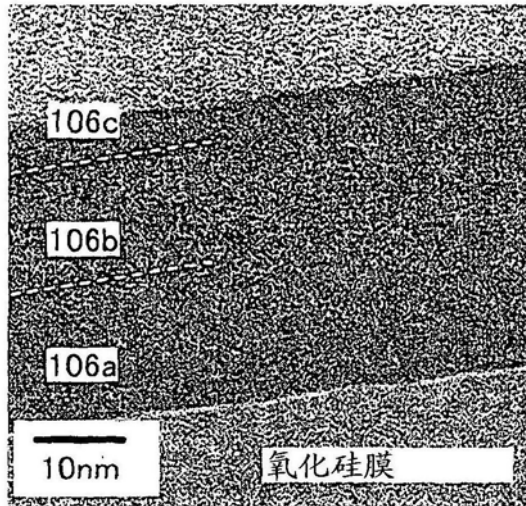


图9A

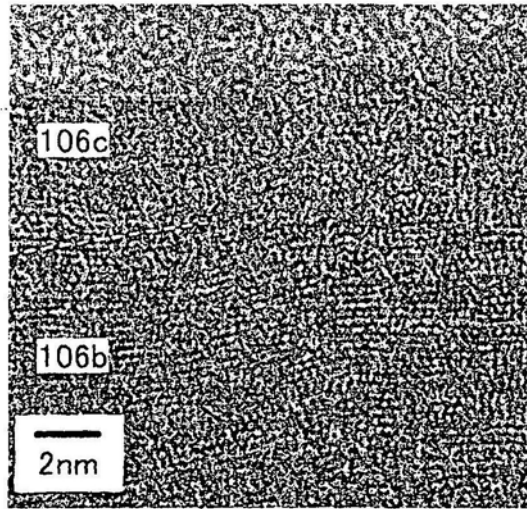


图9B

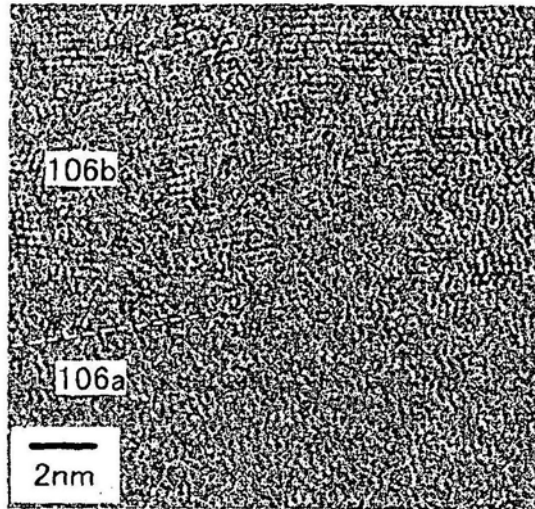


图9C

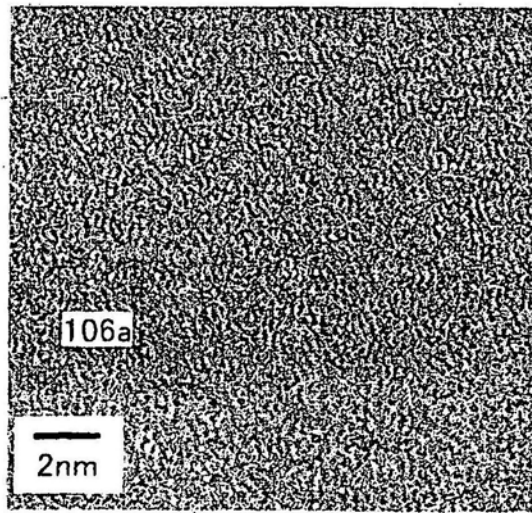


图9D

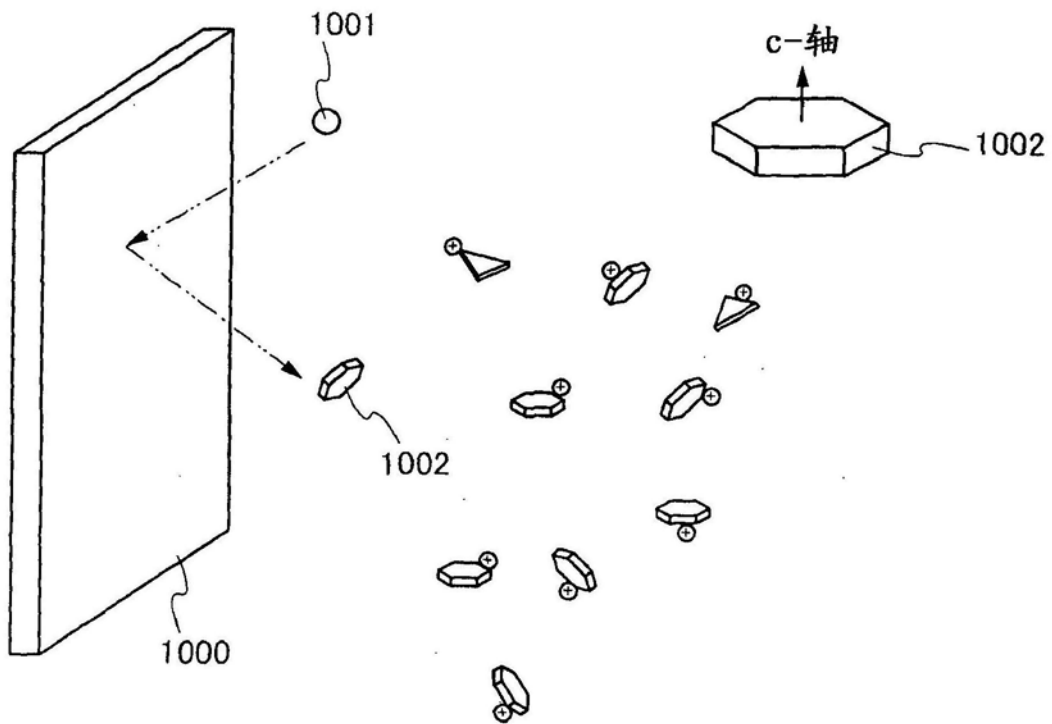


图10A

图10B

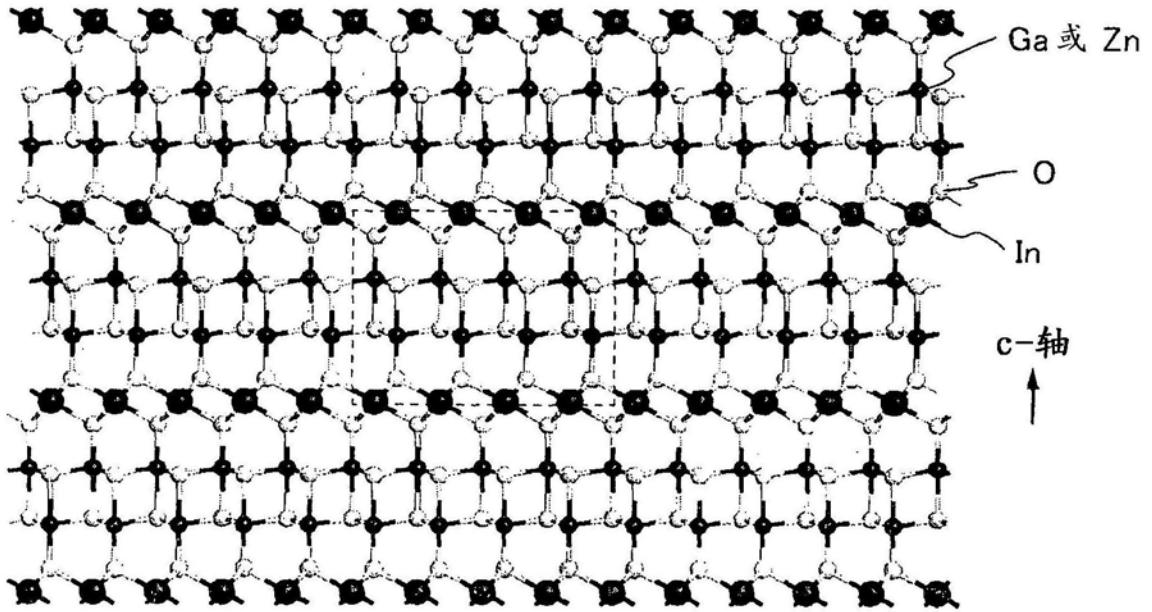


图11A

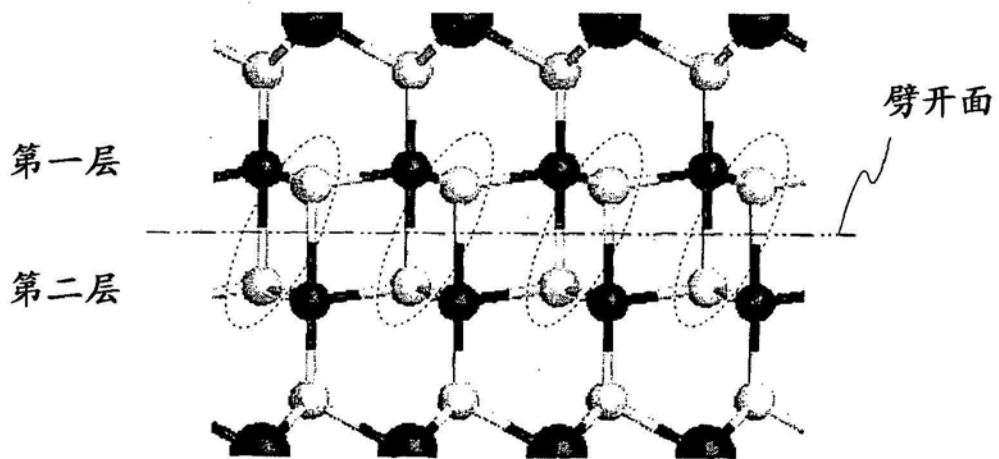


图11B

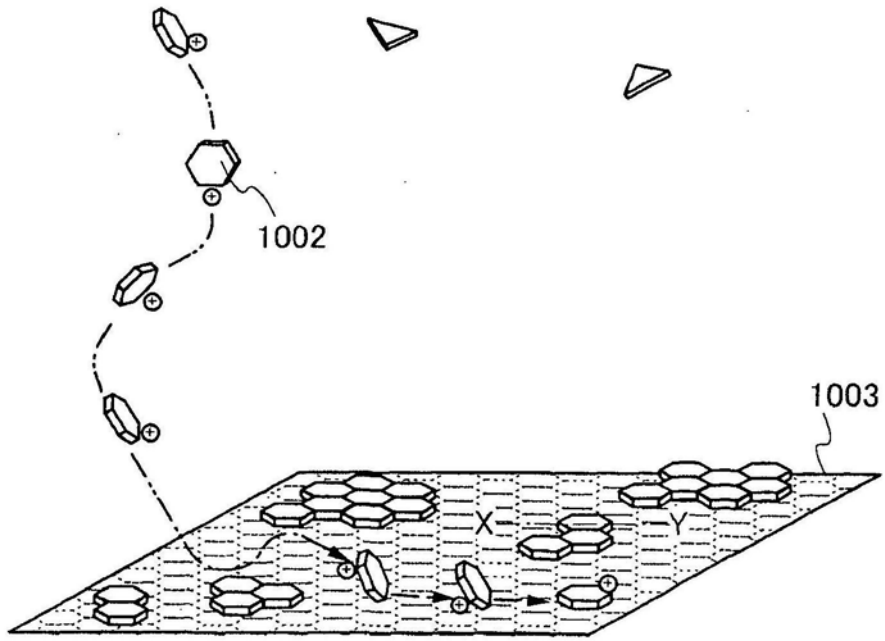


图12A

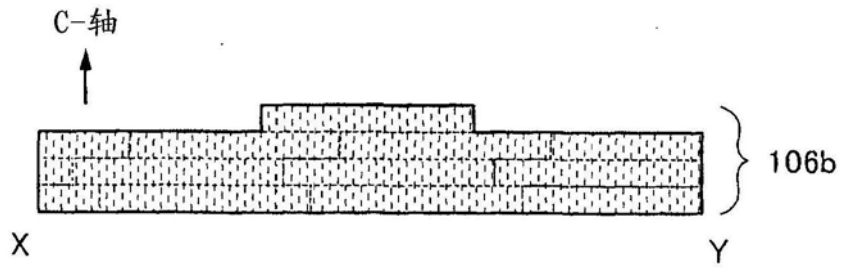


图12B

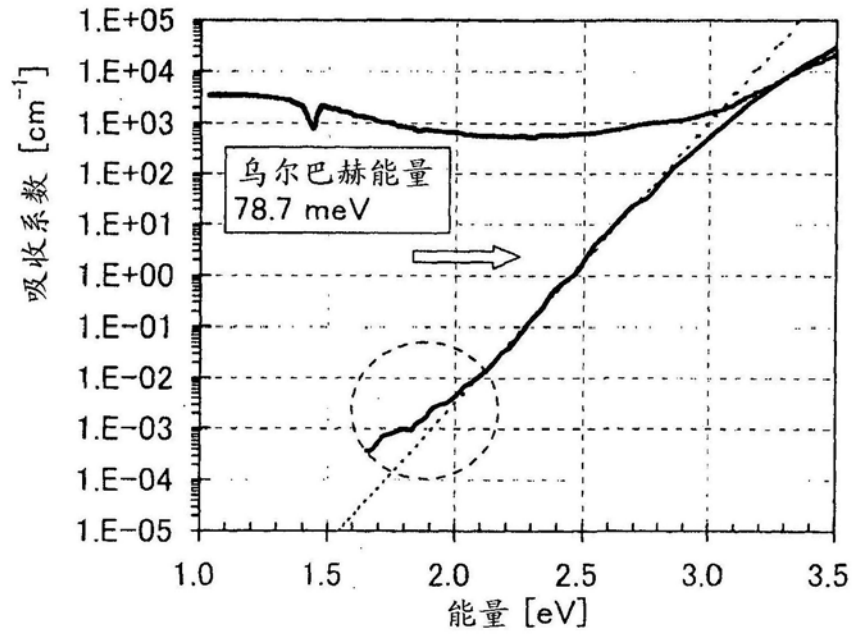


图13A

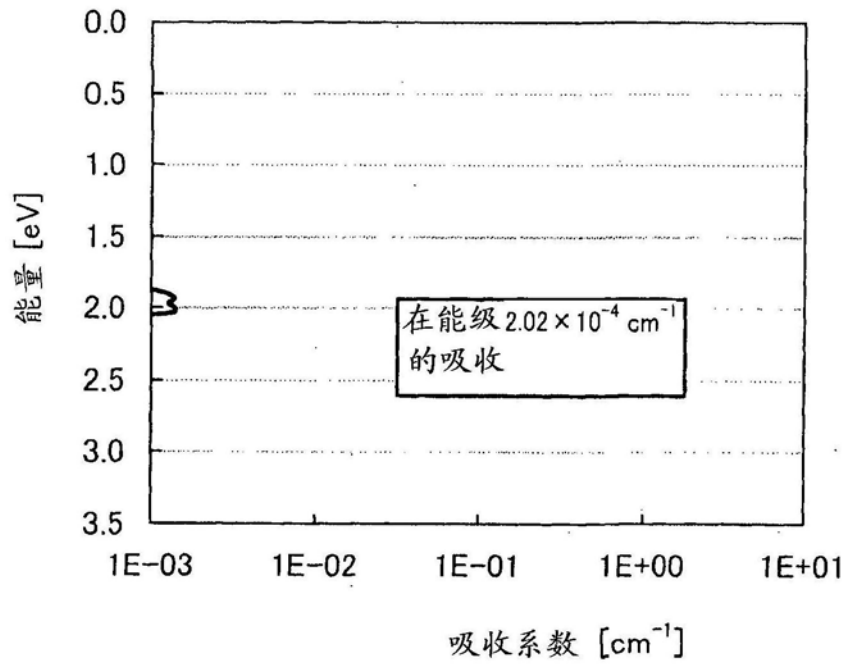


图13B

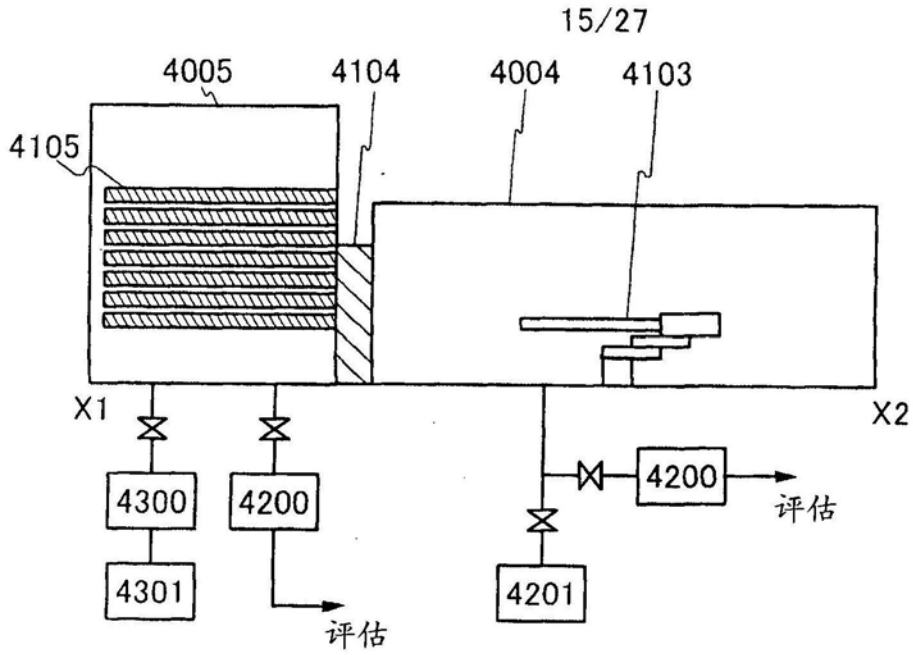


图15A

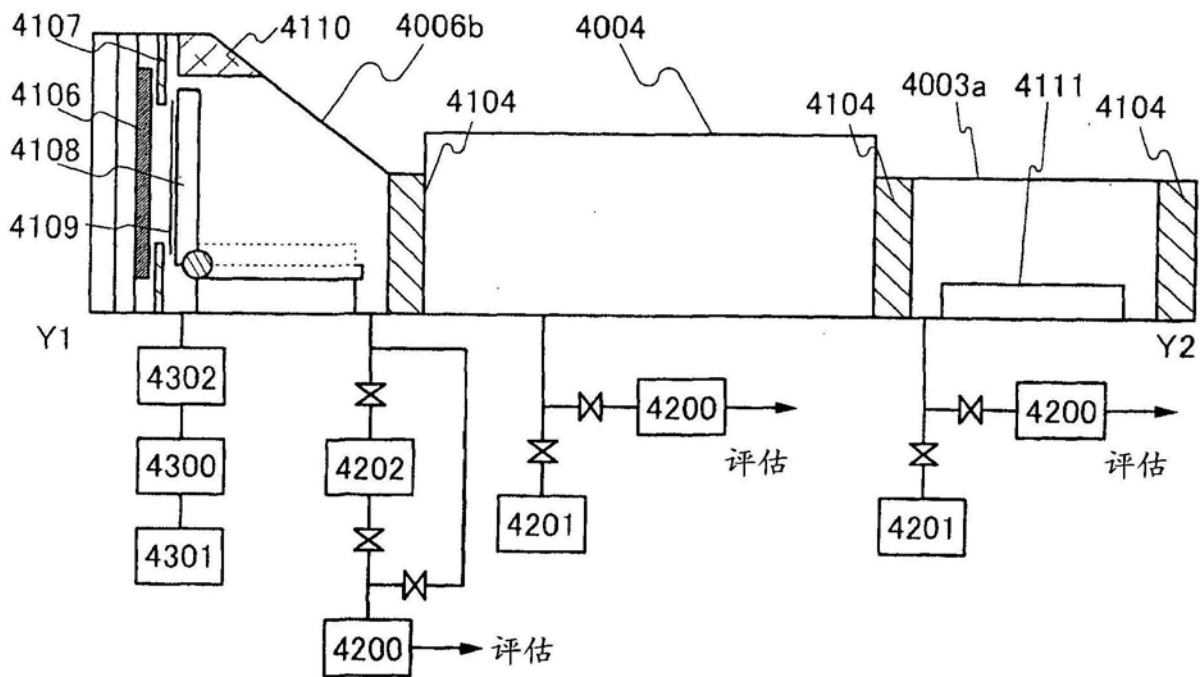


图15B

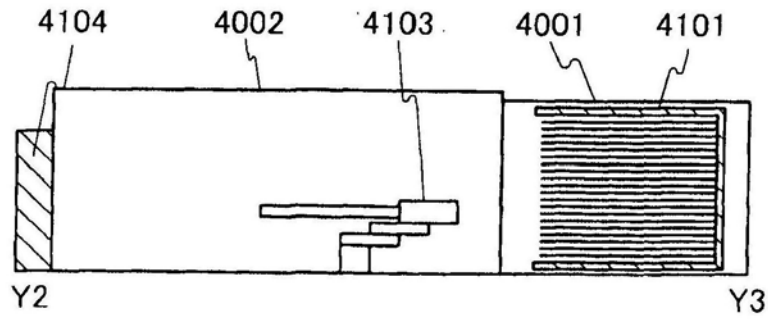


图15C

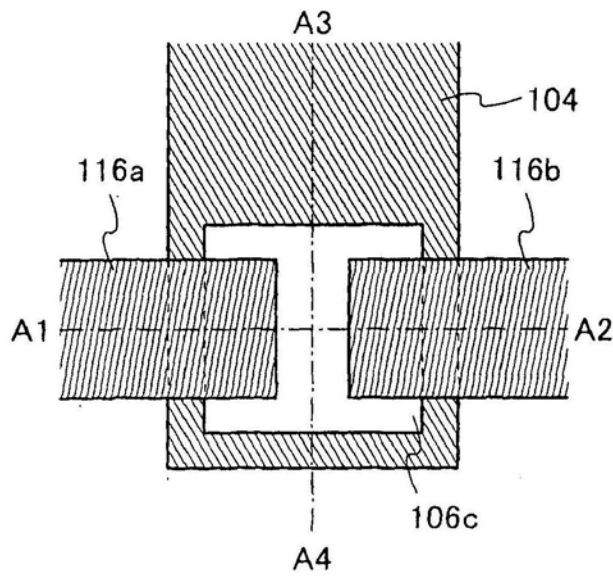


图16A

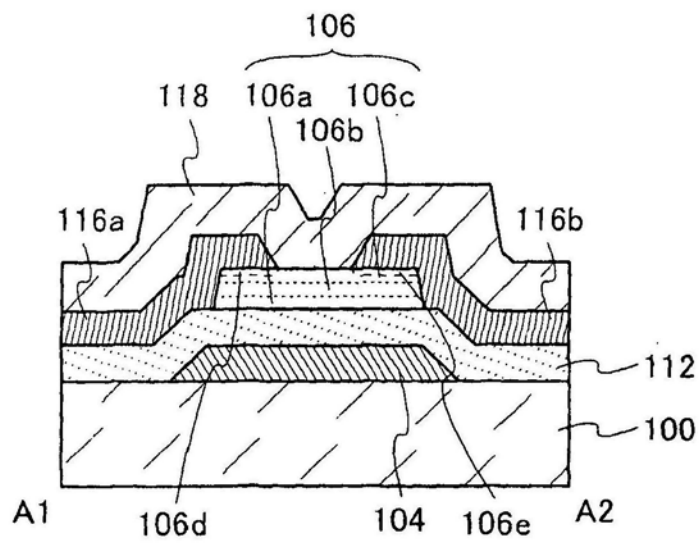


图16B

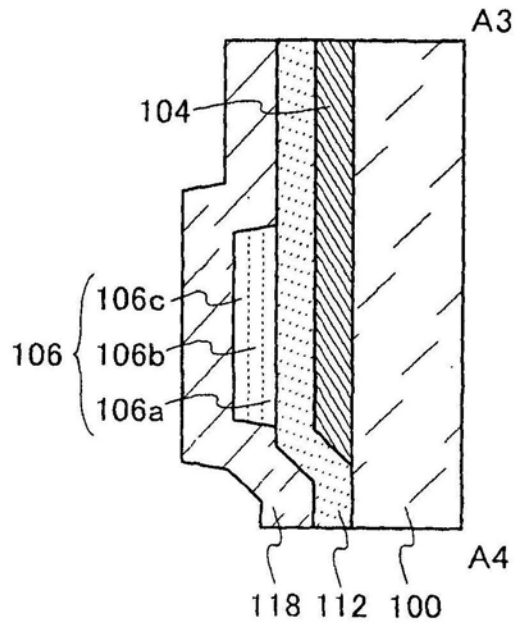


图16C

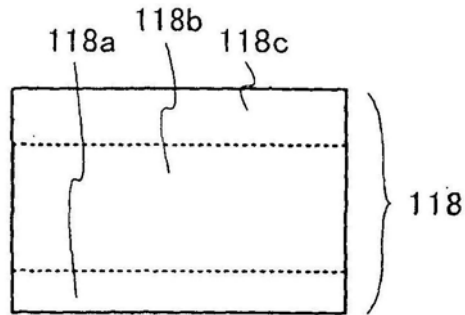


图16D

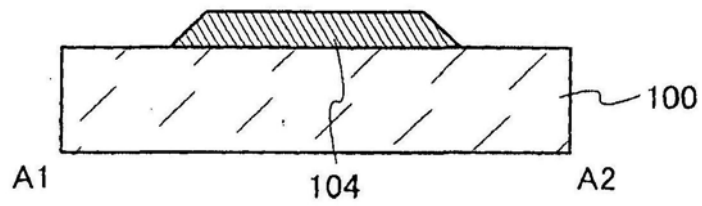


图17A

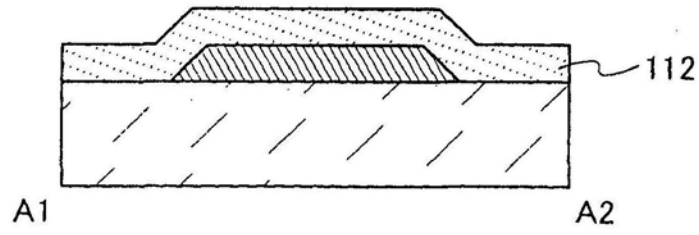


图17B

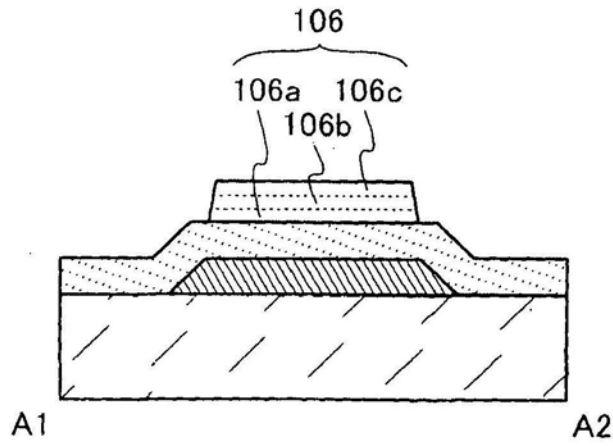


图17C

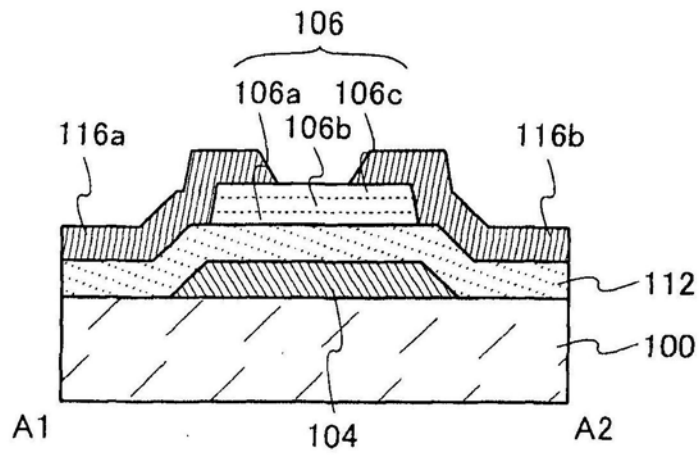


图18A

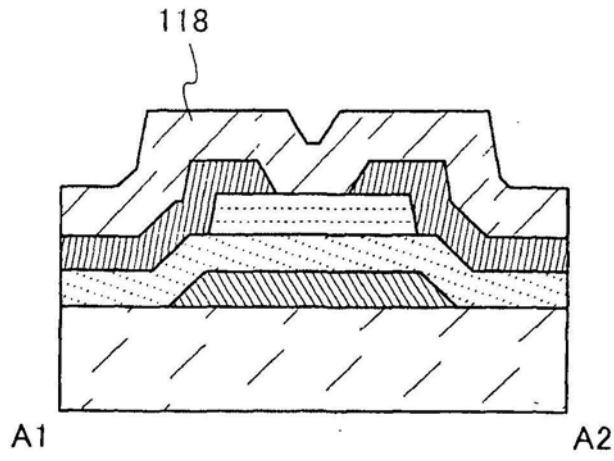


图18B

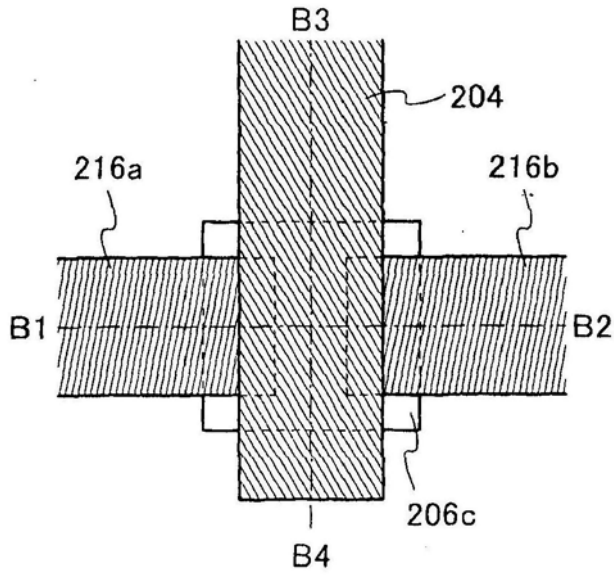


图19A

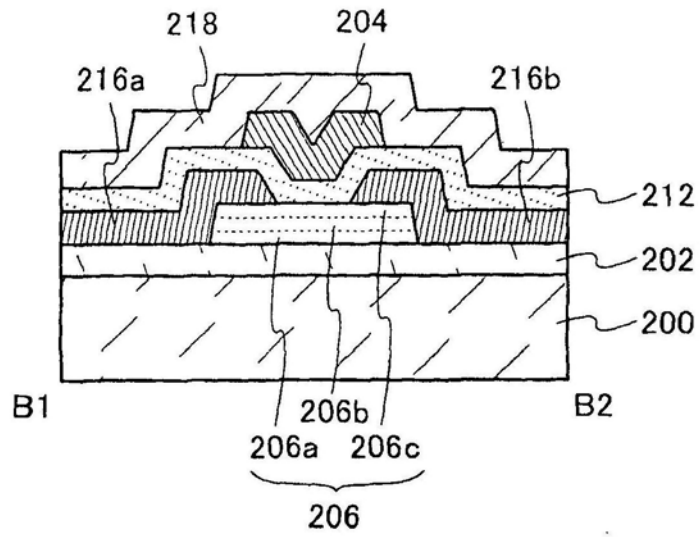


图19B

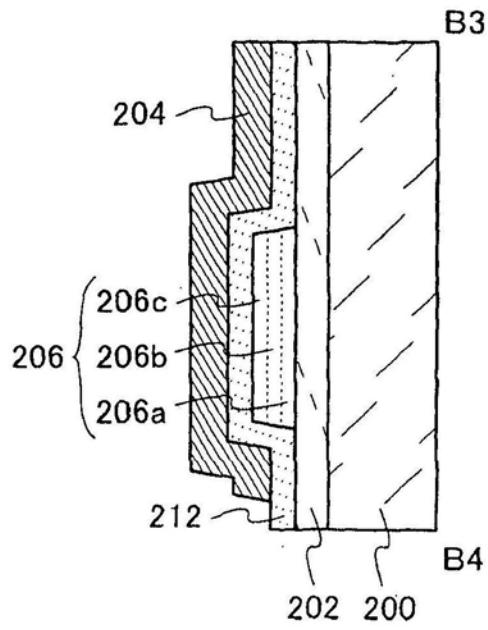


图19C

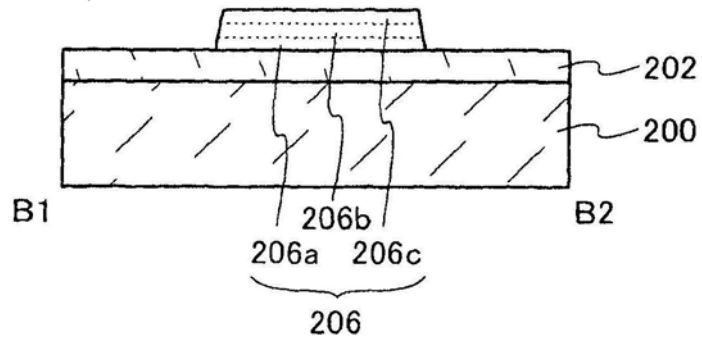


图20A

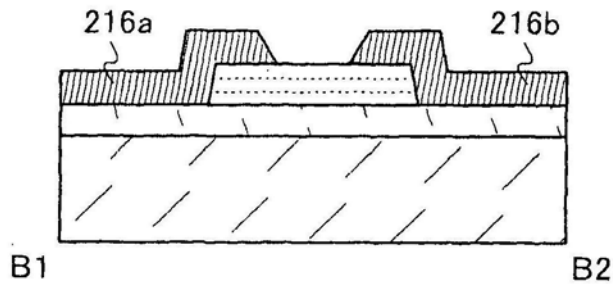


图20B

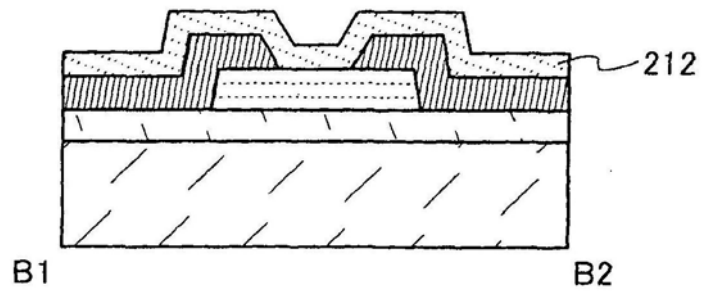


图20C

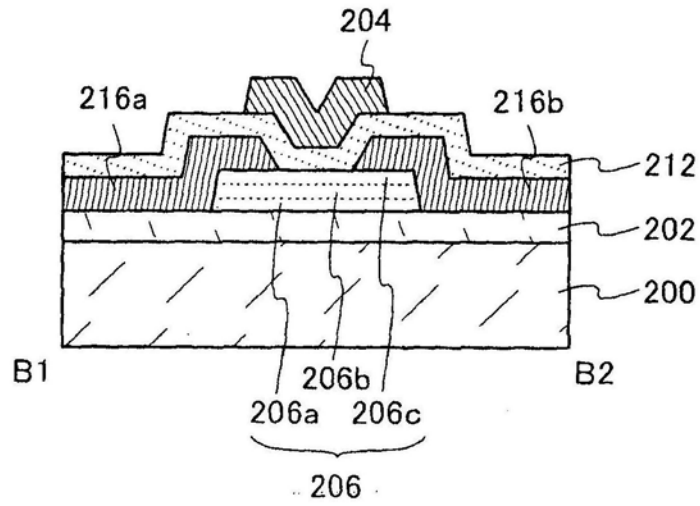


图21A

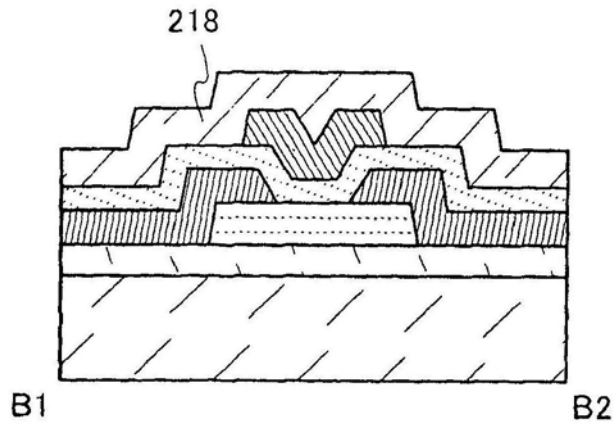


图21B

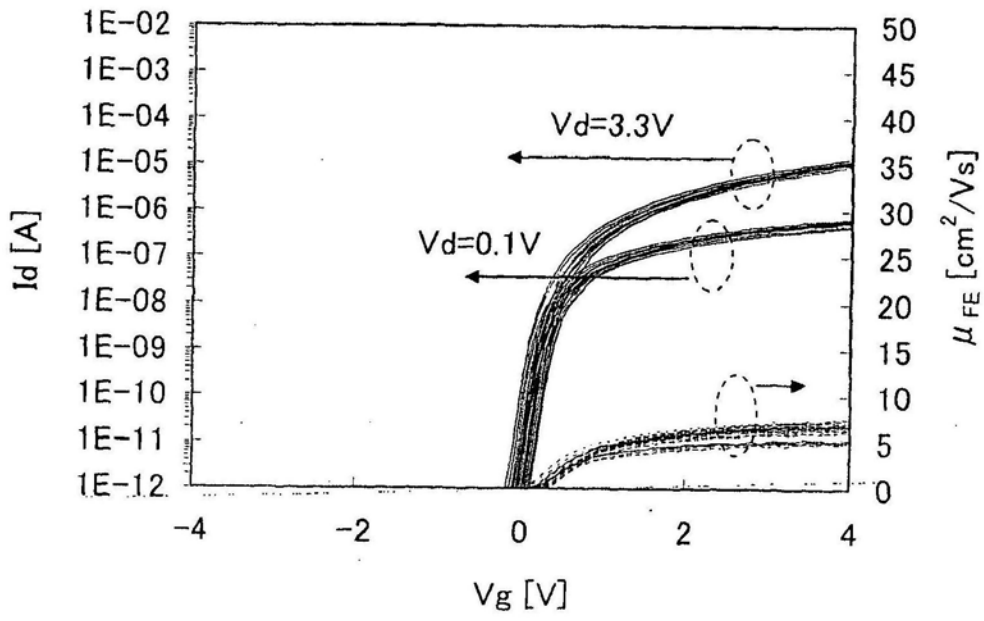


图22A

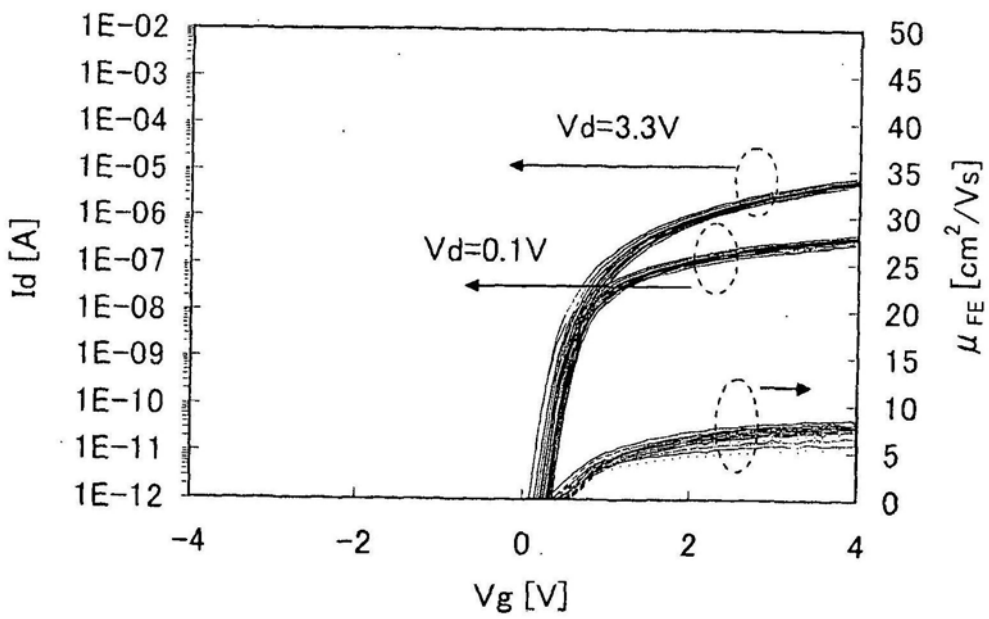


图22B

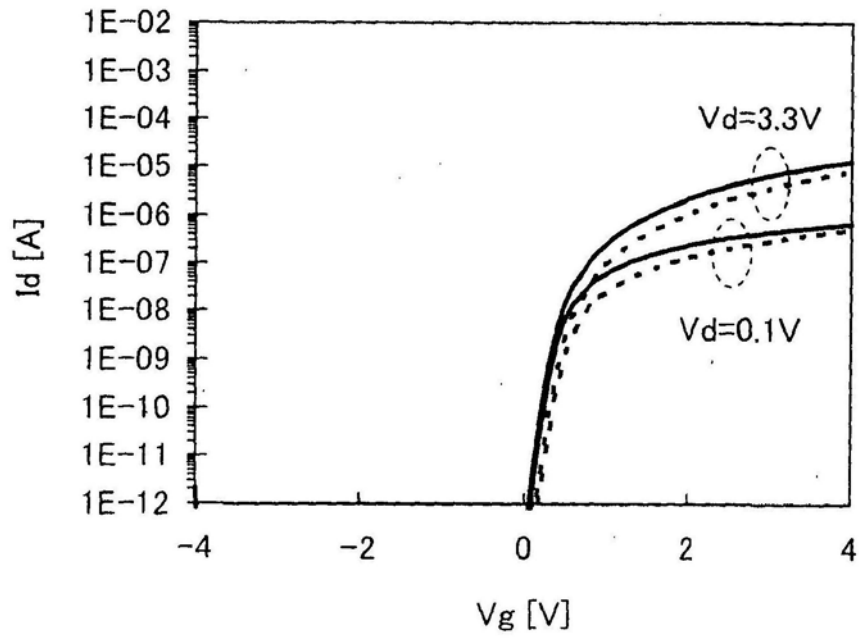


图23A

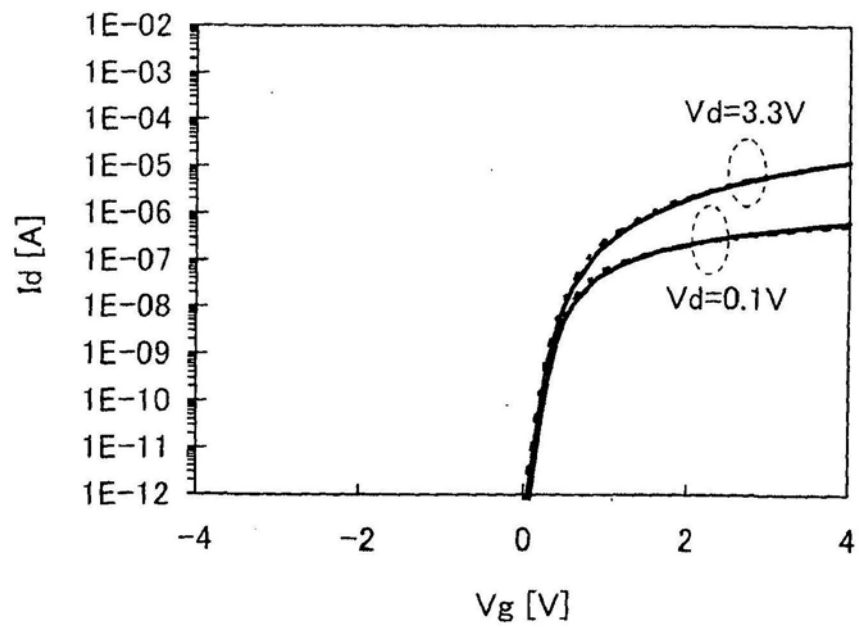


图23B

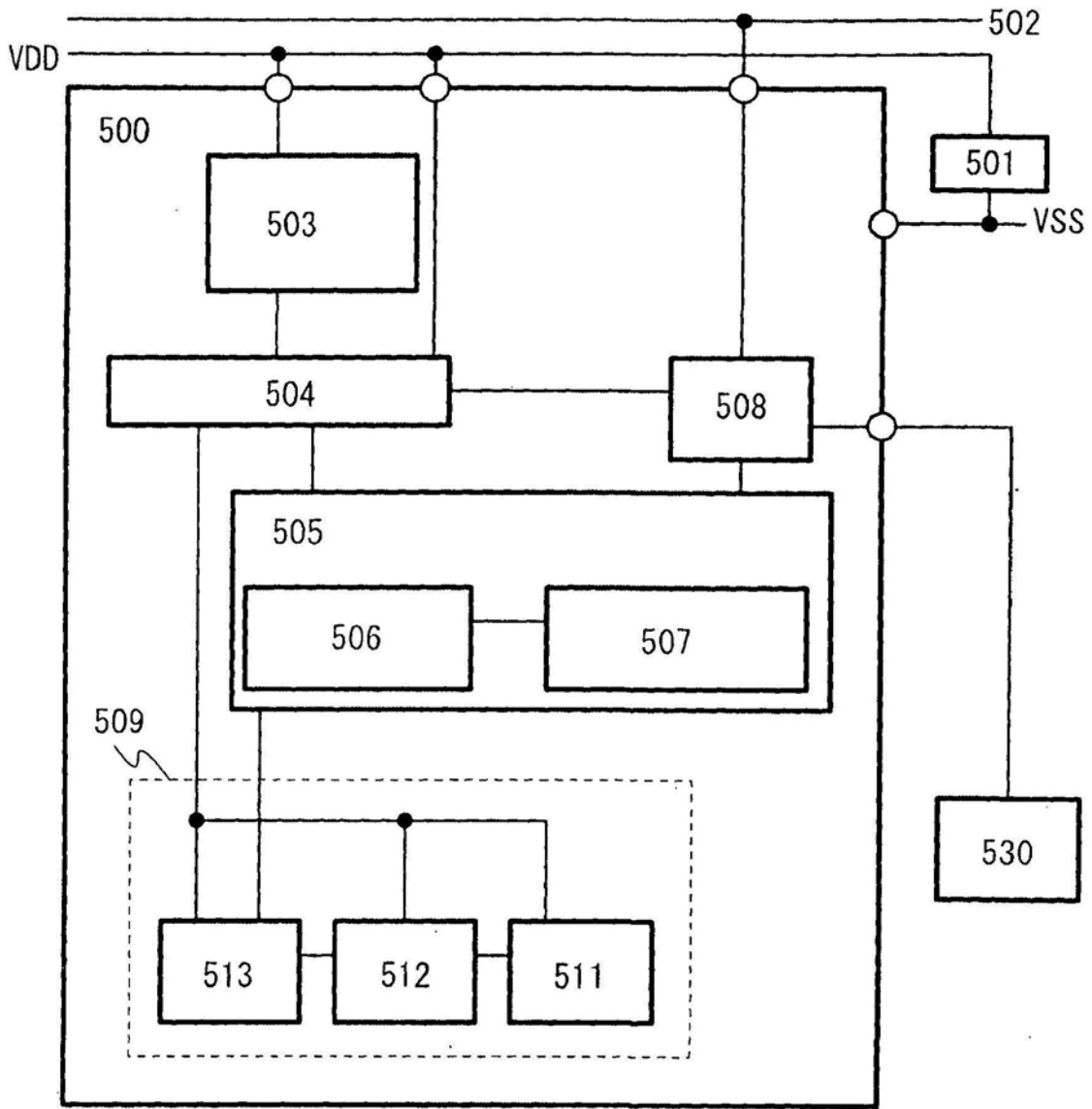


图24

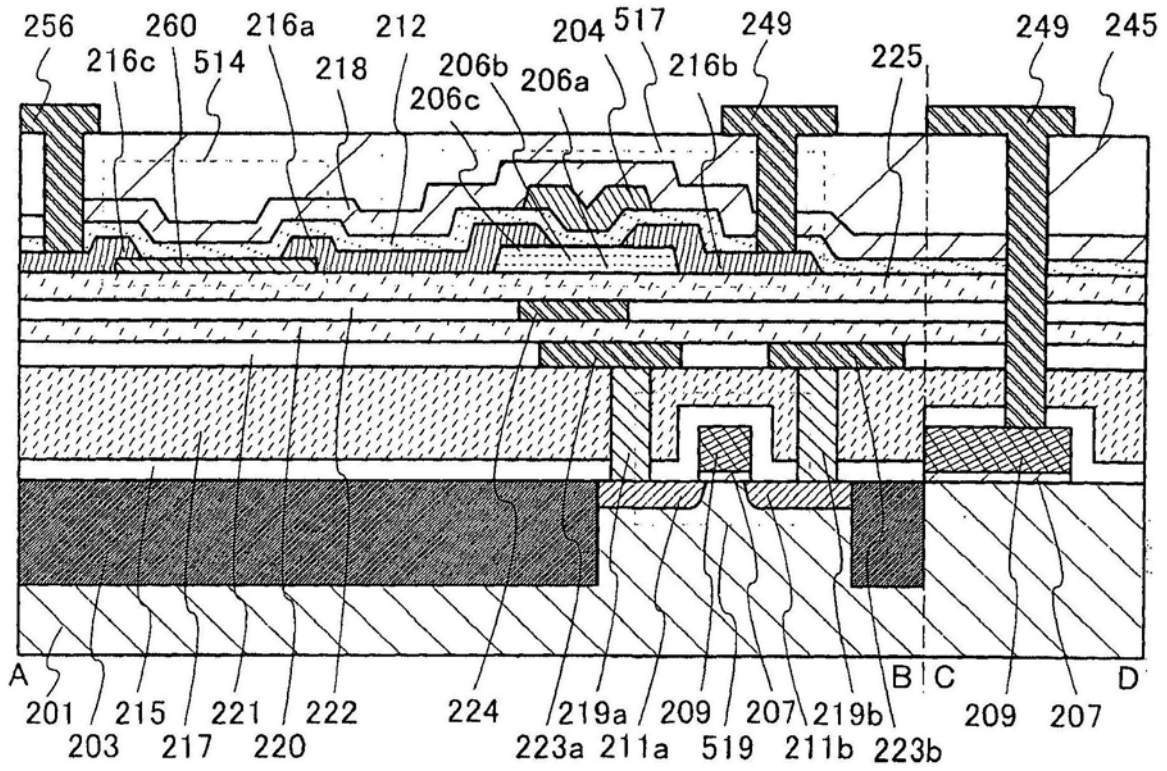


图25

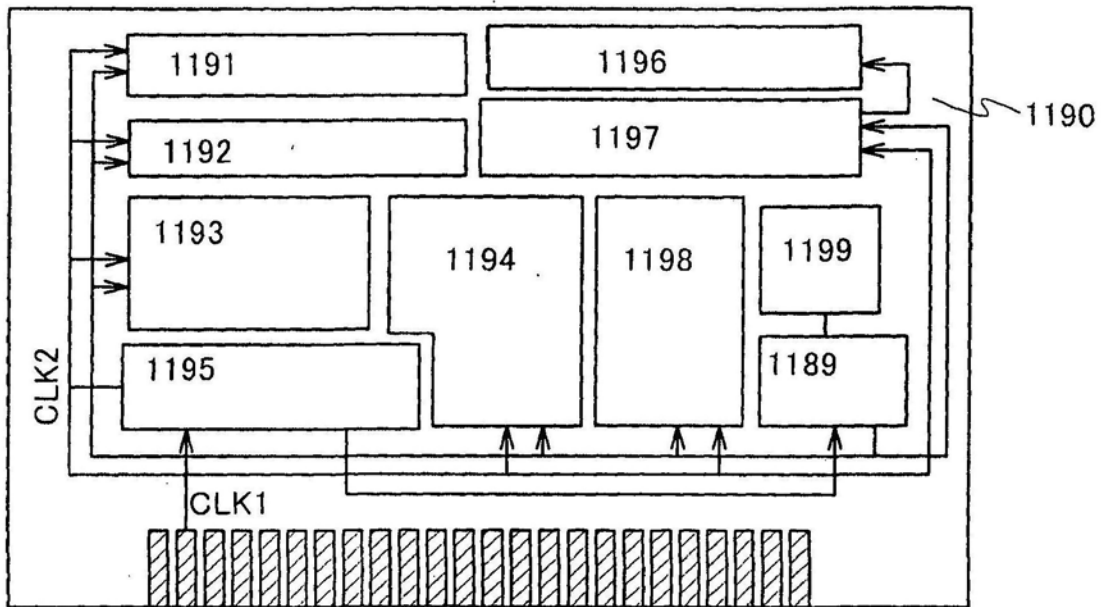
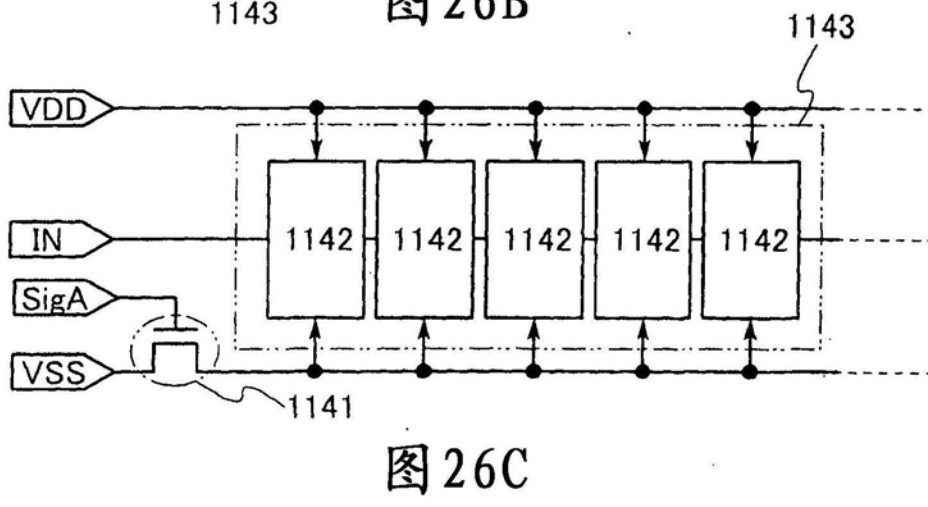
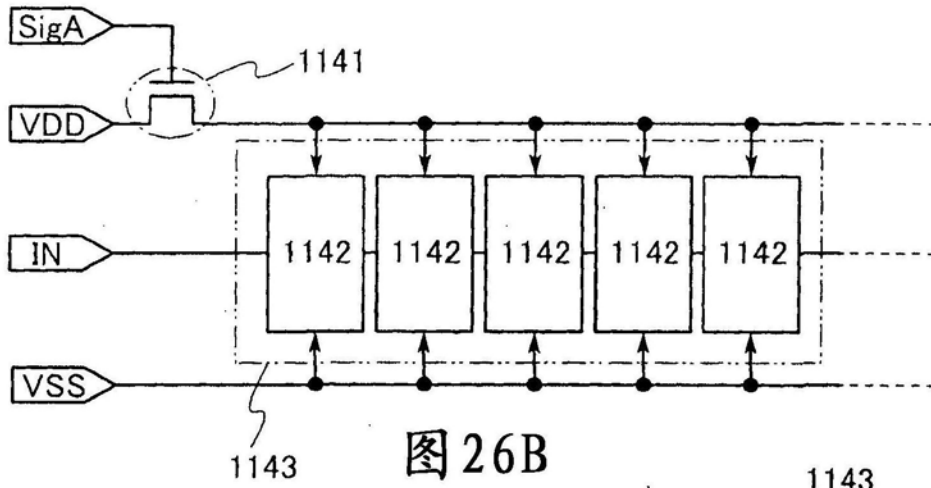


图26A



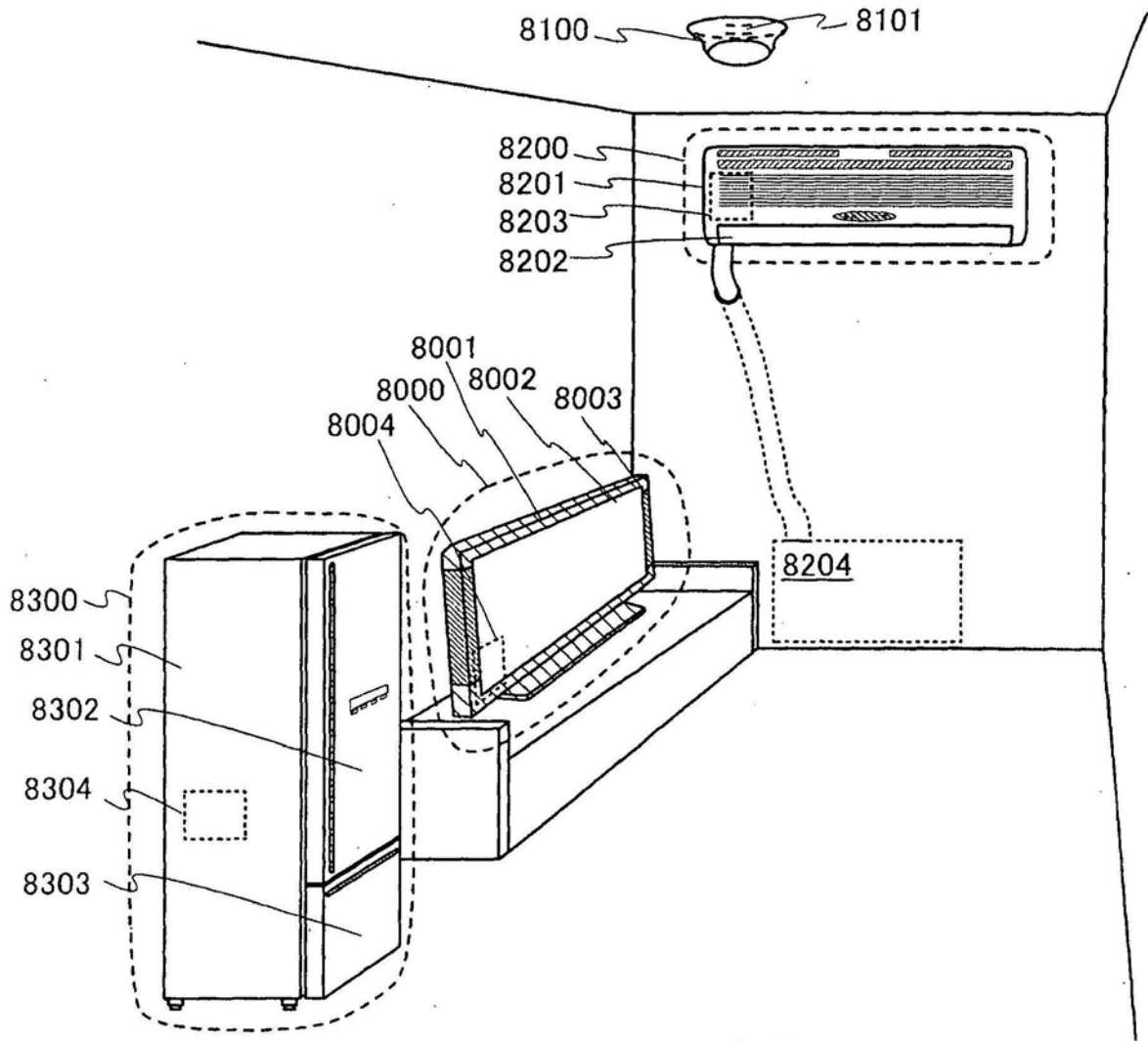


图27A

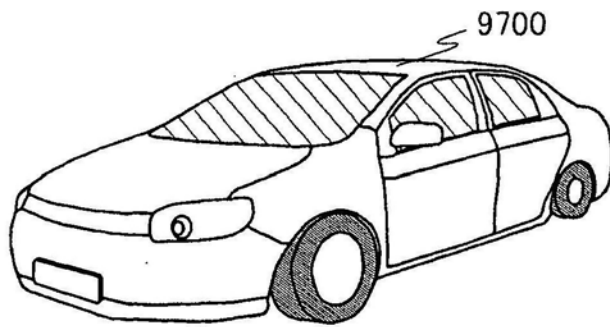


图27B

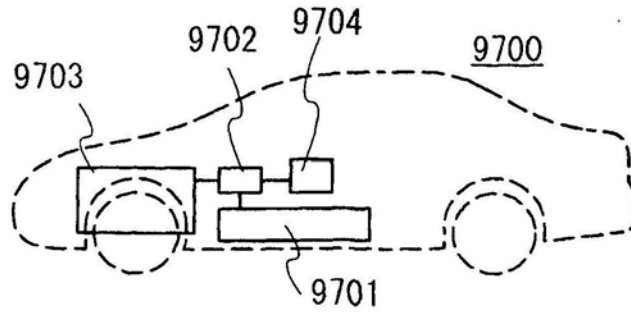


图27C