



(12) 发明专利

(10) 授权公告号 CN 109119487 B

(45) 授权公告日 2021.09.24

(21) 申请号 201810961371.4

H01L 29/06 (2006.01)

(22) 申请日 2018.08.22

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 104769715 A, 2015.07.08

申请公布号 CN 109119487 A

CN 102610643 A, 2012.07.25

(43) 申请公布日 2019.01.01

JP 2009170468 A, 2009.07.30

(73) 专利权人 电子科技大学

US 2007018243 A1, 2007.01.25

地址 611731 四川省成都市高新区(西区)

审查员 肖玲

西源大道2006号

(72) 发明人 张金平 邹华 王康 罗君轶

刘竞秀 李泽宏 张波

(74) 专利代理机构 成都点睛专利代理事务所

(普通合伙) 51232

代理人 葛启函

(51) Int. Cl.

H01L 29/861 (2006.01)

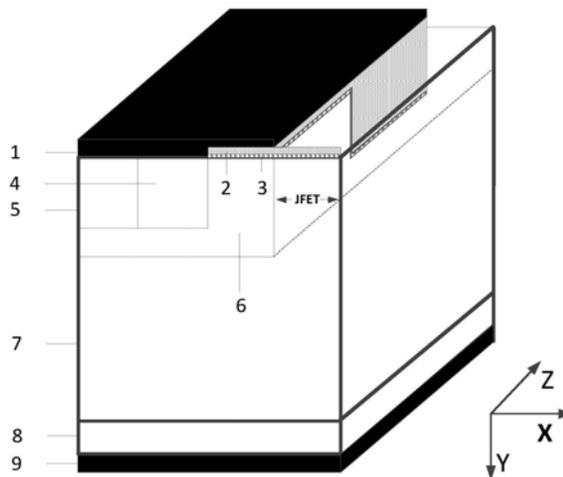
权利要求书1页 说明书9页 附图14页

(54) 发明名称

一种超势垒二极管器件

(57) 摘要

一种超势垒二极管器件,属于半导体功率器件领域技术。其元胞结构包括自下而上依次设置的阴极金属、N+半导体衬底和N-半导体漂移区,N-半导体漂移区顶层左侧设置P型半导体基区,P型半导体基区顶层左侧从左自右依次并排设置紧密接触的P+半导体接触区和N+半导体源区;N+半导体源区的右侧上表面、N+半导体源区右侧的P型半导体基区的上表面和P型半导体基区右侧的N-半导体漂移区的上表面设置沟槽结构;沟槽结构上设置栅极结构,栅极结构包括自下而上设置的介质层、多晶硅和阳极金属,多晶硅的下表面最底部低于沟槽结构的最顶部;阳极金属设置在超势垒二极管器件的上表面。本发明提高了器件正向导通电流水平和电压阻断能力。



1. 一种超势垒二极管器件,其元胞结构包括自下而上依次设置的阴极金属(9)、N+半导体衬底(8)和N-半导体漂移区(7),所述N-半导体漂移区(7)顶层左侧设置P型半导体基区(6),所述P型半导体基区(6)顶层左侧从左自右依次并排设置紧密接触的P+半导体接触区(5)和N+半导体源区(4),所述N+半导体源区(4)的深度不超过所述P+半导体接触区(5)的深度;

其特征在于,所述N+半导体源区(4)的右侧上表面、所述N+半导体源区(4)右侧的P型半导体基区(6)的上表面和所述P型半导体基区(6)右侧的N-半导体漂移区(7)的上表面设置沟槽结构,所述沟槽结构的中心轴线垂直于整个器件的横向方向,且所述沟槽结构下表面最底部的深度小于所述N+半导体源区(4)的深度;所述沟槽结构内填充多晶硅(2),多晶硅(2)与所述N-半导体漂移区(7)直接接触形成异质结;多晶硅(2)表面设置阳极金属(1)。

2. 根据权利要求1所述的超势垒二极管器件,其特征在于,所述P型半导体基区(6)和N+半导体衬底(8)之间具有超结结构,所述超结结构包括交替排列的N柱和P柱。

3. 根据权利要求1或2所述的超势垒二极管器件,其特征在于,所述沟槽结构覆盖所述P型半导体基区(6)右侧的N-半导体漂移区(7)的左侧上表面。

4. 根据权利要求1所述的超势垒二极管器件,其特征在于,所述P型半导体基区(6)右侧的所述N-半导体漂移区(7)内设置P型半导体埋层(11),所述P型半导体埋层(11)不将所述N-半导体漂移区(7)分割为两部分。

5. 根据权利要求1所述的超势垒二极管器件,其特征在于,所述沟槽结构的最顶部高于所述阳极金属(1)的下表面最底部。

6. 根据权利要求1至5中任一项所述的超势垒二极管器件,其特征在于,所述超势垒二极管器件的体材料为硅、碳化硅、砷化镓、锗、金刚石、硅锗、氧化镓或氮化镓中的一种。

7. 根据权利要求1所述的超势垒二极管器件,其特征在于,所述异质结中宽禁带材料和窄禁带材料分别为碳化硅和硅材料。

一种超势垒二极管器件

技术领域

[0001] 本发明属于功率半导体器件领域技术,具体地说,是涉及一种超势垒二极管器件结构。

背景技术

[0002] 人类纪元已进入21世纪,虽然出现了多种形式的新型能源,如风能、核能、太阳能以及地热能等,但世界能源生产和消费仍以化石能源为主,且化石能源依然将在很长的一段时期内占领着人类众多能源需求最重要的一席。化石能源的大量、长期使用必将导致一系列的问题,这些问题与当下全球变暖等全球环境问题的恶化息息相关。而化石能源中有相当大的比例转化为电能。电能作为人类可直接利用能源的主要形式之一,对其使用效率的提升是应对世界能源问题的重要解决途径。电力系统是人类利用电能和提高电能使用效率的必要途径,电力系统对电能输运、管理以及使用效率的高低,体现着电力系统的现代化程度,进而体现着人类对于能源资源利用效率的高低。能源资源的高效率使用,对于人类可持续发展具有重大意义。具体来说,电力系统主要是对电能的产生过程进行调节、测量、控制、保护、调度和通信等,这个过程中,功率半导体器件起到了核心的作用。也就是说,功率半导体器件性能的高低,决定着大小电力系统性能。从某种程度上来说,功率半导体器件及其模块性能的优劣,关乎着人类可持续发展。

[0003] 功率器件当下由硅基功率器件主导,主要包括晶闸管、功率PIN器件、功率双极结型器件、肖特基势垒二极管、功率MOSFET以及绝缘栅场效应晶体管,在全功率范围内均得到了广泛的应用,硅基功率器件以其悠久历史、十分成熟的设计技术和工艺技术占领了功率半导体器件的主导市场。然而,因研究人员对硅基功率器件机理研究较为透彻,性能均已接近硅材料的理论极限,已经很难通过对硅基功率器件的设计和 optimization 达到性能上的大幅度提升。

[0004] 以碳化硅(SiC)和氮化镓(GaN)等为代表的宽禁带半导体材料,亦称下一代半导体材料,以其优异的材料特性引起了科研人员的兴趣。碳化硅材料是第三代半导体材料的典型代表,也是目前晶体生长技术和器件制造水平最成熟、应用最广泛的宽禁带半导体材料之一。其相比于硅材料具有较大的禁带宽度、较高的热导率、较高的电子饱和漂移速度以及10倍于硅材料的临界击穿电场,使其在高温、高频、大功率、抗辐射应用场合下成为十分理想的半导体材料。由于碳化硅功率器件可显著降低电子设备的能耗,故碳化硅功率器件享有“带动新能源革命的绿色能源器件”的美名。

[0005] 碳化硅二极管是碳化硅材料作为功率器件基底材料使用的主导产品之一。在常见的碳化硅二极管的开发设计过程中,常规碳化硅PIN二极管的正向导通压降大(约为3.1V)、反向恢复特性差,而碳化硅肖特基二极管(SBD)的漏电较大、高温可靠性较差,在诸多应用场合均需要能克服上述两种器件不足的全新功率器件。碳化硅超势垒二极管弥补了两种传统二极管的不足,具有较低的正向导通压降以及较小的漏电流,该优势切合了当代社会发展节能减排的主题,故其在功率器件市场上受到了一定的重视。超势垒二极管的传统元胞

结构示意图1所示,然而作为沟道型器件,超势垒二极管具有正向导通电流密度低、反向阻断能力较差等不足之处,这些不足限制了其在功率器件市场上的进一步应用推广。

发明内容

[0006] 针对上述传统超势垒二极管存在的正向导通电流密度低、反向阻断能力较差的问题,本发明提出一种超势垒二极管器件,能够提高正向导通电流密度,提升电压阻断能力,通过设置沟槽结构显著提升了器件正向导通电流水平;通过增加异质结增加了器件导通态下的多子电流分支,再次提升了器件正向导通电流水平;另外还提出了超结结构用于提升器件电压阻断能力,同时降低器件正向导通电阻,获得了良好的反向阻断与正向压降之间的折中关系。

[0007] 本发明的技术方案为:

[0008] 一种超势垒二极管器件,其元胞结构包括自下而上依次设置的阴极金属9、N+半导体衬底8和N-半导体漂移区7,所述N-半导体漂移区7顶层左侧设置P型半导体基区6,所述P型半导体基区6顶层左侧从左自右依次并排设置紧密接触的P+半导体接触区5和N+半导体源区4,所述N+半导体源区4的深度不超过所述P+半导体接触区5的深度;

[0009] 所述N+半导体源区4的右侧上表面、所述N+半导体源区4右侧的P型半导体基区6的上表面和所述P型半导体基区6右侧的N-半导体漂移区7的上表面设置沟槽结构,所述沟槽结构下表面最底部的深度小于所述N+半导体源区4的深度;所述沟槽结构上设置栅极结构,所述栅极结构设置在包括所述沟槽结构的上表面和所述P型半导体基区6右侧的N-半导体漂移区7的上表面,所述栅极结构包括自下而上设置的介质层3、多晶硅2和阳极金属1,所述多晶硅2的下表面最底部低于所述沟槽结构的最顶部;所述阳极金属1设置在所述超势垒二极管器件的上表面。

[0010] 具体的,所述沟槽结构内可以只包括所述介质层3和多晶硅2,即所述多晶硅2的下表面最底部低于所述沟槽结构的最顶部而所述阳极金属1的下表面最底部高于所述沟槽结构最顶部;所述沟槽结构内也可以还包括所述阳极金属1,即所述阳极金属1的下表面最底部低于所述沟槽结构最顶部。

[0011] 具体的,所述沟槽结构内可以设置一个凹槽,该凹槽为在X方向上从所述N+半导体源区4延伸至所述N-半导体漂移区7并穿过P型半导体基区6的结构,也可以在Z方向设置多个不连续的相同的凹槽。

[0012] 具体的,所述沟槽结构可以只设置在所述P型半导体基区6右侧的所述N-半导体漂移区7的左侧上表面,也可以向右延伸至覆盖所述P型半导体基区6右侧的所述N-半导体漂移区7的全部上表面;当所述沟槽结构只设置在所述P型半导体基区6右侧的所述N-半导体漂移区7的左侧上表面时,所述栅极结构设置除了设置在沟槽结构上表面时,还设置在所述沟槽结构的上表面和所述P型半导体基区6右侧的N-半导体漂移区7未设置所述沟槽结构的上表面。

[0013] 具体的,所述N-半导体漂移区7右侧上表面的所述介质层3被所述多晶硅2替代,所述多晶硅2与所述N-半导体漂移区7直接接触形成异质结,异质结具有整流特性,异质结可以形成在沟槽结构内,也可以形成在所述P型半导体基区6右侧的N-半导体漂移区7未设置所述沟槽结构的部分。

[0014] 具体的,所述P型半导体基区6和N+半导体衬底8之间的N-半导体漂移区7内设置超结结构,所述超结结构包括交替排列的N柱和P柱,所述N柱为第一N型掺杂7a,所述P柱为P型掺杂10,通过控制和调整工艺参数,使得N柱及P柱满足电荷量相等 $Q_n=Q_p$ 的需求,且阻断态下发生全耗尽;所述超结结构上且位于所述P型半导体基区6右侧的N-半导体漂移区7替换为第二N型掺杂7b,所述第一N型掺杂7a和第二N型掺杂7b的掺杂浓度高于所述N-半导体漂移区7的掺杂浓度。

[0015] 具体的,所述P型半导体基区6右侧的所述N-半导体漂移区7内设置P型半导体埋层11,所述P型半导体埋层11不将所述N-半导体漂移区7分割为两部分,则所述P型半导体埋层11可以设置为在Z方向连续分布且在X方向上不与所述N-半导体漂移区7的右边界接触,也可以设置为在X方向上与所述P型半导体基区6右边界和所述N-半导体漂移区7的右边界接触在且Z方向不连续分布。

[0016] 具体的,当所述超势垒二极管器件不存在异质结时,所述超势垒二极管器件的体材料为硅、碳化硅、砷化镓、锗、金刚石、硅锗、氧化镓或氮化镓中的一种。

[0017] 具体的,当所述超势垒二极管器件存在异质结时,所述异质结中宽禁带材料和窄禁带材料可以分别为碳化硅和硅材料,也可以不仅限于碳化硅、硅材料,对于其它宽禁带材料和窄禁带材料的组合同样适用。

[0018] 本发明提出的一种超势垒二极管器件的制作方法,包括如下步骤:

[0019] 第1步:自下而上依次层叠制作N+半导体衬底8和N-半导体漂移区7;

[0020] 第2步:在所述N-半导体漂移区7顶层左侧形成P型半导体基区6;

[0021] 第3步:在所述P型半导体基区6顶层左侧形成P+半导体接触区5;

[0022] 第4步:在所述P型半导体基区6顶层且位于所述P+半导体接触区5右侧处形成N+半导体源区4,所述N+半导体源区4与所述P+半导体接触区5紧密接触且其深度不超过所述P+半导体接触区5的深度;

[0023] 第5步:在所述N+半导体源区4的右侧上表面、所述N+半导体源区4右侧的P型半导体基区6的上表面和所述P型半导体基区6右侧的N-半导体漂移区7的上表面刻蚀沟槽;

[0024] 第6步:在所述沟槽的上表面以及侧壁形成介质层3;

[0025] 第7步:在整个器件上表面淀积一层多晶硅,通过刻蚀去除不需要的多晶硅,形成多晶硅2;

[0026] 第8步:在所述N+半导体衬底8下表面形成阴极金属9,在整个器件上表面形成阳极金属1。

[0027] 具体的,第1步中通过选取合适电阻率与厚度的碳化硅片,用于制作所述N+半导体衬底8和N-半导体漂移区7。

[0028] 具体的,第2步通过高能离子注入工艺进行铝离子注入或者通过外延方式形成所述P型半导体基区6。

[0029] 具体的,第3步通过光刻、离子注入等工序,利用PSD掩模版进行铝离子注入,形成所述P+半导体接触区5。

[0030] 具体的,第4步通过光刻、离子注入等工序,利用NSD掩模版进行磷离子注入,形成所述N+半导体源区4。

[0031] 具体的,在第4步形成所述N+半导体源区4后,在所述P型半导体基区6右侧的所述

N-半导体漂移区7内作P型半导体杂质的逆向掺杂注入,设置P型半导体埋层11,且P型半导体埋层11表面注入一层N型杂质,其中N型杂质可以为所述N-半导体漂移区7。

[0032] 具体的,第5步通过沟槽刻蚀工艺,利用Trench掩膜版在所述N+半导体源区4的右侧上表面、所述N+半导体源区4右侧的P型半导体基区6的上表面和所述P型半导体基区6右侧的N-半导体漂移区7的上表面刻蚀出呈现凹凸分布的沟槽结构,其中沟槽结构在沿所述N+半导体源区4和P型半导体基区6接触并延伸的方向上可以刻蚀一个凹槽,或连续刻蚀多个凹槽,每个凹槽为从所述N+半导体源区4延伸至所述N-半导体漂移区7并穿过所述P型半导体基区6的结构。

[0033] 具体的,第6步通过干氧化以及刻蚀工艺形成所述介质层3,当沟槽结构只覆盖所述P型半导体基区6右侧的N-半导体漂移区7的上表面左侧时,其未设置沟槽结构的上表面也形成所述介质层3。

[0034] 具体的,第7步中淀积的多晶硅可以是N型多晶硅,也可以是P型多晶硅。

[0035] 具体的,第6步形成所述介质层3后,刻蚀所述P型半导体基区6右侧的N-半导体漂移区7的上表面右侧的部分所述介质层3,以使第7步淀积多晶硅形成所述多晶硅2时,有部分多晶硅与所述N-半导体漂移区7直接接触,所述N-半导体漂移区7为N--碳化硅漂移区7时,所述N--碳化硅漂移区7与所述多晶硅2形成Si/SiC异质结。

[0036] 具体的,第7步刻蚀多晶硅时,刻蚀部分沟槽内的多晶硅,以使第8步淀积阳极金属1时,部分阳极金属1的底部深度深于沟槽顶部。

[0037] 具体的,在第1步完成后将所述N-半导体漂移区7完全刻蚀,并使经过多次外延、热扩散以及刻蚀形成的P柱与N型外延层形成相间分布,通过工艺控制,形成合适的N柱和P柱掺杂浓度及宽度,使得N柱与P柱的电荷数相同,即形成超结结构。

[0038] 具体的,第8步通过淀积、光刻以及刻蚀工艺分别形成所述阳极金属1和阴极金属9。

[0039] 具体的,第5步刻蚀沟槽时,将所述P型半导体基区6右侧的N-半导体漂移区7的上表面全部刻蚀,使得沟槽完全覆盖所述P型半导体基区6右侧的N-半导体漂移区7的上表面。

[0040] 下面以碳化硅作为本发明的体材料为例对本发明的原理进行阐述,但值得说明的是本发明的体材料不仅限于碳化硅。

[0041] 常规碳化硅PIN二极管的正向导通压降大(约为3.1V),而碳化硅肖特基二极管(SBD)的漏电较大,且其高温可靠性较差。尽管碳化硅超势垒二极管弥补了两种传统二极管的不足,具有较低的正向导通压降以及很小的漏电流,但其作为沟道型器件,超势垒二极管具有正向导通电流密度低的天然不足。该不足使该类器件在市场中的应用推广受到了较大的限制。本发明通过在结构上的改进,提出了一种能优化碳化硅超势垒二极管上述不足、同时能优化其它电学性能的结构,如图2所示是本发明提出超势垒二极管在XY平面上的剖面图,其中P型碳化硅基区6上的栅极结构在YZ平面结构示意图如图3所示。以下对肖特基二极管SBR的工作原理作一简单说明:通过工艺控制,调节多晶硅2掺杂浓度、介质层3厚度及其介质层电荷数以及P型碳化硅基区6掺杂浓度等参数,使得由多晶硅2、介质层3以及P型碳化硅基区6组成金属-绝缘层-半导体MIS结构,其阈值电压为0.1V左右。当阳极金属1电压接近于0.1V时,由于MIS结构亚阈值电流的存在,小部分电子电流将流经N-碳化硅漂移区7、P型碳化硅基区6以及N型碳化硅源区4,该电子电流造成了P型碳化硅基区6上的压降。介质层3

两侧的电势分布如图5所示,其中XY平面上的标记点a1、a2、b1和b2如图4所示,a1和b1分别是P型碳化硅基区6和多晶硅2接触面上两点,其中a1点靠近N型碳化硅源区4,b1点远离N型碳化硅源区4,a2和b2分别是多晶硅2和介质层3接触面上两点,其X坐标分别对应a1和b1点X坐标。从图5可知,a1与a2两点几乎无电势差,而从点a到点b,水平方向上电势差逐渐扩大。该差异使得阳极电压无需加至0.1V(即超势垒结构的栅压),该器件即有明显电流通过,即器件此时处于导通态。对于功率器件而言,其正常工作于较高电压以上,故对于本发明提供的超势垒二极管而言,低于0.1V的开启电压,即可认为接近于0V的开启电压。

[0042] 由于超势垒二极管属于沟道型器件,正向导通时,受导电沟道薄的影响,其正向导通电流密度过低。本发明结构通过改进传统P型碳化硅基区6表面结构,在P+半导体接触区5右侧的P型碳化硅基区6表面形成沟槽结构,并于沟槽结构上形成栅极结构,使得本发明相比于传统超势垒二极管器件,反型层面积大大增加,如图6所示。在相同的栅压下,正向导通电流显著增加,如图7所示。该改进克服了传统超势垒二极管正向导通电流水平低下的不足,显著提升了器件正向导通性能。

[0043] 同时在此基础上,本发明还作出了其他改进。一些实施例中,通过多晶硅2与N-半导体漂移区7直接接触形成异质结,使得超势垒器件正向导通电流水平进一步提升。为了便于解释此次改进,本次改进的超势垒二极管其功能块如图10左侧标注,其中A功能块为超势垒结构部分;B功能块为Si/SiC异质结部分。因Si/SiC异质结大于0.1V的正向开启电压,故可认为在超势垒结构导通的时刻,Si/SiC异质结无电流流过,即多晶硅2电势处处相同。当阳极电压进一步上升,到达Si/SiC异质结膝电压,此时Si/SiC异质结导通。为了便于表示Si/SiC异质结导通时整个器件的I-V曲线,假定多晶硅为P型多晶硅。P型多晶硅/N型碳化硅异质结的膝电压约为1.1V。故整个器件正向导通时,其正向I-V曲线如图10中右侧示意图所示。从图10可知,器件正向导通电流水平得到了更大的提高。

[0044] 除此之外,一些实施例中还对本发明结构做了进一步的改进,在P型半导体基区6和N+半导体衬底8之间的N-半导体漂移区7内设置超结结构,如图11所示,采用超结结构的外延层,器件正向、反向I-V曲线如图12所示,从图12可知由超结结构构成的外延层显著提升了所发明器件的电压阻断能力,从而获得了更好的正向压降与击穿电压的折中特性。

[0045] 综合以上分析,知本发明的有益效果为:本发明提供了一种超势垒二极管器件,通过形成沟槽结构显著提高了器件正向导通电流水平,从而提高了二极管整流效率,降低了器件通态损耗,节约了能源资源;增加异质结进一步提升了器件正向导通电流水平,从而进一步提升了二极管整流效率;增加超结结构,显著提升了器件的电压阻断能力,从而使得本发明具有更好的正向压降与击穿电压的折中特性。

附图说明

[0046] 图1是传统碳化硅超势垒二极管器件元胞结构示意图。

[0047] 图2是本发明实施例1提供了一种超势垒二极管器件元胞结构示意图。

[0048] 图3是对本发明实施例1的结构作进一步的解释示意图。

[0049] 图4是对本发明实施例1提供了一种超势垒二极管器件进行原理解释。

[0050] 图5是对本发明实施例1提供了一种超势垒二极管器件进行原理解释。

[0051] 图6是对本发明实施例1提供了一种超势垒二极管器件进行原理解释。

- [0052] 图7是对本发明实施例1提供的一种超势垒二极管器件进行原理解释。
- [0053] 图8是本发明实施例2提供的一种超势垒异质结二极管器件的P型半导体基区6在YZ平面示意图。
- [0054] 图9是本发明实施例3提供的一种超势垒异质结二极管器件元胞结构示意图。
- [0055] 图10是对本发明实施例3提供的一种超势垒异质结二极管器件进行原理解释。
- [0056] 图11是本发明实施例4提供的一种超势垒异质结二极管器件元胞结构示意图。
- [0057] 图12是对本发明实施例4提供的一种超势垒异质结二极管器件进行原理解释。
- [0058] 图13是本发明实施例5提供的一种超势垒异质结二极管器件元胞结构示意图。
- [0059] 图14是本发明实施例6提供的一种超势垒异质结二极管器件元胞结构示意图。
- [0060] 图15是本发明实施例7提供的一种超势垒异质结二极管器件元胞结构示意图。
- [0061] 图16是本发明实施例8提供的碳化硅衬底示意图。
- [0062] 图17是本发明实施例8提供的通过离子注入工艺形成P型碳化硅基区6示意图。
- [0063] 图18是本发明实施例8提供的通过光刻、离子注入等工序,形成P+碳化硅接触区5示意图。
- [0064] 图19是本发明实施例8提供的通过光刻、离子注入等工序,形成N+碳化硅源区4示意图。
- [0065] 图20是本发明实施例8提供的通过沟槽刻蚀工艺,利用Trench掩模版刻蚀出指定尺寸的沟槽示意图。
- [0066] 图21是本发明实施例8提供的通过干氧化及光刻工艺,形成介质层3示意图。
- [0067] 图22是本发明实施例8提供的通过淀积及刻蚀工艺,形成多晶硅2示意图。
- [0068] 图23是本发明实施例8提供的通过淀积、光刻以及刻蚀工艺形成阳极金属1和阴极金属9示意图。

具体实施方式

[0069] 以下结合附图和具体实施例详细描述本发明的技术方案和实现原理,所举实例只用于解释本发明,并非用于限定本发明的范围。

[0070] 实施例1:

[0071] 本实施例以一款1200V的超势垒二极管器件的结构为例,体材料为碳化硅,其元胞示意图如图2所示。包括自下而上依次设置的阴极金属9、N+碳化硅衬底8和N-碳化硅漂移区7,N-碳化硅漂移区7顶层左侧设置P型碳化硅基区6,P型碳化硅基区6顶层左侧从左自右依次并排设置紧密接触的P+碳化硅接触区5和N+碳化硅源区4,N+碳化硅源区4的深度不超过P+碳化硅接触区5的深度;N+碳化硅源区4的右侧上表面、N+碳化硅源区4右侧的P型碳化硅基区6的上表面和P型碳化硅基区6右侧的N-碳化硅漂移区7的上表面设置沟槽结构,沟槽结构下表面最底部的深度小于N+碳化硅源区4的深度;沟槽结构上设置栅极结构,栅极结构包括自下而上设置的介质层3、多晶硅2和阳极金属1;阳极金属1设置在超势垒二极管器件的上表面。本实施例中沟槽结构内部只有介质层3和多晶硅2,即多晶硅2的下表面最底部低于沟槽结构的最顶部,阳极金属1的下表面最底部高于沟槽结构的最顶部。

[0072] 其中,阳极金属1、阴极金属9的厚度为 $0.5\mu\text{m}\sim 2\mu\text{m}$,宽度为 $0.5\sim 2\mu\text{m}$;N+碳化硅衬底8掺杂浓度为 $1\text{e}18\sim 9\text{e}18/\text{cm}^3$,厚度为 $0.5\mu\text{m}$ 到 $1.5\mu\text{m}$,宽度为 $0.5\mu\text{m}\sim 2\mu\text{m}$;N-碳化硅外延7

掺杂浓度为 $2e15\sim 8e15/cm^3$,厚度为 $5\mu m\sim 8\mu m$,宽度为 $0.5\mu m\sim 2\mu m$;P+碳化硅base区6厚度约为 $0.3\mu m\sim 0.4\mu m$,宽度约为 $0.1\mu m\sim 0.5\mu m$,掺杂浓度约为 $1e16\sim 1e17/cm^3$;P+碳化硅接触区5厚度约为 $0.3\mu m\sim 0.4\mu m$,宽度约为 $0.2\mu m\sim 1\mu m$,掺杂浓度约为 $1e18\sim 2e19/cm^3$;N+碳化硅源区4厚度约为 $0.15\mu m\sim 0.2\mu m$,宽度约为 $0.1\mu m\sim 0.5\mu m$,掺杂浓度约为 $1e18\sim 2e19/cm^3$;P型碳化硅base区6上部沟槽深度约为 $0.1\mu m\sim 0.18\mu m$,凹槽间距约为 $0.1\mu m\sim 0.2\mu m$;介质层3厚度约为 $10nm\sim 50nm$;多晶硅2厚度约为 $0.8\mu m\sim 1.6\mu m$ 。本实施例提供的超势垒二极管,通过形成三维超势垒结构用于提升器件正向导通性能。

[0073] 实施例2:

[0074] 本实施例针对实施例1作出一定程度上的修改,其结构与实施例1大致相同,不同之处在于,沟槽结构内部还具有阳极金属1,即阳极金属1的最底部深度深于沟槽结构最顶部,如图8所示。该改进能够降低栅电阻,提高对栅电荷的充电速度,进而优化器件整流性能,使得器件栅控能力得到进一步提升。

[0075] 实施例3:

[0076] 本实施例针对实施例1、实施例2作出一定程度上的修改,其结构与实施例2大致相同,不同之处在于,P型碳化硅基区6右侧的N-碳化硅漂移区7上表面的右侧不具有介质层3,该介质层3为多晶硅2所替代,多晶硅2与N-碳化硅漂移区7形成Si/SiC异质结,结面宽度约为 $0.1\mu m\sim 0.4\mu m$,如图9所示。本实施例中的超势垒二极管,具有三维超势垒结构和Si/SiC异质结,该异质结增加了器件导通态下的多子电流分支,再次提升了本实施例中二极管的正向导通电流水平。

[0077] 实施例4:

[0078] 本实施例针对实施例1、实施例2以及实施例3作出一定程度上的修改,以对实施例3的改进为例,其结构与实施例3大致相同,不同之处在于,可以在P型半导体基区6和N+半导体衬底8之间的N-半导体漂移区7内设置超结结构,如图11所示。通过控制和调整工艺参数,使得N柱及P柱满足电荷量相等 $Q_n=Q_p$ 的需求。本实施例中的超势垒二极管,具有三维超势垒结构、Si/SiC异质结和超结结构,超结结构通过优化阻断模式下的电场分布,提升了器件电压阻断能力,同时降低了器件正向导通电阻,获得了更好的正向压降与电压阻断能力的折中特性。

[0079] 实施例5:

[0080] 本实施例针对实施例1~4作出一定程度的修改,其结构与上述实施例大致相同,不同之处在于,在刻蚀沟槽结构时扩大刻蚀面积,在P型半导体基区6右侧的N-半导体漂移区7的全部上表面可以沟槽结构,并于沟槽表面制作栅极结构。正向工作时,该改进有利于在P型半导体基区6右侧的N-半导体漂移区7上部的栅极结构下方形成积累层,从而减小了JFET效应带来的不利影响,对于器件正向导通性能的提升具有较大的作用。同时,该改进对反向过程基本无影响,故该改进有利于器件性能的提高。改进的结构如图13所示。

[0081] 实施例6:

[0082] 本实施例针对实施例1~5作出一定程度的修改,其结构与上述实施例大致相同,不同之处在于,P型碳化硅基区6右侧的N-半导体漂移区7内部设置P型碳化硅埋层11,P型碳化硅埋层11在X方向上不与N-半导体漂移区7的右边界接触,但在Z方向连续分布,如图14所示。该改进使得表面SBR结构得到了良好的保护,漏电得到了进一步的降低。

[0083] 实施例7:

[0084] 本实施例针对实施例6作出一定程度的修改,其结构与上述实施例大致相同,与实施例6的不同之处在于,P型碳化硅埋层11在X方向上与P型碳化硅基区6右边界和N-半导体漂移区7右边界接触,但在Z方向不连续分布,如图15所示。该改进同样使得表面SBR结构得到了良好的保护,漏电得到了进一步的降低。

[0085] 实施例8:

[0086] 本实施例同样以1200V的二极管器件制作方法为例,对上述1~7实施例的具体实现方式进行说明,根据本领域常识,可根据实际需求制备不同性能参数的器件。

[0087] 第1步:选取合适电阻率与厚度的碳化硅片,自下而上依次层叠制作N-碳化硅漂移区7、N+碳化硅衬底8。其中,N+碳化硅衬底8掺杂浓度为 $1e18\sim 9e18/cm^3$,厚度为 $0.5\mu m$ 到 $1.5\mu m$,宽度为 $0.5\mu m\sim 2\mu m$;N-碳化硅漂移区7掺杂浓度为 $2e15\sim 8e15/cm^3$,厚度为 $5\mu m\sim 8\mu m$,宽度为 $0.5\mu m\sim 2\mu m$,如图16所示;

[0088] 第2步:通过高能离子注入工艺,注入能量约为 $1500\sim 2000keV$,进行铝离子注入,在N-碳化硅漂移区7顶层左侧形成厚度约为 $0.3\mu m\sim 0.4\mu m$,宽度约为 $0.1\mu m\sim 0.5\mu m$,掺杂浓度约为 $1e16\sim 1e17/cm^3$ 的P型碳化硅基区6,该步骤也可以通过外延的方式形成P型碳化硅基区6。最终形成P型碳化硅基区6后的器件结构如图17所示;

[0089] 第3步:通过光刻、离子注入等工序,利用PSD掩模版进行铝离子注入,注入能量约为 $1300\sim 1700keV$,在P型碳化硅基区6顶层左侧形成厚度约为 $0.3\mu m\sim 0.4\mu m$,宽度约为 $0.2\mu m\sim 1\mu m$,掺杂浓度约为 $1e18\sim 2e19/cm^3$ 的P+碳化硅接触区5,如图18所示;

[0090] 第4步:通过光刻、离子注入等工序,利用NSD掩模版进行磷离子注入,注入能量约为 $1300\sim 1700keV$,在P型碳化硅基区6顶层且位于P+碳化硅接触区5右侧处形成厚度约为 $0.15\mu m\sim 0.2\mu m$,宽度约为 $0.1\mu m\sim 0.5\mu m$,掺杂浓度约为 $1e18\sim 1e19/cm^3$ 的N+碳化硅源区4,如图19所示。然后在 $1600^\circ C\sim 1700^\circ C$ 下激活杂质;

[0091] 第5步:通过沟槽刻蚀工艺,利用Trench掩模版在N+碳化硅源区4的右侧上表面、N+碳化硅源区4右侧的P型碳化硅基区6的上表面和P型碳化硅基区6右侧的N-碳化硅漂移区7的上表面刻蚀出呈现凹凸分布的沟槽结构,如图20所示,其中图20为P型碳化硅基区6的上表面的沟槽结构,沟槽深度约为 $0.1\mu m\sim 0.18\mu m$,各个凹槽间距约为 $0.1\mu m\sim 0.2\mu m$;

[0092] 第6步:在约 $1100^\circ C\sim 1300^\circ C$ 的温度下,通过干氧氧化工艺在器件表面以及沟槽结构内的凹槽侧壁及底部形成厚度约为 $10nm\sim 50nm$ 的介质层3,如图21所示,通过刻蚀去除不需要的介质层3;

[0093] 第7步:通过淀积及刻蚀工艺,在器件表面淀积一层多晶硅,通过刻蚀去除不需要的多晶硅,形成厚度约为 $0.8\mu m\sim 1.6\mu m$ 的多晶硅2,如图22所示,该步骤不刻蚀凹槽内的多晶硅;

[0094] 第8步:通过淀积、光刻以及刻蚀工艺分别形成厚度为 $0.5\mu m\sim 2\mu m$,宽度为 $0.5\sim 2\mu m$ 的阳极金属1和阴极金属9,如图23所示。至此,器件制作完成。其中,P型碳化硅基区6上方YZ平面视角结构如图3示意。

[0095] 进一步地,在第4步完成N型碳化硅源区4后,在P型碳化硅基区6右侧的N-碳化硅漂移区7内作P型半导体杂质的逆向掺杂注入,以形成P型半导体埋层11,并于P型半导体埋层11表面注入一层N型杂质,N型杂质可以为所述N-半导体漂移区7,所形成的P型碳化硅埋层

11如图14/15所示。

[0096] 进一步地,在第7步中所淀积的多晶硅时,既可以是N型多晶硅,也可以是P型多晶硅。

[0097] 进一步地,在第7步刻蚀多晶硅2时,可刻蚀部分凹槽内的多晶硅2,深度约为 $0.05\mu\text{m}\sim 0.15\mu\text{m}$,以使第8步淀积阳极金属1时,部分阳极金属1的底部深度深于凹槽顶部,如图8所示,该方式有利于提高栅控能力,进一步提高器件正向导通电流水平。

[0098] 进一步地,在第6步刻蚀介质层3时,通过刻蚀去除N-碳化硅漂移区7右上方部分介质层3,以使第7步淀积多晶硅时,形成的多晶硅2与N-碳化硅漂移区7形成接触,进而形成Si/SiC异质结,其结面宽度约为 $0.1\mu\text{m}\sim 0.4\mu\text{m}$,如图9所示。

[0099] 进一步地,在第1步完成后将N-碳化硅漂移区7完全刻蚀,并使经过多次外延、热扩散以及刻蚀形成的P柱与N型外延层形成相间分布,通过工艺控制,形成合适的N柱和P柱掺杂浓度及宽度,使得N柱与P柱的电荷数相同,即形成超结结构,如图11所示。

[0100] 进一步地,在第5步刻蚀P型碳化硅基区6时,可以扩大刻蚀面积,在P型碳化硅基区6右侧的N-碳化硅漂移区7的全部上表面刻蚀出连续的凹槽结构,以便于后面在P型碳化硅基区6右侧的N-碳化硅漂移区7上部形成栅极结构,如图13所示。

[0101] 同时需要申明的是:本领域工程技术人员根据本领域基本知识可以知道,本发明的一种二极管器件结构及工艺,所用的N型多晶硅亦可以采用P型多晶硅实现,也可通过P型单晶硅实现,当然还可通过N型单晶硅实现;所用的介质材料除了可以采用二氧化硅(SiO_2)实现,也可通过采用氮化硅(Si_3N_4)、二氧化铪(HfO_2)、三氧化二铝(Al_2O_3)等高K介质材料实现。同时,制造工艺的具体实施方式也可以根据实际需要进行调整。

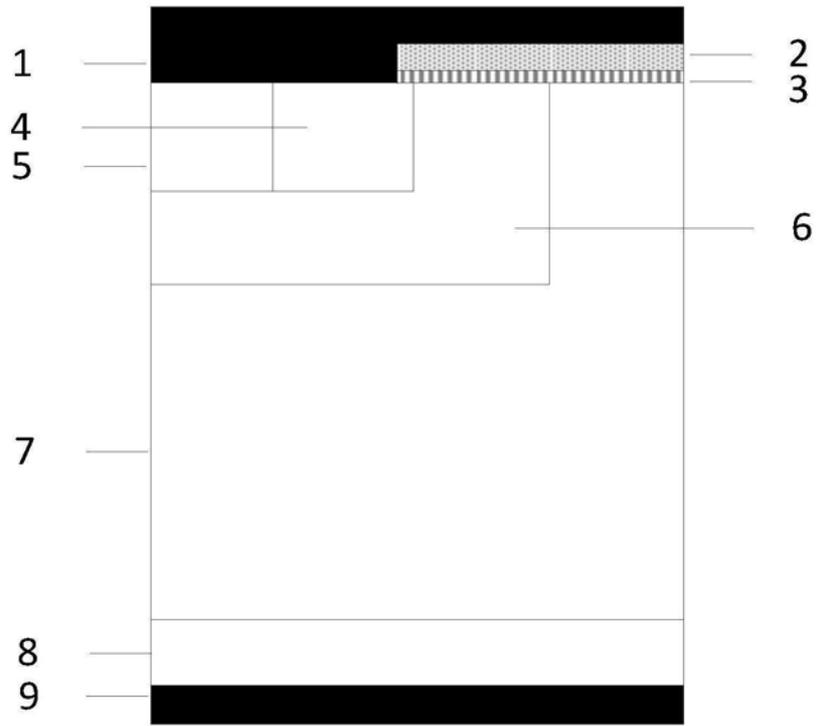


图1

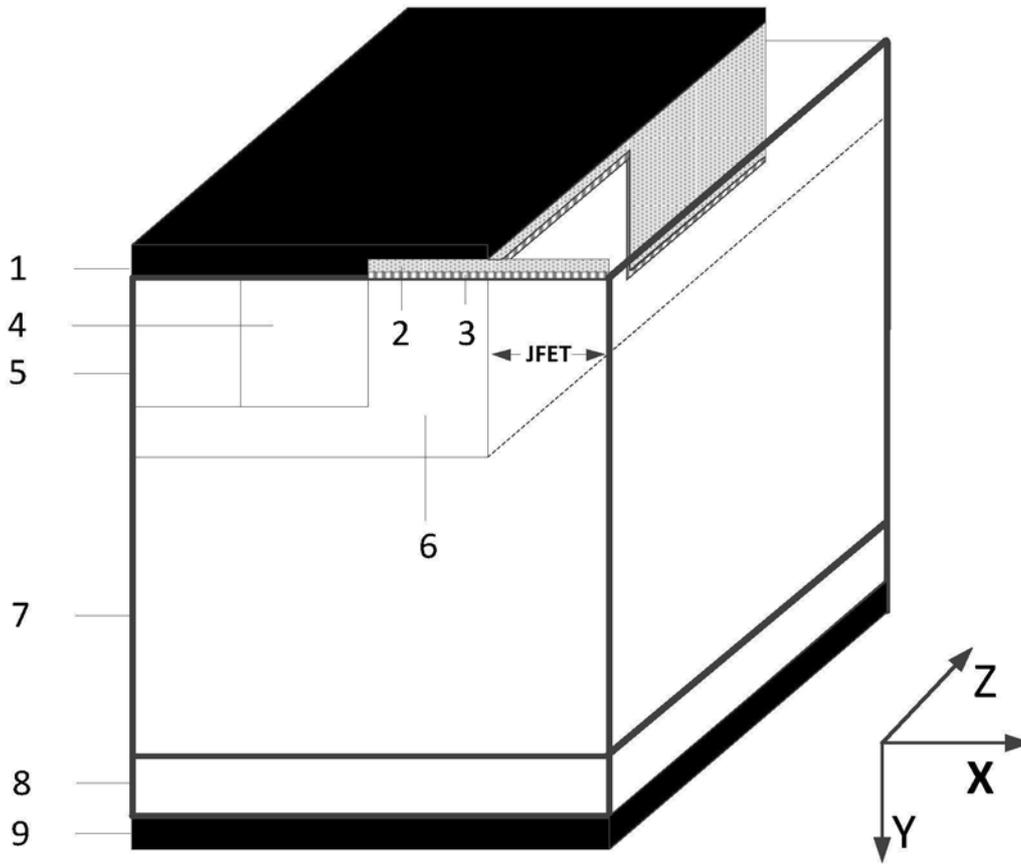


图2

P型半导体基区

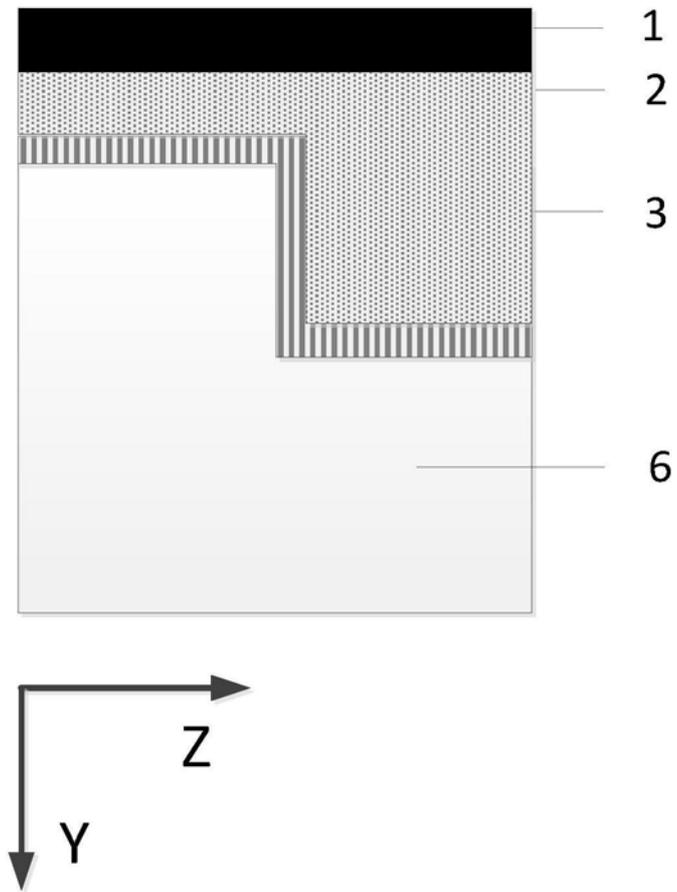


图3

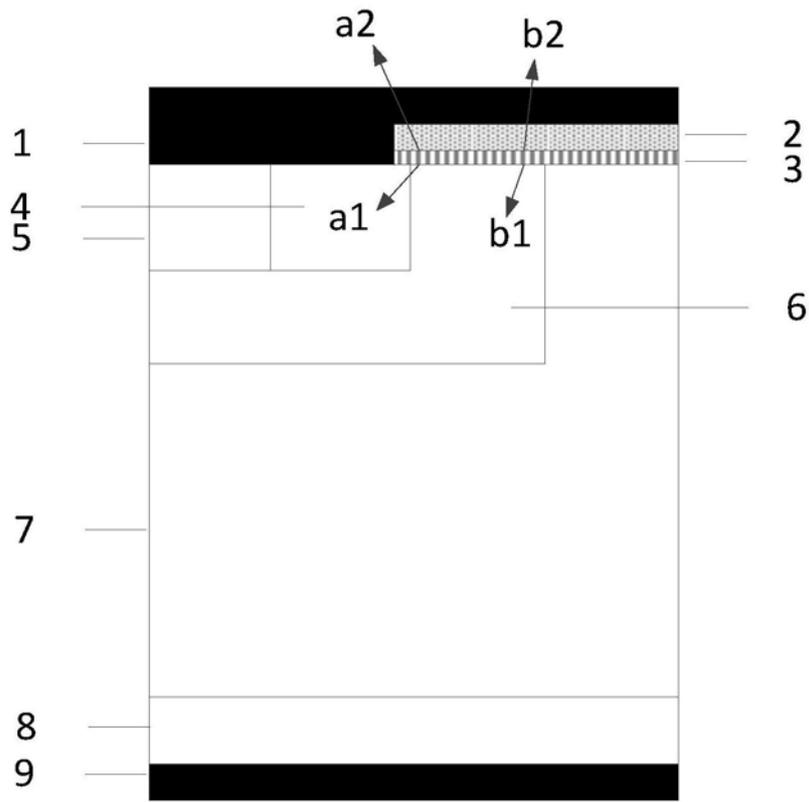


图4

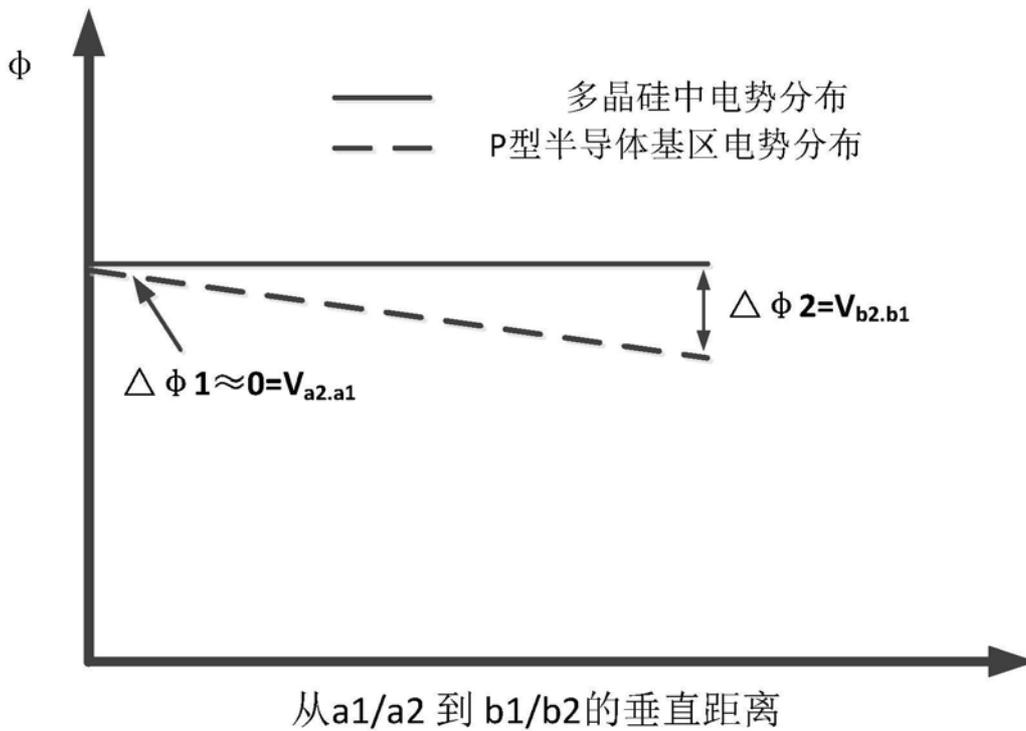


图5

—— : 沟道区



A, 传统SBR结构



B, 所提SBR结构

图6

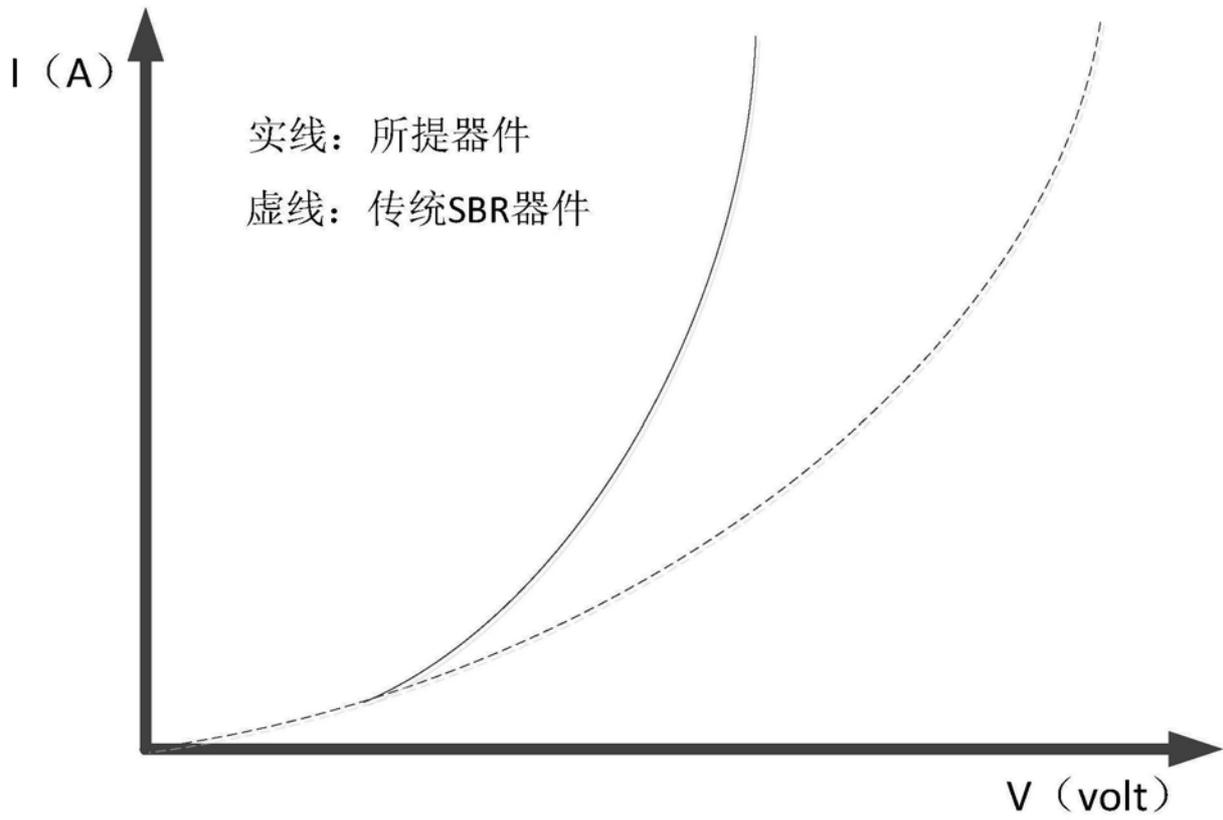


图7

P型半导体基区平面示意图

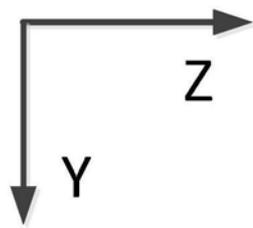
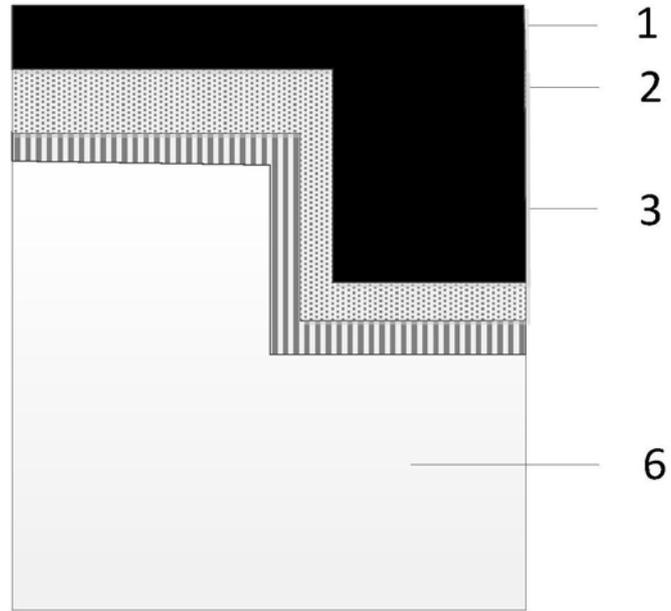


图8

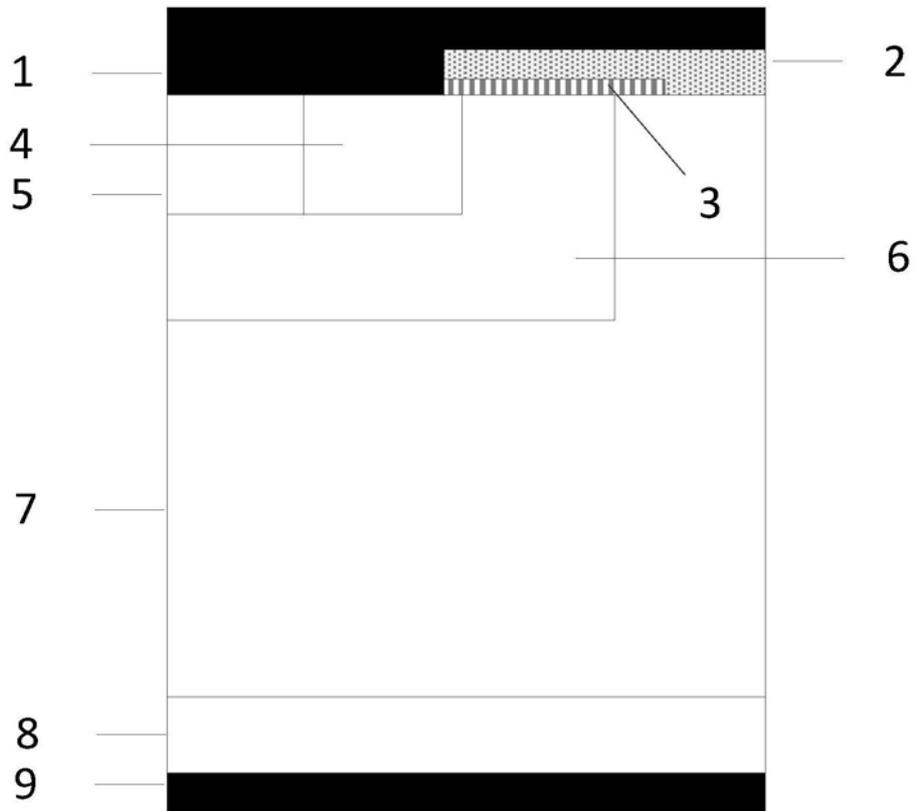


图9

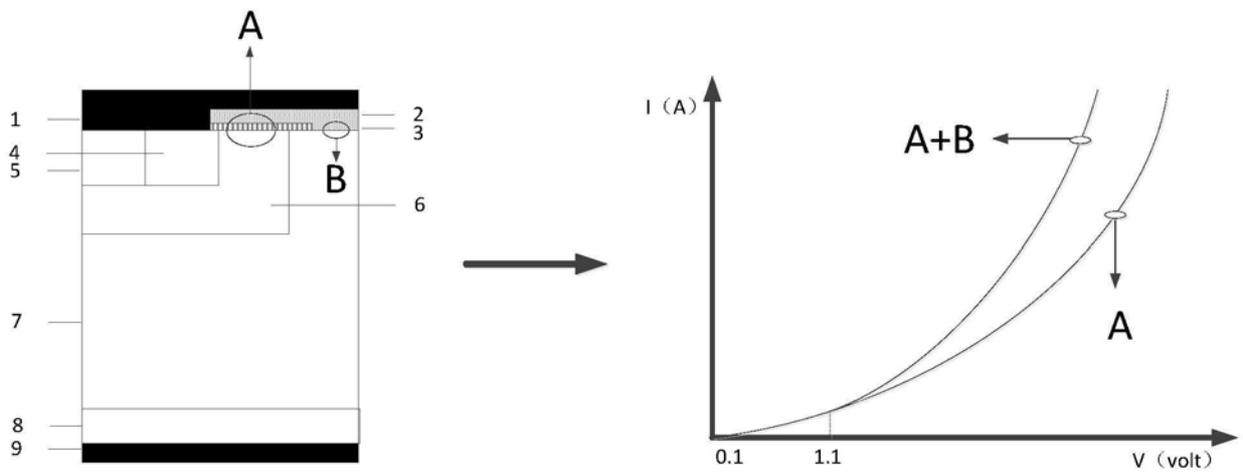


图10

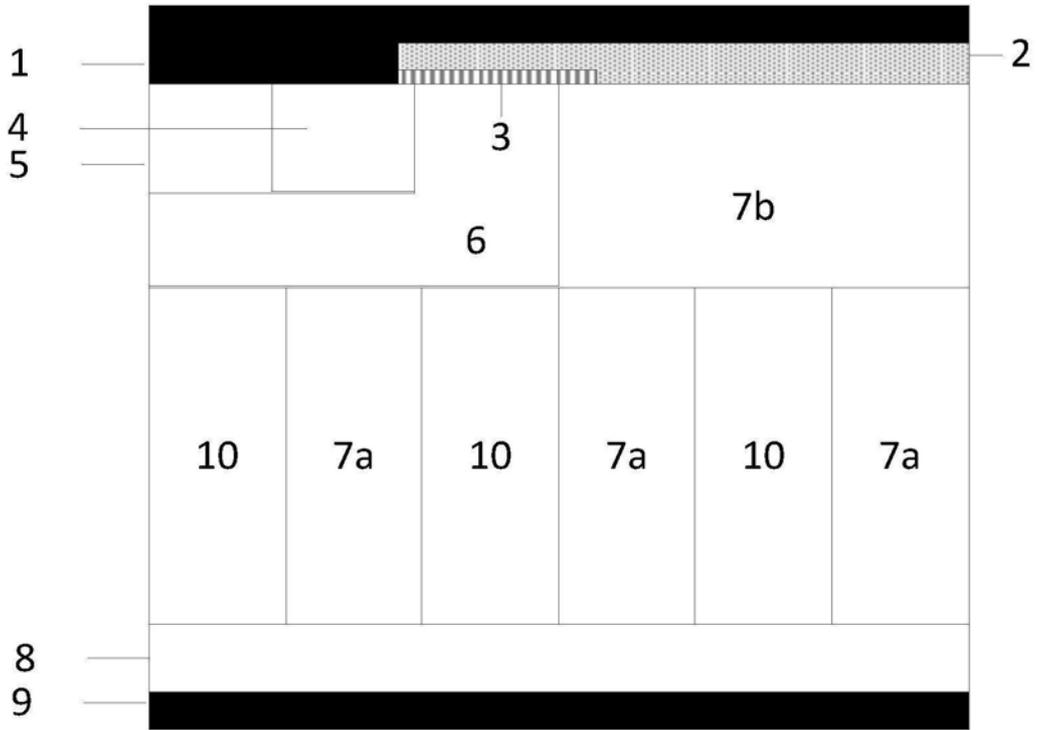


图11

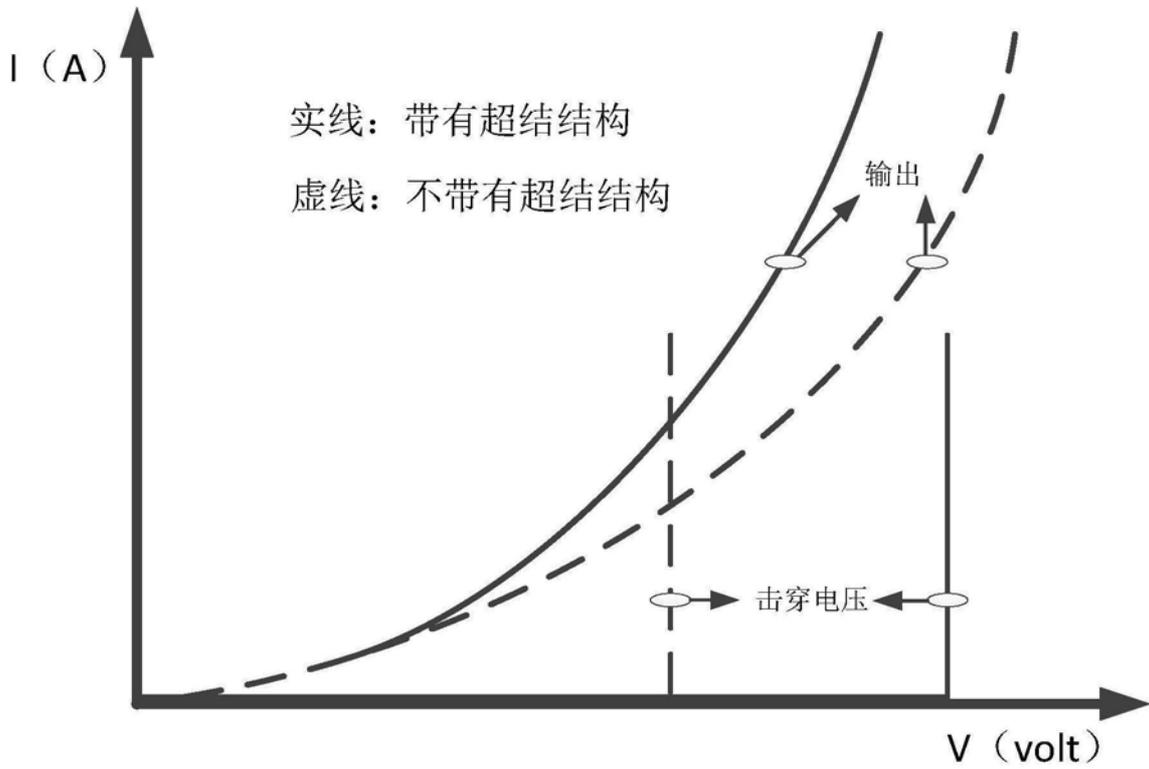


图12

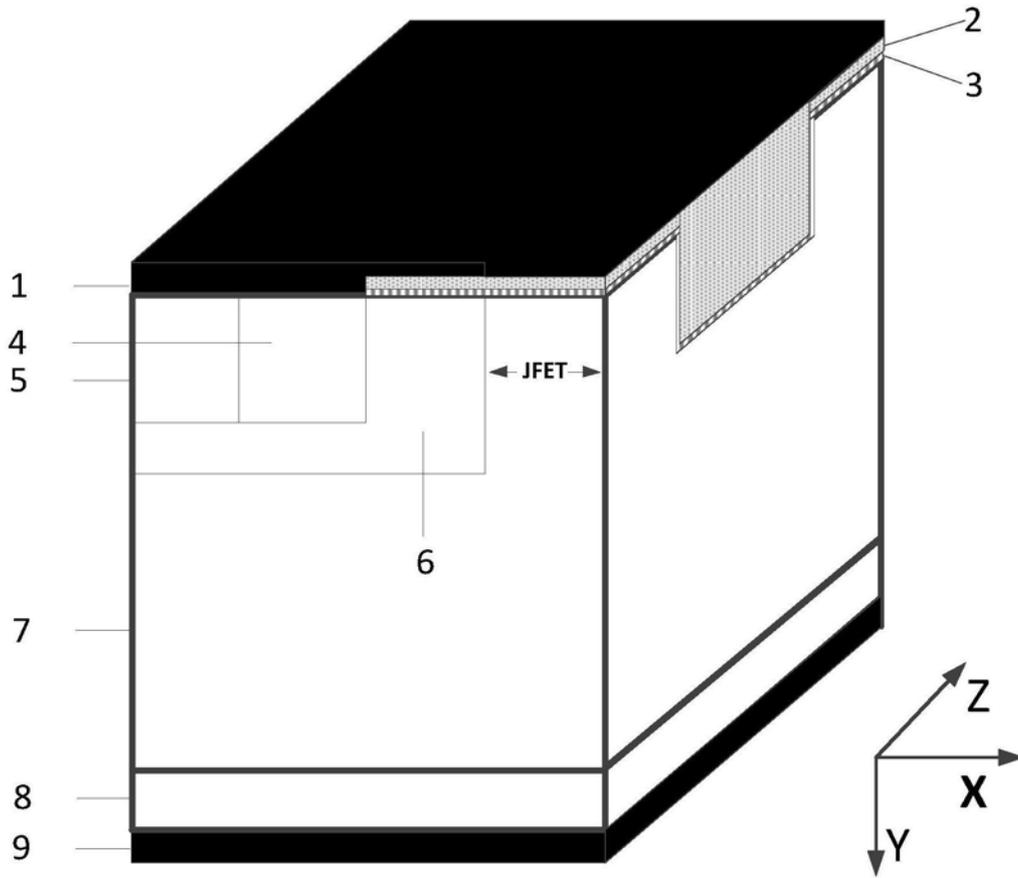


图13

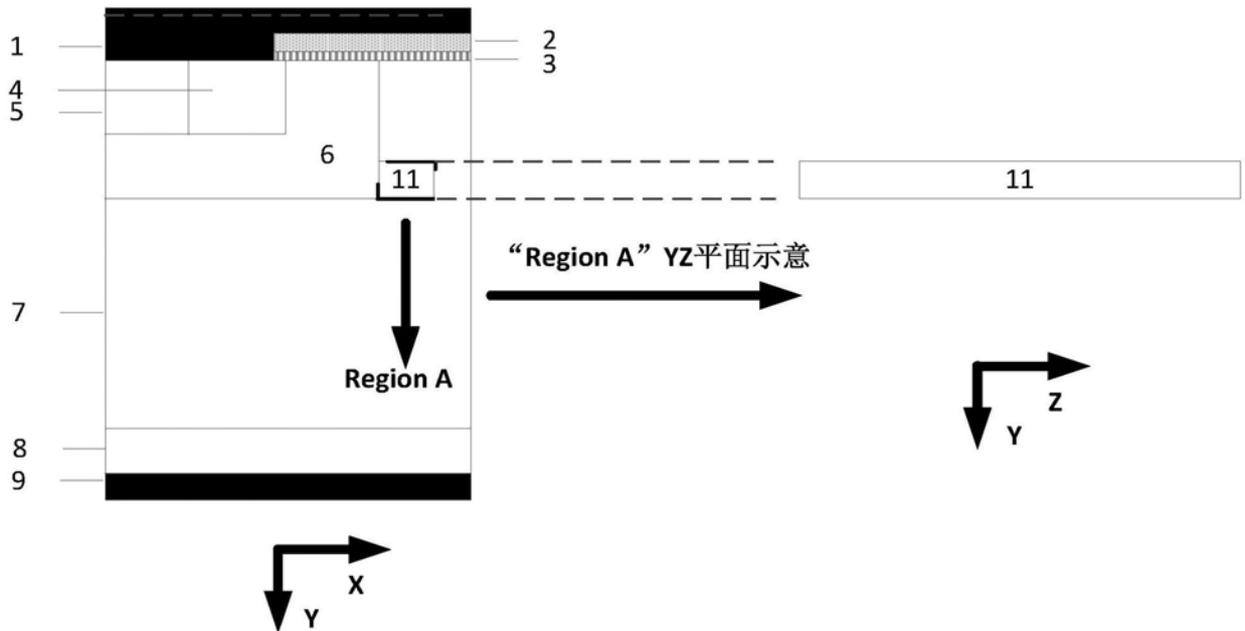


图14

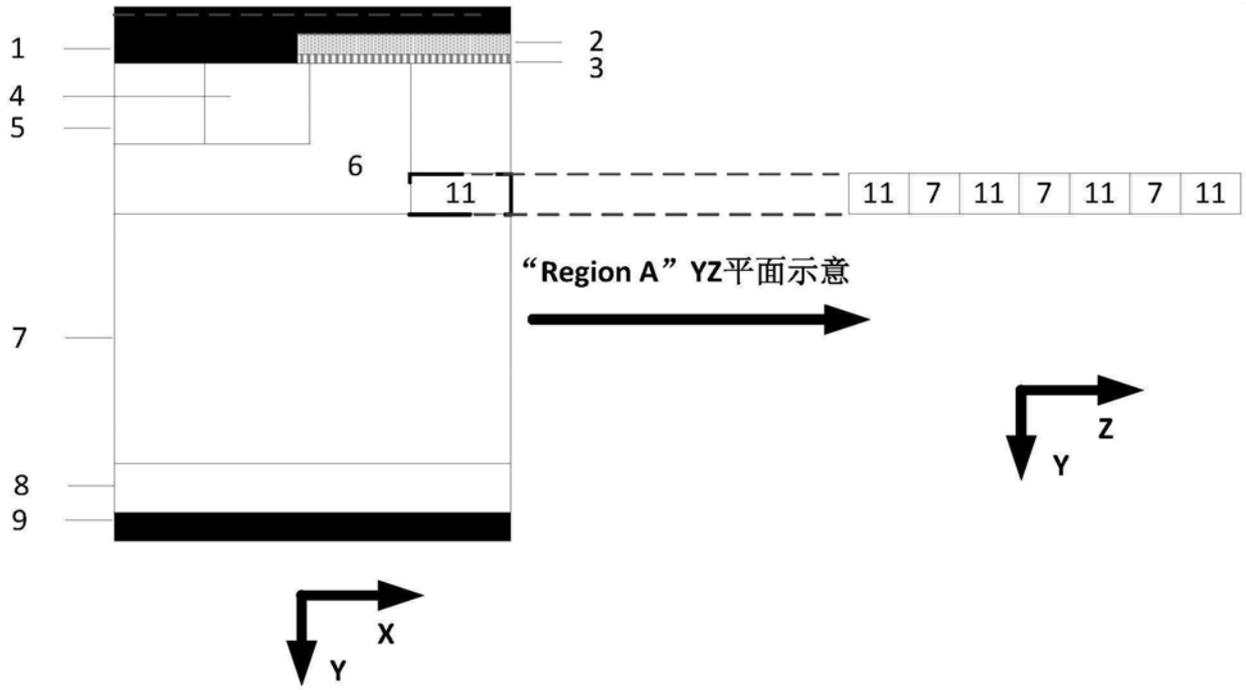


图15

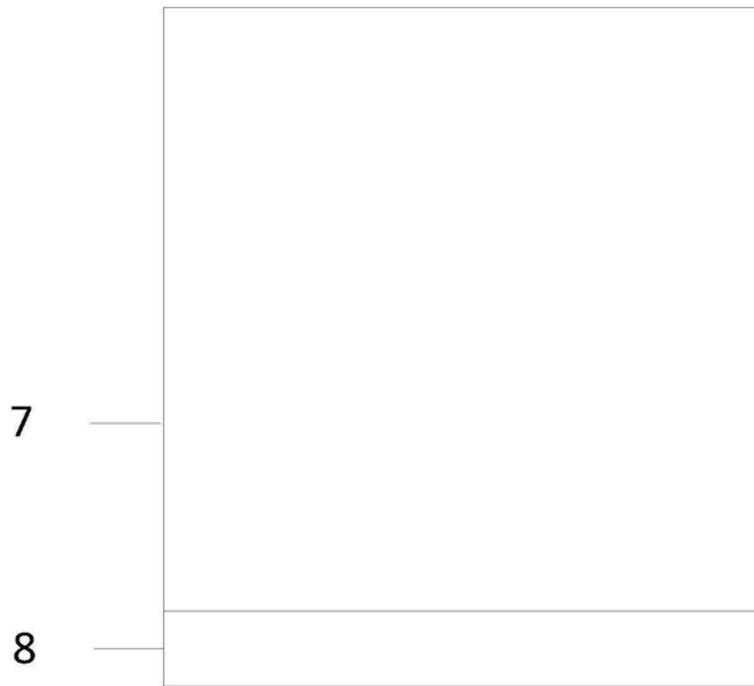


图16

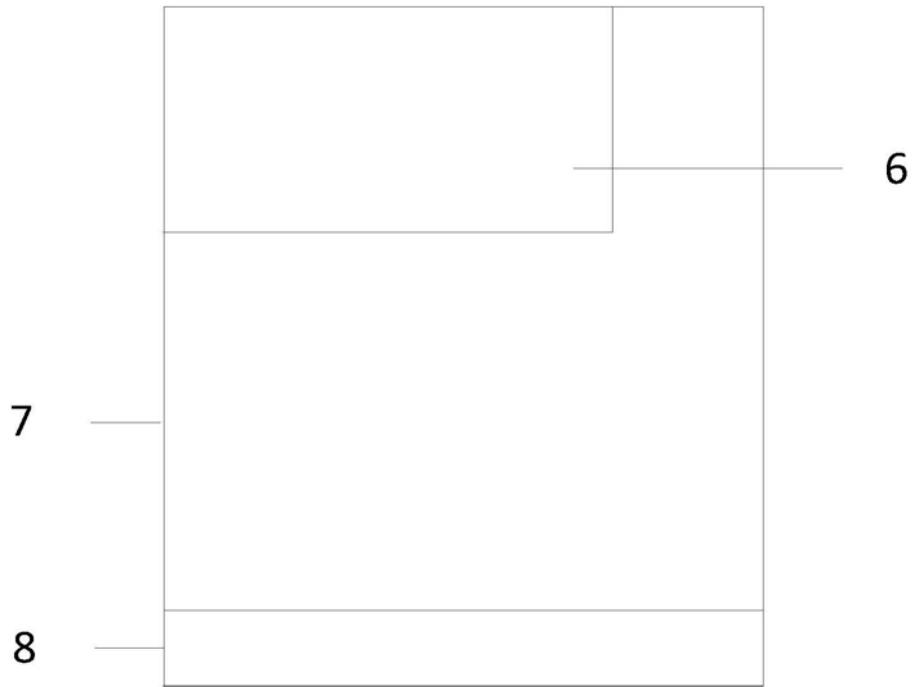


图17

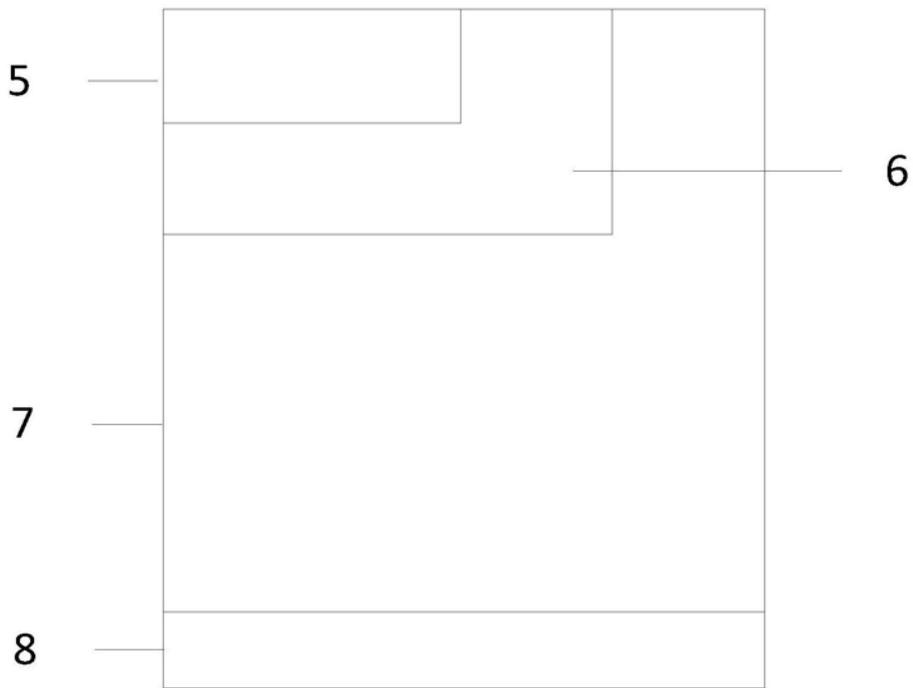


图18

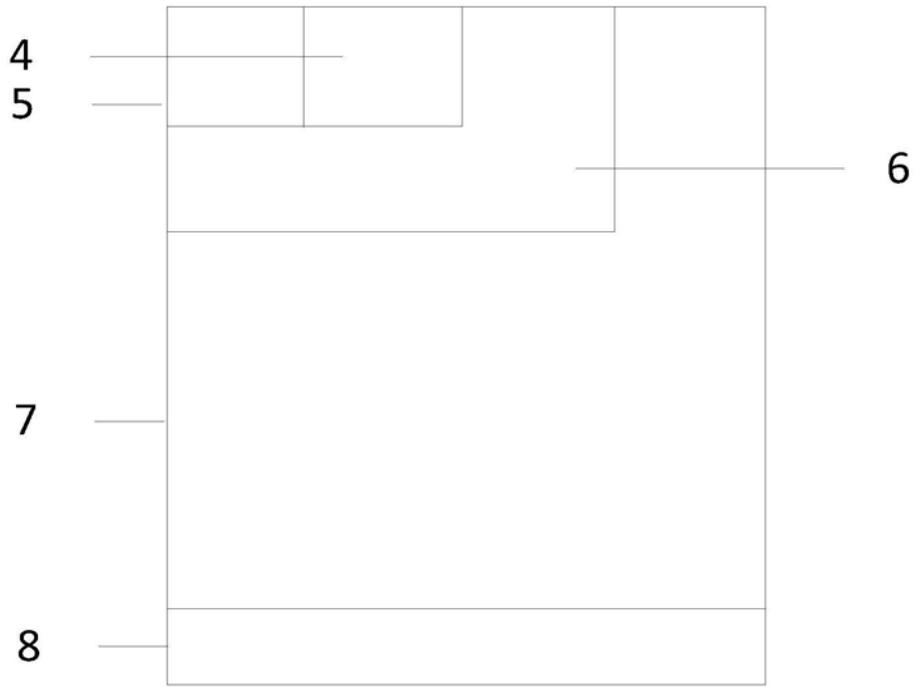


图19

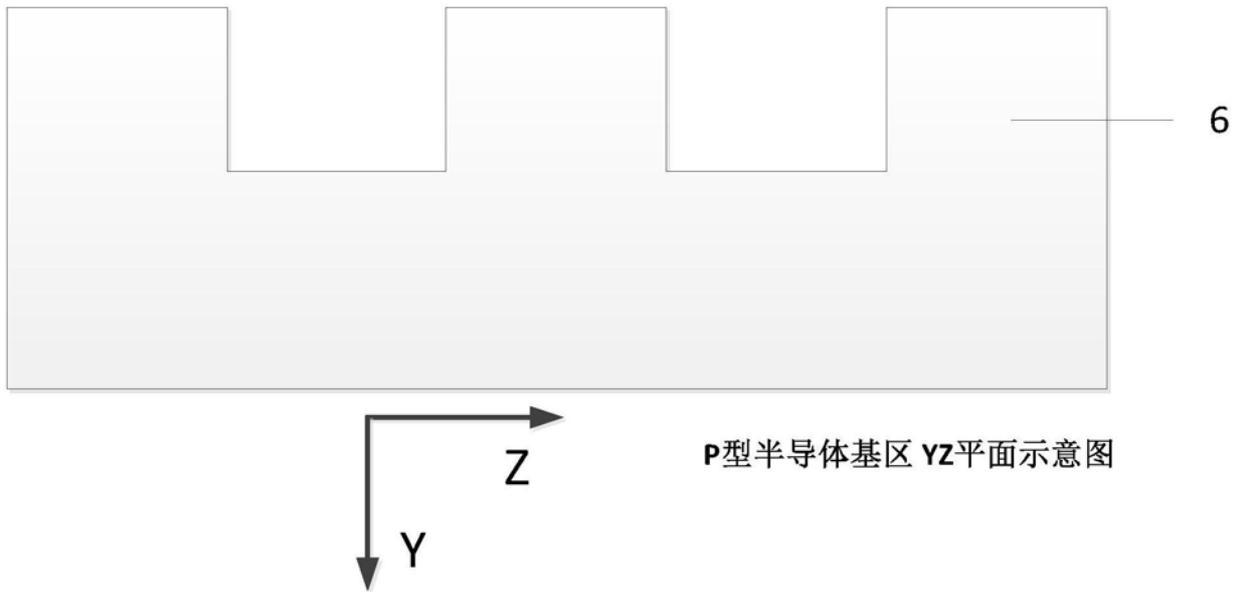


图20

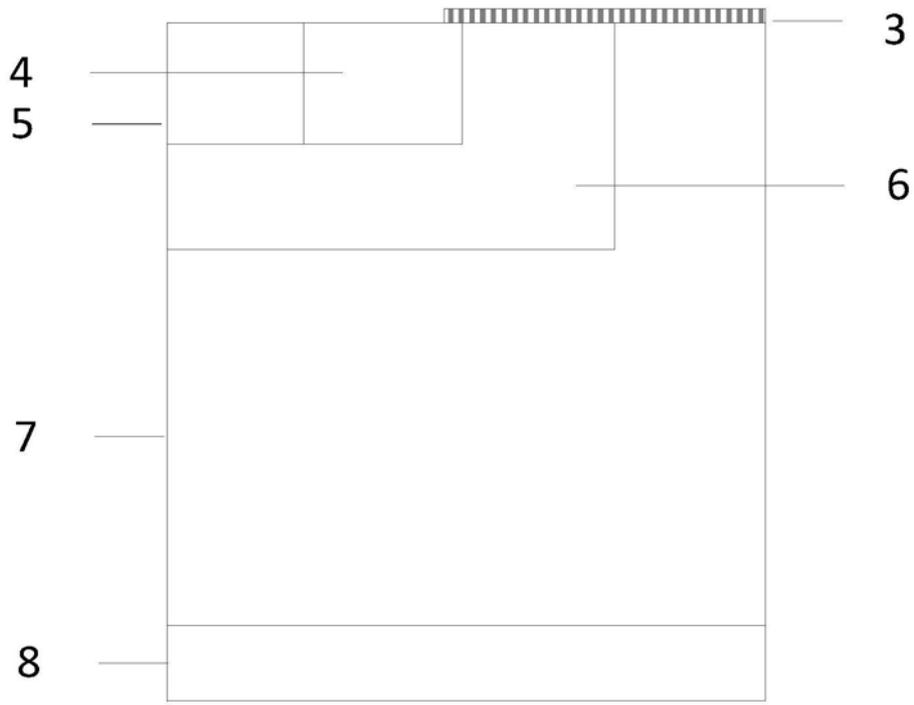


图21

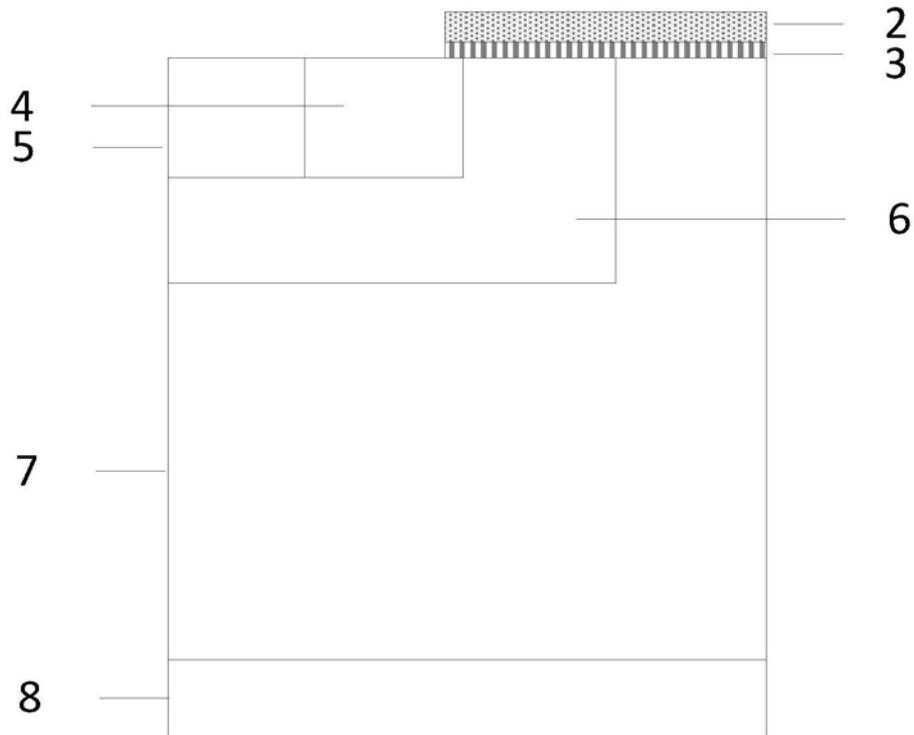


图22

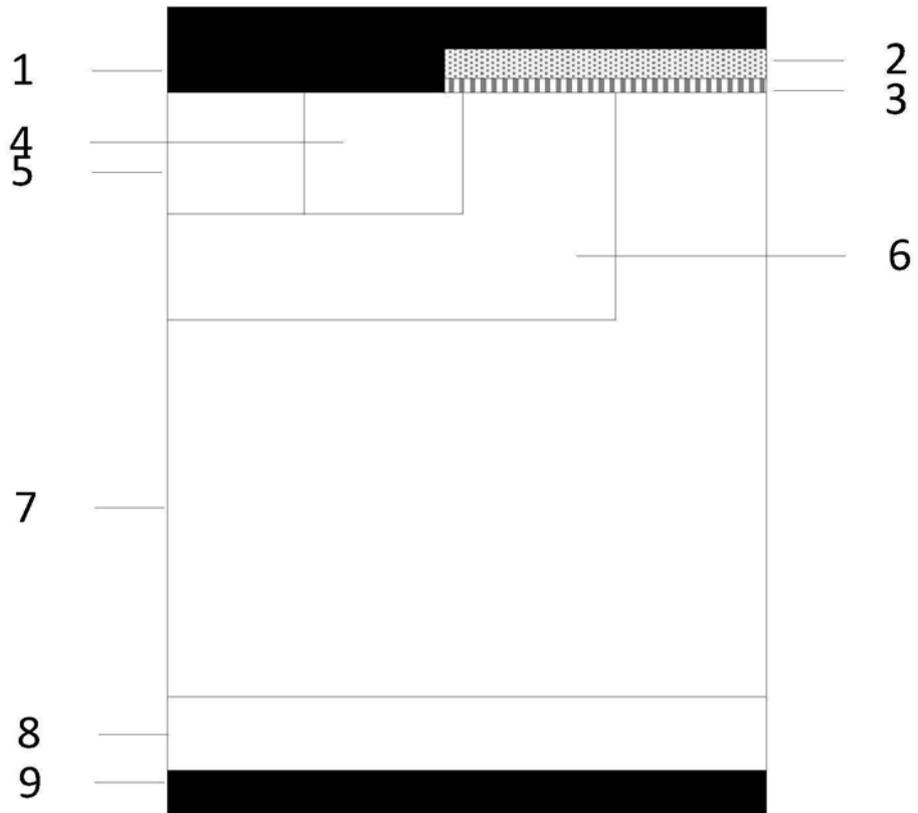


图23