

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5706007号
(P5706007)

(45) 発行日 平成27年4月22日 (2015. 4. 22)

(24) 登録日 平成27年3月6日 (2015. 3. 6)

(51) Int. Cl.	F I
G06F 1/32 (2006.01)	G06F 1/00 332A
H01L 21/822 (2006.01)	H01L 27/04 B
H01L 27/04 (2006.01)	H01L 27/04 T
	H01L 27/04 D

請求項の数 48 (全 23 頁)

(21) 出願番号	特願2013-555639 (P2013-555639)	(73) 特許権者	507364838
(86) (22) 出願日	平成24年2月27日 (2012. 2. 27)		クアルコム, インコーポレイテッド
(65) 公表番号	特表2014-509018 (P2014-509018A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成26年4月10日 (2014. 4. 10)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2012/026828		イブ 5775
(87) 国際公開番号	W02012/116374	(74) 代理人	100108453
(87) 国際公開日	平成24年8月30日 (2012. 8. 30)		弁理士 村山 靖彦
審査請求日	平成25年9月11日 (2013. 9. 11)	(74) 代理人	100163522
(31) 優先権主張番号	13/034, 845		弁理士 黒田 晋平
(32) 優先日	平成23年2月25日 (2011. 2. 25)	(72) 発明者	ルー・ジー・チュアーイーオン
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
早期審査対象出願			21・サン・ディエゴ・モアハウス・ドラ イヴ・5775

最終頁に続く

(54) 【発明の名称】 オンチップ電圧調整器を有する半導体デバイス

(57) 【特許請求の範囲】

【請求項1】

接地バスと電力バスとの間に位置する回路と、
前記回路と前記接地バスまたは前記電力バスのうちの1つとの間に位置して前記回路にかかる仮想電圧を生成する電力スイッチアレイと、
前記接地バスと前記電力バスとの間に位置するモニタであって、前記回路にかかる電圧を測定し、前記回路にかかる測定された電圧からのフィードバックに基づいて、電圧調整信号を出力するように構成されたモニタと、
前記電圧調整信号を受信し、前記電力スイッチアレイに制御信号を出力して前記仮想電圧を制御するように構成されたコントローラと

を備え、
前記コントローラは、目標電圧を示すモード信号を受信するように構成され、
前記コントローラはさらに、
前記目標電圧を電圧指令信号と比較し電圧差分信号を出力するように構成された比較ロジックと、
前記電圧差分信号を前記電圧指令信号および前記電力スイッチアレイ内の個別のスイッチの設定値に変換するように構成された電力スイッチ出力ロジックと

を備える、半導体デバイス。

【請求項2】

前記モニタが、

前記回路のクリティカルパスをシミュレートするように構成された遅延合成器をさらに備える、請求項1に記載の半導体デバイス。

【請求項3】

前記遅延合成器が前記仮想電圧に結合された、請求項2に記載の半導体デバイス。

【請求項4】

前記モニタが、

前記遅延合成器内のプログラマブルマルチプレクサの遅延を補償するように構成された整合MUX回路

をさらに備える、請求項2に記載の半導体デバイス。

【請求項5】

前記モニタが、

前記遅延合成器の出力と整合MUX回路の出力とを比較し、前記比較に基づいて前記電圧調整信号を発生させるように構成された遅延比較器

をさらに備える、請求項4に記載の半導体デバイス。

【請求項6】

前記電圧調整信号が、アップ信号、ダウン信号、および何もしない信号を含む、請求項1に記載の半導体デバイス。

【請求項7】

前記電力スイッチアレイが、前記回路と前記接地バスとの間に位置するフットスイッチアレイ、または前記回路と前記電力バスとの間に位置するヘッドスイッチアレイのうちの少なくとも1つである、請求項1に記載の半導体デバイス。

【請求項8】

前記半導体デバイスが、少なくとも1つの半導体ダイに組み込まれた、請求項1に記載の半導体デバイス。

【請求項9】

前記半導体デバイスが組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、請求項1に記載の半導体デバイス。

【請求項10】

前記モード信号が、スリープモード、完全覚醒モードまたは中間モードのうちの少なくとも1つを識別する、請求項1に記載の半導体デバイス。

【請求項11】

前記目標電圧が、前記電力スイッチアレイ用のセットポイントとして使用される、請求項1に記載の半導体デバイス。

【請求項12】

前記コントローラが、

前記モード信号を前記電力スイッチアレイ用の前記セットポイントに変換するように構成された電力スイッチセットポイントロジック

をさらに備える、請求項11に記載の半導体デバイス。

【請求項13】

前記コントローラが、

前記モニタから前記電圧調整信号を受信し、前記電圧調整信号に基づいて前記目標電圧に対するオフセットを生成するように構成されたオフセットロジック

をさらに備える、請求項1に記載の半導体デバイス。

【請求項14】

前記オフセットロジックが、前記モード信号を受信するようにさらに構成された、請求項13に記載の半導体デバイス。

【請求項15】

前記モード信号が、すべての電力スイッチがオンまたはオフにされるべきことを示した

10

20

30

40

50

場合、前記オフセットロジックが使用不可にされる、請求項14に記載の半導体デバイス。

【請求項16】

前記コントローラが、

前記電圧差分信号の変化量を示すステップ信号を受信するように構成されたステップスケーリングロジック

をさらに備える、請求項1に記載の半導体デバイス。

【請求項17】

前記コントローラが、

前記モニタから前記電圧調整信号を受信し、前記電圧調整信号に基づいて前記目標電圧に対するオフセットを生成するように構成されたオフセットロジック

をさらに備える、請求項1に記載の半導体デバイス。

【請求項18】

前記比較ロジックが、前記オフセットを受信し、前記オフセットに基づいて前記電圧差分信号を調整するようにさらに構成された、請求項17に記載の半導体デバイス。

【請求項19】

接地バスと電力バスとの間に位置する回路、および、前記回路と前記接地バスまたは前記電力バスのうちの1つとの間に位置して前記回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイス内の電圧を制御する方法であって、

目標電圧を示す受け取ったモード信号に基づき前記目標電圧を確立し、前記回路のクロック周波数を確立するステップと、

前記回路にかかる電圧を測定するステップと、

前記回路にかかる測定された電圧からのフィードバックに基づいて電圧調整信号を出力するステップと、

前記電力スイッチアレイの設定値を制御することにより、前記電圧調整信号に基づいて前記仮想電圧を調整するステップと、

前記目標電圧を電圧指令信号と比較し、電圧差分信号を出力するステップと、

前記電圧差分信号を前記電圧指令信号および前記電力スイッチアレイ内の個別のスイッチの設定値に変換するステップと

を備える、方法。

【請求項20】

前記回路のクリティカルバスをシミュレートするステップをさらに備え、前記クリティカルバスをシミュレートするステップが、遅延合成器内の制御ビットを設定することにより、前記クリティカルバスの遅延をシミュレートして遅延出力を生成するステップを備える、請求項19に記載の方法。

【請求項21】

前記遅延合成器内のプログラマブルマルチプレクサの遅延を補償して補償出力を生成するステップ

をさらに備える、請求項20に記載の方法。

【請求項22】

前記遅延出力と前記補償出力とを比較するステップと、

前記比較に基づいて前記電圧調整信号を発生させるステップと

をさらに備える、請求項21に記載の方法。

【請求項23】

前記電圧調整信号を発生させるステップが、アップ信号、ダウン信号、および何もしない信号を発生させるステップを含む、請求項22に記載の方法。

【請求項24】

前記アップ信号または前記ダウン信号に基づいて前記仮想電圧を増分的に変化させるステップ

をさらに備える、請求項23に記載の方法。

【請求項25】

前記電圧調整信号を発生させるステップが、前記電圧調整信号を発生させるステップを含む、請求項24に記載の方法。

10

20

30

40

50

前記目標電圧を確立するステップが、スリープモード、完全覚醒モードまたは中間モードのうちの1つを含むモード信号を受信するステップを含む、請求項19に記載の方法。

【請求項26】

前記モード信号を前記電力スイッチアレイ用のセットポイントに変換するステップをさらに備える、請求項25に記載の方法。

【請求項27】

前記仮想電圧を調整するステップが、ステップサイズ信号に基づいて前記仮想電圧の変化量をスケールリングするステップをさらに備える、請求項19に記載の方法。

【請求項28】

接地バスと電力バスとの間に位置する回路、および、前記回路と前記接地バスまたは前記電力バスのうちの1つとの間に位置して前記回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイス内の電圧を制御する方法であって、

目標電圧を示す受け取ったモード信号に基づき前記目標電圧を確立するためのステップと、

前記回路のクロック周波数を確立するためのステップと、

前記回路にかかる電圧を測定するためのステップと、

前記回路にかかる測定された電圧からのフィードバックに基づいて電圧調整信号を出力するためのステップと、

前記電力スイッチアレイの設定値を制御することにより、前記電圧調整信号に基づいて前記仮想電圧を調整するためのステップと、

前記目標電圧を電圧指令信号と比較し、電圧差分信号を出力するためのステップと、

前記電圧差分信号を前記電圧指令信号および前記電力スイッチアレイ内の個別のスイッチの設定値に変換するためのステップとを備える、方法。

【請求項29】

前記回路のクリティカルパスをシミュレートするためのステップをさらに備え、前記クリティカルパスをシミュレートするためのステップが、遅延合成器内の制御ビットを設定することにより、前記クリティカルパスの遅延をシミュレートして遅延出力を生成するステップを備える、請求項28に記載の方法。

【請求項30】

前記遅延合成器内のプログラマブルマルチプレクサの遅延を補償して補償出力を生成するためのステップ

をさらに備える、請求項29に記載の方法。

【請求項31】

前記遅延出力と前記補償出力とを比較するためのステップと、

前記比較に基づいて前記電圧調整信号を発生させるためのステップと

をさらに備える、請求項30に記載の方法。

【請求項32】

前記電圧調整信号を発生させるための前記ステップが、アップ信号、ダウン信号、および何もしない信号を発生させるステップを含む、請求項31に記載の方法。

【請求項33】

前記アップ信号または前記ダウン信号に基づいて前記仮想電圧を増分的に変化させるためのステップ

をさらに備える、請求項32に記載の方法。

【請求項34】

前記目標電圧を確立するための前記ステップが、スリープモード、完全覚醒モードまたは中間モードのうちの1つを含むモード信号を受信するステップを含む、請求項28に記載の方法。

【請求項35】

10

20

30

40

50

前記モード信号を前記電力スイッチアレイ用のセットポイントに変換するためのステップ

をさらに備える、請求項34に記載の方法。

【請求項36】

前記仮想電圧を調整するための前記ステップが、

ステップサイズ信号に基づいて前記仮想電圧の変化量をスケーリングするためのステップ

をさらに備える、請求項28に記載の方法。

【請求項37】

接地バスと電力バスとの間に位置する回路、および、前記回路と前記接地バスまたは前記電力バスのうちの1つとの間に位置して前記回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイスであって、

目標電圧を示す受け取ったモード信号に基づき前記目標電圧を確立するための手段と、

前記回路のクロック周波数を確立するための手段と、

前記回路にかかる電圧を測定するための手段と、

前記回路にかかる測定された電圧からのフィードバックに基づいて電圧調整信号を出力するための手段と、

前記電力スイッチアレイの設定値を制御することにより、前記電圧調整信号に基づいて前記仮想電圧を調整するための手段と、

前記目標電圧を電圧指令信号と比較し、電圧差分信号を出力するための手段と、

前記電圧差分信号を前記電圧指令信号および前記電力スイッチアレイ内の個別のスイッチの設定値に変換するための手段と

を備える、半導体デバイス。

【請求項38】

前記回路のクリティカルバスをシミュレートするための手段をさらに備え、前記クリティカルバスをシミュレートするための前記手段が、遅延合成器内の制御ビットを設定することにより、前記クリティカルバスの遅延をシミュレートして遅延出力を生成するための手段を備える、請求項37に記載の半導体デバイス。

【請求項39】

前記遅延合成器内のプログラマブルマルチプレクサの遅延を補償して補償出力を生成するための手段

をさらに備える、請求項38に記載の半導体デバイス。

【請求項40】

前記遅延出力と前記補償出力とを比較するための手段と、

前記比較に基づいて前記電圧調整信号を発生させるための手段と

をさらに備える、請求項39に記載の半導体デバイス。

【請求項41】

前記電圧調整信号を発生させるための前記手段が、アップ信号、ダウン信号、および何もしない信号を発生させるための手段を含む、請求項40に記載の半導体デバイス。

【請求項42】

前記アップ信号または前記ダウン信号に基づいて前記仮想電圧を増分的に変化させるための手段

をさらに備える、請求項41に記載の半導体デバイス。

【請求項43】

前記目標電圧を確立するための前記手段が、スリープモード、完全覚醒モードまたは中間モードのうちの1つを含むモード信号を受信するための手段を含む、請求項37に記載の半導体デバイス。

【請求項44】

前記モード信号を前記電力スイッチアレイ用のセットポイントに変換するための手段をさらに備える、請求項43に記載の半導体デバイス。

10

20

30

40

50

【請求項 4 5】

前記仮想電圧を調整するための前記手段が、
ステップサイズ信号に基づいて前記仮想電圧の変化量をスケールリングするための手段
をさらに備える、請求項37に記載の半導体デバイス。

【請求項 4 6】

前記半導体デバイスが、少なくとも1つの半導体ダイに組み込まれた、請求項37に記載
の半導体デバイス。

【請求項 4 7】

前記半導体デバイスが組み込まれた、セットトップボックス、音楽プレーヤ、ビデオブ
レーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯
情報端末(PDA)、固定位置データユニット、およびコンピュータからなるグループから選
択されたデバイスをさらに備える、請求項37に記載の半導体デバイス。

10

【請求項 4 8】

前記フィードバックが前記回路にかかる測定された電圧が進んでいるか遅れているかを
示すように構成される請求項 1 に記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示された実施形態は、オンチップ電圧調整器を有して、被制御回路または
試験中のデバイスに印加される電圧および電流を制御する半導体回路に関する。

20

【背景技術】

【0002】

特定用途向け集積回路(ASIC)などの集積回路を内蔵する電子デバイスは、しばしば電力
節約技法を採用して電力消費量を減少させ、それによりバッテリー寿命の延命を実現す
る。たとえば、携帯電話および携帯情報端末(PDA)などの小さいポータブルデバイスは、通
常、非アクティブモードを実装して論理回路による電力消費量を制限するための回路を内
蔵する。非アクティブモードには、スタンバイモード、低電力モードおよびスリープモ
ードが含まれ得る。

【0003】

デジタル回路、より詳細には相補型金属酸化膜半導体(CMOS)回路における電力散逸は、
近似的に供給電圧の二乗に比例する。したがって、低電力性能を実現する1つの効果的な
方法は、供給電圧をスケールダウンすることである。ASIC上のCMOS回路は、著しく低減さ
れた電力レベルで動作することが可能である。しかしながら、伝搬遅延の増大を回避す
るために、CMOSデバイスのしきい値電圧も低減される。

30

【0004】

しきい値電圧が低減されると、一般に、金属酸化膜半導体(MOS)デバイスのしきい値以
下の漏洩電流の変化に起因して、スタンバイ電流が増大する。「オフ」のトランジスタを
通って流れる漏洩電流は、デバイスのしきい値電圧が低減されるにつれて、指数関数的に
増大する傾向がある。したがって、長期間にわたって非アクティブモードのままである携
帯電話およびPDAなどの電子デバイスは、著しい漏洩電流を呈し、非アクティブモード中
のバッテリー電力に望ましくない流出を引き起こす可能性がある。

40

【0005】

スタンバイモード中の漏洩電流を低減するために、いくつかのASICは、CMOS回路の論理
ゲートと電力バスVDDまたは接地バスVSSとの間に電氣的に接続された電力スイッチ(たと
えば、ヘッドスイッチおよび/またはフットスイッチ)を含む。ヘッドスイッチは、ASICの
コアまたはブロックのローカルの電力バスルーティングとトップレベルの電力バスルー
ティングとの間に位置するPMOSトランジスタであり得る。フットスイッチは、ローカルの接
地バスとトップレベルの接地バスとの間に位置するNMOSトランジスタであり得る。一般に
、ヘッドスイッチおよびフットスイッチは、試験中の回路または制御されている回路のソ
ースに対する電力または接地の電位を切断する、CMOSまたは他のデバイスである。電力ス

50

イッチは、ヘッドスイッチまたはフットスイッチのいずれかを指すために本明細書で使用され得る。

【0006】

非アクティブモード(「スリープモード」)中、電力スイッチ(たとえば、ヘッドスイッチおよび/またはフットスイッチ)はオフにされて、電源/接地から論理ゲートを切断し、それにより、接続された回路にかかる電圧を「縮小(collapse)」する。ヘッドスイッチまたはフットスイッチは高いしきい値電圧を有するので、電力スイッチ(たとえば、ヘッドスイッチおよび/またはフットスイッチ)により電源から抜き取られる漏洩電流の量は、そうではなく論理ゲートを通して流れる漏洩電流と比較して実質的に低減される。アクティブモード中または動作モード中、ヘッドスイッチまたはフットスイッチはオンにされて、電源または接地をそれぞれゲートに接続する。したがって、アクティブモード中、論理ゲートは、電源および接地に直接接続された場合と実質的に同じ電圧によって電力供給される。

10

【0007】

ここで従来の電力スイッチの実装形態に関する例が記載される。図1は従来の半導体デバイス100を示す。半導体デバイス100は、少なくとも1つの回路105およびコントローラ110を含む。コントローラ110は、電力スイッチのレイまたはマトリックス115に含まれたフットスイッチ(たとえば、NMOSトランジスタ)が「オン」にされるか、または「オフ」にされるかを判定する。詳細には、コントローラ110は、回路105がアクティブモードで動作しているかどうかを示す、またはその代わりに、回路105がアイドル状態もしくはスリープモードに入ることができるか、もしくは留まることができるかどうかを示す、外部信号を受信するように構成される。外部信号に基づいて、コントローラ110は、電力スイッチマトリックス115のスイッチ(たとえば、フットスイッチ)に、(たとえば、信号をそのゲートに印加することにより)「オン」または「オフ」になるように信号通知する。電力スイッチマトリックス115は、回路105にあるローカルの接地と、接地電圧VSSを搬送する接地バス120との間に接続される。電源電圧VDDを回路105に供給する電力バス125も図1に示される。

20

【0008】

図2は従来のヘッドスイッチ構成を示す。半導体デバイス200は、少なくとも1つの回路205およびコントローラ210を含む。コントローラ210は、電力スイッチのレイまたはマトリックス215に含まれたヘッドスイッチ(たとえば、PMOSトランジスタ)が「オン」にされるか、または「オフ」にされるかを判定する。詳細には、コントローラ210は、回路205がアクティブモードで動作しているかどうかを示す、またはその代わりに、回路205がアイドル状態もしくはスリープモードに入ることができるか、もしくは留まることができるかどうかを示す、外部信号を受信するように構成される。外部信号に基づいて、コントローラ210は、電力スイッチマトリックス215のヘッドスイッチに、(たとえば、信号をそのゲートに印加することにより)「オン」または「オフ」になるように信号通知する。電力スイッチマトリックス215は、回路205にあるローカルのVDDと、供給電圧VDDを搬送する電力バス225との間に接続される。回路205に結合された接地バス/VSS220も図2に示される。

30

【0009】

図1および図2に関する上記の説明に鑑みて諒解されるように、コントローラ(110、210)は、外部エンティティから受信されたモード信号に基づいて、スイッチマトリックス(115、215)をオンまたはオフにする。しかしながら、電力スイッチマトリックス(115、215)を集合的に構成することができる複数のトランジスタの、第1の状態(たとえば、オフ)から第2の状態(たとえば、オン)への遷移は、潜在的に、著しい突入電流がそれぞれの半導体デバイス(100、200)に誘導されることを引き起こす可能性があり、著しい突入電流は被制御回路(105、205)の損傷または故障を引き起こす可能性がある。

40

【発明の概要】

【課題を解決するための手段】

【0010】

50

一実施形態は、接地バスと電力バスとの間に位置する回路、回路と接地バスまたは電力バスのうちの1つとの間に位置して回路にかかる仮想電圧を生成する電力スイッチアレイ、回路のクリティカルパスをシミュレートし、シミュレートされたクリティカルパスの出力に基づいて電圧調整信号を出力するように構成された、接地バスと電力バスとの間に位置するモニタ、および、電圧調整信号を受信し、電力スイッチアレイに制御信号を出力して仮想電圧を制御するように構成されたコントローラを備える半導体デバイスを含むことができる。

【0011】

別の実施形態は、接地バスと電力バスとの間に位置する回路、および、回路と接地バスまたは電力バスのうちの1つとの間に位置して回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイス内の電圧を制御する方法を含むことができる。方法は、回路の目標電圧およびクロック周波数を確立すること、回路のクリティカルパスをシミュレートすること、シミュレートされたクリティカルパスの出力に基づいて電圧調整信号を出力すること、および、電力スイッチアレイの設定値を制御することにより、電圧調整信号に基づいて仮想電圧を調整することを備える。

10

【0012】

別の実施形態は、接地バスと電力バスとの間に位置する回路、および、回路と接地バスまたは電力バスのうちの1つとの間に位置して回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイス内の電圧を制御する方法を含むことができる。方法は、回路の目標電圧およびクロック周波数を確立するためのステップ、回路のクリティカルパスをシミュレートするためのステップ、シミュレートされたクリティカルパスの出力に基づいて電圧調整信号を出力するためのステップ、および、電力スイッチアレイの設定値を制御することにより、電圧調整信号に基づいて仮想電圧を調整するためのステップを備える。

20

【0013】

別の実施形態は、接地バスと電力バスとの間に位置する回路、および、回路と接地バスまたは電力バスのうちの1つとの間に位置して回路にかかる仮想電圧を生成する電力スイッチアレイを有し、回路の目標電圧およびクロック周波数を確立するための手段、回路のクリティカルパスをシミュレートするための手段、シミュレートされたクリティカルパスの出力に基づいて電圧調整信号を出力するための手段、および、電力スイッチアレイの設定値を制御することにより、電圧調整信号に基づいて仮想電圧を調整するための手段を備える半導体デバイスを含むことができる。

30

【0014】

添付図面は、本発明の実施形態に関する説明において助けとなるように提示され、実施形態の限定ではなく、実施形態の例示のためのみに提供される。

【図面の簡単な説明】

【0015】

【図1】従来のフットスイッチ構成を示す図である。

【図2】従来のヘッドスイッチ構成を示す図である。

【図3A】フットスイッチに制御された仮想VSSを有する半導体デバイスを示す図である

40

【図3B】ヘッドスイッチに制御された仮想VDDを有する半導体デバイスを示す図である

【図4】図3Aおよび図3Bに示された制御ユニットのモニタの詳細を示す図である。

【図5】図4の遅延合成器の詳細を示す図である。

【図6A】デコーダでのタイミング図である。

【図6B】デコーダでのタイミング図である。

【図6C】デコーダ用のI/Oテーブルを示す図である。

【図7A】スリープモードからアクティブモードへの遷移中に図1の従来の回路にかかる電圧を示す図である。

50

【図7B】スリープモードからアクティブモードへの遷移中に図3Aまたは図3Bの回路にかかる電圧を示す図である。

【図8】図3Aおよび図3Bに示された制御ユニットのコントローラの詳細を示す図である。

【図9】オンチップ電圧調整の方法を示す図である。

【図10】ワイヤレス通信ネットワークを示す図である。

【発明を実施するための形態】

【0016】

本発明の特定の実施形態を対象とする以下の説明および関連する図面で、本発明の態様が開示される。本発明の範囲から逸脱することなく、代替の実施形態が考案され得る。さらに、本発明の関連する詳細を不明瞭にしないように、本発明のよく知られている要素は詳細に記載されないか、または省略される。

10

【0017】

「例示的」という単語は、「代表例、具体例、または例証としての役割を果たすこと」を意味するように本明細書で使用される。「例示的」として本明細書に記載された任意の実施形態は、必ずしも他の実施形態よりも好ましいか、または有利であると解釈されるべきではない。同様に、「本発明の実施形態」という用語は、本発明のすべての実施形態が、説明された特徴、利点または動作モードを含むことを必要としない。

【0018】

本明細書で使用される用語は、特定の実施形態の説明のみを目的とするものであり、本発明の実施形態を限定するものではない。本明細書で使用されるように、単数形「a」、「an」、および「the」は、文脈が別段に明確に示さない限り、複数形も含むものである。さらに、「含む(comprises)」、「含んでいる(comprising)」、「含む(includes)」、および/または「含んでいる(including)」という用語は、本明細書で使用されると、述べられた特徴、整数、ステップ、動作、要素、および/または構成要素の存在を明示するが、1つもしくは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および/またはそれらのグループの存在または追加を排除しないことが理解されよう。

20

【0019】

さらに、多くの実施形態が、たとえば、コンピューティングデバイスの要素によって実行されるべき一連のアクションに関して記載される。本明細書に記載される様々なアクションは、特定の回路(たとえば、特定用途向け集積回路(ASIC))により、1つもしくは複数のプロセッサによって実行されるプログラム命令により、または両方の組合せによって実行されることが認識されよう。さらに、本明細書に記載されるこれらの一連のアクションは、実行時に、関連するプロセッサに本明細書に記載される機能を実行させるコンピュータ命令の対応するセットを記憶した、任意の形式のコンピュータ可読記憶媒体内で完全に具現化されるものと考察され得る。したがって、本発明の様々な態様はいくつかの異なる形式で具現化され得るし、それらのすべては特許請求される主題の範囲内に入ることが企図されている。さらに、本明細書に記載される実施形態ごとに、任意のそのような実施形態に対応する形式が、たとえば、記載されたアクションを実行する「ように構成された論理」として本明細書に記載される場合がある。

30

【0020】

本明細書に記載される開示された実施形態では、電力スイッチマトリックス内に含まれる電力スイッチは、(一般に、試験中のデバイス(DUT)であると考察され得る)プロセッサコアなどの複合回路を含む1つまたは複数の回路と、半導体デバイスの1つまたは複数の回路に供給される電源(たとえば、VDDまたはVSS)との間に位置する。電力スイッチ両端間の電圧降下により、1つまたは複数の回路にかかる電圧を制御する仮想電圧基準(仮想VSSまたは仮想VDD)がもたらされる。

40

【0021】

図3Aは、本発明の一実施形態による半導体デバイス300を示す。半導体デバイス300は、少なくとも1つの回路/DUT305およびコントローラ310を含む。コントローラ310は、電力スイッチアレイ315に含まれる電力スイッチ(たとえば、NMOSトランジスタとして具現化され

50

得るフットスイッチ)が「オン」にされるか、または「オフ」にされるかを制御する。コントローラ310は、モニタ330をさらに含む制御ユニット335内に含まれる。これらの配置は様々な実施形態を限定するものではなく、実施形態は開示された機能を実現できる任意の構成を包含することが理解されよう。たとえば、コントローラ310によって実行されるように記載された様々な機能は、モニタ330、または記載された機能を全てまたは一部実行できる任意の他の要素によって実行され得る。したがって、本明細書に含まれた例示および関連する説明は、様々な態様および実施形態の理解を容易にするために使用されるにすぎない。

【0022】

モニタ330は、外部信号(たとえば、制御ビット、イネーブル、リセットなど)を受信して、半導体デバイスの様々な動作パラメータを示すように構成され得る。モード回路のさらなる詳細が、図3Aおよび図3Bに関して示される。さらに、回路/DUT305のモード(たとえば、回路/DUT305がアクティブモード、1つもしくは複数の中間モード、またはスリープモードで動作すべきか)を示すモードインジケータが、コントローラ310に入力され得る。モニタ330は、VDDおよび仮想基準Vvss322を介して回路/DUT305にかかる電圧を測定するようにさらに構成され得る。言い換えれば、モニタ330は、供給バス(VDD)325およびVvss322にかかる電圧を測定するように構成され得る。モニタ330は、受信された制御ビットおよび回路/DUT305にかかる測定された電圧からのフィードバックに基づいて、モニタ330からの1つまたは複数の制御信号(たとえば、AVS_Up、AVS_Dn)をコントローラ310に出力する。一例では、フィードバックは、回路/DUT305にかかる電圧が進んでいる(たとえば、高すぎる)、遅れている(たとえば、低すぎる)ことをコントローラ310に示すことができる。フィードバックに基づいて、モニタは、コントローラ310への制御信号(たとえば、AVS_Up、AVS_Dn)により、Vvssを調整することができる。

【0023】

コントローラ310は、モニタ回路からの制御信号(たとえば、AVS_Up、AVS_Dn)、モード信号およびステップサイズ信号に基づいて、個別の電力スイッチを「オン」または「オフ」にするように、電力スイッチアレイ315に信号通知することができる。電力スイッチアレイ315は、図示されたフットスイッチ実装形態において、回路/DUT305にあるVvss322と、接地電圧VSSを搬送する接地バス320との間に結合される。ステップサイズ入力は、各アップ/ダウンの指令に対応する増分調整サイズを設定することができる。モード信号は、スリープ、1つまたは複数の中間モード、および完全覚醒などの様々な回路状態モードを設定することができる。たとえば、モード信号がスリープ状態に設定された場合、電力スイッチアレイ315内の電力スイッチ(たとえば、NMOSトランジスタ)はすべてオフの位置にセットされる。モード信号が完全覚醒に設定された場合、電力スイッチアレイ315内の電力スイッチはすべてオンの位置にセットされる。モード信号が中間状態に設定された場合、電力スイッチは最初にその設定に適した初期状態にセットされる。スイッチは、Vvssのフィードバックを介して回路/DUT305にかかる実際の電圧を調整するモニタ330からの制御信号に基づいて、初期状態から調整され得る。

【0024】

指令信号(たとえば、モード、制御ビットおよびクロック用基準周波数)は、コマンドユニット350から供給され得る。一実施形態では、コマンドユニット350は、制御されている回路/DUT305の特性を有するルックアップテーブルに基づくことができる。コマンドユニット350は、様々な回路のパラメータおよび設定値を制御ユニット335に、直接または間接的に(たとえば、クロック発生器340を介して周波数を)提供することができる。クロック発生器340は、ルックアップテーブル内に定義された様々な動作点用の、コマンドユニット350からの設定値に基づいてクロック周波数を生成する。

【0025】

下記は、様々な指令と動作の組合せを示す、コマンドユニット350用のいくつかの例示的なルックアップテーブルの値である。たとえば、ルックアップテーブルは、様々な動作モードに対応する、回路/試験中のデバイス(DUT)305の様々なパラメータについて生成さ

10

20

30

40

50

れ得る。さらに、1つのモードから他のモードへの遷移中、モード信号は、遷移の次のレベルを示すために使用され得る。様々な遷移についての制御ユニット335のアクションが以下に記載される。

【0026】

【表1】

モード信号	モード説明	制御ビット	周波数設定値
スリープ	電力スイッチオフ	デフォルト状態(たとえば、遅延素子用のビット設定値の未定義セット)/N/A	クロックゲートオフ
中間モードA	中間性能モードA	モードA用のスタティックロジック、ダイナミックロジックおよびワイヤのパラメータ	中間周波数A
中間モードB	中間性能モードB	モードB用のスタティックロジック、ダイナミックロジックおよびワイヤのパラメータ	中間周波数B
完全覚醒	電力スイッチオン	デフォルト状態(たとえば、遅延素子のセットなし)/N/A	DUT 最大周波数

Table 1

【0027】

スリープ状態では、これらすべての電力スイッチはオフ状態にセットされて、回路/試験中のDUTから電力を取り除く。対照的に、完全覚醒状態では、すべての電力スイッチがオンになる。スリープまたは完全覚醒のいずれかの状態では、電力スイッチがすべてオンまたはすべてオフであるときに必要な実際の制御は存在しないので、制御ビットは、あらかじめ定義された(たとえば、遅延素子のセットなし)デフォルト状態、または任意のランダム状態(たとえば、上記に示されたような「N/A」)に設定され得る。

【0028】

(たとえば、スリープモードから完全覚醒モードへの)上昇遷移の場合、コントローラ310は、モード、制御ビット、およびモニタ330への電圧電位フィードバック(たとえば、 V_{vs})に基づいて、電力スイッチの設定値を調整することができる。一般に、モードが遷移するとき、電圧が確立され、その後周波数が(クロック発生器340への信号を介して)設定される。たとえば、周波数の設定は、時間カウンタまたは制御ユニット335からの確認応答信号(図示せず)を使用して、遅延され得る。対照的に、モード遷移が(たとえば、完全覚醒モードまたは中間モードからスリープモードに)下降しているとき、スリープモードに入る前に周波数は減少され得る。

【0029】

図3Bは、ヘッドスイッチ構成301における配置を示す。この構成では、電力スイッチアレイ315は、電圧VDDを有する供給バス325と回路/DUT305との間に位置する。したがって、回路/DUT305にかかる電圧を制御する仮想VDD(V_{vdd})が形成される。モニタ330は、仮想VDDからフィードバックを受信し、仮想VDDとVSSとの間の電圧を調整することができる。クロックレベルシフタも仮想VDDおよびVSSによってスケールングされて、クロック信号を被制御電圧に整合させる。残りの態様は図3Aのフットスイッチ構成と同様であり、さらなる詳

10

20

30

40

50

細は省略される。

【 0 0 3 0 】

図3Aと図3Bの両方を参照すると、一例では、モニタ330は、回路/DUT305にかかる電圧などの、回路/DUT305のプロセス-電圧-温度(PVT)の特性をシミュレートするPVTモニタであり得る。モニタ330は、DUT305の現在の予想状態の推定値を示す様々な内部パラメータを整合させ、制御信号を供給してコントローラ310を調整するために使用され得る。モニタ回路のさらなる詳細は、図4に関して以下に記載される。

【 0 0 3 1 】

図4は、モニタ330の一実施形態を示す。パルス発生器410は、検出パルス(det_pulse)を発生させ、それを遅延合成器420に送る。このフィードバックは、試験アーティファクト(test artifact)を供給してモニタをループバックモードに入れる(すなわち、リング発振器として動作する、その結果、時間内に何回往復したかを測定し、それにより処理速度を測定することが可能である)。検出パルスは、クロック信号に基づく1クロック周期の幅である。さらに、パルス発生器410は、検出クロック(det_clock)を発生させ、それを整合MUX回路430に送る。遅延合成器420は、DUT305のクリティカルパスを模倣するプログラマブル遅延チェーンである。整合MUX430は、遅延合成器420内のプログラマブルマルチプレクサの遅延影響を補償する。遅延比較器440は、遅延合成器420と整合MUX430からの遅延差に基づいて、制御信号(たとえば、電圧のUP/DOWN信号)を発生させる。遅延比較器440からの制御信号は、DUT305にかかる電圧を調整するためにコントローラ310に供給される。

【 0 0 3 2 】

モニタ330内の遅延比較器440は、遅延状態を比較し、コントローラ310用の現在の設定値が増加されるべきか、減少されるべきか、または同じままにされるべきかを判定する。この実施形態の場合、遅延合成器420からのDs_out信号は、Dフリップフロップ441のデータ(D)入力部、およびバッファ442の入力部に供給される。442の出力部は、Dフリップフロップ443のデータ入力部およびバッファ444の入力部に結合される。バッファ444の出力部は、Dフリップフロップ445のデータ入力部に結合される。整合MUX430からの出力信号(Dm_out)は、Dフリップフロップ441、443および445のクロック入力部に供給される。各Dフリップフロップは、出力信号に基づいてそのデータ入力をラッチし、その出力(Q)をデコーダ450に供給する。デコーダ450は、フリップフロップ441、443および445の出力に基づいて、コントローラ310への電圧制御信号を発生させ、そのことは下記図6A～図6Cに関してより詳細に説明される。

【 0 0 3 3 】

図5は、遅延合成器420の一実施形態を示す。遅延合成器420の素子は、DUT305と同じ仮想供給電圧(たとえば、VDDと仮想VSS、または仮想VDDとVSS)によって供給され、その結果実際の経路とシミュレートされた経路の両方にかかる電圧は同じである。遅延合成器420は、DUT305の柔軟なモデル化を可能にする様々な素子を含むことができる。たとえば、スタティックロジック422は、高いしきい値電圧(HVT)素子、定格のしきい値電圧(NVT)素子、および低いしきい値電圧(LVT)素子を有するインバータチェーンを含むことができる。ダイナミックロジック424は、拡散主導経路であると考察され得るとともに、NVT素子/LVT素子を含むことができる。さらに、複数のワイヤステージがシミュレートされ得る。たとえば、第1のワイヤステージ426はM2/M3におけるワイヤ遅延をシミュレートすることができる、別のワイヤステージ428はM4/M5におけるワイヤ遅延をシミュレートすることができる。(たとえば、コマンドユニット350からの)制御ビットは遅延合成器420に供給されて、様々なステージ(422～428)を構成する。したがって、遅延合成器420はプロセスモニタとして構成され得る。様々なプログラム可能なビット設定を使用して、フロントエンド経路(ゲート主導型)およびバックエンド経路(ワイヤ主導型)の周波数/遅延が計測され得る。

【 0 0 3 4 】

図5に示された遅延合成器の構造は、回路構成要素を所望されるように混ぜ合わせて、クリティカルパスを柔軟に複製することができる。クリティカルパスは、DUT内で最長の遅延を伴う信号経路であると考察され得る。各遅延ステージ(422～428)は、異なるタイプ

10

20

30

40

50

の回路構成要素用の複数の直列接続されたセルを含むことができる。遅延ステージごとのマルチプレクサは、複製されたクリティカルパス内のその遅延ステージ用の選択可能な数のセルを含むことができる。セルの数は、コマンドユニット350からの制御ビットによって選択され得るとともに、所与のDUT305用のビット設定値を有するルックアップテーブルに基づくことができる。したがって、同じ遅延合成器420の構造は、様々な回路/試験中のデバイスをシミュレートするために使用され得る。設定値は、所与のDUT305に対して、遅延合成器420内のマルチプレクサを制御することにより、個別に、かつ柔軟に形成され得る。一般に、遅延合成器420の構造は任意の数の遅延ステージを含むことができ、各遅延ステージは任意のタイプの回路をエミュレートし、任意の数のセルを含むことができる。そのような構造により、試験中のデバイスのクリティカルパスを複製する際の柔軟性が大きくなる。

10

【0035】

再び図4を参照すると、上記で説明されたように、モニタ330は、試験中のデバイスのクリティカルパスのシミュレーションに基づいて、電圧制御信号を発生させる。DUTにかかる仮想電圧は、少なくとも遅延合成器の様々な素子に電力供給するために使用され、遅延合成器は電圧制御用のフィードバック経路を提供する。モニタ330はDUTと同じダイ上に形成され、同じ仮想供給電圧によって電力供給されるので、同様のプロセス-電圧-温度(PVT)特性がモニタ330とDUT305の両方に見られる。したがって、モニタ330は、DUT305の様々な内部パラメータを整合させてDUT305の現在の状態の推定値を提供し、制御信号を供給してコントローラ310を調整するために使用され得る。遅延合成器および整合MUXを含む例示的な監視回路のさらなる詳細は、その全体において参照により本明細書に組み込まれている、「ADAPTIVE VOLTAGE SCALING FOR AN ELECTRONICS DEVICE」と題する、2008年8月26日に出願した米国特許第7,417,482号に見いだされ得る。

20

【0036】

図6A～図6Cは、遅延比較器440の一実施形態の動作の態様を示す。たとえば、図6Aは電圧ステップダウンプロセスについてのタイミング図を示す。クロック信号(CLK)は図6の上部に示される。クロック信号の立上りエッジは、(遅延合成器420に入力される)検出パルス信号412をトリガする。遅延合成器420は、パルス発生器から遅延合成器420を通して遅延比較器440に伝搬される検出パルス信号412内の遅延610を引き起こす。検出クロック信号414はクロック信号CLKの2番目の立上りエッジで発生し、その時点でN0、N1およびN2の値が検出される。N0、N1およびN2は、それぞれ、遅延比較器440のフリップフロップ441、443および445の出力である。図示された例では、図6Aに見られるように、検出クロック信号414がトリガされるとき、遅延610は、フリップフロップの出力N0、N1およびN2のそれぞれが、依然として高状態にあるようにする。図6Bに示された別の例では、検出クロック信号414がトリガされるとき、遅延合成器420によって引き起こされた遅延620は、フリップフロップ出力N0、N1およびN2がすべて低状態にあるようにする。

30

【0037】

図6Cは、遅延比較器440のデコーダ450用の状態テーブルを示す。遅延比較器440の入力であるN0、N1およびN2の状態に応じて、デコーダ450は、AVS_up出力をアクティブにするか、AVS_dn出力をアクティブにするか、またはどちらもアクティブにせず、どちらもアクティブにしない場合はコントローラ310に対する調整が必要でないことを示す。詳細には、図6Cに示されたように、N0、N1およびN2がすべて低と検出されると、デコーダ450は、コントローラ310に対するアップ出力(AVS_up)をアクティブにして、DUT305にかかる電圧を増加させる。N0、N1およびN2がすべて高と検出されると、デコーダ450は、コントローラ310に対するダウン出力(AVS_dn)をアクティブにして、DUT305にかかる電圧を減少させる。入力N0、N1およびN2についてのすべての他のケースでは、アップ信号またはダウン信号のどちらも出力されない。図4からわかるように、バッファ442および444は、フリップフロップ443の出力の中に1バッファの遅延およびフリップフロップ445の出力の中に2バッファの遅延をもたらす。バッファ442および444の各々は、所定の遅延量、たとえば最も高いクロック周波数でクロック周期の5%を提供するように設計され得る。各フリップフロ

40

50

プ441、443および445は、そのデータ入力上のパルスがそのクロック入力上のパルスよりも早く到達した場合論理高を提供し、そうでない場合論理低を提供する。仮想供給電圧が低すぎる場合、遅延合成器420によって複製されたクリティカルパスの合計遅延は長く、3つのフリップフロップすべては論理低を提供する可能性がある。反対に、仮想供給電圧が高すぎる場合、複製されたクリティカルパスの合計遅延は目標周波数よりも小さく、3つのフリップフロップすべては論理高を提供する可能性がある。したがって、遅延合成器420が所与の数以内の遅延素子でDUT305のクリティカルパスをモデル化した場合、調整は必要でないと判断される。しかしながら、N0、N1およびN2が、進むかまたは遅れるかのいずれかで2つのバッファよりも差分が大ききことを示した場合、コントローラは増加されるかまたは減少されるかのいずれかで、仮想供給電圧が適切に設定されることを確実にする。代替構成では、遅延素子のセットを大きくするかまたは小さくし、それにより遷移ウィンドウを設定することもできることが理解されよう。さらに、代替の実装形態では、遅延素子はバーニア遅延としても実装され得る。

10

【0038】

上記で説明された、監視ユニット330に基づいてDUT305にかかる電圧を調整することに加えて、実施形態は調整器として働いて、様々な動作モードから遷移するときの突入電流を制御することもできる。特に、完全覚醒モードまたはスリープモードのいずれかが設定されると、従来のシステムは、図7Aに示されたようにオンまたはオフを切り替えるだけである。たとえば、スリープモードから完全覚醒モードへの遷移中に図1の従来の回路105にかかる電圧は、VSSとVDDとの間の直接切替えである。しかしながら、図7Bは、一実施形態による、スリープモードから完全覚醒モードへの遷移中に図3Aの回路/DUT305にかかる電圧を示す。

20

【0039】

図7Bを参照すると、スリープモードからアクティブモードへの遷移中、DUT305にかかる電圧は、コントローラ310によって制御された電力スイッチの設定値に基づいて、図示されたような多くの増分ステップで遷移され得る。スリープモード(全スイッチオフ)から完全覚醒モード(全スイッチオン)に、または中間電圧(V(inter))からスリープもしくは完全覚醒に遷移するとき、変化率は、ステップサイズ入力、および、次の増分ステップへの切替えの速さを制御する内部ループ周波数によって制御され得る。たとえば、スリープモードから完全覚醒モードに遷移するとき、内部ループは、すべての電力スイッチがアクティブになるまで、電圧をランプアップすることができる。しかしながら、(ステップサイズ入力に基づく)複数の電圧ステップがあり得るので、電圧におけるこの変化は比較的スムーズに起こり、従来のシステムに存在する突入電流問題を軽減する。境界条件(スリープ/完全覚醒)から出入りし、その境界条件を維持するとき、電力スイッチは完全にオンまたはオフのどちらかであるので、モニタ330を使用する必要がないことが諒解されよう。

30

【0040】

図8は、コントローラ310の一実施形態を示す。(1つまたは複数のルックアップテーブルを含むことができるコマンドユニット350からの、遅延合成器を設定する制御設定値(制御ビット)、電圧(モード)およびクロック周波数を含むことができる)所与の動作点を判定すると、モード信号は電力スイッチセットポイントロジック810に供給され、電力スイッチセットポイントロジック810はモード信号(たとえば、2つ以上のビット)を(たとえば、ボルト、フルスケールのパーセントなどで)対応する電力スイッチ用の設定値に変換することができる。モード信号はオフセットロジック820にも供給される。これにより、スリープ状態(全電力スイッチオフ)または完全覚醒(全電力スイッチオン)のいずれかにあると、オフセットロジック820のオーバーライドが発振を防止することが可能になる。電力スイッチセットポイントロジック810の出力は比較ロジック830に供給され、比較ロジック830はそれをオフセットロジック820の出力と比較し、比較に基づいて出力(たとえば、増加、減少、またはノーアクションのいずれか)を生成する。比較ロジック830の出力は、ステップスケーリングロジック840のステップサイズによってスケーリングされ、ステップスケーリングロジック840は増分ステップを、ボルト、フルスケールのパーセントなどを単位

40

50

として設定することができる。たとえば、ステップサイズは50mVステップが望ましいことを示す場合があり、その結果各増加または減少は50mV間隔で行われる。ステップスケーリングロジック840からのスケーリングされた出力は、電力スイッチセットロジック850に供給される。電力スイッチ出力ロジック850は、ステップスケーリングロジック840からのスケーリングされた出力を電力スイッチアレイ315に適した設定値に変換し、その設定値を出力して被制御電圧(Vvss/Vvdd)を適切に調整する。電力スイッチアレイは直線的に 응답できないことが理解されよう。したがって、電力スイッチセットロジック850は、ルックアップテーブル、または指令された電圧(もしくはフルスケールのパーセント)を電力スイッチの設定値に変換する他の手段を含むことができる。たとえば、ステップスケーリングロジック840からのスケーリングされた出力が50mVである場合、電力スイッチセットロジック850は、50mV指令をオンまたはオフにされるべき電力スイッチの適切な数に変換する。再び増加される場合、100mV用の電力スイッチの設定値が検索され、電力スイッチアレイ315に出力され得る。したがって、被制御電圧(Vvss/Vvdd)は所望の量だけ増分または減分される。

10

【0041】

図8に(ならびに図3Aおよび図3Bにも)示されたように、被制御電圧(Vvss/Vvdd)はモニタ回路330にフィードバックを提供する。モニタ330は、アップ信号、ダウン信号、またはアップでもダウンでもない信号(たとえば、何もしない信号)を出力し、それらの信号はオフセットロジック820に供給される。アップ信号/ダウン信号は、フィードバックループが満たされ、被制御電圧レベルが所望のレベルを達成するまで、オフセットロジック820を増分するか、または減分するかのいずれかを行う。

20

【0042】

代替として、内部フィードバックループ855が、電力スイッチセットロジックと比較ロジック830との間に提供され得る。内部フィードバックループは、電力スイッチセットロジック850が810からのセットポイントの値に到達するまで、電力スイッチセットロジック850を内部で調整するために使用され得る。たとえば、810からの出力が基準を1.0V(1000mV)に設定し、ステップサイズが50mVである場合、電力スイッチセットロジックでの設定値は、0から開始し、(各々50mVにスケーリングされた)20回の繰返しの後、810からの1.0V指令に等しくなる。この構成では、モニタ回路330からオフセットロジック820へのフィードバックは、モニタ回路330の結果に基づいてさらなる微調整を提供することができる。たとえば、モニタ回路330が電圧は増加されるべきと判断した場合、AVS_Up信号がアクティブになることができ、オフセットロジック820は、比較ロジック830に、(ステップスケーリングロジック840によってスケーリングされた)電力スイッチセットロジック850への出力を増分させるオフセットを出力することができ、それにより被制御電圧を増加させる。

30

【0043】

上記に記載された本発明の実施形態は、フットスイッチおよびフットスイッチマトリクスの実装を対象としたが、本発明の他の実施形態は、(たとえば、フットスイッチを伴うか、または伴わない)ヘッドスイッチの実装を対象とすることができることが理解される。同様に、上記に記載された本発明の実施形態は、単一の間接ステージを対象としたが、本発明の他の実施形態は、(たとえば、オンまたはオフにされるフットスイッチ/ヘッドスイッチの数が異なる)複数の中間ステージを使用することができることが理解される。

40

【0044】

当業者は、情報および信号が多種多様な技術および技法のいずれかを使用して表現され得ることを諒解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、指令、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界もしくは磁性粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表現され得る。

【0045】

さらに、当業者は、本明細書に開示された実施形態に関連して記載された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア

50

、コンピュータソフトウェア、または両方の組合せとして実装され得ることを諒解されよう。このハードウェアとソフトウェアの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップは、全体的にそれらの機能に関して上述された。そのような機能がハードウェアとして実装されるか、またはソフトウェアとして実装されるかは、特定の適用例および全体的なシステムに課された設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装することができるが、そのような実装の決定は、本発明の範囲からの逸脱を生じるものと解釈すべきではない。

【0046】

本明細書に開示された実施形態に関連して記載された様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別のゲートもしくはトランジスタロジック、個別のハードウェア構成要素、または、本明細書に記載された機能を実行するように設計されたそれらの任意の組合せで、実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

【0047】

上記に鑑みて、実施形態は、本明細書に記載された様々な機能を実行するための方法、シーケンスおよび/またはアルゴリズムを含むことができることが理解されよう。したがって、図9に示されたように、実施形態は、接地バスと電力バスとの間に位置する回路、および、回路と接地バスまたは電力バスのうちの1つとの間に位置して回路にかかる仮想電圧を生成する電力スイッチアレイを有する半導体デバイス内の電圧を制御する方法を含むことができる。方法は、ブロック910で、回路の目標電圧およびクロック周波数を確立することを含む。ブロック920で、回路のクリティカルパスがシミュレートされる。ブロック930で、シミュレートされたクリティカルパスの出力に基づいて電圧調整信号が出力される。次いで、ブロック940で、電力スイッチアレイの設定値を制御することにより、電圧調整信号に基づいて仮想電圧が調整される。

【0048】

本明細書に開示された様々な実施形態は、図9に示された実施形態に限定されず、実施形態は、遅延合成器の制御ビットを設定することによりクリティカルパスの遅延をシミュレートして遅延出力を生成すること、および、遅延合成器内のプログラマブルマルチプレクサの遅延を補償して補償出力を生成することを、さらに含むことができる。次いで、実施形態は、遅延出力(たとえば、図4のDs_out)と補償出力(たとえば、図4のDm_out)とを比較し、比較に基づいて電圧調整信号を発生させることができる。電圧調整信号は、アップ信号、ダウン信号および何もしない信号を示すための2ビットのパターンを含むことができる。仮想電圧は、(たとえば、コントローラ310を介して)アップ信号またはダウン信号に基づいて、増分的に変化することができる。他の実施形態は、スリープモード、完全覚醒モードまたは中間モードのうちの1つを含むモード信号を受信すること、および、モード信号を電力スイッチアレイ用のセットポイントに変換することを含む、目標電圧を確立するための方法を含むことができる。さらに他の実施形態は、上記に説明されたように、電力スイッチアレイにおける目標電圧を個別のスイッチの設定値に変換すること、およびステップサイズ信号に基づいて仮想電圧の変化量をスケールリングすることにより、仮想電圧を調整することを含む。多くのさらなる方法実施形態が、様々な説明のための例および本明細書に開示された関連説明とともに開示されることが理解されよう。

【0049】

図10は、本開示の1つまたは複数の実施形態が有利に利用され得る例示的なワイヤレス

10

20

30

40

50

通信システム1000を示す。説明のために、図10は、3つのリモートユニット1020、1030、および1050、ならびに2つの基地局1040を示す。従来のワイヤレス通信システムは、はるかに多くのリモートユニットおよび基地局を有する場合があることが理解されよう。リモートユニット1020、1030、および1050は、(本明細書に開示されたようなオンチップ電圧調整器を含む)半導体デバイス1025、1035、および1055を含み、それらは、以下でさらに説明されるような本開示の実施形態の一部である。図10は、基地局1040からリモートユニット1020、1030、および1050への順方向リンク信号1080、ならびにリモートユニット1020、1030、および1050から基地局1040への逆方向リンク信号1090を示す。

【0050】

図10では、リモートユニット1020は携帯電話として示され、リモートユニット1030はポータブルコンピュータとして示され、リモートユニット1050はワイヤレスローカルループシステム内の固定位置リモートユニットとして示される。たとえば、リモートユニットは、携帯電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、(GPS対応デバイスなどの)ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、または、データもしくはコンピュータ命令の記憶もしくは取出しを行う任意の他のデバイス、またはそれらの任意の組合せであり得る。図10は本開示の教示によるリモートユニットを示すが、本開示はこれらの例示的に図示されたユニットに限定されない。開示されたデバイスは、オンチップ電圧調整器を有する半導体デバイスを含む任意のデバイスで適切に使用され得る。

【0051】

上記の開示されたデバイスおよび方法は、コンピュータ可読媒体に記憶されたGDSIIおよびGERBERのコンピュータファイル内に設計および構成され得る。次いで、これらのファイルは、これらのファイルに基づいてデバイスを製造する製造担当者に提供される。得られた製品は半導体ウェハであり、次いで、このウェハは半導体ダイに切り分けられ、半導体チップにパッケージングされる。次いで、このチップが上述されたデバイスで利用される。したがって、いくつかの実施形態では、オンチップ電圧調整器を有する半導体デバイスは、少なくとも1つの半導体ダイに組み込まれる。

【0052】

本明細書に開示された実施形態と関連して記載された方法、シーケンス、および/またはアルゴリズムは、ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せで直接具現化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に常駐することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み込み、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体であり得る。プロセッサおよび記憶媒体はASICに常駐することができる。ASICはユーザ端末(たとえば、アクセス端末)に常駐することができる。代替として、プロセッサおよび記憶媒体は、ユーザ端末内の個別構成要素として常駐することができる。

【0053】

1つまたは複数の例示的な実施形態では、記載された機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せに実装され得る。ソフトウェアに実装された場合、機能は、1つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶されるか、またはコンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体には、コンピュータ記憶媒体と、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含むコンピュータ通信媒体との両方が含まれる。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気ストレージ

10

20

30

40

50

デバイス、または、命令もしくはデータ構造の形態の所望のプログラムコードを搬送もしくは記憶するために使用でき、コンピュータによってアクセスできる、任意の他の媒体を備えることができる。また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用されるように、ディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)、レーザディスク、光ディスク、デジタル多用途ディスク(DVD)、フレキシブルディスク、およびブルーレイディスクを含み、ディスク(disk)は、通常、磁氣的にデータを再生し、ディスク(disc)は、レーザで光学的にデータを再生する。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。

10

【 0 0 5 4 】

上記の開示は本発明の例示的な実施形態を示すが、添付の特許請求の範囲によって規定される本発明の範囲から逸脱することなく、本明細書において様々な変更および修正が行われ得ることに留意すべきである。本明細書に記載された本発明の実施形態による方法クレームの機能、ステップおよび/またはアクションは、いかなる特定の順序でも実行される必要はない。さらに、本発明の要素は、単数形で記載または特許請求される場合があるが、単数形に限定することが明示的に述べられていない限り、複数形が企図される。

20

【 符号の説明 】

【 0 0 5 5 】

- 100 半導体デバイス
- 105 回路
- 110 コントローラ
- 115 電力スイッチアレイ、電力スイッチマトリックス
- 120 接地バス
- 125 電力バス
- 200 半導体デバイス
- 205 回路
- 210 コントローラ
- 215 電力スイッチアレイ、電力スイッチマトリックス
- 220 接地バス
- 225 電力バス
- 300 半導体デバイス
- 305 回路/DUT
- 310 コントローラ
- 315 電力スイッチアレイ
- 320 接地バス
- 322 仮想基準V_{vss}
- 325 供給バス
- 330 モニタ
- 335 制御ユニット
- 340 クロック発生器
- 350 コマンドユニット
- 410 パルス発生器
- 412 検出パルス信号
- 414 検出クロック信号
- 420 遅延合成器
- 422 スタティックロジック

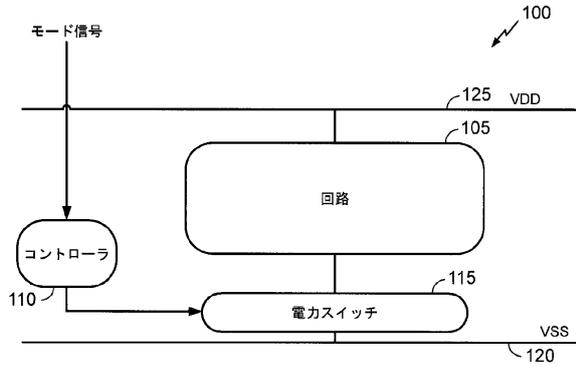
30

40

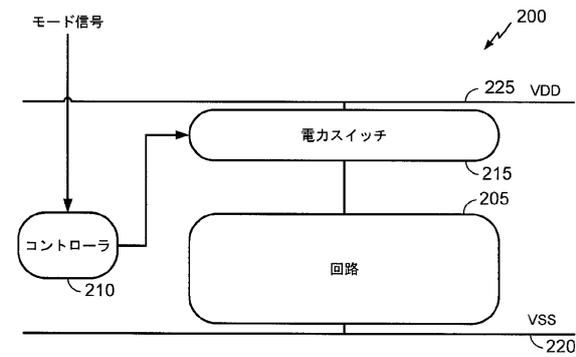
50

424	ダイナミックロジック	
426	ワイヤステージ	
428	ワイヤステージ	
430	整合MUX回路	
440	遅延比較器	
441	Dフリップフロップ	
442	バッファ	
443	Dフリップフロップ	
444	バッファ	
445	Dフリップフロップ	10
450	デコーダ	
610	遅延	
620	遅延	
810	電力スイッチセットポイントロジック	
820	オフセットロジック	
830	比較ロジック	
840	ステップスケーリングロジック	
850	電力スイッチセットロジック、電力スイッチ出力ロジック	
855	内部フィードバックループ	
910	回路の目標電圧およびクロック周波数を確立すること	20
920	回路のクリティカルパスをシミュレートすること	
930	シミュレートされたクリティカルパスの出力に基づいて電圧調整信号を出力すること	
940	電力スイッチアレイの設定値を制御することにより、電圧調整信号に基づいて仮想電圧を調整すること	
1000	ワイヤレス通信システム	
1020	リモートユニット	
1025	半導体デバイス	
1030	リモートユニット	
1035	半導体デバイス	30
1040	基地局	
1050	リモートユニット	
1055	半導体デバイス	
1080	順方向リンク信号	
1090	逆方向リンク信号	

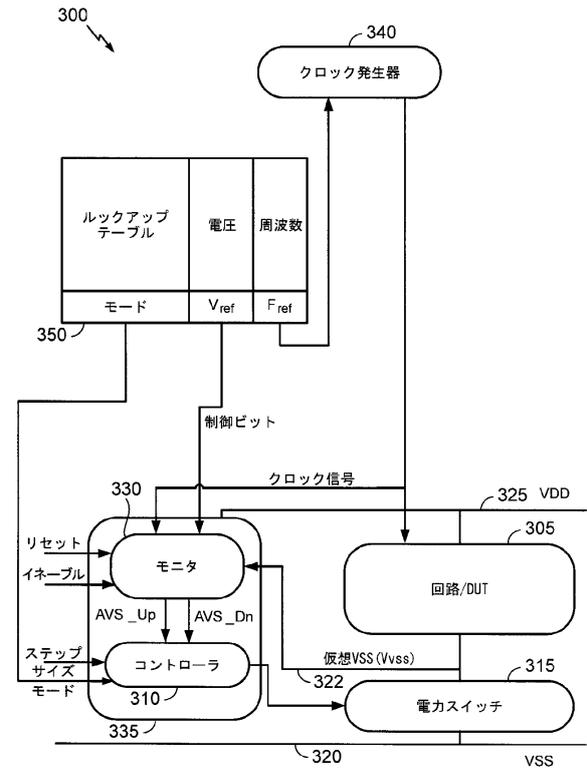
【図1】



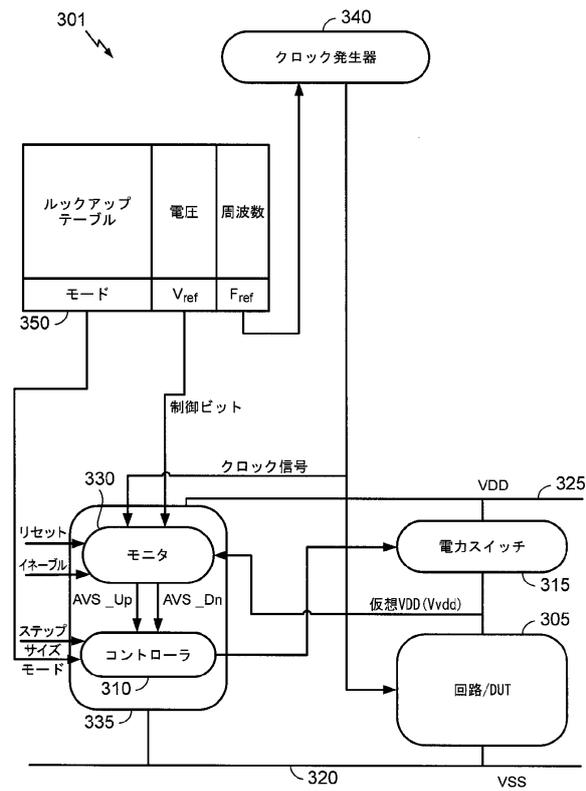
【図2】



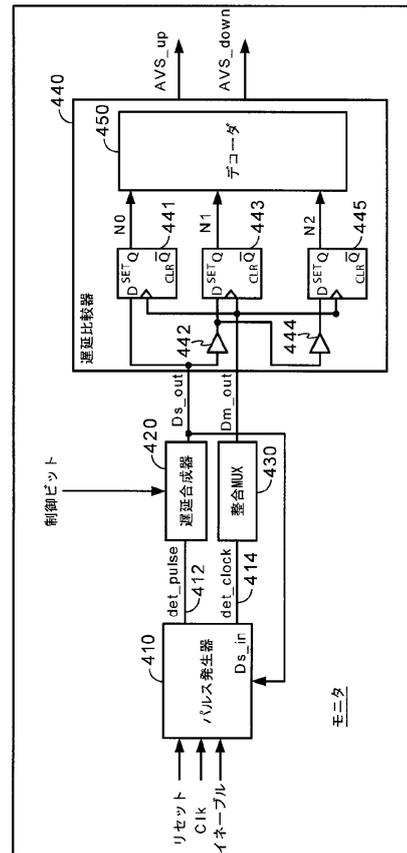
【図3A】



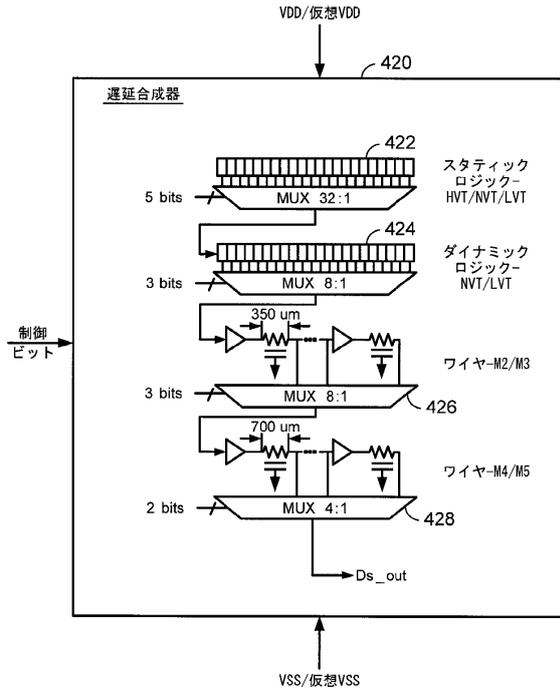
【図3B】



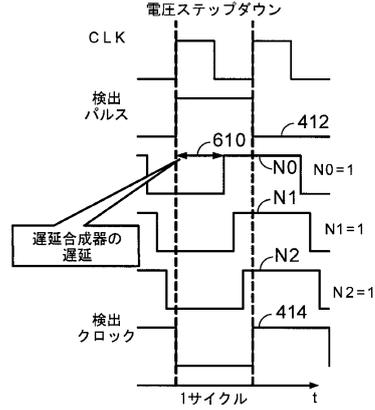
【図4】



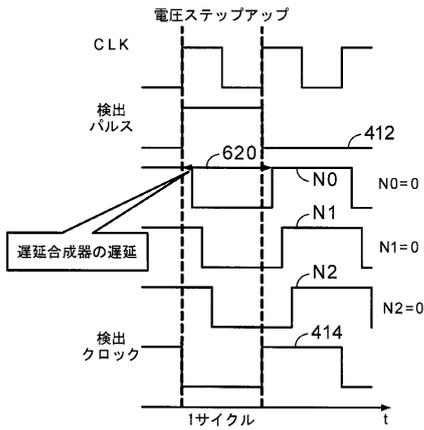
【図5】



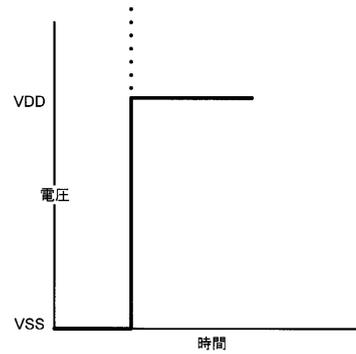
【図6A】



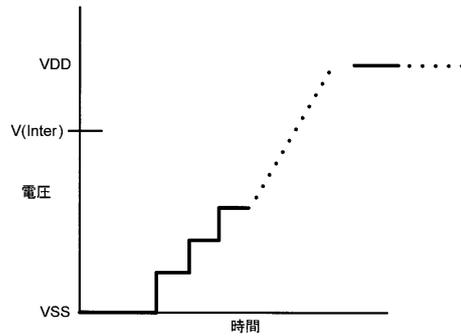
【図6B】



【図7A】



【図7B】

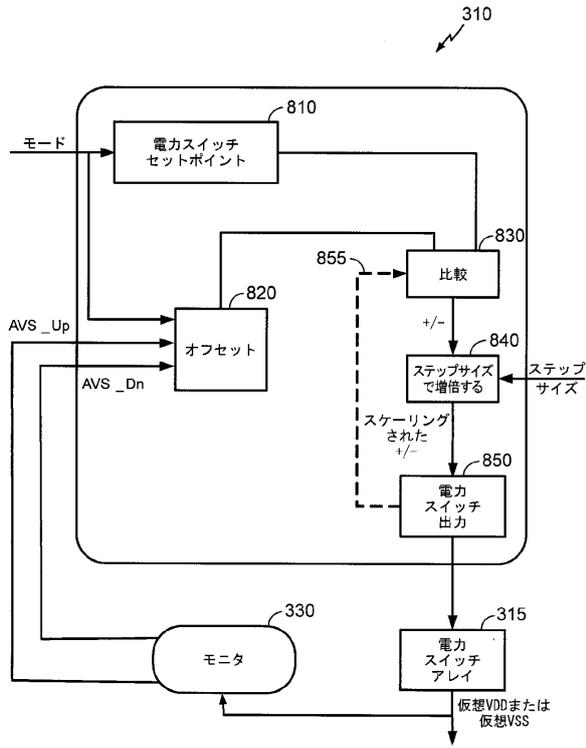


【図6C】

遅延比較器のデコーダテーブル

入力			出力	
N0	N1	N2	AVS_up	AVS_down
0	0	0	1	0
1	1	1	0	1
すべての他の組合せ			0	0

【図8】



【図9】



【図10】

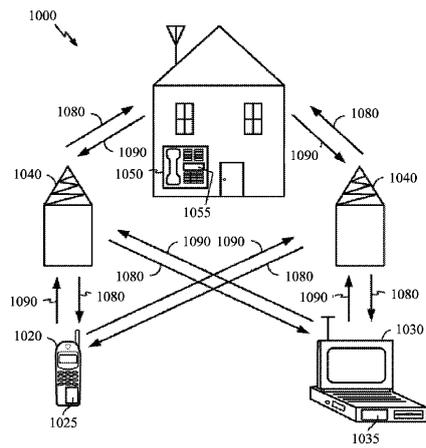


FIG. 10

フロントページの続き

- (72)発明者 チャーリー・メイター
アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5
- (72)発明者 マシュー・エル・セヴァーソン
アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5
- (72)発明者 シャオファ・コン
アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

審査官 宮下 誠

- (56)参考文献 米国特許出願公開第2009/0115258(US,A1)
特表2009-519620(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G06F | 1/26 |
| H01L | 27/00 |
| H03K | 19/00 |