



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0033333
(43) 공개일자 2010년03월29일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2009-0041271

(22) 출원일자 2009년05월12일

심사청구일자 없음

(30) 우선권주장

1020080092245 2008년09월19일 대한민국(KR)

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박홍배

서울특별시 송파구 잠실3동 잠실주공아파트 522동 1006

조학주

경기도 화성시 능동 푸른마을 두산위브아파트 92 2동 101호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

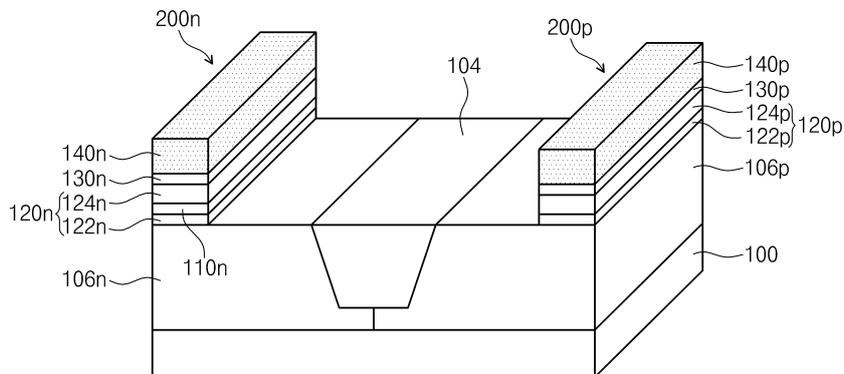
전체 청구항 수 : 총 18 항

(54) 반도체 소자 및 그 형성 방법

(57) 요약

본 발명은 반도체 소자 및 반도체 소자의 형성 방법을 제공한다. 이 소자는 반도체 기판, 반도체 기판에 배치된 제1 웰 영역, 제1 웰 영역 상에 배치된 제1 게이트 전극, 및 제1 웰 영역과 제1 게이트 전극 사이에 개재된 제1 N형 케핑 패턴, 제1 P형 케핑 패턴, 및 제1 게이트 절연 패턴을 포함한다.

대표도 - 도4



(72) 발명자

홍석훈

경기도 용인시 기흥구 서천동 현대아파트 104동
1903호

현상진

경기도 수원시 영통구 망포동 방죽마을영통뜨란채
아파트 1001동 1402호

나훈주

경기도 화성시 병점동 안화마을우남퍼스트빌2차아
파트 207동 304호

홍형석

서울특별시 송파구 잠실본동 우성4차아파트
101-108 103동 1403호

특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관에 배치된 제1 웰 영역;

상기 제1 웰 영역 상에 배치된 제1 게이트 전극; 및

상기 제1 웰 영역과 상기 제1 게이트 전극 사이에 개재된 제1 N형 케핑 패턴, 제1 P형 케핑 패턴, 및 제1 게이트 절연 패턴을 포함 반도체 소자.

청구항 2

제1 항에 있어서,

상기 제1 N형 케핑 패턴은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 제1 P형 케핑 패턴은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

제1 항에 있어서,

상기 제1 게이트 절연 패턴은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 5

제1 항에 있어서,

상기 제1 게이트 전극은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

제1 항에 있어서,

상기 제1 게이트 절연 패턴은 제1 상부 게이트 절연 패턴 및 제1 하부 게이트 절연 패턴을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

제1 항에 있어서,

상기 반도체 기관 상에 배치된 제2 웰 영역;

상기 제2 웰 영역 상에 배치된 제2 게이트 전극; 및

상기 제2 웰 영역과 상기 제2 게이트 전극 사이에 개재된 제2 P형 케핑 패턴, 및 제2 게이트 절연 패턴을 더 포함하되, 상기 제1 게이트 절연 패턴과 상기 제2 게이트 절연 패턴은 같은 물질이고, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 같은 물질인 것을 특징으로 하는 반도체 소자.

청구항 8

제7 항에 있어서,

상기 제1 웰 영역은 P형 불순물 영역이고, 상기 제2 웰 영역은 N형 불순물 영역인 것을 특징으로 하는 반도체 소자.

청구항 9

제1 항에 있어서,

상기 반도체 기판에 돌출된 반도체 핀을 더 포함하되,

상기 제1 웰 영역은 반도체 핀에 배치되고, 상기 제1 게이트 절연 패턴은 상기 제1 웰 영역을 가로지르는 것을 특징으로 하는 반도체 소자.

청구항 10

반도체 기판에 트렌치를 형성하여 소자분리막을 형성하는 단계;

상기 반도체 기판 상에 제1 웰 영역을 형성하는 단계;

상기 소자 분리막이 형성된 상기 반도체 기판 상에 제1 N형 케핑막을 형성하는 단계;

상기 제1 N형 케핑막 상에 제1 게이트 절연막을 형성하는 단계;

상기 제1 게이트 절연막 상에 제1 P형 케핑막을 형성하는 단계;

상기 제1 P형 케핑 패턴 상에 제1 게이트 도전막을 형성하는 단계; 및

제1 게이트 전극, 제1 P형 케핑 패턴, 제1 게이트 절연 패턴, 제1 N형 케핑 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 11

반도체 기판에 트렌치를 형성하여 소자분리막을 형성하는 단계;

상기 반도체 기판에 제1 웰 영역 및 제2 웰 영역을 형성하는 단계; 및

상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계를 포함하되,

상기 제1 게이트 구조체는 제1 N형 케핑 패턴, 제1 게이트 절연 패턴, 제1 P형 케핑 패턴, 및 제1 게이트 전극을 포함하고, 상기 제2 게이트 구조체는 제2 게이트 절연 패턴, 제2 P형 케핑 패턴, 및 제2 게이트 전극을 포함하되, 상기 제1 P형 케핑 패턴과 상기 제2 P형 케핑 패턴은 같은 물질이고, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 같은 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 12

제 11 항에 있어서,

상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는:

상기 제1 웰 영역 상에 N형 케핑막을 형성하는 단계;

상기 제1 웰 영역 및 상기 제2 웰 영역 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 전면 상에 P형 케핑막을 형성하는 단계;

상기 P형 케핑막 상에 게이트 도전막을 형성하는 단계; 및

상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 13

제 11 항에 있어서,

상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는:

상기 제1 웰 영역 및 상기 제 2 웰 영역 상에 하부 게이트 절연막을 형성하는 단계;

상기 제1 웰 영역의 상기 하부 게이트 상에 N형 캐핑막을 형성하는 단계;

상기 제1 웰 영역 및 상기 제2 웰 영역 상에 상부 게이트 절연막을 형성하는 단계;

상기 상부 게이트 절연막 전면 상에 P형 캐핑막을 형성하는 단계;

상기 P형 캐핑막 상에 게이트 도전막을 형성하는 단계; 및

상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 14

제 11 항에 있어서,

상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는:

상기 제1 웰 영역 상에 N형 캐핑막을 형성하는 단계;

상기 제2 웰 영역 상에 하부 게이트 절연막을 형성하는 단계;

상기 N형 캐핑막 및 상기 하부 게이트 절연막을 질화시키는 단계;

상기 N형 캐핑막 및 상기 하부 게이트 절연막 전면 상에 상부 게이트 절연막을 형성하는 단계;

상기 상부 게이트 절연막 전면 상에 P형 캐핑막을 형성하는 단계;

상기 P형 캐핑막 상에 게이트 도전막을 형성하는 단계; 및

상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 15

제 11 항에 있어서,

상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는:

상기 제1 웰 영역 상에 N형 캐핑막을 형성하는 단계;

상기 N형 캐핑막 및 상기 제2 웰 영역 상에 게이트 절연막을 형성하는 단계;

상기 N형 캐핑막 및 상기 게이트 절연막 전면 상에 P형 캐핑막을 형성하는 단계;

상기 P형 캐핑막 상에 게이트 도전막을 형성하는 단계; 및

상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 16

제 11 항에 있어서,

상기 제1 N형 캐핑 패턴은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 17

제11 항에 있어서,

상기 제1 P형 캐핑 패턴은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 18

제11 항에 있어서,

상기 제1 게이트 절연 패턴 및 상기 제2 게이트 절연 패턴은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자에 관한 것이다. 더 구체적으로 MOS 반도체 소자에 관한 것이다.

배경기술

[0002] 최소 선폭 45nm급 이하의 MOS 트랜지스터의 게이트 구조가 활발히 연구가 진행되고 있다. 상기 게이트 구조는 고유전체막/금속 게이트 전극의 적층 구조 또는 고유전체막/폴리 실리콘 게이트 전극의 적층 구조일 수 있다. 상기 고유전체막/금속 게이트 전극의 적층 구조는 고유전체막/폴리실리콘 게이트 전극의 적층 구조보다 문턱 전압(Vth, threshold voltage)를 낮출 수 있다. 그러나, 고성능의 트랜지스터 동작을 위하여, 상기 고유전체막 및 금속 게이트 전극의 적층 구조의 문턱 전압은 더 낮아져야 한다.

발명의 내용

해결하고자하는 과제

[0003] 본 발명이 해결하고자 하는 일 기술적 과제는 복수의 케핑 패턴을 사용하여 문턱 전압의 조절이 가능한 반도체 소자를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 일 기술적 과제는 복수의 케핑 패턴을 사용하여 문턱 전압의 조절이 가능한 반도체 소자의 형성 방법을 제공하는 것이다.

과제 해결수단

[0005] 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판, 상기 반도체 기판에 배치된 제1 웰 영역, 상기 제1 웰 영역 상에 배치된 제1 게이트 전극, 및 상기 제1 웰 영역과 상기 제1 게이트 전극 사이에 개재된 제1 N형 케핑 패턴, 제1 P형 케핑 패턴, 및 제1 게이트 절연 패턴을 포함한다.

[0006] 본 발명의 일 실시예에 있어서, 상기 제1 N형 케핑 패턴은 LaO,GdO,DyO,SrO,BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 P형 케핑 패턴은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제1 게이트 절연 패턴은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 게이트 전극은 TaC,TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 게이트 절연 패턴은 제1 상부 게이트 절연 패턴 및 제1 하부 게이트 절연 패턴을 포함할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 반도체 기판 상에 배치된 제2 웰 영역,상기 제2 웰 영역 상에 배치된 제2

게이트 전극, 및 상기 제2 웰 영역과 상기 제2 게이트 전극 사이에 개재된 제2 P형 케핑 패턴, 및 제2 게이트 절연 패턴을 더 포함하되, 상기 제1 게이트 절연 패턴과 상기 제2 게이트 절연 패턴은 같은 물질이고, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 같은 물질일 수 있다.

- [0012] 본 발명의 일 실시예에 있어서, 상기 제1 웰 영역은 P형 불순물 영역이고, 상기 제2 웰 영역은 N형 불순물 영역일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 반도체 기판에 돌출된 반도체 핀을 더 포함하되, 상기 제1 웰 영역은 반도체 핀에 배치되고, 상기 제1 게이트 절연 패턴은 상기 제1 웰 영역을 가로지를 수 있다.
- [0014] 본 발명의 일 실시예에 따른 반도체 소자의 형성 방법은 반도체 기판에 트랜치를 형성하여 소자분리막을 형성하는 단계, 상기 반도체 기판 상에 제1 웰 영역을 형성하는 단계, 상기 소자 분리막이 형성된 상기 반도체 기판 상에 제1 N형 케핑막을 형성하는 단계, 상기 제1 N형 케핑막 상에 제1 게이트 절연막을 형성하는 단계, 상기 제1 게이트 절연막 상에 제1 P형 케핑막을 형성하는 단계, 상기 제1 P형 케핑 패턴 상에 제1 게이트 도전막을 형성하는 단계, 및 제1 게이트 전극, 제1 P형 케핑 패턴, 제1 게이트 절연 패턴, 제1 N형 케핑 패턴을 형성하는 단계를 포함하되, 상기 제1 N형 케핑 패턴은 플랫폼 밴드 진압을 감소시키고, 상기 제1 P형 케핑 패턴은 플랫폼 밴드 진압을 증가시킬 수 있다.
- [0015] 본 발명의 일 실시예에 따른 반도체 소자의 형성 방법은 반도체 기판에 트랜치를 형성하여 소자분리막을 형성하는 단계, 상기 반도체 기판에 제1 웰 영역 및 제2 웰 영역을 형성하는 단계, 및 상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계를 포함하되, 상기 제1 게이트 구조체는 제1 N형 케핑 패턴, 제1 게이트 절연 패턴, 제1 P형 케핑 패턴, 및 제1 게이트 전극을 포함하고, 상기 제2 게이트 구조체는 제2 게이트 절연 패턴, 제2 P형 케핑 패턴, 및 제2 게이트 전극을 포함하되, 상기 제1 P형 케핑 패턴과 상기 제2 P형 케핑 패턴은 같은 물질이고, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 같은 물질로 형성될 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는 상기 제1 웰 영역 상에 N형 케핑막을 형성하는 단계, 상기 제1 웰 영역 및 상기 제2 웰 영역 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 전면 상에 P형 케핑막을 형성하는 단계, 상기 P형 케핑막 상에 게이트 도전막을 형성하는 단계, 및 상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함할 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는 상기 제1 웰 영역 및 상기 제2 웰 영역 상에 하부 게이트 절연막을 형성하는 단계, 상기 제1 웰 영역의 상기 하부 게이트 상에 N형 케핑막을 형성하는 단계, 상기 제1 웰 영역 및 상기 제2 웰 영역 상에 상부 게이트 절연막을 형성하는 단계, 상기 상부 게이트 절연막 전면 상에 P형 케핑막을 형성하는 단계, 상기 P형 케핑막 상에 게이트 도전막을 형성하는 단계, 및 상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는 상기 제1 웰 영역 상에 N형 케핑막을 형성하는 단계, 상기 제2 웰 영역 상에 하부 게이트 절연막을 형성하는 단계, 상기 N형 케핑막 및 상기 하부 게이트 절연막을 질화시키는 단계, 상기 N형 케핑막 및 상기 하부 게이트 절연막 전면 상에 상부 게이트 절연막을 형성하는 단계, 상기 상부 게이트 절연막 전면 상에 P형 케핑막을 형성하는 단계, 상기 P형 케핑막 상에 게이트 도전막을 형성하는 단계, 및 상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 제1 웰 영역 상에 제1 게이트 구조체, 상기 제2 웰 영역 상에 제2 게이트 구조체를 형성하는 단계는 상기 제1 웰 영역 상에 N형 케핑막을 형성하는 단계, 상기 N형 케핑막 및 상기 제2 웰 영역 상에 게이트 절연막을 형성하는 단계, 상기 N형 케핑막 및 상기 게이트 절연막 전면 상에 P형 케핑막을 형성하는 단계, 상기 P형 케핑막 상에 게이트 도전막을 형성하는 단계, 및 상기 제1 웰 영역 및 상기 제2 웰 영역에 적층된 물질을 패터닝하여 제1 게이트 구조체 및 제2 게이트 구조체를 형성하는 단계를 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제1 N형 케핑 패턴은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 제1 P형 케핑 패턴은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적

어도 하나를 포함할 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 제1 게이트 절연 패턴 및 상기 제2 게이트 절연 패턴은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다.

효 과

[0023] 본 발명의 일 실시예에 따른 반도체 소자는 제1 N형 케핑 패턴 및 제1 P형 케핑 패턴을 적층하여 문턱 전압을 조절할 수 있다. 또한, 상기 반도체 소자의 형성 공정이 간단하다.

발명의 실시를 위한 구체적인 내용

[0024] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0025] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 구조(NMOS 축전기(capacitor))에 따른 플랫폼 전압(flat band voltage)을 설명하는 도면이다.

[0026] 도 1 을 참조하면, 상기 NMOS 축전기는 반도체 기판 상에 게이트 구조체가 배치될 수 있다. 상기 게이트 구조체는 게이트 절연막 및 게이트 전극을 포함할 수 있다. 상기 게이트 전극이 TaC이고, 상기 게이트 절연막은 HfSiON, HfSiON/LaO, HfSiON/AlO, 및 HfSiON/LaO/AlO 적층 구조를 가질 수 있다. 상기 게이트 절연막의 구조에 따라, 상기 축전기의 플랫폼 전압 및 유효 산화막 두께(effective oxide thickness:EOT)를 측정하였다. HfSiON 구조(control 구조)의 플랫폼 전압은 -0.64 V이었고, HfSiON/LaO 구조(LaO capped)의 플랫폼 전압이 -1.184V이었고, HfSiON/AlO 구조(AlO capped)의 플랫폼 전압은 -0.35 V이었고, HfSiON/LaO/AlO 구조(LaO/AlO capped)의 플랫폼 전압은 -0.91 V이었다. 이 경우, 상기 HfSiON의 두께는 모두 동일하였고, LaO 및 AlO의 물리적 두께는 1 nm이었다. 그러나, HfSiON/LaO/AlO 구조의 EOT는 HfSiON/AlO의 구조의 EOT에 비하여 거의 증가하지 않았다. 따라서, LaO 계열 물질 및 AlO 계열 물질을 적절히 조합하면, 원하는 문턱 전압을 얻을 수 있다. 상기 LaO 계열 물질은 LaO,GdO,DyO,SrO,BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 LaO 계열 물질은 N형 케핑 물질일 수 있다. 또한, 상기 AlO 계열물질은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 AlO 계열 물질은 P형 케핑 물질일 수 있다.

[0027] 반도체 소자의 문턱 전압은 게이트 절연막의 두께 및 반도체 기판의 이온 주입 농도에 의존할 수 있다. 본 발명의 실시예에 따르면, 게이트 절연막, N형 케핑막, 및 P형 케핑막의 조합에 의하여 반도체 소자의 문턱 전압은 EOT에 변화를 거의 주지 않고 변경될 수 있다. 상기 N형 케핑막은 플랫폼 전압을 감소시키는 물질일 수 있고, 상기 P형 케핑막은 플랫폼 전압을 증가시키는 물질일 수 있다. 상기 N형 케핑막은 LaO,GdO,DyO,SrO,BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 P형 케핑막은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다.

[0028] 도 2a 및 도 2b는 본 발명의 실시예들에 따른 반도체 소자를 설명하는 단면도들이다.

[0029] 도 2a를 참조하면, 상기 반도체 소자는 반도체 기판(100), 상기 반도체 기판(100)에 배치된 제1 웰 영역(106), 상기 제1 웰 영역(106) 상에 배치된 제1 게이트 전극(140), 및 상기 제1 웰 영역(106)과 상기 제1 게이트 전극(140) 사이에 개재된 제1 N형 케핑 패턴(110), 제1 P형 케핑 패턴(130), 및 제1 게이트 절연 패턴(120)을 포함한다. 상기 제1 N형 케핑 패턴(110)은 플랫폼 전압을 감소시킬 수 있고, 상기 제1 P형 케핑 패턴(130)은 플랫폼 전압을 증가시킬 수 있다. 상기 반도체 소자는 축전기 또는 트랜지스터로 동작할 수 있다. 상기 제1 N형 케핑 패턴(110), 제1 게이트 절연 패턴(120), 및 제1 P형 케핑 패턴(130)은 차례로 적층될 수 있다.

[0030] 상기 반도체 기판(100)은 실리콘 기판 또는 SOI기판 일 수 있다. 상기 제1 웰 영역(106)은 P 웰 또는 N 웰일 수 있다. 상기 제1 게이트 전극(140)은 TaC,TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다. 상기 제1 게

이트 전극(140)은 복층 구조를 가질 수 있다. 상기 제1 게이트 전극(140)은 금속막, 금속 실리사이드, 금속 산화막, 금속 질화막, 도핑된 폴리실리콘 중에서 적어도 하나를 포함할 수 있다.

- [0031] 상기 제1 N형 케핑 패턴(110)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 제1 N형 케핑 패턴(110)은 상기 반도체 소자의 플랫 밴드 전압을 감소시킬 수 있다. 상기 제1 N형 케핑 패턴(110)의 두께는 0.1 nm 내지 10 nm일 수 있다.
- [0032] 상기 제1 P형 케핑 패턴(130)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 제1 P형 케핑 패턴(130)은 상기 반도체 소자의 플랫 밴드 전압을 증가시킬 수 있다. 상기 제1 P형 케핑 패턴(130)의 두께는 0.1 nm 내지 10 nm일 수 있다. 상기 제1 N형 케핑 패턴(110) 및 상기 제1 P형 케핑 패턴(130)의 두께는 상기 게이트 절연 패턴(120)의 두께보다 작을 수 있다.
- [0033] 상기 제1 게이트 절연 패턴(120)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 제1 게이트 절연 패턴(120)은 실리콘 산화막보다 유전율이 큰 고유전체물질일 수 있다.
- [0034] 본 발명의 변형된 실시예에 따르면, 상기 제1 P형 케핑 패턴(110) 및 상기 제1 N형 케핑 패턴(130)은 교번되면서 적층될 수 있다.
- [0035] 본 발명의 변형된 실시예에 따르면, 제1 게이트 절연 패턴(120), 상기 제1 N형 케핑 패턴(110), 및 제1 P형 케핑 패턴(130)은 차례로 적층될 수 있다.
- [0036] 본 발명의 변형된 실시예에 따르면, 상기 제1 게이트 절연 패턴(120), 상기 제1 N형 케핑 패턴(110), 및 제1 P형 케핑 패턴(130)이 적층되는 순서는 서로 변경될 수 있다.
- [0037] 본 발명의 변형된 실시예에 따르면, 상기 제1 게이트 절연 패턴(120)은 제1 하부 게이트 절연 패턴 및 제1 상부 게이트 절연 패턴을 포함할 수 있다. 상기 제1 하부 게이트 절연 패턴 및 상기 상부 게이트 절연 패턴은 서로 다른 물질일 수 있다. 또한, 상기 제1 하부 게이트 절연 패턴 및 상기 상부 게이트 절연 패턴은 서로 연속적으로 적층되지 않을 수 있다.
- [0038] 도 3은 본 발명의 다른 실시예에 따른 반도체 소자를 나타내는 사시도이다.
- [0039] 도 3을 참조하면, 상기 반도체 소자는 반도체 기판(100), 상기 반도체 기판(100)에 배치된 제1 웰 영역(106), 상기 제1 웰 영역(106) 상에 배치된 제1 게이트 전극(140), 및 상기 제1 웰 영역(106)과 상기 제1 게이트 전극(140) 사이에 개재된 제1 N형 케핑 패턴(110), 제1 P형 케핑 패턴(130), 및 제1 게이트 절연 패턴(120)을 포함한다. 상기 제1 N형 케핑 패턴(110)은 플랫 밴드 전압을 감소시킬 수 있고, 상기 제1 P형 케핑 패턴(130)은 플랫 밴드 전압을 증가시킬 수 있다. 상기 반도체 소자는 트랜지스터로 동작할 수 있다. 상기 제1 게이트 절연 패턴(120), 상기 제1 N형 케핑 패턴(110), 및 상기 제1 P형 케핑 패턴(130)은 차례로 적층될 수 있다.
- [0040] 상기 반도체 기판에 트렌치(103)를 형성하여 활성 영역(102)을 정의할 수 있다. 상기 트렌치(103)는 소자 분리막(104)에 의하여 채워질 수 있다. 상기 소자 분리막(104)은 얇은 트렌치 소자 분리 공정(shallow trench isolation process)에 의하여 형성될 수 있다. 상기 활성 영역(102)의 상부면과 상기 소자 분리막(104)의 상부면은 실질적으로 같은 높이일 수 있다.
- [0041] 상기 소자 분리막(104)이 형성된 반도체 기판(100)에 이온 주입 공정이 수행될 수 있다. 상기 이온 주입 공정은 제1 웰 영역(106)을 형성할 수 있다. 상기 제1 웰 영역(106)의 하부면은 상기 소자 분리막(104)의 하부면보다 낮을 수 있다. 상기 제1 웰 영역(106)은 P 웰 또는 N 웰일 수 있다. 상기 제1 웰 영역(106) 상에 게이트 구조체(200)가 배치될 수 있다. 상기 게이트 구조체(200)는 차례로 적층된 제1 게이트 절연 패턴(120), 제1 N형 케핑 패턴(110), 제1 P형 케핑 패턴(130), 및 제1 게이트 전극(140)을 포함할 수 있다. 상기 게이트 구조체(200)의 측벽에는 스페이서 절연막(190)이 배치될 수 있다. 상기 게이트 구조체(200)의 양측의 상기 활성 영역(102)에 소오스/드레인(107)이 배치될 수 있다.
- [0042] 도 4 내지 도 6은 본 발명의 실시예들에 따른 반도체 소자를 설명하는 사시도들이다.
- [0043] 도 4를 참조하면, 상기 반도체 소자는 반도체 기판(100), 상기 반도체 기판(100)에 배치된 제1 웰 영역(106n), 상기 제1 웰 영역(106n) 상에 배치된 제1 게이트 구조체(200n), 상기 반도체 기판(100)에 배치된 제2 웰 영역(106p), 상기 제2 웰 영역(106p) 상에 배치된 제2 게이트 구조체(200p)를 포함할 수 있다. 상기 제1 게이트 구

구조체(200n)는 제1 게이트 전극(140n), 상기 제1 웰 영역(106n)과 상기 제1 게이트 전극(140n) 사이에 개재된 제1 N형 케핑 패턴(110n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 절연 패턴(120n)을 포함할 수 있다. 상기 제1 게이트 절연 패턴(120n)은 제1 하부 게이트 절연 패턴(122n) 및 제1 상부 게이트 절연 패턴(124n)을 포함할 수 있다. 상기 제1 N형 케핑 패턴(110n)은 플랫 밴드 전압을 감소시킬 수 있고, 상기 제1 P형 케핑 패턴(130n)은 플랫 밴드 전압을 증가시킬 수 있다.

[0044] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 배치된 제2 게이트 전극(140p), 상기 제2 웰 영역(106p)과 상기 제2 게이트 전극(140p) 사이에 개재된 제2 P형 케핑 패턴(130p), 및 제2 게이트 절연 패턴(120p)을 포함할 수 있다. 상기 제1 게이트 전극(140n)과 상기 제2 게이트 전극(140p)은 같은 물질일 수 있다. 상기 제2 게이트 절연 패턴(120p)은 제2 하부 게이트 절연 패턴(122p) 및 제2 상부 게이트 절연 패턴(124p)을 포함할 수 있다.

[0045] 상기 반도체 기판(100)에 소자분리막(104)이 배치된다. 상기 소자 분리막(104)은 얇은 트렌치 소자 분리 공정에 의하여 형성될 수 있다. 상기 소자분리막(104)에 의하여 활성 영역이 정의된다. 상기 소자 분리막은 활성 영역을 서로 전기적으로 서로 분리할 수 있다. 상기 반도체 기판 상에 제1 게이트 구조체(200n) 및 제2 게이트 구조체(200p)가 배치될 수 있다. 상기 제1 웰 영역(106n)은 P형 불순물로 도핑될 수 있다. 상기 제2 웰 영역(106p)은 N형 불순물로 도핑될 수 있다. 상기 제1 웰 영역(106n)에 NMOS가 배치될 수 있고, 상기 제2 웰 영역(106p)에 PMOS가 배치될 수 있다.

[0046] NMOS는 상기 제1 웰 영역(106n) 및 상기 제1 게이트 구조체(200n)를 포함할 수 있다. PMOS는 상기 제2 웰 영역(106p) 및 상기 제2 게이트 구조체(106p)를 포함할 수 있다.

[0047] 상기 제1 N형 케핑 패턴(110n)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 제1 P형 케핑 패턴(130n) 및 상기 제2 P형 케핑 패턴(130p)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 제1 P형 케핑 패턴(130n)과 상기 제2 P형 케핑 패턴(130p)은 같은 물질일 수 있다.

[0048] 상기 제1 하부 게이트 절연 패턴(122n), 상기 제1 상부 게이트 절연 패턴(124n), 상기 제2 하부 게이트 절연 패턴(122p), 및 상기 제2 상부 게이트 절연 패턴(124p)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 제1 하부 게이트 절연 패턴(122n)과 상기 제2 하부 게이트 절연 패턴(122p)은 같은 물질일 수 있다. 상기 제1 상부 게이트 절연 패턴(124n)과 상기 제2 상부 게이트 절연 패턴(124p)은 같은 물질일 수 있다.

[0049] 상기 제1 게이트 전극(140n) 및 상기 제2 게이트 전극(140p)은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다. 상기 제1,2 게이트 전극(140n, 140p)은 복층 구조를 가질 수 있다. 상기 제1,2 게이트 전극(140n, 140p)은 금속막, 금속 실리콘사이드, 금속 산화막, 금속 질화막, 도핑된 폴리실리콘 중에서 적어도 하나를 포함할 수 있다. 상기 제1 게이트 전극(140n)과 상기 제2 게이트 전극(140p)은 같은 물질일 수 있다.

[0050] 본 발명의 변형된 실시예에 따르면, 상기 제1 하부 게이트 절연 패턴(122n) 및 상기 제2 하부 게이트 절연 패턴(122p)은 제거될 수 있다.

[0051] 45nm급 이하의 MOS 트랜지스터의 게이트 구조체는 고유전체막/금속 게이트 전극이 가능하다. 고유전체막/금속 게이트 전극의 게이트 구조체는 고유전체/폴리 실리콘 구조에 비하여 문턱 전압을 낮출 수 있다. 그러나, 실용화되기 위하여는 고유전체막/금속 게이트 전극의 게이트 구조체의 문턱 전압은 더 낮아져야 한다.

[0052] 듀얼 금속 게이트(dual metal gate)를 이용하는 CMOS의 경우, NMOS 및 PMOS에 최적의 금속 게이트 물질의 확보가 어렵다. 또한, 듀얼 금속 게이트 공정은 고유전체막에 손상을 유발할 수 있다. 하나의 금속 게이트(single metal gate)를 사용하고 하나의 케핑막을 사용하는 CMOS의 경우, PMOS에만 케핑막을 적용할 수 있다. 따라서, 최적의 NMOS 금속 게이트 물질을 확보해야 하며, PMOS 형성 공정시 고유전체막이 손상될 수 있다.

[0053] 하나의 금속 게이트를 사용하고 두개의 케핑막을 사용하는 CMOS의 경우, NMOS 및 PMOS에 각각 다른 케핑막을 증착 및 제거해야 하는 공정의 복잡성을 가질 수 있다. 또한, NMOS 및 PMOS 공정시 고유전체막이 손상될 수 있다. 따라서, 본 발명의 일 실시예에 따른 반도체 소자는 상술한 문제점을 극복하고, 문턱 전압 감소 효과가 P형 케핑막에 비하여 우수한 N형 케핑막을 이용하는 방법을 제시한다.

- [0054] 도 5를 참조하면, 상기 반도체 소자는 반도체 기판(100), 상기 반도체 기판(100)에 배치된 제1 웰 영역(106n), 상기 제1 웰 영역(106n) 상에 배치된 제1 게이트 구조체(200n), 상기 반도체 기판(100)에 배치된 제2 웰 영역(106p), 상기 제1 웰 영역(106p) 상에 배치된 제2 게이트 구조체(200p)를 포함할 수 있다.
- [0055] 상기 제1 게이트 구조체(200n)는 상기 제1 웰 영역(106n) 상에 차례로 적층된 제1 N형 케핑 패턴(110n), 제1 게이트 절연 패턴(120n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 전극(140n)을 포함할 수 있다.
- [0056] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 차례로 적층된 제2 하부 게이트 절연 패턴(122p), 제2 상부 게이트 절연 패턴(124p), 제2 P형 케핑 패턴(130p), 및 제2 게이트 전극(140p)을 포함할 수 있다. 제2 게이트 절연 패턴(120p)은 상기 제2 하부 게이트 절연 패턴(122p) 및 상기 제2 상부 게이트 절연 패턴(124p)을 포함할 수 있다.
- [0057] 상기 제1 게이트 전극(140n)과 상기 제2 게이트 전극(140p)은 같은 물질일 수 있다. 상기 제1 게이트 절연 패턴(120n)과 상기 제2 상부 게이트 절연 패턴(124p)은 같은 물질일 수 있다. 상기 제1 P형 케핑 패턴(130n)과 상기 제2 P형 케핑 패턴(130p)은 같은 물질 일 수 있다.
- [0058] 상기 제1 N형 케핑 패턴(110n)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 제1 P형 케핑 패턴(130n) 및 상기 제2 P형 케핑 패턴(130p)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다.
- [0059] 상기 제1 게이트 절연 패턴(120n), 상기 제2 하부 게이트 절연 패턴(122p), 및 상기 제2 상부 게이트 절연 패턴(124p)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다.
- [0060] 도 6을 참조하면, 상기 반도체 소자는 반도체 기판(100), 상기 반도체 기판(100)에 배치된 제1 웰 영역(106n), 상기 제1 웰 영역(106n) 상에 배치된 제1 게이트 구조체(200n), 상기 반도체 기판(100)에 배치된 제2 웰 영역(106p), 상기 제2 웰 영역(106p) 상에 배치된 제2 게이트 구조체(200p)를 포함할 수 있다.
- [0061] 상기 제1 게이트 구조체(200n)는 상기 제1 웰 영역(106n) 상에 차례로 적층된 제1 N형 케핑 패턴(110n), 제1 게이트 절연 패턴(120n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 전극(140n)을 포함할 수 있다.
- [0062] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 차례로 적층된 제2 게이트 절연 패턴(120p), 제2 P형 케핑 패턴(130p), 및 제2 게이트 전극(140p)을 포함할 수 있다. 상기 제1 게이트 전극(140n)과 상기 제2 게이트 전극(140p)은 같은 물질일 수 있다. 상기 제1 게이트 절연 패턴(120n)과 상기 제2 게이트 절연 패턴(120p)은 같은 물질일 수 있다. 상기 제1 게이트 절연 패턴(120n)의 두께와 상기 제2 게이트 절연 패턴(120p)의 두께는 서로 다를 수 있다. 상기 제1 P형 케핑 패턴(130n)과 상기 제2 P형 케핑 패턴(130p)은 같은 물질 일 수 있다.
- [0063] 도 7a 내지 도 7e는 본 발명의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하는 사시도들이다.
- [0064] 도 7a를 참조하면, 반도체 기판(100) 상에 트렌치(103)를 형성하여 활성 영역(102)을 정의한다. 소자 분리막(104)은 상기 트렌치(103)를 채울 수 있다. 상기 소자분리막(104)의 상부면은 상기 활성영역(102)의 상부면과 실질적으로 같은 높이일 수 있다. 상기 소자분리막(104)은 얇은 트렌치 소자 분리 공정에 의하여 수행될 수 있다. 상기 소자 분리막(104)의 형성 후, 상기 반도체 기판(100)에 제1 웰 영역(106n) 및 제2 웰 영역(106p)을 형성할 수 있다. 상기 제1 웰 영역(106n) 및 상기 제2 웰 영역(106p)은 이온 주입 공정에 의하여 수행될 수 있다. 상기 제1 웰 영역(106n)은 P 웰일 수 있고, 상기 제2 웰 영역(106p)은 N 웰일 수 있다. 본 발명의 변형된 실시예에 따르면, 상기 제1 웰 영역(106n) 및 상기 제2 웰 영역(106p)의 형성은 상기 소자 분리막(104)이 형성되기 전에 수행될 수 있다.
- [0065] 도 7b를 참조하면, 상기 반도체 기판(100)의 전면에 하부 게이트 절연막(122)을 형성할 수 있다. 상기 하부 게이트 절연막(122)은 실리콘 산화막, 실리콘 산화질화막, 고유전체막 중에서 적어도 하나일 수 있다. 상기 하부 게이트 절연막(122)은 화학 기상 증착법, 열 산화법, 또는 원자층 증착법으로 형성할 수 있다. 열 산화막인 경우, 상기 소자 분리막(104) 상에는 하부 게이트 절연막(122)이 성장하지 않을 수 있다.
- [0066] 상기 하부 게이트 절연막(122) 상에 N형 케핑막(112)을 형성할 수 있다. 이어서, 상기 제2 웰 영역(106p) 상의 상기 N형 케핑막(112)은 선택적으로 식각될 수 있다. 상기 선택적 식각은 습식 식각 또는 건식 식각일 수 있다. 상기 N형 케핑막(112)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 N형 케핑

막(112)은 반도체 소자의 플랫 밴드 전압을 감소시킬 수 있다.

- [0067] 본 발명의 변형된 실시예에 따르면, 상기 하부 게이트 절연막(122)을 형성하지 않고, 상기 제1 웰 영역(106n)에 만 상기 N형 케핑막(112)이 형성될 수 있다.
- [0068] 도 7c를 참조하면, 상기 반도체 기판(100)의 전면에 상부 게이트 절연막(124)을 형성할 수 있다. 상기 상부 게이트 절연막(124)은 화학 기상 증착법, 또는 원자층 증착법으로 형성할 수 있다. 상기 상부 게이트 절연막(124)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다.
- [0069] 도 7d를 참조하면, 반도체 기판(100) 전면 상에 P형 케핑막(132)을 형성할 수 있다. 상기 P형 케핑막(132)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 P형 케핑막(132)은 화학 기상 증착법, 또는 원자층 증착법으로 형성할 수 있다. 상기 P형 케핑막(132)은 반도체 소자의 플랫 밴드 전압을 증가시킬 수 있다.
- [0070] 도 7e를 참조하면, 상기 반도체 기판(100) 전면 상에 게이트 도전막(142)을 형성할 수 있다. 상기 게이트 도전막(142)은 물리적 기상 증착법, 화학 기상 증착법, 또는 원자층 증착법에 의하여 형성될 수 있다. 상기 게이트 도전막(142)은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 도전막(142)은 복층 구조를 가질 수 있다. 상기 게이트 도전막(142)은 금속막, 금속 산화막, 금속 질화막, 도핑된 폴리실리콘 중에서 적어도 하나를 포함할 수 있다.
- [0071] 다시 도 4를 참조하면, 상기 게이트 도전막(142) 및 그 하부에 적층된 물질을 패터닝하여 제1 게이트 구조체(200n) 및 제2 게이트 구조체(200p)를 형성할 수 있다.
- [0072] 상기 제1 게이트 구조체(200n)는 상기 제1 웰 영역(106n) 상에 차례로 적층된 제1 하부 게이트 절연 패턴(122n), 제1 N형 케핑 패턴(110n), 제1 상부 게이트 절연 패턴(124n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 전극(140n)을 포함할 수 있다.
- [0073] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 차례로 적층된 제2 하부 게이트 절연 패턴(122p), 제2 상부 게이트 절연 패턴(124p), 제2 P형 케핑 패턴(130p), 및 제2 게이트 전극(140p)을 포함할 수 있다.
- [0074] 상기 제1 게이트 구조체(200n) 및 상기 제2 게이트 구조체(200p)의 측면에 스페이서 절연막이 배치될 수 있다. 상기 제1 게이트 구조체(200n)의 양측의 활성영역에 소오스/드레인(미도시)이 형성될 수 있다. 상기 제2 게이트 구조체(200p)의 양측의 활성영역에 소오스/드레인이 형성될 수 있다. 상기 소오스/드레인의 도전형은 상기 제1 웰 영역 또는 상기 제2 웰 영역의 도전형과 반대일 수 있다.
- [0075] 도 8a 내지 도 8f는 본 발명의 다른 실시예에 따른 반도체 소자를 형성하는 방법을 설명하는 사시도들이다.
- [0076] 도 8a를 참조하면, 반도체 기판(100) 상에 트렌치(103)를 형성하여 활성 영역을 정의한다. 소자 분리막(104)은 상기 트렌치(103)를 채울 수 있다. 상기 소자분리막(103)의 상부면은 상기 활성영역의 상부면과 실질적으로 같은 높이일 수 있다. 상기 소자분리막(103)은 얇은 트렌치 소자 분리 공정에 의하여 수행될 수 있다. 상기 소자 분리막(104)의 형성 후, 상기 반도체 기판(100)에 제1 웰 영역(106n) 및 제2 웰 영역(106p)을 형성할 수 있다. 상기 제1 웰 영역(106n) 및 상기 제2 웰 영역(106p)은 이온 주입 공정에 의하여 수행될 수 있다. 상기 제1 웰 영역(106n)은 P 웰일 수 있고, 상기 제2 웰 영역(106p)은 N 웰일 수 있다. 본 발명의 변형된 실시예에 따르면, 상기 제1 웰 영역(106n) 및 상기 제2 웰 영역(106)은 상기 소자 분리막(104)이 형성되기 전에 형성될 수 있다. 상기 반도체 기판(100)의 전면에 N형 케핑막(112)을 형성할 수 있다. 상기 N형 케핑막(112)을 패터닝하여 상기 제2 웰 영역(106p) 상의 상기 N형 케핑막(112)을 식각할 수 있다. 상기 식각은 습식 식각 또는 건식 식각일 수 있다.
- [0077] 도 8b를 참조하면, 상기 제2 웰 영역(106p) 상에 선택적으로 상기 하부 게이트 절연막(123)을 형성할 수 있다. 상기 하부 게이트 절연막(123)은 실리콘 산화막 또는 실리콘산화질화막일 수 있다. 상기 하부 게이트 절연막(123)은 열산화 공정, 물리적 기상 증착법, 화학 기상 증착법, 또는 원자층 증착법에 의하여 형성될 수 있다.
- [0078] 도 8c를 참조하면, 상기 N형 케핑막(112) 및 상기 하부 게이트 절연막(123)이 형성된 반도체 기판 전면에서 질화 공정을 수행할 수 있다. 상기 질화공정은 질소를 포함하는 플라즈마를 이용하여 될 수 있다. 상기 질화 공정은 상기 반도체 기판(100)과 상기 N형 케핑막(112) 사이의 계면(interface) 특성 및 상기 반도체 기판(100)과 상기

하부 게이트 절연막(123) 사이의 계면 특성을 향상시킬 수 있다. 상기 질화 공정은 유효 산화막 두께(EOT)의 증가를 억제할 수 있다.

- [0079] 도 8d를 참조하면, 상기 N형 케핑막(112) 및 상기 하부 게이트 절연막(123) 상에 상부 게이트 절연막(125)을 형성할 수 있다. 상기 상부 게이트 절연막(125)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 상부 게이트 절연막(125)은 물리적 기상 증착법, 화학 기상 증착법, 또는 원자층 증착법에 의하여 형성될 수 있다.
- [0080] 도 8e를 참조하면, 상기 반도체 기판(100) 전면 상에 P형 케핑막(132)을 형성할 수 있다. 상기 P형 케핑막(132)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다.
- [0081] 도 8f를 참조하면, 상기 반도체 기판(100) 전면 상에 게이트 도전막(142)을 형성할 수 있다. 상기 게이트 도전막(142)은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 도전막(142)은 복층 구조를 가질 수 있다. 상기 게이트 도전막(142)은 금속막, 금속 산화막, 금속 질화막, 도핑된 폴리실리콘 중에서 적어도 하나를 포함할 수 있다.
- [0082] 다시 도 5를 참조하면, 상기 게이트 도전막(142) 및 그 하부에 적층된 물질을 패터닝하여 제1 게이트 구조체(200n) 및 제2 게이트 구조체(200p)를 형성할 수 있다.
- [0083] 상기 제1 게이트 구조체(200n)는 상기 제1 웰 영역(106n) 상에 차례로 적층된 제1 N형 케핑 패턴(110n), 제1 게이트 절연 패턴(120n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 전극(140n)을 포함할 수 있다.
- [0084] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 차례로 적층된 제2 하부 게이트 절연 패턴(122p), 제2 상부 게이트 절연 패턴(124p), 제2 P형 케핑 패턴(130p), 및 제2 게이트 전극(140p)을 포함할 수 있다.
- [0085] 도 9a 내지 도 9d는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성방법을 설명하는 사시도들이다.
- [0086] 도 9a를 참조하면, 반도체 기판(100) 상에 트렌치(103)를 형성하여 활성 영역을 정의한다. 소자 분리막(104)은 상기 트렌치(103)를 채울 수 있다. 상기 소자분리막(104)의 상부면은 상기 활성영역의 상부면과 실질적으로 같은 높이일 수 있다. 상기 소자분리막(104)은 얇은 트렌치 소자 분리 공정에 의하여 수행될 수 있다. 상기 소자분리막(104)의 형성 후, 상기 반도체 기판(100)에 제1 웰 영역(106n) 및 제2 웰 영역(106p)을 형성할 수 있다. 상기 제1 웰 영역(106n) 및 상기 제2 웰 영역(106p)은 이온 주입 공정에 의하여 수행될 수 있다. 상기 제1 웰 영역(106n)은 P 웰일 수 있고, 상기 제2 웰 영역(106p)은 N 웰일 수 있다.
- [0087] 상기 반도체 기판(100)의 전면 상에 N형 케핑막(112)을 형성할 수 있다. 상기 N형 케핑막(112)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 N형 케핑막(112)은 반도체 소자의 플랫폼 밴드 전압을 감소시킬 수 있다. 상기 N형 케핑막(112)을 패터닝하여 상기 제2 웰 영역(106p) 상의 상기 N형 케핑막(112)을 식각할 수 있다. 상기 식각은 습식 식각 또는 건식 식각일 수 있다.
- [0088] 도 9b를 참조하면, 상기 반도체 기판(100) 전면 상에 게이트 절연막(126)을 형성할 수 있다. 상기 게이트 절연막(126)은 상기 N형 케핑막 패턴(112) 및 상기 제2 웰 영역(106p) 상에 형성될 수 있다. 상기 게이트 절연막(126)은 화학 기상 증착법 또는 원자층 증착법에 의하여 형성될 수 있다. 상기 게이트 절연막(126)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 N형 케핑막 패턴(112) 상의 상기 게이트 절연막(126)의 두께는 상기 제2 웰 영역(106p) 상의 상기 게이트 절연막(126)의 두께보다 작을 수 있다.
- [0089] 도 9c를 참조하면, 상기 게이트 절연막(126) 상에 P형 케핑막(132)을 형성할 수 있다. 상기 P형 케핑막(132)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다.
- [0090] 도 9d를 참조하면, 상기 P형 케핑막(132) 상에 게이트 도전막(142)을 형성할 수 있다. 상기 게이트 도전막(142)은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 도전막(142)은 복층 구조를 가질 수 있다. 상기 게이트 도전막(142)은 금속막, 금속 산화막, 금속 질화막, 도핑된 폴리실리콘 중에서 적어도 하나를 포함할 수 있다.

- [0091] 다시, 도 6을 참조하면, 상기 게이트 도전막(142) 및 그 하부에 적층된 물질을 패터닝하여 제1 게이트 구조체(200n) 및 제2 게이트 구조체(200p)를 형성할 수 있다.
- [0092] 상기 제1 게이트 구조체(200n)는 상기 제1 웰 영역(106n) 상에 차례로 적층된 제1 N형 케핑 패턴(110n), 제1 게이트 절연 패턴(120n), 제1 P형 케핑 패턴(130n), 및 제1 게이트 전극(140n)을 포함할 수 있다.
- [0093] 상기 제2 게이트 구조체(200p)는 상기 제2 웰 영역(106p) 상에 차례로 적층된 제2 게이트 절연 패턴(120p), 제2 P형 케핑 패턴(130p), 및 제2 게이트 전극(140p)을 포함할 수 있다.
- [0094] 도 10은 본 발명의 일 실시예에 따른 반도체 소자를 설명하는 사시도이다.
- [0095] 도 10을 참조하면, 반도체 기판(300)에 상기 반도체 기판(360)으로부터 수직으로 연장된 반도체 핀(350)이 배치된다. 상기 반도체 핀(fin, 300)의 상부를 가로지르는 게이트 전극(340)이 배치된다. 상기 게이트 전극(340)은 상기 반도체 핀(350)의 양쪽 측벽들 및 상면의 상부를 지날 수 있다. 상기 게이트 전극(340)과 상기 반도체 핀(350) 사이에 게이트 절연 패턴(320), N형 케핑 패턴(310), P형 케핑 패턴(330)이 배치될 수 있다. 상기 반도체 핀(350)의 상부 영역은 제1 웰 영역(306)일 수 있다. 상기 제1 웰 영역(306)은 N형 또는 P형 불순물로 도핑될 수 있다. 상기 게이트 전극(340)의 양측의 상기 반도체 핀(350)은 소오스/드레인일 수 있다.
- [0096] 상기 게이트 절연 패턴(320)은 실리콘 산화막, 실리콘 산화질화막, 하프늄 산화막, 하프늄 실리콘 산화막, 지르코늄 산화막, 지르코늄 실리콘 산화막, 하프늄 산화질화막, 하프늄 실리콘 산화질화막, 지르코늄 산화질화막, 지르코늄 실리콘 산화질화막, 및 타이타늄 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 N형 케핑 패턴(310)은 LaO, GdO, DyO, SrO, BaO, 및 ErO 중에서 적어도 하나를 포함할 수 있다. 상기 P형 케핑 패턴(330)은 알루미늄산화막, 및 알루미늄 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 전극(340)은 TaC, TaN, TaCN, 및 TiN 중에서 적어도 하나를 포함할 수 있다.
- [0097] 도 11은 본 발명의 실시예들에 따른 반도체 소자를 갖는 전자 시스템을 나타내는 블록도이다.
- [0098] 도 11를 참조하면, 전자 시스템(1300)은 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)를 포함할 수 있다. 상기 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)는 버스(1350, bus)를 통하여 서로 결합되어 있다. 상기 반도체 소자는 상기 기억 장치(1330)에 포함될 수 있다. 상기 버스(1350)는 데이터들이 이동하는 통로에 해당한다. 상기 제어기(1310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1320)는 키패드, 키보드 및 표시 장치(display device)등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1330)는 데이터를 저장하는 장치이다. 상기 기억 장치(1330)는 데이터 및/또는 상기 제어기(1310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(1330)는 상술한 실시예들에 개시된 반도체 소자들 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 전자 시스템(1300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1340)를 더 포함할 수 있다. 상기 인터페이스(1340)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1340)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다.
- [0099] 상기 전자 시스템(1300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 또는 정보 전송/수신 시스템 등일 수 있다. 상기 전자 시스템(1300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.
- [0100] 다음으로, 본 발명의 실시예들에 따른 메모리 카드를 도면을 참조하여 구체적으로 설명한다.
- [0101] 도 12는 본 발명의 실시예들에 따른 반도체 소자를 갖는 메모리 카드를 나타내는 블록도이다.
- [0102] 도 12을 참조하면, 메모리 카드(1400)는 비휘발성 기억 장치(1410) 및 메모리 제어기(1420)를 포함한다. 상기 반도체 소자는 상기 비휘발성 기억 장치 또는 메모리 제어기(1420)에 포함될 수 있다. 상기 비휘발성 기억 장치(1410)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 상기 비휘발성 기억 장치(1410)는 실시예들에 개시된 비휘발성 기억 소자들 중에서 적어도 하나를 포함한다. 상기 메모리 제어기(1420)는 호스트(host)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 비휘발성 기억 장치(1410)를

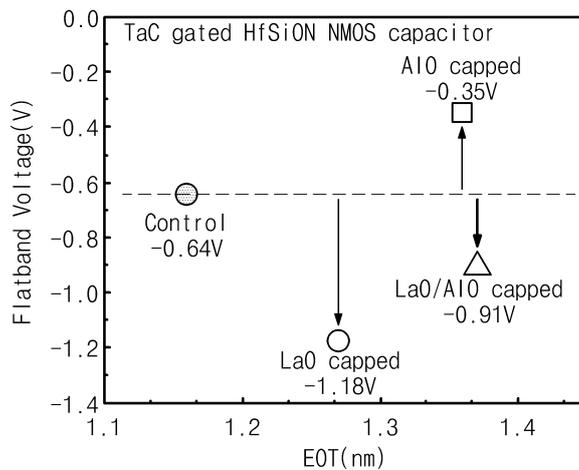
제어한다.

도면의 간단한 설명

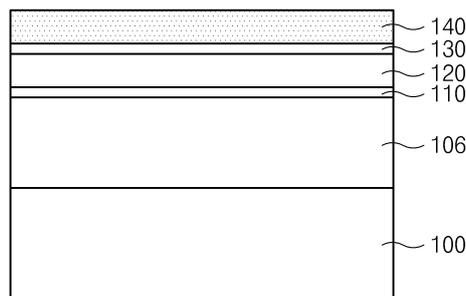
- [0103] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 구조(NMOS 축전기(capacitor))에 따른 플랫폼 전압(flat band voltage)을 설명하는 도면이다.
- [0104] 도 2a 및 도 2b는 본 발명의 실시예들에 따른 반도체 소자를 설명하는 단면도들이다.
- [0105] 도 3은 본 발명의 다른 실시예에 따른 반도체 소자를 나타내는 사시도이다.
- [0106] 도 4 내지 도 6은 본 발명의 실시예들에 따른 반도체 소자를 설명하는 사시도들이다.
- [0107] 도 7a 내지 도 7e는 본 발명의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하는 사시도들이다.
- [0108] 도 8a 내지 도 8f는 본 발명의 다른 실시예에 따른 반도체 소자를 형성하는 방법을 설명하는 사시도들이다.
- [0109] 도 9a 내지 도 9d는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성방법을 설명하는 사시도들이다.
- [0110] 도 10은 본 발명의 일 실시예에 따른 반도체 소자를 설명하는 사시도이다.
- [0111] 도 11은 본 발명의 실시예들에 따른 반도체 소자를 갖는 전자 시스템을 나타내는 블록도이다.
- [0112] 도 12는 본 발명의 실시예들에 따른 반도체 소자를 갖는 메모리 카드를 나타내는 블록도이다.

도면

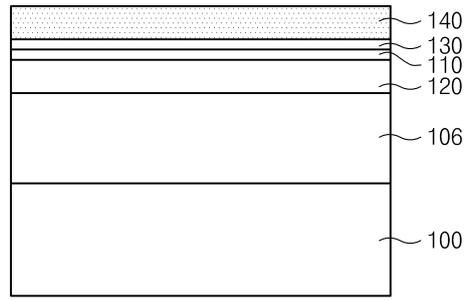
도면1



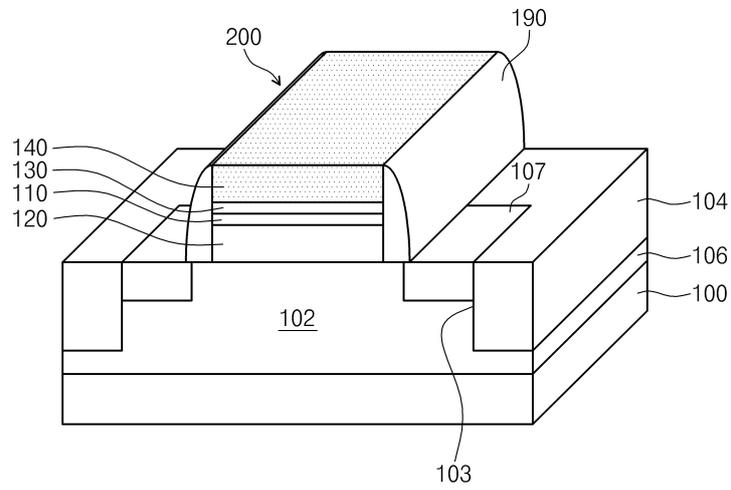
도면2a



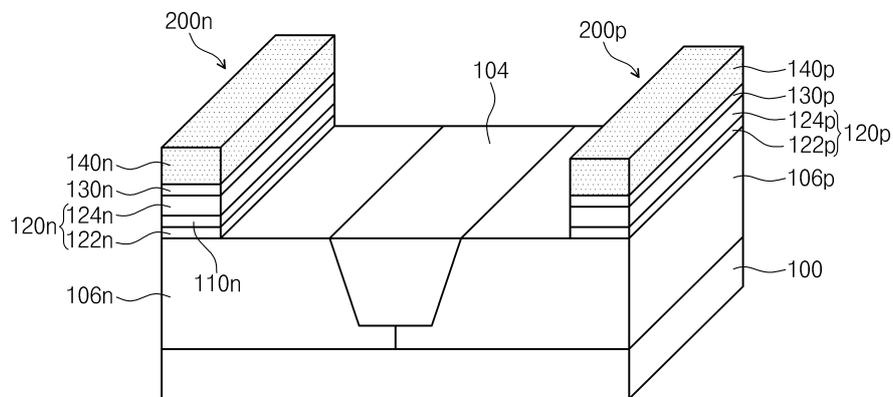
도면2b



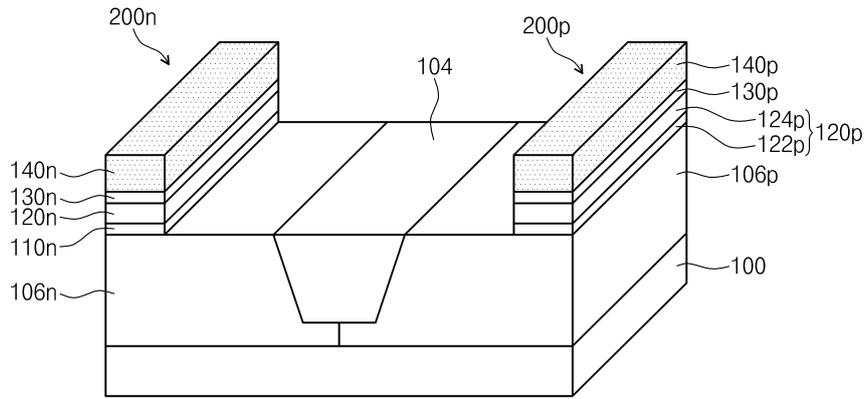
도면3



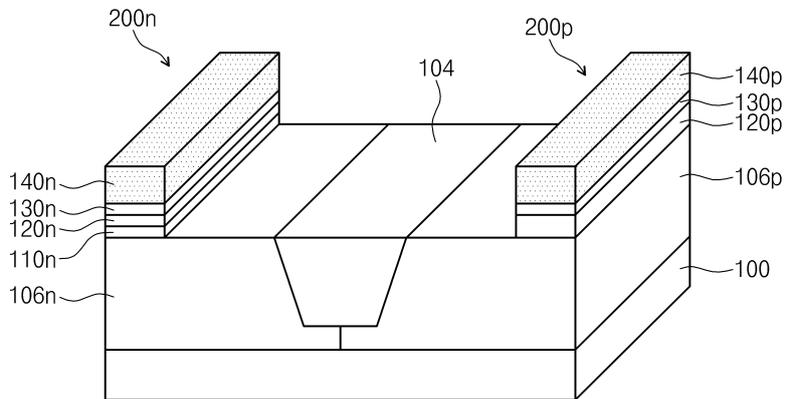
도면4



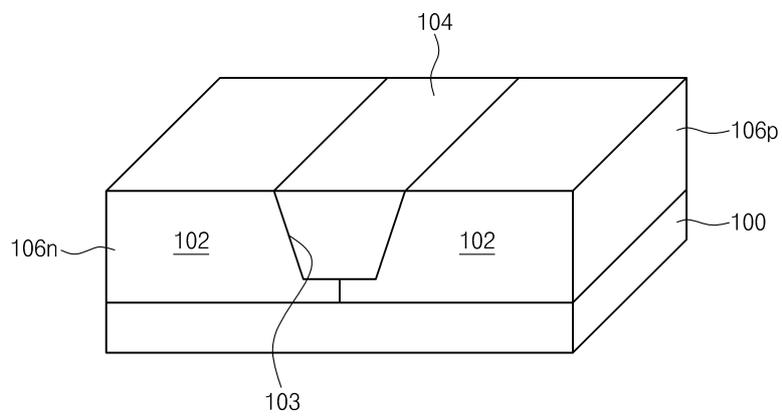
도면5



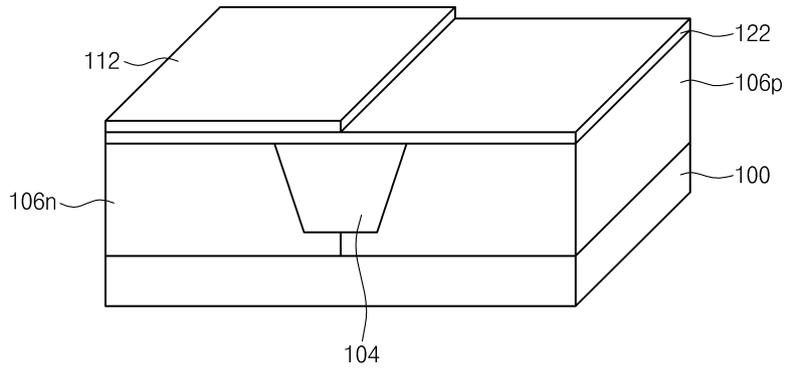
도면6



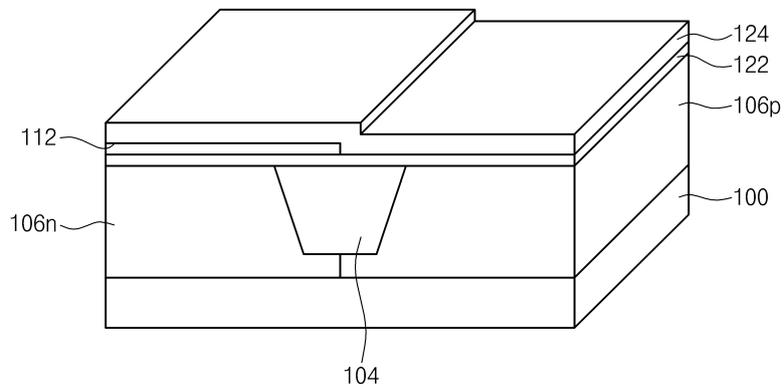
도면7a



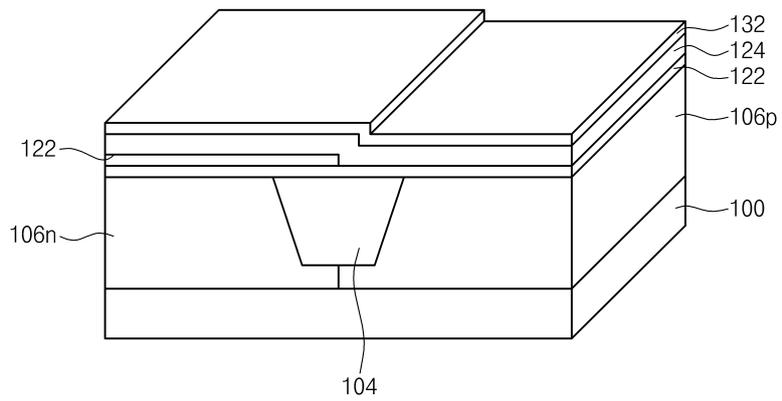
도면7b



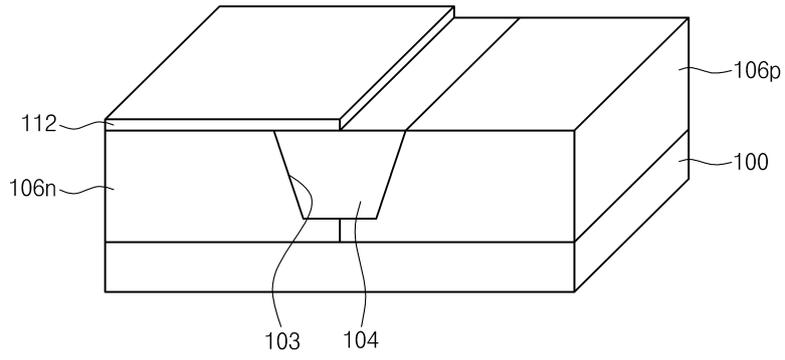
도면7c



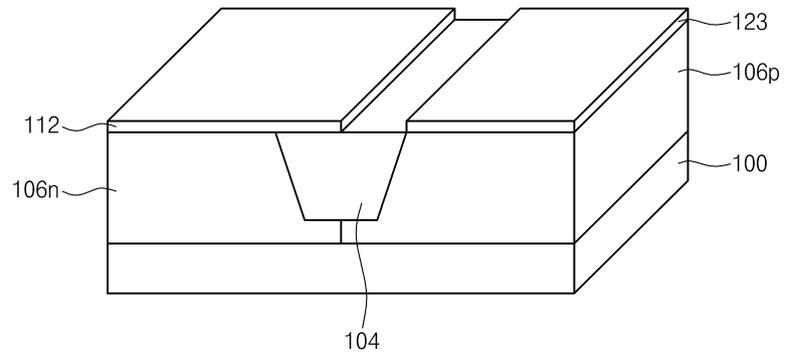
도면7d



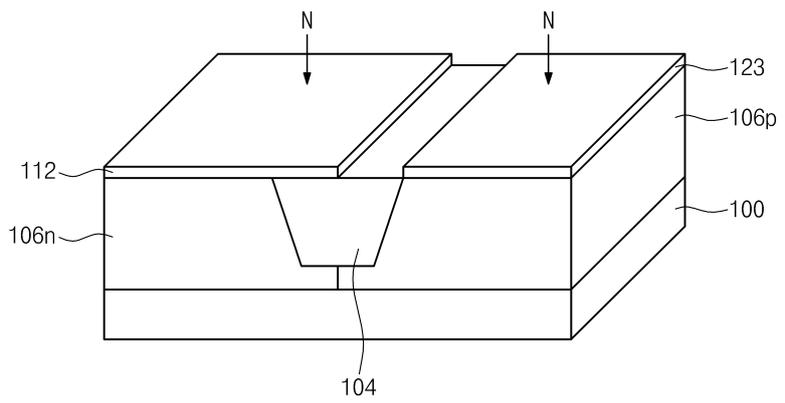
도면8a



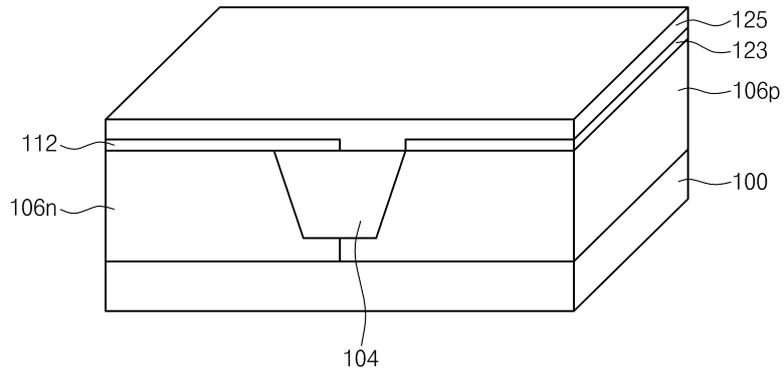
도면8b



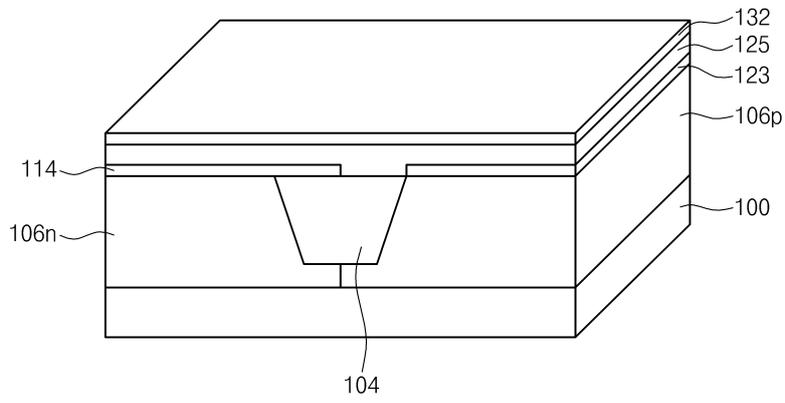
도면8c



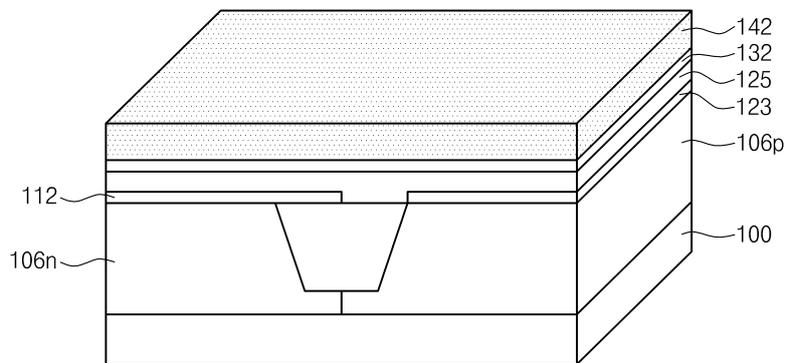
도면8d



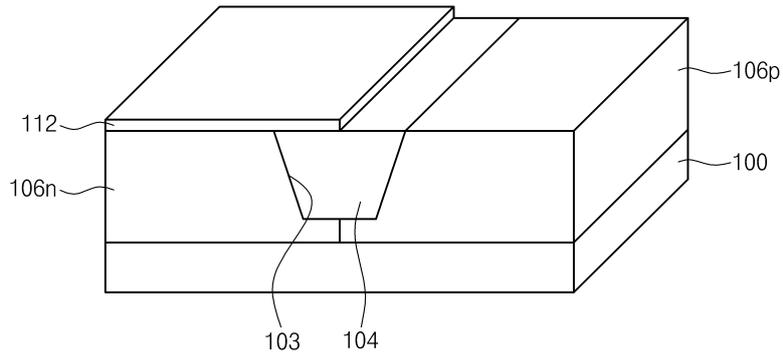
도면8e



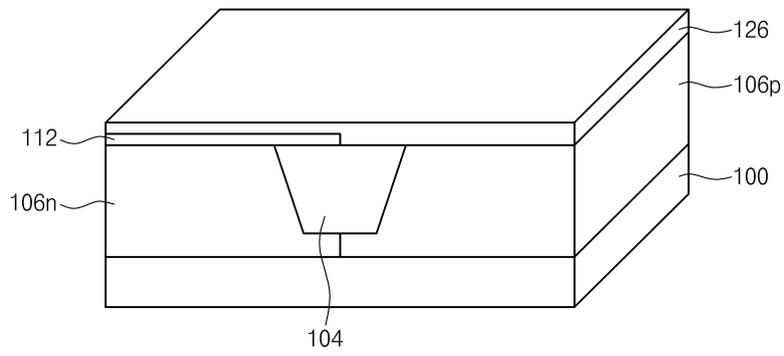
도면8f



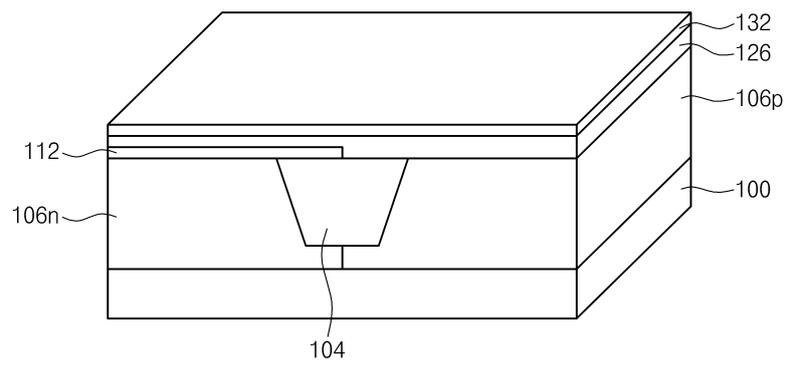
도면9a



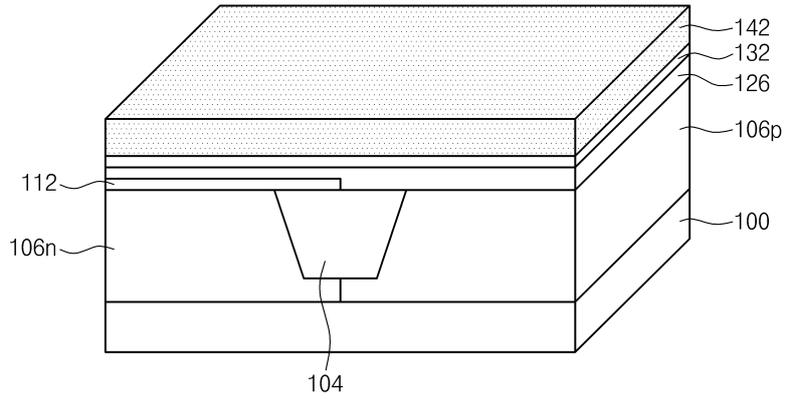
도면9b



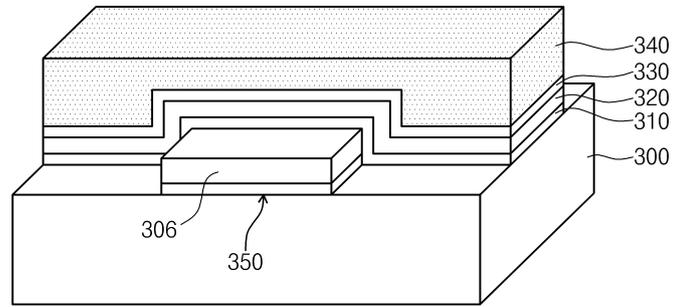
도면9c



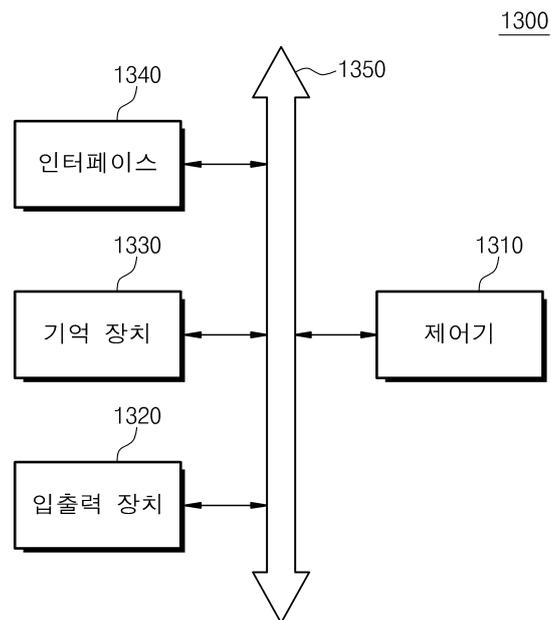
도면9d



도면10



도면11



도면12

