



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월05일
(11) 등록번호 10-1089948
(24) 등록일자 2011년11월29일

(51) Int. Cl.
H05K 1/02 (2006.01) H01Q 1/38 (2006.01)
(21) 출원번호 10-2010-0040465
(22) 출원일자 2010년04월30일
심사청구일자 2010년04월30일
(65) 공개번호 10-2011-0121054
(43) 공개일자 2011년11월07일
(56) 선행기술조사문헌
US20090265930 A1*
JP2007158158 A
US20050122698 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매탄동 314
(72) 발명자
박승욱
경기도 수원시 영통구 매탄동 825-2 201호
권영도
서울시 송파구 잠실5동 27번지아파트 527-1001
박미진
경기도 수원시 영통구 영통동 1015-2 303호
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 9 항

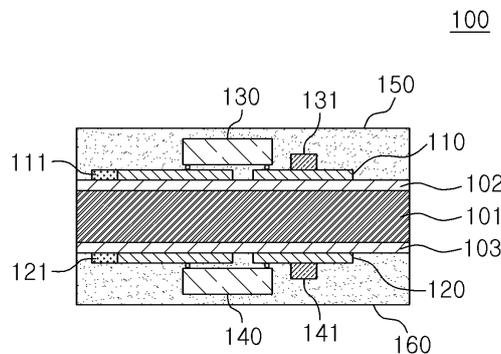
심사관 : 김종희

(54) 회로기판 및 이의 제조방법

(57) 요약

본 발명은 회로 기판 및 이의 제조방법에 관한 것으로, 본 발명에 따른 회로 기판은 기판의 일면에 형성되는 제1 배선 패턴, 상기 기판의 타면에 형성되는 제2 배선 패턴, 상기 기판의 일면에 형성되며 상기 제1 배선 패턴에 연결되는 RF 송신부, 및 상기 기판의 타면에 상기 RF 송신부와 짝을 이루어 형성되며, 상기 제2 배선 패턴에 연결되는 RF 수신부를 포함하고, 상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여 상기 제1 배선 패턴과 상기 제2 배선 패턴이 전기적으로 연결된다.

대표도 - 도1



특허청구의 범위

청구항 1

기판의 일면에 형성되는 제1 배선 패턴;

상기 기판의 타면에 형성되는 제2 배선 패턴;

상기 기판의 일면에 형성되며 상기 제1 배선 패턴에 연결되는 RF 송신부; 및

상기 기판의 타면에 상기 RF 송신부와 짝을 이루어 형성되며, 상기 제2 배선 패턴에 연결되는 RF 수신부; 를 포함하고,

상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여 상기 제1 배선 패턴과 상기 제2 배선 패턴이 전기적으로 연결되는 것을 특징으로 하는 회로 기판.

청구항 2

제1항에 있어서,

상기 RF 송신부는 안테나이며, 상기 RF 수신부는 트랜시버인 것을 특징으로 하는 회로 기판.

청구항 3

제1항에 있어서,

상기 RF 수신부는 상기 RF 송신부의 위치와 대응하는 위치에 형성되는 것을 특징으로 하는 회로 기판.

청구항 4

제1항에 있어서,

상기 기판의 일면 및 타면 중 적어도 하나의 면에서 상기 기판의 내측을 향하여 형성되는 캐비티를 더 포함하고,

상기 캐비티에 수동소자가 내장되는 것을 특징으로 하는 회로 기판.

청구항 5

제1항에 있어서,

상기 기판의 상면 및 하면에, 상기 제1 배선 패턴, 상기 제2 배선 패턴, 상기 RF 송신부, 및 상기 RF 수신부를 덮도록 보호막이 형성되는 것을 특징으로 하는 회로 기판.

청구항 6

순차로 적층된 다수의 세라믹 시트;

상기 다수의 세라믹 시트 중 임의의 세라믹 시트에 형성되는 다수의 배선 패턴;

상기 임의의 세라믹 시트 중 하나의 시트에 형성된 배선 패턴과 연결되고, 상기 하나의 시트에 형성된 배선 패턴으로부터의 신호를 송신하는 RF 송신부; 및

상기 임의의 세라믹 시트 중 다른 하나의 시트에 형성된 배선 패턴과 연결되고, 상기 RF 송신부와 대응하는 위

치에 형성되어, 상기 RF 송신부로부터의 신호를 수신하여 상기 다른 하나의 시트에 형성된 배선 패턴에 전송하는 RF 수신부;

를 포함하는 회로 기판.

청구항 7

제6항에 있어서,

상기 하나의 시트는 상기 다수의 세라믹 시트 중 최상층의 세라믹 시트이고,

상기 다른 하나의 시트는 상기 다수의 세라믹 시트 중 최하층의 세라믹 시트이며,

상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여, 상기 최상층의 세라믹 시트에 형성된 배선 패턴과 상기 최하층의 세라믹 시트에 형성된 배선 패턴이 전기적 신호를 교환하는 것을 특징으로 하는 회로 기판.

청구항 8

기판의 일면에 제1 배선 패턴, 및 상기 제1 배선 패턴에 연결되는 RF 송신부를 형성하는 단계; 및

상기 기판의 타면에 제2 배선 패턴, 및 상기 제2 배선 패턴에 연결되며 상기 RF 송신부와 짝을 이루도록 RF 수신부를 형성하는 단계; 를 포함하고,

상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여 상기 제1 배선 패턴과 상기 제2 배선 패턴이 전기적으로 연결되는 것을 특징으로 하는 회로 기판의 제조방법.

청구항 9

제8항에 있어서,

상기 기판의 일면 및 타면 중 적어도 하나의 면에서 상기 기판의 내측을 향하도록 캐비티를 형성하는 단계; 및

상기 캐비티에 수동소자를 내장하는 단계를 더 포함하는 것을 특징으로 하는 회로 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 회로기판에 관한 것으로, 더욱 상세하게는 회로기판의 양면에 형성되는 배선 패턴의 접속을 무선 통신을 이용하여 함으로써 회로기판의 상면 및 하면의 접속이 비접촉식으로 이루어질 수 있는 회로기판에 관한 것이다.

배경기술

[0002] 종래의 회로기판이나, 다수의 세라믹 시트를 적층하여 이루어진 다층 세라믹 기판에 있어서, 회로 기판의 상면 및 하면 또는 다수의 세라믹 시트 각각의 표면에 배선 패턴을 형성하고 있다.

[0003] 이러한 회로기판이나 다층 세라믹 기판은, 거기에 반도체 소자나 칩 적층 콘덴서 등의 표면실장형 전자부품을 탑재하고, 이들 표면실장형 전자부품을 교대로 배선하는 것이다.

[0004] 따라서 이들 배선 패턴 및 전자부품을 전기적으로 연결하기 위해서는 회로기판 또는 다층 세라믹 기판의 내부에 TSV(Through Silicon Via) 또는 레이저 비아와 같은 비아 도체를 사용하고 있다.

[0005] 그러나 TSV를 사용하는 경우, 에칭 혹은 레이저 드릴링을 통하여 각 층에 관통홀을 형성하고 via 도금 공정을 통하여 관통홀에 비아도체를 형성하기 때문에, 공정이 복잡하고 각 공정에 드는 비용이 고가여서 생산 효율이 떨어진다는 문제가 있다.

[0006] 또한, 레이저 비아의 경우 일반적인 인쇄회로기판(PCB)에 사용되고 있으나, 정밀한 가공이 어렵다는 문제가 있

다.

발명의 내용

해결하려는 과제

[0007] 따라서 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 회로기판의 양면 및 다층 세라믹 기판의 각 층에 RF 송신부와 RF 수신부를 쌍으로 구비하여 이들 간의 무선 통신에 의해 기판의 양면 및 다층 세라믹 기판의 각 층을 비접촉식으로 접속함으로써, 제조 공정이 간단하고 비용이 저렴한 회로기판을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 회로 기판은 기판의 일면에 형성되는 제1 배선 패턴, 상기 기판의 타면에 형성되는 제2 배선 패턴, 상기 기판의 일면에 형성되며 상기 제1 배선 패턴에 연결되는 RF 송신부, 및 상기 기판의 타면에 상기 RF 송신부와 짝을 이루어 형성되며, 상기 제2 배선 패턴에 연결되는 RF 수신부를 포함하고, 상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여 상기 제1 배선 패턴과 상기 제2 배선 패턴이 전기적으로 연결된다.

[0009] 또한, 본 발명의 일 실시예에 따른 회로 기판에 있어서, 상기 RF 송신부는 안테나이며, 상기 RF 수신부는 트랜시버일 수 있다.

[0010] 또한, 본 발명의 일 실시예에 따른 회로 기판에 있어서, 상기 RF 수신부는 상기 RF 송신부의 위치와 대응하는 위치에 형성될 수 있다.

[0011] 또한, 본 발명의 일 실시예에 따른 회로 기판에 있어서, 상기 기판의 일면 및 타면 중 적어도 하나의 면에서 상기 기판의 내측을 향하여 형성되는 캐비티를 더 포함하고, 상기 캐비티에 수동소자가 내장될 수 있다.

[0012] 또한, 본 발명의 일 실시예에 따른 회로 기판에 있어서, 상기 기판의 상면 및 하면에, 상기 제1 배선 패턴, 상기 제2 배선 패턴, 상기 RF 송신부, 및 상기 RF 수신부를 덮도록 보호막이 형성될 수 있다.

[0013] 한편, 본 발명의 다른 실시예에 따른 회로 기판은 순차로 적층된 다수의 세라믹 시트, 상기 다수의 세라믹 시트 중 임의의 세라믹 시트에 형성되는 다수의 배선 패턴, 상기 임의의 세라믹 시트 중 하나의 시트에 형성된 배선 패턴과 연결되고, 상기 하나의 시트에 형성된 배선 패턴으로부터의 신호를 송신하는 RF 송신부, 및 상기 임의의 세라믹 시트 중 다른 하나의 시트에 형성된 배선 패턴과 연결되고, 상기 RF 송신부와 대응하는 위치에 형성되어, 상기 RF 송신부로부터의 신호를 수신하여 상기 다른 하나의 시트에 형성된 배선 패턴에 전송하는 RF 수신부를 포함할 수 있다.

[0014] 또한, 본 발명의 다른 실시예에 따른 회로 기판에 있어서, 상기 하나의 시트는 상기 다수의 세라믹 시트 중 최상층의 세라믹 시트이고, 상기 다른 하나의 시트는 상기 다수의 세라믹 시트 중 최하층의 세라믹 시트이며, 상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여, 상기 최상층의 세라믹 시트에 형성된 배선 패턴과 상기 최하층의 세라믹 시트에 형성된 배선 패턴이 전기적 신호를 교환할 수 있다.

[0015] 한편, 본 발명의 일 실시예에 따른 회로 기판의 제조방법은 기판의 일면에 제1 배선 패턴, 및 상기 제1 배선 패턴에 연결되는 RF 송신부를 형성하는 단계, 및 상기 기판의 타면에 제2 배선 패턴, 및 상기 제2 배선 패턴에 연결되며 상기 RF 송신부와 짝을 이루도록 RF 수신부를 형성하는 단계를 포함하고, 상기 RF 송신부에서 상기 RF 수신부로의 무선 통신에 의하여 상기 제1 배선 패턴과 상기 제2 배선 패턴이 전기적으로 연결되는 것을 특징으로 한다.

[0016] 또한, 본 발명의 일 실시예에 따른 회로 기판의 제조방법에 있어서, 상기 기판의 일면 및 타면 중 적어도 하나의 면에서 상기 기판의 내측을 향하도록 캐비티를 형성하는 단계, 및 상기 캐비티에 수동소자를 내장하는 단계를 더 포함할 수 있다.

발명의 효과

[0017] 본 발명에 따른 회로기판에 의하면, 기관의 양면 및 다층 세라믹 기관의 각 층에 RF 송신부와 RF 수신부를 쌍으로 구비하여 이들 간의 무선 통신에 의해 기관의 양면 및 다층 세라믹 기관의 각 층을 비접촉식으로 접속함으로써, 제조 공정이 간단하고 비용이 저렴하여 생산 효율이 증가하는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 제1 실시예에 따른 회로기판의 단면도이다.
 도 2는 본 발명의 제1 실시예에 따른 회로기판의 제조방법을 나타내는 공정도이다.
 도 3은 본 발명의 제2 실시예에 따른 회로기판의 단면도이다.
 도 4 및 도 5는 본 발명의 제2 실시예에 따른 회로기판의 제조방법을 나타내는 공정도이다.
 도 6은 본 발명의 제3 실시예에 따른 회로기판의 단면도이다.
 도 7은 본 발명의 제4 실시예에 따른 회로기판의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시 형태를 상세하게 설명한다. 다만, 본 발명의 사상은 제시되는 실시 형태에 제한되지 아니하고, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서 다른 구성요소를 추가, 변경, 삭제 등을 통하여, 퇴보적인 다른 발명이나 본 발명 사상의 범위 내에 포함되는 다른 실시 형태를 용이하게 제안할 수 있을 것이나, 이 또한 본원 발명 사상 범위 내에 포함된다고 할 것이다.

[0020] 또한, 각 실시 형태의 도면에 나타나는 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일하거나 유사한 참조부호를 사용하여 설명한다.

[0021] 도 1은 본 발명의 제1 실시예에 따른 회로기판의 단면도이고, 도 2는 본 발명의 제1 실시예에 따른 회로기판의 공정도이다.

[0022] 도 1 및 도 2를 참조하면, 본 발명의 제1 실시예에 따른 회로기판(100)은 기관(101), 제1 배선 패턴(110), RF 송신부(111), 제2 배선 패턴(120), RF 수신부(121), 제1 반도체 칩(130), 제1 수동소자(131), 제2 반도체 칩(140), 제2 수동소자(141), 제1 보호막(150), 제2 보호막(160)으로 이루어질 수 있다. 다만, 본 실시예에서는 배선 패턴, RF 송신부, RF 수신부, 반도체 칩이나 수동소자의 개수를 각각 하나씩 예로 들고 있으나, 이는 설명의 편의를 위한 것이며, 이외에 더 많은 수의 구성요소들을 포함할 수 있음은 물론이다.

[0023] 기관(101)은 상면 및 하면에 반도체 칩이나 수동 소자를 실장하는 양면 기관으로, 실리콘 기관을 사용할 수 있으며, 이외에 GaAs 등과 같은 합성 반도체를 사용할 수도 있다. 기관(101)의 두께는 약 100~200 μ m의 박판을 사용할 수 있다.

[0024] 기관(101)의 상면 및 하면에는 상면 및 하면을 덮도록 제1 절연층(102) 및 제2 절연층(103)이 형성된다. 제1 절연층(102) 및 제2 절연층(103)은 무기 절연막을 사용할 수 있으며, 예를 들어 SiO₂로 이루어질 수 있다.

[0025] 상기 제1 절연층(102) 및 제2 절연층(103)상에 제1 배선 패턴(110) 및 제2 배선 패턴(120)을 각각 형성한다. 제1 배선 패턴(110) 및 제2 배선 패턴(120)은 Cu, Ni, Al, Ag, Au 등의 도전성이 좋은 금속으로 형성될 수 있으며, 반도체 회로를 구성하는 트랜지스터 등의 복수의 반도체 칩을 전기적으로 접속한다.

[0026] 상기 제1 배선 패턴(110)에는 RF 송신부(111)가 연결되고, 제2 배선 패턴(120)에는 상기 RF 송신부(111)와 짝을 이루도록 RF 수신부(121)의 대응하는 위치에 RF 수신부(121)가 연결된다.

[0027] RF 송신부(111)는 제1 배선 패턴(110)에 실장되는 제1 반도체 칩(130)의 신호를 전송하고, RF 수신부(121)는 RF 송신부(111)로부터의 신호를 수신하여 제2 배선 패턴(120)에 실장되는 제2 반도체 칩(140)에 전송한다. 이로써 제1 반도체 칩(130)과 제2 반도체 칩(140)이 전기적으로 연결되는 것이다.

[0028] RF 송신부(111)는 제1 반도체 칩(130)의 신호에 무선 주파수를 인가하여 방사하는 방사체, 예를 들어 안테나 패턴일 수 있으며, 이러한 안테나 패턴은 제1 배선 패턴(110)의 일부를 형성할 수도 있다. 또한 RF 송신부(111)는

안테나 패턴 이외에 제1 반도체 칩(130)으로부터의 직류 신호를 교류 신호로 변환하는 A/D 컨버터를 포함할 수 있다.

- [0029] RF 수신부(121)는 RF 송신부(111)로부터의 신호를 수신하여 제2 반도체 칩(130)에 전송하는 트랜시버(transceiver)로 구성될 수 있다.
- [0030] 본 실시예에서, RF 송신부(111)로서 안테나 패턴이나 A/D 컨버터를, RF 수신부(121)로서 트랜시버를 예로 들었으나, 본 발명은 이에 한하지 않으며, RF 송신부(111)가 트랜시버로 구성되고, RF 수신부(121)가 안테나 패턴으로 구성될 수도 있으며, 이외에 다양한 무선 통신 모듈이 사용될 수 있다.
- [0031] 또한, 본 실시예에서는 제1 반도체 칩(130)으로부터 제2 반도체 칩(140)으로의 단방향 통신을 기재하고 있으나, 본 발명은 이에 한하지 않으며, 제1 반도체 칩(130)과 제2 반도체 칩 사이의 양방향 통신을 위한 무선 통신 모듈이 사용될 수 있고, 이외에 기관(101)의 상면에 실장되는 복수의 반도체 소자와 기관(101)의 하면에 실장되는 복수의 반도체 소자 사이의 양방향 통신을 위한 무선 통신 모듈을 사용할 수도 있다.
- [0032] 이외에, 제1 배선 패턴(111)에는 제1 수동소자(131)가 실장되고, 제2 배선 패턴(121)에는 제2 수동소자(141)가 실장될 수 있다. 제 1 수동소자(131) 및 제2 수동소자(132)로는 저항, 인덕터, 콘덴서 등이 될 수 있다.
- [0033] 기관(101)의 상면에는 제1 배선 패턴(110), RF 송신부(111), 제1 반도체 칩(130) 및 제1 수동소자(131)를 덮도록 제1 보호막(150)이 형성되며, 기관(101)의 하면에는 제2 배선 패턴(120), RF 송신부(111), 제2 반도체 칩(140) 및 제2 수동소자(131)를 덮도록 제2 보호막(160)이 형성된다.
- [0034] 제1 보호막(150) 및 제2 보호막(160)은 전기 절연성, 밀착성, 내열충격성이 우수한 절연 수지로 이루어질 수 있으며, 예를 들어 폴리이미드계 수지, 폴리페닐렌옥시드계 수지, 폴리벤조옥사졸계 수지 등이 사용될 수 있다.
- [0035] 이렇게, 본 발명은 제1 반도체 칩(130)과 제2 반도체 칩(140)의 전기적 연결이 단방향 또는 양방향 무선 통신에 의하여 이루어지기 때문에, 종래에 TSV나 레이저 비아를 사용하여 연결시키는 기술에 비하여 제조 공정이 단순해질 수 있으며, 따라서 제조 비용이 절감되어 생산 효율이 향상될 수 있다.
- [0036] 이하에서는 상기한 구성을 가진 본 발명의 제1 실시예에 따른 회로기관을 제조하는 방법을 설명하기로 한다.
- [0037] 도 2의 (a) 내지 (d)는 본 발명의 제1 실시예에 따른 회로기관의 제조 방법을 나타내는 공정도이다.
- [0038] 도 2의 (a)에 도시된 바와 같이, 기관(101)의 상면 및 하면에 각각 제1 절연층(102) 및 제2 절연층(103)을 형성한다. 제1 절연층(102) 및 제2 절연층(103)의 형성은 순서에 관계없이 이루어질 수 있다. 기관(101)은 실리콘 웨이퍼를 사용할 수 있으며, 제1 절연층(102) 및 제2 절연층(103)은 SiO₂막을 채용할 수 있다.
- [0039] 도 2의 (b)에 도시된 바와 같이, 제1 절연층(102) 및 제2 절연층(103) 상에 각각 제1 배선 패턴(110) 및 제2 배선 패턴(120)을 형성하고, 제1 배선 패턴(110)에 RF 송신부(111)를 연결하며, 제2 배선 패턴(120)에 RF 수신부(121)를 연결한다. 제1 배선 패턴(110)과 제2 배선 패턴(120)의 형성, RF 송신부(111)와 RF 수신부(121)의 형성은 순서에 관계없이 이루어질 수 있다.
- [0040] 제1 배선 패턴(110) 및 제2 배선 패턴(120)은 제1 절연층(102) 및 제2 절연층(103)상에 시드층(미도시)을 형성하고, 포토레지스트를 도포한 후, 제1 배선 패턴(110) 및 제2 배선 패턴(120)이 형성될 부분을 식각하여 개구부(미도시)를 형성하고, 이 개구부에 대하여 전해 도금법에 의해 시드층상에 도금막을 증착시켜 형성할 수 있다.
- [0041] RF 송신부(111)와 RF 수신부(121)는 제1 배선 패턴(110) 및 제2 배선 패턴(120)에 실장되는 반도체 소자의 신호 입출력 지점에 형성될 수 있으며, 서로 대응하는 위치에 형성되는 것이 바람직하다. 이때, RF 송신부(111)와 RF 수신부(121)가 배선 패턴으로 이루어지는 경우, 제1 배선 패턴(110) 및 제2 배선 패턴(120)과 마찬가지로 방법에 의하여 형성될 수 있다.
- [0042] 도 2의 (c)에 도시된 바와 같이, 제1 배선 패턴(110) 및 제2 배선 패턴(120)에 각각 제1 반도체 칩(130)과 제1 수동소자(131), 제2 반도체 칩(140)과 제2 수동소자(141)를 실장한다. 제1 반도체 칩(130)과 제1 수동소자(131), 제2 반도체 칩(140)과 제2 수동소자(141)를 실장하는 단계 또한 순서에 관계없이 이루어질 수 있다.
- [0043] 도 2의 (d)에 도시된 바와 같이, 제1 절연층(102)상에 제1 배선 패턴(110), RF 송신부(111), 제1 반도체 칩(130) 및 제1 수동소자(131)를 덮도록 제1 보호막(150)을 형성하고, 제2 절연층(103)상에 제2 배선 패턴(120), RF 수신부(121), 제2 반도체 칩(140) 및 제2 수동소자(141)를 덮도록 제2 보호막(160)을 형성한다.

- [0044] 이때, 제1 절연층(102) 및 제2 절연층(103)상에 외부접속단자(미도시)를 형성하고, 제1 보호막(150) 및 제2 보호막(160)의 형성시 외부접속단자를 노출시켜서 형성할 수 있다. 예를 들어, 스퍼터법에 의해 외부접속단자로서 Al막을 형성하고, 스프인코팅법(spin coating method), 스프레이법, 딥핑법(dipping method) 등에 의해 제1 보호막(150) 및 제2 보호막(160)으로서 폴리이미드 수지막을 형성할 수 있다.
- [0045] 도 3은 본 발명의 제2 실시예에 따른 회로 기판의 단면도이다.
- [0046] 도 3에 도시된 본 발명의 제2 실시예에 따른 회로 기판(200)은 수동소자가 기판의 내측에 내장되는 구조로 이루어진 것으로, 이외의 구성은 도 1에 도시된 본 발명의 제1 실시예에 따른 회로 기판과 동일하므로, 이들 구성에 대한 상세한 설명은 생략하기로 하며, 이하에서는 차이점을 중심으로 설명하기로 한다.
- [0047] 도 3을 참조하면, 본 발명의 제2 실시예에 따른 회로 기판(200)은 기판(201)의 상면에서 상기 기판(201)의 내측을 향하여 내장되는 제1 수동소자(208)와, 기판(201)의 하면에서 상기 기판(201)의 내측을 향하여 내장되는 제2 수동소자(209)를 포함한다. 이렇게, 기판(201)에 수동소자를 내장함으로써 고집적된 회로 기판(200)을 얻을 수 있다.
- [0048] 본 실시예에서는 기판(201)의 상면 및 하면에 각각 수동소자를 내장하는 구성을 기재하고 있지만, 본 발명은 이에 한하지 않으며, 수동소자는 기판의 상면 및 하면 중 어느 하나에 형성되어도 좋다.
- [0049] 도 4 및 도 5는 본 발명의 제2 실시예에 따른 회로 기판의 제조 방법을 나타내는 공정도이다. 이하에서는 도 4 및 도 5를 참조하여 본 발명의 제2 실시예에 따른 회로 기판의 제조방법에 대하여 살펴보기로 한다.
- [0050] 본 실시예에 따른 회로 기판(200)은 수동소자가 기판의 내측에 내장되는 구조로 이루어진 것으로, 이외의 구성은 도 1에 도시된 본 발명의 제1 실시예에 따른 회로 기판과 동일하므로, 이들 구성에 대한 상세한 설명은 생략하기로 하며, 이하에서는 차이점을 중심으로 설명하기로 한다.
- [0051] 도 4의 (a)에 도시된 바와 같이, 기판(201)을 준비한다. 기판(201)은 실리콘 웨이퍼를 사용할 수 있으며, 이외에 글라스 웨이퍼 등을 사용할 수 있다.
- [0052] 도 4의 (b)에 도시된 바와 같이, 기판(201)의 상면 및 하면에서 내측을 향하도록 제1 캐버티(206) 및 제2 캐버티(207)를 각각 형성한다.
- [0053] 제1 캐버티(206) 및 제2 캐버티(207)는 기판(201)의 상면 및 하면에 각각 포토레지스트(미도시)를 도포하고, 포토레지스트에 개구부(미도시)를 형성하여, 이를 식각 마스크층으로서 하여 기판(201)을 식각하여 형성한 후, 포토레지스트를 제거하여 형성할 수 있다.
- [0054] 이때, 식각 방법은 건식 또는 습식 식각을 사용할 수 있으며, 포토레지스트의 제거는 화학·기계적 연마(CMP) 공정을 통하여 이루어질 수 있다. 또한, 포토레지스트는 제거될 수도 있으나, 이를 제거하지 않고 후술하는 제1 절연층(202) 및 제2 절연층(203)의 재료로서 사용할 수도 있다.
- [0055] 도 4의 (c)에 도시된 바와 같이, 기판(201)의 상면 및 하면에 형성된 제1 캐버티(206) 및 제2 캐버티(207)에 제1 수동소자(208) 및 제2 수동소자(209)를 형성한다.
- [0056] 다음으로, 도 4의 (d)에 도시된 바와 같이, 기판(201)의 상면 및 하면에 각각 제1 절연층(202) 및 제2 절연층(203)을 형성한다. 상술한 바와 같이, 제1 절연층(202) 및 제2 절연층(203)은 기판(201)에 제1 캐버티(206) 및 제2 캐버티(207)를 형성함에 있어서, 식각 마스크로서 사용된 포토레지스트를 제거하지 않고 사용할 수 있다.
- [0057] 다음으로, 도 4의 (e)에 도시된 바와 같이, 제1 절연층(202)상에 제1 배선 패턴(210)을 형성하고, RF 송신부(211)를 제1 배선 패턴(210)과 연결되도록 형성할 수 있다. 또한, 제2 절연층(203)상에 제2 배선 패턴(220)을 형성하고, RF 송신부(211)와 짝을 이루도록, RF 송신부(211)의 위치와 대응하는 위치에 RF 수신부(221)를 제2 배선 패턴(220)과 연결되도록 형성할 수 있다.
- [0058] 다음으로, 도 5의 (a)에 도시된 바와 같이, 제1 배선 패턴(210) 및 제2 배선 패턴(220)에 각각 제1 반도체 칩(230) 및 제2 반도체 칩(240)을 실장한다.
- [0059] 다음으로, 도 5의 (b)에 도시된 바와 같이, 제1 절연층(202)상에 제1 배선 패턴(210), RF 송신부(211) 및 제1

반도체 칩(230)을 덮도록 제1 보호막(250)을 형성하고, 제2 절연층(203)상에 제2 배선 패턴(220), RF 수신부(221) 및 제2 반도체 칩(240)을 덮도록 제2 보호막(260)을 형성한다.

- [0060] 도 6은 본 발명의 제3 실시예에 따른 회로기판의 단면도이다. 이하에서는 도 6을 참조하여 본 발명의 제3 실시예에 따른 회로 기판에 대하여 살펴보기로 한다.
- [0061] 본 실시예에 따른 회로 기판(300)은 기판이 복수의 층으로 이루어진 것으로, 이외의 구성은 도 1에 도시된 본 발명의 제1 실시예에 따른 회로 기판과 동일하므로, 이들 구성에 대한 상세한 설명은 생략하기로 하며, 이하에서는 차이점을 중심으로 설명하기로 한다.
- [0062] 도 6을 참조하면, 본 실시예에 따른 회로 기판에서, 기판은 제1 기판(301), 제2 기판(302) 및 제3 기판(303)을 적층하여 이루어지며, 최상층인 제1 기판(301)의 상면 및 최하층인 제3 기판(303)의 하면에 각각 제1 절연층(304) 및 제2 절연층(305)이 형성되어 있다.
- [0063] 제1 절연층(304) 및 제2 절연층(305)상에는 각각 제1 배선 패턴(310) 및 제2 배선 패턴(320)이 형성되며, 제1 배선 패턴(310)에 실장되는 반도체 소자와 제2 배선 패턴(320)에 실장되는 반도체 소자의 전기적 연결을 위하여 제1 RF 송신부(311) 및 제1 RF 수신부(321)가 대응하는 위치에 형성될 수 있다. 이때, 제1 배선 패턴(310)에 실장되는 반도체 소자로부터 제2 배선 패턴(320)에 실장되는 반도체 소자로의 신호 전송이외에, 제2 배선 패턴(320)에 실장되는 반도체 소자로부터 제1 배선 패턴(310)에 실장되는 반도체 소자로의 신호 전송을 위해, 제1 배선 패턴(310)에 제2 RF 수신부(312)가 형성되고, 제2 배선 패턴(320)에 제2 RF 송신부(322)가 형성될 수 있다.
- [0064] 도 7은 본 발명의 제4 실시예에 따른 회로기판의 단면도이다. 이하에서는 도 7을 참조하여 본 발명의 제4 실시예에 따른 회로 기판에 대하여 살펴보기로 한다.
- [0065] 본 실시예에 따른 회로 기판(400)은 기판이 복수의 층으로 이루어지며, 배선 패턴이 각 층마다 형성되고 RF 송신부와 RF 수신부가 복수의 층 중 임의의 층에 짝을 이루어 형성된다는 점에서, 도 1에 도시된 본 발명의 제1 실시예에 따른 회로 기판과 다르기 때문에, 이하에서는 차이점을 중심으로 설명하기로 한다.
- [0066] 도 7을 참조하면, 본 실시예에 따른 회로 기판(400)은 제1 기판(401), 제2 기판(402), 제3 기판(403), 제4 기판(404) 및 제5 기판(405)을 적층하여 이루어진 다층 세라믹 기판일 수 있다. 이들 각각의 기판상에는 배선 패턴이 형성될 수 있으며, 각각의 기판에 실장 또는 내장되는 반도체 소자들을 전기적으로 연결하도록 상기 배선 패턴에 RF 송신부와 RF 수신부가 짝을 이루어 형성될 수 있다.
- [0067] 예를 들어, 제1 기판(401)상에 형성된 제1 배선 패턴(410)에 실장되는 반도체 소자의 신호를 제3 기판(403)상에 형성된 제2 배선 패턴(420)에 실장되는 반도체 소자로 전송하도록 제1 배선 패턴(410) 및 제2 배선 패턴(420)에는 각각 제1 RF 송신부(411)와 제1 RF 수신부(421)가 서로 대응하는 위치에 형성될 수 있다.
- [0068] 또한, 제2 기판(402)상에 형성된 제3 배선 패턴(430)에 실장되는 반도체 소자의 신호를 제3 기판(403)상에 형성된 제4 배선 패턴(440)에 실장되는 반도체 소자로 전송하도록 제3 배선 패턴(430) 및 제4 배선 패턴(440)에는 각각 제2 RF 송신부(431)와 제2 RF 수신부(441)가 서로 대응하는 위치에 형성될 수 있다.
- [0069] 또한, 제4 기판(404)상에 형성된 제5 배선 패턴(450)에 실장되는 반도체 소자의 신호를 제5 기판(405)상에 형성된 제6 배선 패턴(460)에 실장되는 반도체 소자로 전송하도록 제5 배선 패턴(450) 및 제6 배선 패턴(460)에는 각각 제3 RF 송신부(451)와 제3 RF 수신부(461)가 서로 대응하는 위치에 형성될 수 있다.
- [0070] 또한, 제4 기판(403)상에 형성된 제7 배선 패턴(470)에 실장되는 반도체 소자의 신호를 제5 기판(405)의 하면에 형성된 제8 배선 패턴(480)에 실장되는 반도체 소자로 전송하도록 제7 배선 패턴(470) 및 제8 배선 패턴(480)에는 각각 제3 RF 송신부(471)와 제3 RF 수신부(481)가 서로 대응하는 위치에 형성될 수 있다.
- [0071] 본 실시예에서와 같이, 다층 세라믹 기판에 있어서 임의의 층간에 단방향 또는 양방향 무선 통신을 통하여 각 층에 실장되는 반도체 소자의 전기적 연결을 함으로써, 종래에 다층 세라믹 기판의 임의의 층간의 전기적 연결을 위하여 복수의 층을 관통시키는 공정을 행하지 않게 되었으며, 이로써 생산 효율이 향상된다.

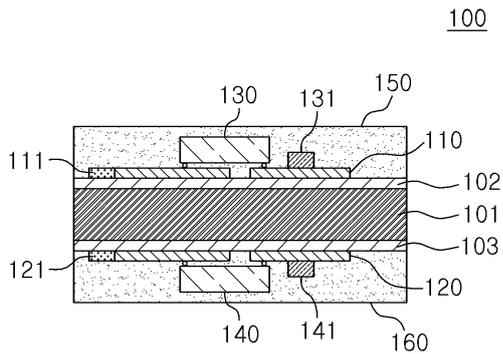
[0072] 이상 본 발명의 바람직한 실시예를 상세히 설명했지만, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해서 정해져야 할 것이다.

부호의 설명

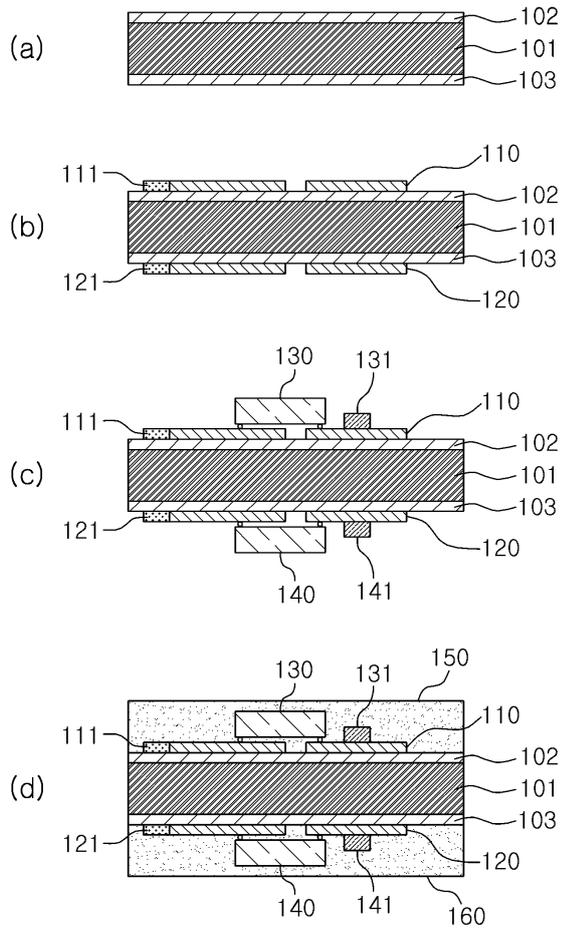
- [0073] 100, 200, 300, 400: 회로 기판
 101, 201, 301~303, 401~405: 기판
 102, 202, 304: 제1 절연층
 103, 203, 305: 제2 절연층
 110, 210, 310: 제1 배선 패턴
 120, 220, 320: 제2 배선 패턴
 111, 211: RF 송신부
 121, 221: RF 수신부
 130, 230: 제1 반도체 칩
 140, 240: 제2 반도체 칩
 131, 208: 제1 수동소자
 141, 209: 제2 수동소자
 150, 250: 제1 보호막
 160, 260: 제2 보호막

도면

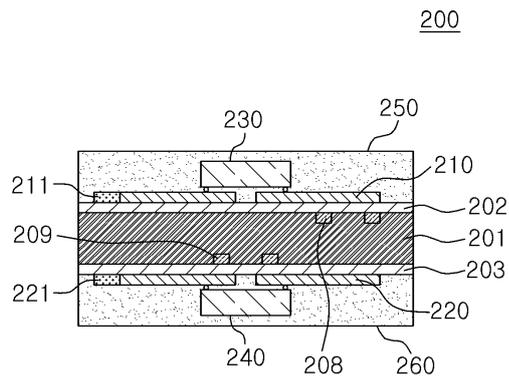
도면1



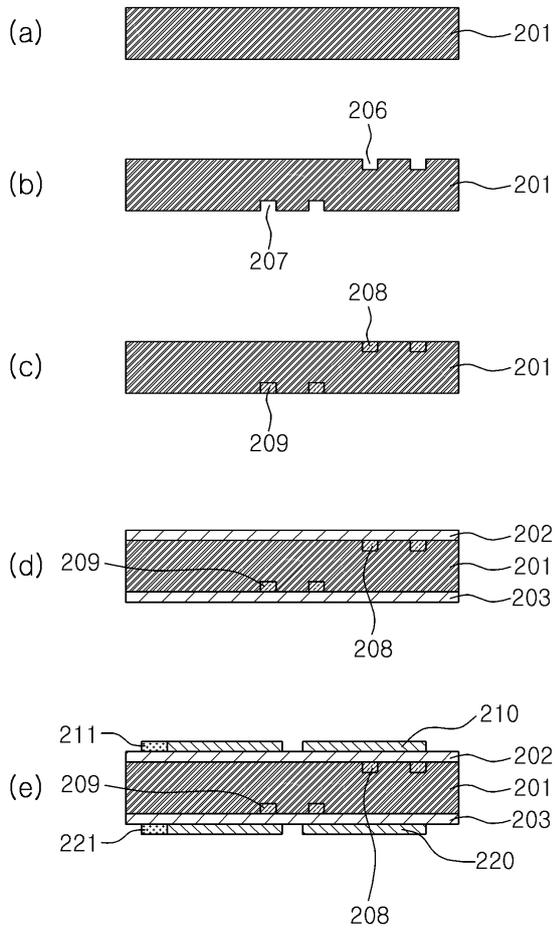
도면2



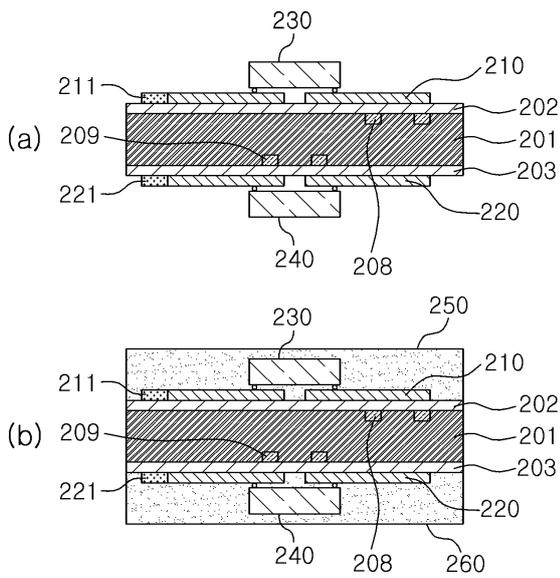
도면3



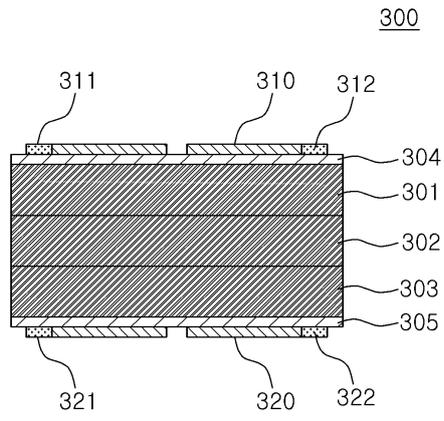
도면4



도면5



도면6



도면7

