



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월01일  
(11) 등록번호 10-2632215  
(24) 등록일자 2024년01월29일

(51) 국제특허분류(Int. Cl.)  
H01L 33/48 (2010.01) H01L 33/14 (2010.01)  
H01L 33/36 (2010.01)  
(52) CPC특허분류  
H01L 33/48 (2013.01)  
H01L 33/145 (2013.01)  
(21) 출원번호 10-2016-0140466  
(22) 출원일자 2016년10월26일  
심사청구일자 2021년10월15일  
(65) 공개번호 10-2018-0045749  
(43) 공개일자 2018년05월04일  
(56) 선행기술조사문헌  
KR1020150141407 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드  
중국 쑤저우 타이창 시티 168 창성 노스 로드  
(72) 발명자  
최낙준  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
김병조  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
오현지  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
(74) 대리인  
특허법인다나

전체 청구항 수 : 총 10 항

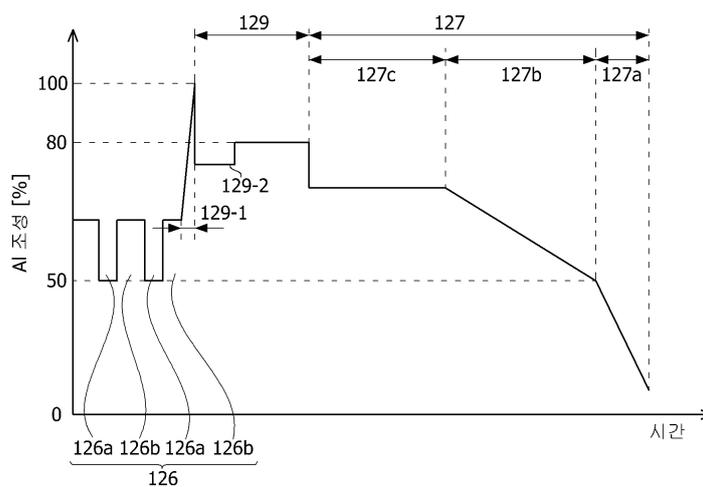
심사관 : 김동우

(54) 발명의 명칭 반도체 소자 및 이를 포함하는 반도체 소자 패키지

(57) 요약

실시 예는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 발광구조물; 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극; 및 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극을 포함하고, 상기 제2 도전형 반도체층은 상기 제2 전극이 배치되는 제1면을 포함하고, 상기 제2 도전형 반도체층은 상기 제1면으로부터 제2지점까지의 제2 최단거리(W2)와 상기 제1면으로부터 제1지점까지의 제1 최단거리(W1)의 비(W2:W1)는 1:1.25 내지 1:100이고, 상기 제1지점은 상기 활성층 중에서 상기 제2 도전형 반도체층과 가장 가까운 우물층의 알루미늄 조성과 동일한 조성을 갖는 지점이고, 상기 제2지점은 알루미늄 조성과 제2 도전형 반도체층의 도펀트 조성이 동일해지는 지점인 반도체 소자 및 이를 포함하는 반도체 소자 패키지를 개시한다.

대표도 - 도2



(52) CPC특허분류

*H01L 33/36* (2013.01)

*H01L 2924/12041* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 발광구조물;

상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극; 및

상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극을 포함하고,

상기 제2 도전형 반도체층은 상기 제2전극이 배치되는 제1면을 포함하고,

상기 제2 도전형 반도체층은 상기 제1면으로부터 제2지점까지의 제2 최단거리(W2)와 상기 제1면으로부터 제1지점까지의 제1 최단거리(W1)의 비(W2:W1)는 1:1.25 내지 1:100이고,

상기 제1지점은 상기 활성층 중에서 상기 제2 도전형 반도체층과 가장 가까운 우물층의 알루미늄 조성과 동일한 조성을 갖는 지점이고,

상기 제2지점은 제2 도전형 반도체층의 알루미늄 조성 and 도펀트 조성이 동일해지는 지점이고,

상기 제1 도전형 반도체층, 상기 제2 도전형 반도체층, 및 상기 활성층은 알루미늄을 포함하는 반도체 소자.

**청구항 2**

제1항에 있어서,

상기 제2 최단거리와 제1 최단거리의 비는 1:1.25 내지 1:10인 반도체 소자.

**청구항 3**

제1항에 있어서,

상기 활성층과 상기 제2 도전형 반도체층 사이에 배치되는 전자 차단층을 포함하는 반도체 소자.

**청구항 4**

제3항에 있어서,

상기 전자 차단층의 평균 알루미늄 조성 and 상기 제1지점에서의 알루미늄 조성의 제1차이와 상기 전자 차단층의 평균 알루미늄 조성 and 상기 제2지점에서의 알루미늄 조성의 제2차이의 비는 1:1.2 내지 1:10인 반도체 소자.

**청구항 5**

제1항에 있어서,

상기 제2 도전형 반도체층은,

제2-1 도전형 반도체층, 및 상기 활성층과 제2-1 도전형 반도체층 사이에 배치되는 제2-2 도전형 반도체층을 포함하는 반도체 소자.

**청구항 6**

제5항에 있어서,

상기 제2 도전형 반도체층은 상기 활성층과 상기 제2-2 도전형 반도체층 사이에 배치되는 제2-3 도전형 반도체층을 포함하는 반도체 소자.

**청구항 7**

제6항에 있어서,

상기 제2-1 도전형 반도체층과 상기 제2-2 도전형 반도체층의 알루미늄 조성은 상기 활성층에서 멀어질수록 작아지는 반도체 소자.

**청구항 8**

제7항에 있어서,

상기 제2-1 도전형 반도체층의 알루미늄 감소폭은 상기 제2-2 도전형 반도체층의 알루미늄 감소폭보다 큰 반도체 소자.

**청구항 9**

제1항에 있어서,

상기 제1 최단거리는 25nm 내지 100nm인 반도체 소자.

**청구항 10**

제1항에 있어서,

상기 제2 최단거리는 1nm 내지 20nm인 반도체 소자.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

**발명의 설명**

**기술 분야**

[0001] 실시 예는 반도체 소자 및 이를 포함하는 반도체 소자 패키지에 관한 것이다.

**배경 기술**

[0002] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.

[0005] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.

[0006] 특히, 자외선 파장 영역의 광을 방출하는 발광소자는 경화작용이나 살균 작용을 하여 경화용, 의료용, 및 살균용으로 사용될 수 있다

[0007] 최근 자외선 발광소자에 대한 연구가 활발하나, 아직까지 자외선 발광소자는 수직형으로 구현하기 어려운 문제가 있으며, 기판을 분리하는 과정에서 결정성이 저하되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 실시 예는 수직형 자외선 발광소자를 제공한다.

[0009] 또한, 광 출력이 향상된 발광소자를 제공한다.

[0010] 실시 예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

**과제의 해결 수단**

[0011] 본 발명의 일 실시 예에 따른 반도체 소자는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 발광구조물; 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극; 및 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극을 포함하고, 상기 제2 도전형 반도체층은 상기 제2전극이 배치되는 제1면을 포함하고, 상기 제2 도전형 반도체층은 상기 제1면으로부터 제2지점까지의 제2 최단거리(W2)와 상기 제1면으로부터 제1지점까지의 제1 최단거리(W1)의 비(W2:W1)는 1:1.25 내지 1:100이고, 상기 제1지점은 상기 활성층 중에서 상기 제2 도전형 반도체층과 가장 가까운 우물층의 알루미늄 조성과 동일한 조성을 갖는 지점이고, 상기 제2지점은 알루미늄 조성과 제2 도전형 반도체층의 도펀트 조성이 동일해지는 지점일 수 있다.

**발명의 효과**

[0012] 실시 예에 따르면 수직형 자외선 발광소자를 제조할 수 있다.  
 [0013] 또한, 광 출력을 향상시킬 수 있다.  
 [0014] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

**도면의 간단한 설명**

[0015] 도 1은 본 발명의 일 실시 예에 따른 발광구조물의 개념도이고,  
 도 2는 본 발명의 일 실시 예에 따른 발광구조물의 알루미늄 조성비를 나타낸 그래프이고,  
 도 3은 본 발명의 일 실시 예에 따른 반도체 소자의 개념도이고,  
 도 4a 및 도 4b는 본 발명의 실시 예에 따른 반도체 소자의 평면도이고,  
 도 5는 본 발명의 제1실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고,  
 도 6은 도 5의 일부 확대도이고,  
 도 7은 본 발명의 제2실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고,  
 도 8은 도 7의 일부 확대도이고,  
 도 9는 본 발명의 제3실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고,  
 도 10은 도 9의 일부 확대도이고,  
 도 11은 본 발명의 일 실시 예에 따른 발광소자 패키지의 개념도이다.

**발명을 실시하기 위한 구체적인 내용**

[0016] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.  
 [0017] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.  
 [0018] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.  
 [0019] 실시 예의 설명에 있어서, 어느 한 element가 다른 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것

을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

- [0020] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0021] 본 발명의 실시 예에 따른 발광구조물은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 발광구조물은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 발광구조물(120)의 Al의 조성비에 의해 결정될 수 있다.
- [0022] 예시적으로, 근자외선 파장대의 광(UV-A)는 320nm 내지 420nm 범위의 파장을 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장을 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장을 가질 수 있다.
- [0023] 도 1은 본 발명의 일 실시 예에 따른 발광구조물의 개념도이고, 도 2는 본 발명의 일 실시 예에 따른 발광구조물의 알루미늄 조성비를 나타낸 그래프이다.
- [0024] 도 1을 참고하면, 실시 예에 따른 반도체소자는 제1도전형 반도체층(124), 제2도전형 반도체층(127), 및 제1도전형 반도체층(124)과 제2도전형 반도체층(127) 사이에 배치되는 활성층(126)을 포함하는 발광구조물(120)을 포함한다.
- [0025] 제1도전형 반도체층(124)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1도펀트가 도핑될 수 있다. 제1도전형 반도체층(124)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlGaN, InGaN, InAlGaN 등에서 선택될 수 있다. 그리고, 제1도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1도펀트가 n형 도펀트인 경우, 제1도펀트가 도핑된 제1도전형 반도체층(124)은 n형 반도체층일 수 있다.
- [0026] 활성층(126)은 제1도전형 반도체층(124)과 제2도전형 반도체층(127) 사이에 배치된다. 활성층(126)은 제1도전형 반도체층(124)을 통해서 주입되는 전자(또는 정공)와 제2도전형 반도체층(127)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(126)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 자외선 파장을 가지는 빛을 생성할 수 있다.
- [0027] 활성층(126)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(126)의 구조는 이에 한정하지 않는다.
- [0028] 제2도전형 반도체층(127)은 활성층(126) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2도전형 반도체층(127)에 제2도펀트가 도핑될 수 있다. 제2도전형 반도체층(127)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다. 제2도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2도펀트가 도핑된 제2도전형 반도체층(127)은 p형 반도체층일 수 있다.
- [0029] 제2도전형 반도체층(127)은 제2-1 내지 제2-3 도전형 반도체층(127a, 127b, 127c)을 포함할 수 있다. 제2-1 도전형 반도체층(127a)은 제2-2 도전형 반도체층(127b) 보다 알루미늄 조성비가 작을 수 있다.
- [0030] 활성층(126)과 제2도전형 반도체층(127) 사이에는 전자 차단층(129)이 배치될 수 있다. 전자 차단층(129)은 제1도전형 반도체층(124)에서 공급된 전자가 제2도전형 반도체층(127)으로 빠져나가는 흐름을 차단하여, 활성층(126) 내에서 전자와 정공이 재결합할 확률을 높일 수 있다. 전자 차단층(129)의 에너지 밴드갭은 활성층(126) 및/또는 제2도전형 반도체층(127)의 에너지 밴드갭보다 클 수 있다.
- [0031] 전자 차단층(129)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 AlGaN, InGaN, InAlGaN 등에서 선택될 수 있으나 이에 한정하지 않는다. 전자 차단층(129)은 알루미늄 조성비가 높은 제1층(129b)과 알루미늄 조성비가 낮은 제2층(129a)이 교대로 배치될 수 있다.
- [0032] 도 2를 참고하면, 제1도전형 반도체층(124), 장벽층(126b), 우물층(126a), 제2-1 내지 제2-3 도전형 반도체층(127a, 127b, 127c)은 모두 알루미늄을 포함할 수 있다. 따라서, 제1도전형 반도체층(124), 장벽층(126b), 우물층(126a), 제2-1 내지 제2-3 도전형 반도체층(127a, 127b, 127c)은 AlGaN일 수 있다. 그러나, 반드시 이에 한정하지 않는다.

- [0033] 전자 차단층(129)은 알루미늄 조성 50% 내지 90%일 수 있다. 차단층(129)은 알루미늄 조성이 상대적으로 높은 복수 개의 제1차단층(129a)과 알루미늄 조성이 낮은 복수 개의 제2차단층(129b)이 교대로 배치될 수 있다. 차단층(129)의 알루미늄 조성이 50% 미만일 경우 전자를 차단하기 위한 에너지 장벽의 높이가 부족할 수 있고 활성층(126)에서 방출하는 광을 차단층(129)에서 흡수할 수 있고, 알루미늄 조성이 90%를 초과할 경우 반도체 소자의 전기적 특성이 악화될 수 있다.
- [0034] 전자 차단층(129)은 제1-1구간(129-1)과 제1-2구간(129-2)을 포함할 수 있다. 제1-1구간(129-1)은 차단층(129)에 가까워질수록 알루미늄 조성이 높아질 수 있다. 제1-1구간(129-1)의 알루미늄 조성은 80% 내지 100%일 수 있다. 즉, 제1-1구간(129-1)은 AlGaN일 수도 있고 AlN일 수도 있다. 또는 제1-1구간(129-1)은 AlGaN과 AlN이 교대로 배치되는 초격자층일 수도 있다.
- [0035] 제1-1구간(129-1)의 두께는 약 0.1nm 내지 4nm일 수 있다. 제1-1구간(129-1)의 두께가 0.1nm보다 얇을 경우 전자의 이동을 효율적으로 차단하지 못하는 문제점이 있을 수 있다. 또한, 제1-1구간(129-1)의 두께가 4nm보다 두꺼울 경우 활성층으로 정공이 주입되는 효율이 저하되는 문제점이 있을 수 있다.
- [0036] 제1-2구간(129-2)은 언도프(undoped)된 구간을 포함할 수 있다. 제1-2구간(129-2)은 도펀트가 제2 도전형 반도체층(127)으로부터 활성층(126)으로 확산되는 것을 방지하는 역할을 수행할 수 있다.
- [0037] 제2-2 도전형 반도체층(127b)의 두께는 10nm보다 크고 200nm보다 작을 수 있다. 예시적으로 제2-2 도전형 반도체층(127b)의 두께는 25nm일 수 있다. 제2-2 도전형 반도체층(127b)의 두께가 10nm보다 작은 경우 수평 방향으로 저항이 증가하여 전류 주입 효율이 저하될 수 있다. 또한, 제2-2 도전형 반도체층(127b)의 두께가 200nm보다 큰 경우 수직 방향으로 저항이 증가하여 전류 주입 효율이 저하될 수 있다.
- [0038] 제2-2 도전형 반도체층(127b)의 알루미늄 조성은 우물층(126a)의 알루미늄 조성보다 높을 수 있다. 자외선 광을 생성하기 위해 우물층(126a)의 알루미늄 조성은 약 30% 내지 70%일 수 있다. 만약, 제2-2 도전형 반도체층(127b)의 알루미늄 조성이 우물층(126a)의 알루미늄 조성보다 낮은 경우 제2-2 도전형 반도체층(127b)이 광을 흡수하기 때문에 광 추출 효율이 떨어질 수 있다. 그러나 발광 구조물의 결정성 저하를 방지하기 위해서는 반드시 이에 한정하지 않는다. 예시적으로 제2-2 도전형 반도체층(127b)의 일부 구간에서의 알루미늄 조성은 우물층(126a)의 알루미늄 조성보다 낮을 수 있다.
- [0039] 제2-2 도전형 반도체층(127b)의 알루미늄 조성은 40%보다 크고 80%보다 작을 수 있다. 제2-2 도전형 반도체층(127b)의 알루미늄 조성은 40%보다 작은 경우 광을 흡수하는 문제가 있으며, 80%보다 큰 경우에는 전류 주입 효율이 악화되는 문제가 있다. 예시적으로, 우물층(126a)의 알루미늄 조성이 30%인 경우 제2-2 도전형 반도체층(127b)의 알루미늄 조성은 40%일 수 있다.
- [0040] 제2-1 도전형 반도체층(127a)의 알루미늄 조성은 우물층(126a)의 알루미늄 조성보다 낮을 수 있다. 제2-1 도전형 반도체층(127a)의 알루미늄 조성이 우물층(126a)의 알루미늄 조성보다 높은 경우 p-오믹 전극 사이의 저항이 높아져 충분한 오믹이 이루어지지 않고, 전류 주입 효율이 떨어지는 문제가 있다.
- [0041] 제2-1 도전형 반도체층(127a)의 알루미늄 조성은 1%보다 크고 50%보다 작을 수 있다. 50%보다 큰 경우 p오믹 전극과 충분한 오믹이 이루어지지 않을 수 있고, 조성이 1%보다 작은 경우 거의 GaN 조성과 가까워져 광을 흡수하는 문제가 있다.
- [0042] 제2-1 도전형 반도체층(127a)의 두께는 1nm 내지 30nm, 또는 1nm 내지 10nm일 수 있다. 전술한 바와 같이 제2-1 도전형 반도체층(127a)은 오믹을 위해 알루미늄의 조성이 낮으므로 자외선 광을 흡수할 수 있다. 따라서, 최대한 제2-1 도전형 반도체층(127a)의 두께를 얇게 제어하는 것이 광 출력 관점에서 유리할 수 있다.
- [0043] 그러나 제2-1 도전형 반도체층(127a)의 두께가 1nm이하로 제어되는 경우 일부 구간은 제2-1 도전형 반도체층(127a)이 배치되지 않고, 제2-2 도전형 반도체층(127b)이 발광구조물(120)의 외부로 노출되는 영역이 발생할 수 있다. 또한, 두께가 30nm보다 큰 경우 제2-1 도전형 반도체층(127a)이 흡수하는 광량이 너무 커져 광 출력 효율이 감소할 수 있다.
- [0044] 제2-1 도전형 반도체층(127a)의 두께는 제2-2 도전형 반도체층(127b)의 두께보다 작을 수 있다. 제2-2 도전형 반도체층(127b)과 제2-1 도전형 반도체층(127a)의 두께비는 1.5:1 내지 20:1일 수 있다. 두께비가 1.5:1보다 작은 경우 제2-2 도전형 반도체층(127b)의 두께가 너무 얇아져 전류 주입 효율이 감소할 수 있다. 또한, 두께비가 20:1보다 큰 경우 제2-1 도전형 반도체층(127a)의 두께가 너무 얇아져 오믹 신뢰성이 저하될 수 있다.
- [0045] 제2-2 도전형 반도체층(127b)의 알루미늄 조성은 활성층(126)에서 멀어질수록 작아질 수 있다. 또한, 제2-1 도

전형 반도체층(127a)의 알루미늄 조성은 활성층(126)에서 멀어질수록 작아질 수 있다.

- [0046] 이때, 제2-1 도전형 반도체층(127a)의 알루미늄 감소폭은 제2-2 도전형 반도체층(127b)의 알루미늄 감소폭보다 클 수 있다. 즉, 제2-1 도전형 반도체층(127a)의 Al 조성비의 두께 방향에 대한 변화율은 제2-2 도전형 반도체층(127b)의 Al 조성비의 두께 방향에 대한 변화율보다 클 수 있다.
- [0047] 제2-2 도전형 반도체층(127b)은 두께는 제2-1 도전형 반도체층(127a)보다 두꺼운 반면, 알루미늄 조성은 우물층(126a)보다 높아야 하므로 감소폭이 상대적으로 완만할 수 있다. 그러나, 제2-1 도전형 반도체층(127a)은 두께가 얇고 알루미늄 조성의 변화폭이 크므로 알루미늄 조성의 감소폭이 상대적으로 클 수 있다.
- [0048] 제2-3 도전형 반도체층(127c)는 균일한 알루미늄 조성을 가질 수 있다. 제2-3 도전형 반도체층(127c)의 두께는 20nm 내지 60nm일 수 있다. 제2-3 도전형 반도체층(127c)의 알루미늄 조성은 40% 내지 70%일 수 있다.
- [0049] 도 3은 본 발명의 일 실시 예에 따른 반도체 소자의 개념도이다.
- [0050] 도 3의 발광구조물(120)은 도 1에서 설명한 발광구조물(120)의 구성이 그대로 적용될 수 있다. 제1전극(142)은 리세스(128)의 상면에 배치되어 제1도전형 반도체층(124)과 전기적으로 연결될 수 있다. 제2전극(246)은 제2도전형 반도체층(127)의 하부에 형성될 수 있다.
- [0051] 제2전극(246)은 제2-2도전형 반도체층과 접촉하여 전기적으로 연결될 수 있다.
- [0052] 제2전극(246)과 접촉하는 제2-1 도전형 반도체층(127a)의 표면층은 알루미늄의 조성이 1% 내지 10%이므로 오믹 연결이 용이할 수 있다. 또한, 제2-1 도전형 반도체층(127a)은 두께가 1nm보다 크고 30nm보다 작으므로 광 흡수량이 적을 수 있다.
- [0053] 제1전극(142)과 제2전극(246)은 오믹전극일 수 있다. 제1전극(142)과 제2전극(246)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [0054] 반도체 소자의 일측 모서리 영역에는 제2전극패드(166)가 배치될 수 있다. 제2전극패드(166)는 중앙 부분이 함몰되어 상면이 오목부와 볼록부를 가질 수 있다. 상면의 오목부에는 와이어(미도시)가 분당될 수 있다. 따라서, 접촉 면적이 넓어져 제2전극패드(166)와 와이어가 더 견고히 본딩될 수 있다.
- [0055] 제2전극패드(166)는 광을 반사하는 작용을 할 수 있으므로, 제2전극패드(166)는 발광구조물(120)과 가까울수록 광 추출효율이 향상될 수 있다.
- [0056] 제2전극패드(166)의 볼록부의 높이는 활성층(126)보다 높을 수 있다. 따라서 제2전극패드(166)는 활성층(126)에서 소자의 수평방향으로 방출되는 광을 상부로 반사하여 광 추출효율을 향상시키고, 지향각을 제어할 수 있다.
- [0057] 제2전극패드(166)의 하부에서 제1절연층(131)이 일부 오픈되어 제2도전형층(150)과 제2전극(246)이 전기적으로 연결될 수 있다. 패시베이션층(180)은 발광구조물(120)의 상부면과 측면에 형성될 수 있다. 패시베이션층(180)은 제2전극(246)과 인접한 영역이나 제2전극(246)의 하부에서 제1절연층(131)과 접촉할 수 있다.
- [0058] 제1절연층(131)이 오픈되어 제2전극(246)이 제2도전형층(150)과 접촉하는 부분의 폭(d22)은 예를 들면 40 $\mu$ m 내지 90 $\mu$ m일 수 있다. 40 $\mu$ m보다 작으면 동작 전압이 상승하는 문제가 있고, 90 $\mu$ m보다 크면 제2도전형층(150)을 외부로 노출시키지 않기 위한 공정 마진 확보가 어려울 수 있다. 제2도전형층(150)이 제2전극(246)의 바깥 영역으로 노출되면, 소자의 신뢰성이 저하될 수 있다. 따라서, 바람직하게 폭(d22)은 제2전극패드(166)의 전체 폭의 60% 내지 95%일 수 있다.
- [0059] 제1절연층(131)은 제1전극(142)을 활성층(126) 및 제2도전형 반도체층(127)과 전기적으로 절연시킬 수 있다. 또한, 제1절연층(131)은 제2전극(246)과 제2도전형층(150)을 제1도전형층(165)과 전기적으로 절연시킬 수 있다.
- [0060] 제1절연층(131)은 SiO<sub>2</sub>, SixOy, Si<sub>3</sub>N<sub>4</sub>, Si<sub>x</sub>N<sub>y</sub>, SiO<sub>x</sub>N<sub>y</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나, 이에 한정하지 않는다. 제1절연층(131)은 단층 또는 다층으로 형성될 수 있다. 예시적으로 제1절연층(131)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector) 일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1절연층(131)은 다양한 반사 구조를 포함할 수

있다.

- [0061] 제1절연층(131)이 절연기능을 수행하는 경우, 활성층(126)에서 측면을 향해 방출되는 광을 상향 반사시켜 광 추출 효율을 향상시킬 수 있다. 후술하는 바와 같이 자외선 반도체 소자에서는 리세스(128)의 개수가 많아질수록 광 추출 효율은 더 효과적일 수 있다.
- [0062] 제2도전층(150)은 제2전극(246)을 덮을 수 있다. 따라서, 제2전극패드(166)와, 제2도전층(150), 및 제2전극(246)은 하나의 전기적 채널을 형성할 수 있다.
- [0063] 제2도전층(150)은 제2전극(246)을 완전히 감싸며 제1절연층(131)의 측면과 상면에 접할 수 있다. 제2도전층(150)은 제1절연층(131)과의 접촉력이 좋은 물질로 이루어지며, Cr, Al, Ti, Ni, Au 등의 물질로 구성되는 균으로부터 선택되는 적어도 하나의 물질 및 이들의 합금으로 이루어질 수 있으며, 단일층 혹은 복수의 층으로 이루어질 수 있다.
- [0064] 제2도전층(150)이 제1절연층(131)의 측면과 상면과 접하는 경우, 제2전극(246)의 열적, 전기적 신뢰성이 향상될 수 있다. 또한, 제1절연층(131)과 제2전극(246) 사이로 방출되는 광을 상부로 반사하는 반사 기능을 가질 수 있다.
- [0065] 제2도전층(150)은 제1절연층(131)과 제2전극(246) 사이에 제2도전형 반도체층이 노출되는 영역인 제2이격거리에도 배치될 수 있다. 제2도전층(150)은 제2이격 거리에서 제2전극(246)의 측면과 상면 및 제1절연층(131)의 측면과 상면에 접할 수 있다.
- [0066] 또한, 제2 이격 거리 내에서 제2도전층(150)과 제2도전형 반도체층(127)이 접하여 쇼트키 접합이 형성되는 영역이 배치될 수 있으며, 쇼트키 접합을 형성함으로써 전류 분산이 용이해질 수 있다.
- [0067] 제2절연층(132)은 제2전극(246), 제2도전층(150)을 제1도전층(165)과 전기적으로 절연시킨다. 제1도전층(165)은 제2절연층(132)을 관통하여 제1전극(142)과 전기적으로 연결될 수 있다.
- [0068] 발광구조물(120)의 하부면과 리세스(128)의 형상을 따라 제1도전층(165)과 접합층(160)이 배치될 수 있다. 제1도전층(165)은 반사율이 우수한 물질로 이루어질 수 있다. 예시적으로 제1도전층(165)은 알루미늄을 포함할 수 있다. 제1도전층(165)이 알루미늄을 포함하는 경우, 활성층(126)에서 방출되는 광을 상부로 반사하는 역할을 하여 광 추출 효율을 향상할 수 있다.
- [0069] 접합층(160)은 도전성 재료를 포함할 수 있다. 예시적으로 접합층(160)은 금, 주석, 인듐, 알루미늄, 실리콘, 은, 니켈, 및 구리로 구성되는 균으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0070] 기관(170)은 도전성 물질로 이루어질 수 있다. 예시적으로 기관(170)은 금속 또는 반도체 물질을 포함할 수 있다. 기관(170)은 전기 전도도 및/또는 열 전도도가 우수한 금속일 수 있다. 이 경우 반도체 소자 동작시 발생하는 열을 신속이 외부로 방출할 수 있다.
- [0071] 기관(170)은 실리콘, 몰리브덴, 실리콘, 텅스텐, 구리 및 알루미늄으로 구성되는 균으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0072] 발광구조물(120)의 상면에는 요철이 형성될 수 있다. 이러한 요철은 발광구조물(120)에서 출사되는 광의 추출 효율을 향상시킬 수 있다. 요철은 자외선 파장에 따라 평균 높이가 다를 수 있으며, UV-C의 경우 300 nm 내지 800 nm 정도의 높이를 갖고, 평균 500nm 내지 600nm 정도의 높이를 가질 때 광 추출 효율이 향상될 수 있다.
- [0073] 도 4a 및 도 4b는 본 발명의 실시 예에 따른 반도체 소자의 평면도이다.
- [0074] 발광구조물(120)은 Al 조성이 높아지면, 발광구조물(120) 내에서 전류 확산 특성이 저하될 수 있다. 또한, 활성층(126)은 GaN 기반의 청색 발광 소자에 비하여 측면으로 방출하는 광량이 증가하게 된다(TM 모드). 이러한 TM 모드는 자외선 반도체 소자에서 발생할 수 있다.
- [0075] 실시 예에 따르면, 자외선 영역의 파장대를 발광하는 GaN 반도체는 전류 확산을 위해 청색 발광하는 GaN 반도체에 비해 상대적으로 많은 개수의 리세스(128)를 형성하여 제1전극(142)을 배치할 수 있다.
- [0076] 도 4a를 참고하면, Al의 조성이 높아지면 전류 분산 특성이 악화될 수 있다. 따라서, 각각의 제1전극(142)에 인근지점에만 전류가 분산되며, 거리가 먼 지점에서는 전류밀도가 급격히 낮아질 수 있다. 따라서, 유효 발광 영역(P2)이 좁아질 수 있다. 유효 발광 영역(P2)은 전류 밀도가 가장 높은 제1전극(142)의 인근 지점에서의 전류 밀도를 기준으로 전류 밀도가 40%이하인 경계지점까지의 영역으로 정의할 수 있다. 예를 들어, 유효 발광 영역

(P2)은 리세스(128)의 중심으로부터 5 $\mu$ m 내지 40 $\mu$ m의 범위에서 주입 전류의 레벨, Al의 조성에 따라 조절될 수 있다.

- [0077] 특히, 이웃한 제1전극(142) 사이인 저전류밀도영역(P3)은 전류밀도가 낮아서 발광에 거의 기여하지 못한다. 따라서, 실시 예는 전류밀도가 낮은 저전류밀도영역(P3)에 제1전극(142)을 더 배치하여 광 출력을 향상시킬 수 있다.
- [0078] 일반적으로 GaN 반도체층의 경우 상대적으로 전류 분산 특성이 우수하므로 리세스(128) 및 제1전극(142)의 면적을 최소화하는 것이 바람직하다. 리세스(128)와 제1전극(142)의 면적이 커질수록 활성층(126)의 면적이 작아지기 때문이다. 그러나, 실시 예의 경우 Al의 조성이 높아 전류 확산 특성이 상대적으로 떨어지므로 활성층(126)의 면적을 희생하더라도 제1전극(142)의 개수를 증가시켜 저전류밀도영역(P3)을 줄이는 것이 바람직할 수 있다.
- [0079] 도 4b를 참고하면, 리세스(128)의 개수가 48개인 경우에는 리세스(128)가 가로 세로 방향으로 일직선으로 배치되지 못하고, 지그재그로 배치될 수 있다. 이 경우 저전류밀도영역(P3)의 면적은 더욱 좁아져 대부분의 활성층이 발광에 참여할 수 있다. 리세스(128)의 개수가 70개 내지 110개가 되는 경우 전류가 더 효율적으로 분산되어 동작 전압이 더 낮아지고 광 출력은 향상될 수 있다. UV-C를 발광하는 반도체 소자에서는 리세스(128)의 개수가 70개보다 적을 경우 전기적 광학적 특성이 저하될 수 있고, 110개보다 많을 경우 전기적 특성은 향상될 수 있지만 발광층의 부피가 줄어들어 광학적 특성이 저하될 수 있다.
- [0080] 복수 개의 제1전극(142)이 제1도전형 반도체층(122)과 접촉하는 제1면적은 발광구조물(120)의 수평방향 최대 단면적의 7.4% 이상 20% 이하, 또는 10% 이상 20%이하일 수 있다. 제1면적은 각각의 제1전극(142)이 제1도전형 반도체층(122)과 접촉하는 면적의 합일 수 있다.
- [0081] 복수 개의 제1전극(142)의 제1면적이 7.4% 미만인 경우에는 충분한 전류 확산 특성을 가질 수 없어 광 출력이 감소하며, 20%를 초과하는 경우에는 활성층 및 제2전극의 면적이 과도하게 감소하여 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.
- [0082] 또한, 복수 개의 리세스(128)의 총면적은 발광구조물(120)의 수평방향 최대 단면적의 13% 이상 30% 이하일 수 있다. 리세스(128)의 총면적이 상기 조건을 만족하기 못하면 제1전극(142)의 총면적을 7.4% 이상 20% 이하로 제어하기 어렵다. 또한, 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.
- [0083] 제2전극(246)이 제2도전형 반도체층(126)과 접촉하는 제2면적은 발광구조물(120)의 수평방향 최대 단면적의 35% 이상 70% 이하일 수 있다. 제2면적은 제2전극(246)이 제2도전형 반도체층(126)과 접촉하는 총면적일 수 있다.
- [0084] 제2면적이 35% 미만인 경우에는 제2전극의 면적이 과도하게 작아져 동작 전압이 상승하고, 홀의 주입 효율이 떨어지는 문제가 있다. 제2면적이 70%를 초과하는 경우에는 제1면적을 효과적으로 넓힐 수 없어 전자의 주입 효율이 떨어지는 문제가 있다.
- [0085] 제1면적과 제2면적은 반비례 관계를 갖는다. 즉, 제1전극의 개수를 늘리기 위해서 리세스의 개수를 늘리는 경우 제2전극의 면적이 감소하게 된다. 광 출력을 높이기 위해서는 전자와 홀의 분산 특성이 균형을 이루어야 한다. 따라서, 제1면적과 제2면적의 적절한 비율을 정하는 것이 중요하다.
- [0086] 복수 개의 제1전극이 제1도전형 반도체층에 접촉하는 제1면적과 제2전극이 제2도전형 반도체층에 접촉하는 제2면적의 비(제1면적: 제2면적)는 1:3 내지 1:10일 수 있다.
- [0087] 면적비가 1:10보다 커지는 경우에는 제1면적이 상대적으로 작아 전류 분산 특성이 악화될 수 있다. 또한, 면적비가 1:3보다 작아지는 경우 상대적으로 제2면적이 작아지는 문제가 있다.
- [0088] 도 5는 본 발명의 제1실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고, 도 6은 도 5의 일부 확대도이다.
- [0089] 도 5 및 도 6을 참고하면, 발광 구조물은 두께가 감소하는 방향으로 알루미늄 조성과 P형 불순물(Mg)의 조성이 변화할 수 있다. 제2 도전형 반도체층(127)에서 제2 도전형 반도체층(127)의 표면 방향으로 향할수록 알루미늄의 조성은 낮아지고, P형 불순물(Mg)의 조성은 높아질 수 있다.
- [0090] 제2 도전형 반도체층(127)은 표면(두께가 0인 지점, 제1면)으로부터 제2지점(P21)까지의 제2 최단거리(W2)와 표면으로부터 제1지점(P11)까지의 제1 최단거리(W1)의 비(W2:W1)가 1:1.25 내지 1:100, 또는 1:1.25 내지 1:10일 수 있다.
- [0091] 제2 최단거리(W2)와 제1 최단거리(W1)의 비(W2:W1)가 1:1.25보다 작은 경우에는 제1 최단거리(W1)와 제2 최단거

리(W2)가 가까워져 알루미늄 조성 변화가 급격해지는 문제가 발생할 수 있다. 또한, 비(W2:W1)가 1:100보다 큰 경우 제2도전형 반도체층(127)의 두께가 너무 두꺼워져 제2 도전형 반도체층(127)의 결정성이 저하되거나, 기판 방향으로 인가되는 응력이 강해질 수 있어 활성층에서 방출하는 광의 파장이 변화하는 문제가 있다.

- [0092] 여기서, 제1지점(P11)은 활성층 중에서 제2 도전형 반도체층(127)과 가장 가까운 우물층(126a)의 알루미늄 조성 과 동일한 조성을 갖는 지점일 수 있다. 제1지점(P11)의 범위는 심스(SIMS)로 측정된 스펙트럼으로 정의할 수 있다. 제1지점(P11)의 범위는 활성층의 우물층에서의 알루미늄 함량과 같은 제2 도전형 반도체층으로 정의할 수 있다.
- [0093] 제1지점(P11)을 측정하여 정의하기 위해서 심스(SIMS) 스펙트럼에 의한 방법을 적용할 수 있으나, 반드시 이에 한정하지는 않는다. 다른 예로 TEM, XRD 측정 방법을 적용할 수 있으나, 가장 간편하게는 심스(SIMS) 스펙트럼 을 통해 정의할 수 있다.
- [0094] 제2지점(P21)은 심스(SIMS) 스펙트럼에서 제2 반도체층의 도펀트(예를 들어, Mg)에 대한 스펙트럼과 알루미늄에 대한 스펙트럼이 교차되는 지점일 수 있다. 측정에 있어서 제2 반도체층의 도펀트에 대한 값의 단위는 다를 수 있으나, 제2 도전형 반도체층의 알루미늄 조성에 대한 변곡점을 포함하는 영역 내에서 제2 반도체층의 도펀트에 대한 스펙트럼이 교차하는 지점을 포함하는 범위 내에서 제2-1 반도체층(127a)과 제2-2 반도체층(127b)의 경계 영역이 포함될 수 있다. 따라서, 제2-1 반도체층(127a)과 제2-2 반도체층(127b)의 경계 영역을 측정해낼 수 있고, 그 범위를 정의할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제2지점(P21)은 알루미늄 조성이 5% 내지 55%인 영역 내에 위치한 지점일 수 있다. 제2지점(P21)의 알루미늄 조성이 5%미만일 경우, 제2-1 도전형 반도체층(127a)의 두께가 너무 얇아질 수 있어 반도체 소자의 소비 전력 효율이 저하될 수 있고, 55%를 초과할 경우 제2-1 도전형 반도체층(127a)의 두께가 너무 두꺼워져 광 추출 효율이 저하되는 문제가 발생할 수 있다. 이때, 제2지점(P21)의 알루미늄 조성은 제1지점(P11)의 알루미늄 조성보다 작을 수 있다. 예시적으로 제2지점 (P21)은 알루미늄 조성이 40% 내지 70%일 수 있다.
- [0095] 예시적으로 제1 최단거리(W1)는 25nm 내지 100nm일 수 있고, 제2 최단거리(W2)는 1nm 내지 20nm일 수 있다.
- [0096] 전자 차단층(129)의 평균 알루미늄 조성 과 제1지점(P11)에서의 알루미늄 조성의 제1차이(H1)와 전자 차단층의 평균 알루미늄 조성 과 제2지점(P21)에서의 알루미늄 조성의 제2차이(H2)의 비(H1:H2)는 1:1.2 내지 1:10일 수 있다.
- [0097] 제1차이와 제2차이의 비(H1:H2)가 1:1.2보다 작은 경우 제1지점(P11)과 제2점 사이의 구간의 알루미늄 조성 변 화가 완만하여 컨택층에서 알루미늄 조성을 충분히 낮추기 어려운 문제가 있다. 또한, 제1차이와 제2차이의 비 (H1:H2)가 1:10보다 큰 경우 알루미늄 조성 변화가 급격하여 활성층에서 출사된 광을 흡수할 확률이 높아질 수 있다.
- [0098] 도 7은 본 발명의 제2 실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고, 도 8은 도 7의 일부 확대도이고, 도 9는 본 발명의 제3 실시 예에 따른 발광구조물의 심스(SIMS) 그래프이고, 도 10은 도 9의 일부 확대도이다.
- [0099] 도 7 내지 도 10을 참조하여도 전술한 제2 최단거리(W2)와 제1 최단거리(W1)의 비(W2:W1)가 1:1.25 내지 1:100, 또는 1:1.25 내지 1:10를 만족함을 알 수 있다. 예시적으로 도 10을 참고하면, 제1지점(P13)과 제2지점 (P23)은 매우 근접하게 배치됨을 알 수 있다.
- [0100] 또한, 전자 차단층(129)의 평균 알루미늄 조성 과 제1지점(P12, P13)에서의 알루미늄 조성의 제1차이와, 전자 차 단층의 평균 알루미늄 조성 과 제2지점(P22, P23)에서의 알루미늄 조성의 제2차이의 비(H1:H2)는 1:1.2 내지 1:10를 만족함을 알 수 있다.
- [0101] 이러한 조건을 만족하는 경우 제2도전형 반도체층(127)의 표면에서 알루미늄의 조성을 1% 내지 10%로 조절할 수 있다.
- [0102] 도 11은 본 발명의 일 실시 예에 따른 발광소자 패키지의 개념도이다.
- [0103] 반도체 소자는 패키지로 구성되어, 수지(resin)나 레지스트(resist)나 SOD 또는 SOG의 경화용으로 사용될 수 있 다. 또는, 반도체 소자는 치료용 의료용으로 사용되거나 공기 청정기나 정수기 등의 살균에 사용될 수도 있다.
- [0104] 도 11을 참고하면, 반도체 소자 패키지는 홈(3)이 형성된 몸체(2), 몸체(2)에 배치되는 반도체 소자(1), 및 몸 체(2)에 배치되어 반도체 소자(1)와 전기적으로 연결되는 한 쌍의 리드 프레임(5a, 5b)을 포함할 수 있다. 반도체 소자(1)는 전술한 구성을 모두 포함할 수 있다.

- [0105] 몸체(2)는 자외선 광을 반사하는 재질 또는 코팅층을 포함할 수 있다. 몸체(2)는 복수의 층(2a, 2b, 2c, 2d)을 적층하여 형성할 수 있다. 복수의 층(2a, 2b, 2c, 2d)은 동일한 재질일 수도 있고 상이한 재질을 포함할 수도 있다.
- [0106] 홈(3)은 반도체 소자에서 멀어질수록 넓어지게 형성되고, 경사면에는 단차(3a)가 형성될 수 있다.
- [0107] 투광층(4)은 홈(3)을 덮을 수 있다. 투광층(4)은 글라스 재질일 있으나, 반드시 이에 한정하지 않는다. 투광층(4)은 자외선 광을 유효하게 투과할 수 있는 재질이면 특별히 제한하지 않는다. 홈(3)의 내부는 빈 공간일 수 있다.
- [0108] 반도체 소자는 조명 시스템의 광원으로 사용되거나, 영상표시장치의 광원이나 조명장치의 광원으로 사용될 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다. 예시적으로, 반도체 소자와 RGB 형광체를 혼합하여 사용하는 경우 연색성(CRI)이 우수한 백색광을 구현할 수 있다.
- [0109] 상술한 반도체 소자는 발광소자 패키지로 구성되어, 조명 시스템의 광원으로 사용될 수 있는데, 예를 들어 영상표시장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다.
- [0110] 영상표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있고, 조명 장치의 광원으로 사용될 때 등기구나 별브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.
- [0111] 발광 소자는 상술한 발광 다이오드 외에 레이저 다이오드가 있다.
- [0112] 레이저 다이오드는, 발광소자와 동일하게, 상술한 구조의 제1도전형 반도체층과 활성층 및 제2도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [0113] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광 출력전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [0114] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [0115] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.
- [0116] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2도전형 반도체층을 포함할 수 있다.
- [0117] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.
- [0118] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.
- [0119] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지

많은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

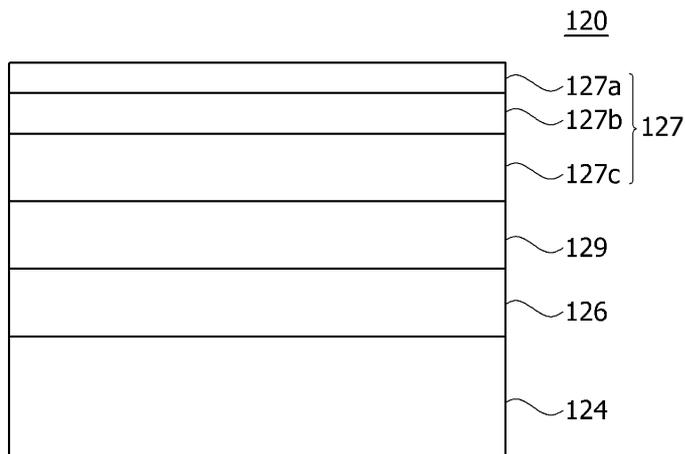
**부호의 설명**

[0120]

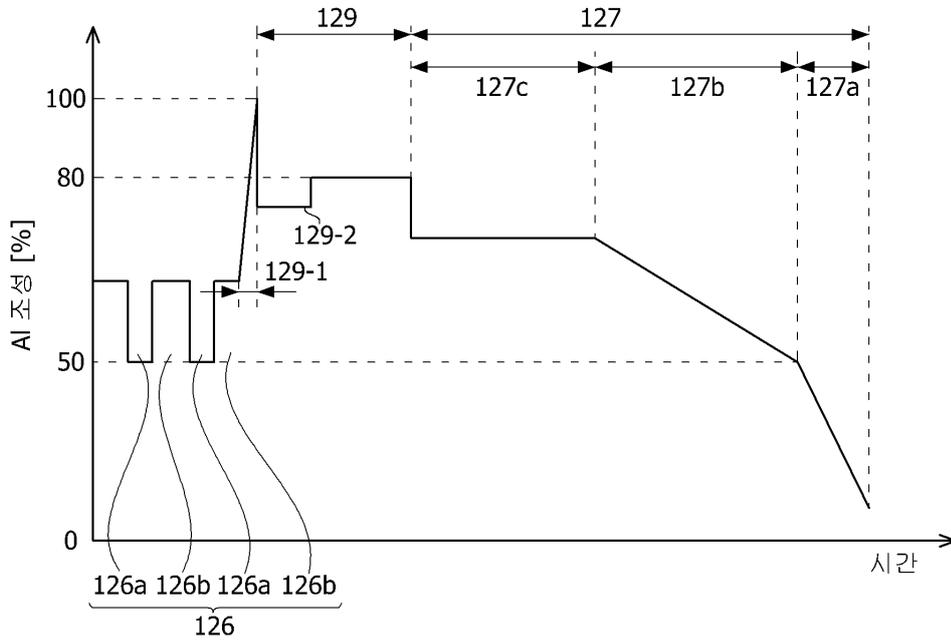
- 120: 발광 구조물
- 124: 제1 도전형 반도체층
- 126: 활성층
- 127: 제2 도전형 반도체층
- 127a: 제2-1 도전형 반도체층
- 127b: 제2-2 도전형 반도체층
- 127c: 제2-3 도전형 반도체층
- 129: 전자 차단층

**도면**

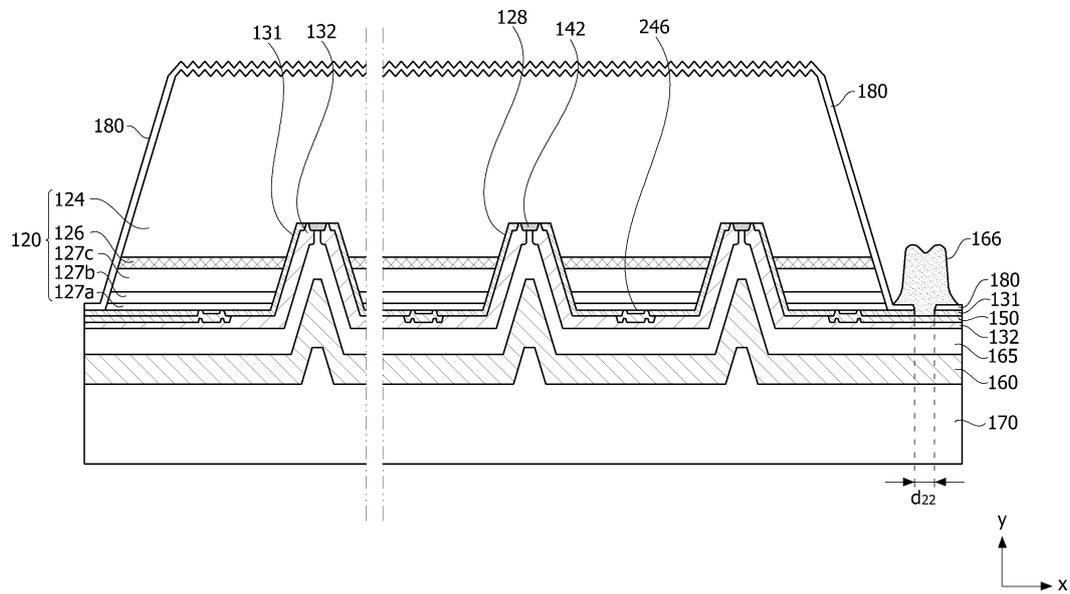
**도면1**



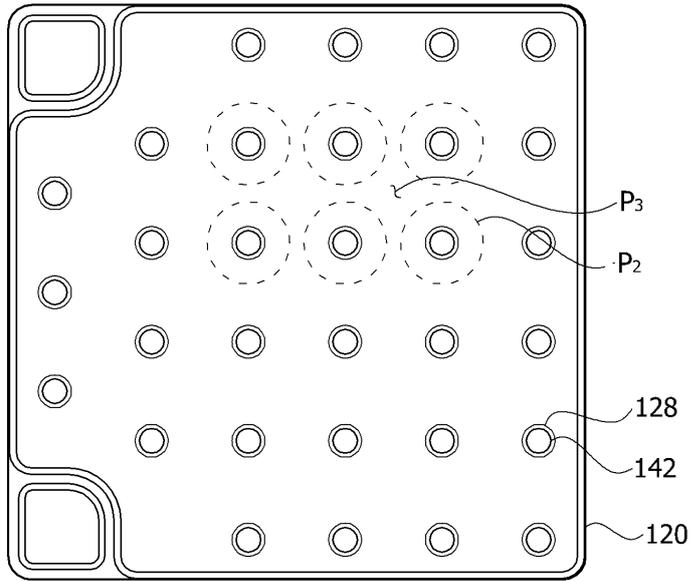
도면2



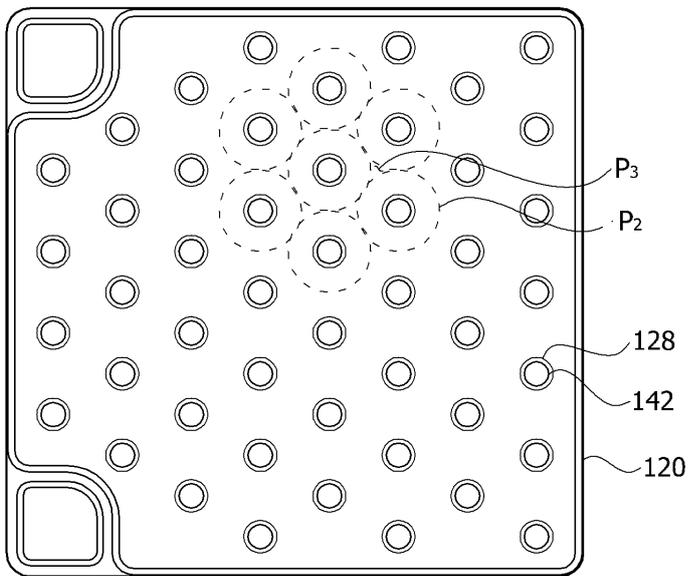
도면3



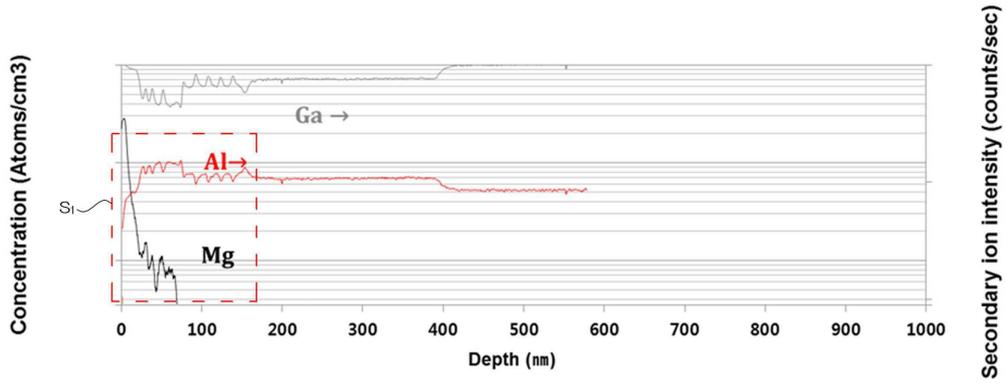
도면4a



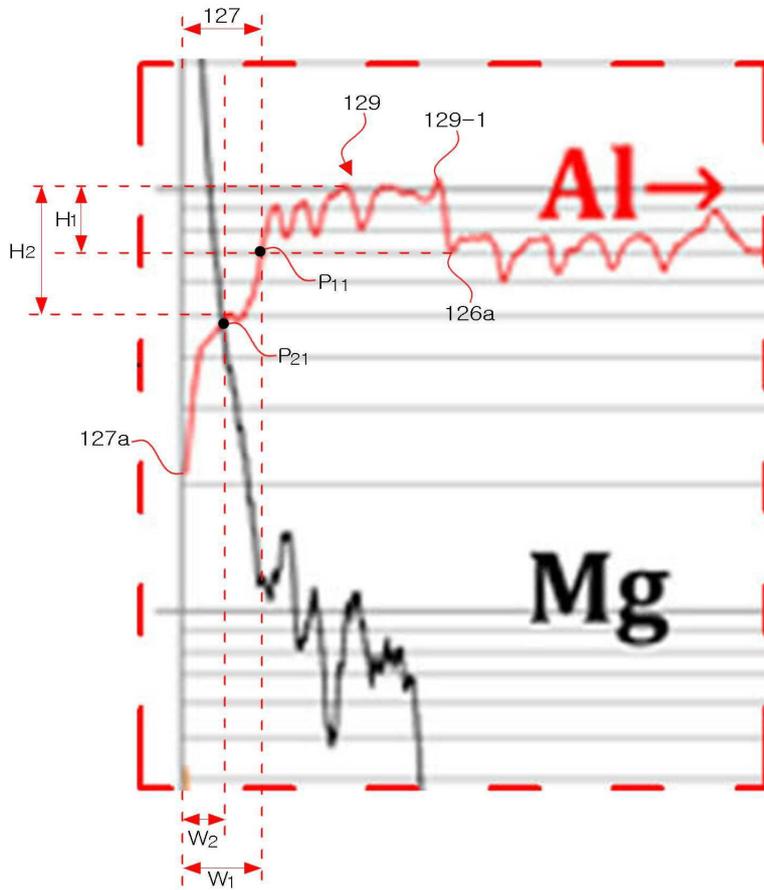
도면4b



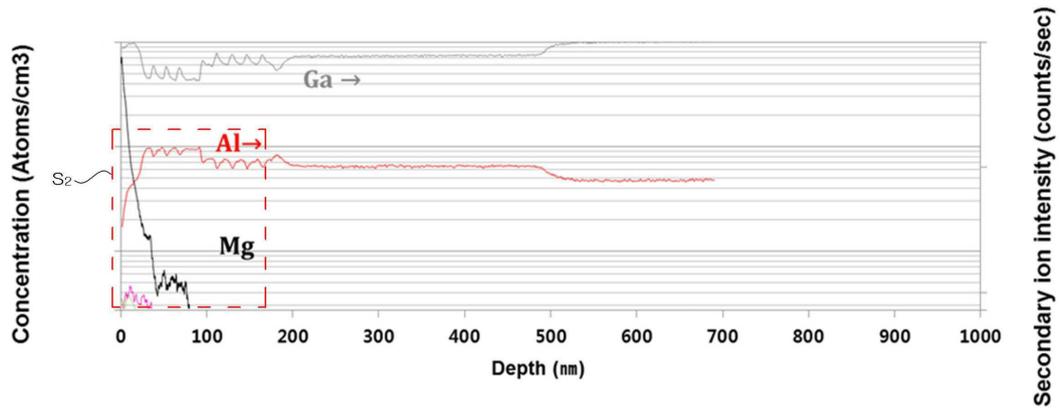
도면5



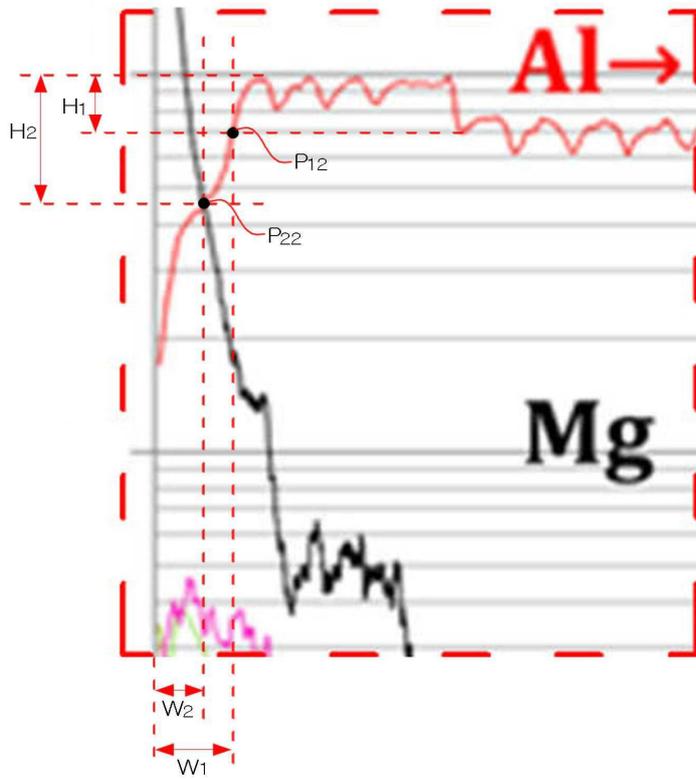
도면6



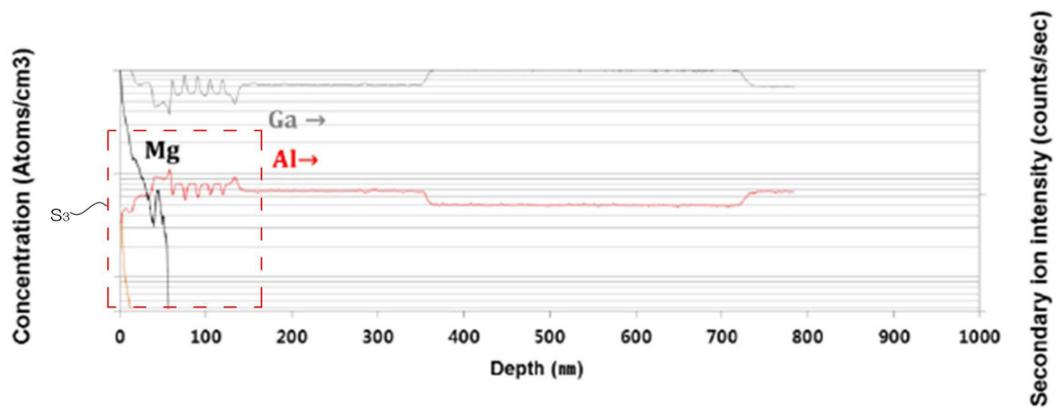
도면7



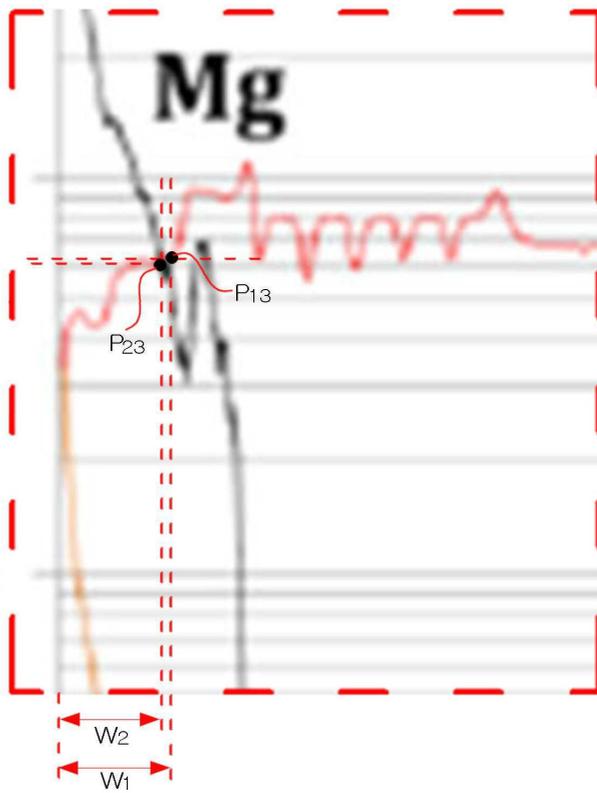
도면8



도면9



도면10



도면11

