



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월09일
(11) 등록번호 10-2395466
(24) 등록일자 2022년05월03일

(51) 국제특허분류(Int. Cl.)
H02M 1/14 (2006.01) H02M 3/137 (2006.01)
(52) CPC특허분류
H02M 1/14 (2013.01)
H02M 3/137 (2013.01)
(21) 출원번호 10-2015-0099554
(22) 출원일자 2015년07월14일
심사청구일자 2020년06월02일
(65) 공개번호 10-2017-0008416
(43) 공개일자 2017년01월24일
(56) 선행기술조사문헌
CN104518663 A*
KR1020070029805 A*
US20080258701 A1*
US20080180071 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
호양
서울특별시 강남구 논현로 205, 4동 601호 (도곡동, 도곡한신아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

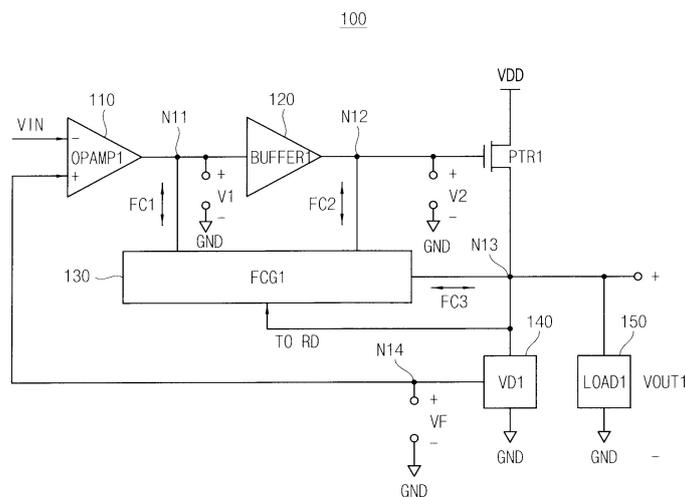
심사관 : 광인구

(54) 발명의 명칭 리플 감소 속도를 제고한 레귤레이터 회로

(57) 요약

레귤레이터 회로는 오피 앰프, 버퍼, 전력 트랜지스터, 전압 분배기, 부하 및 피드백 전류 생성기를 포함한다. 오피 앰프는 입력 전압 신호와 피드백 전압 신호의 차이를 증폭하여 생성한 제1 전압 신호로서 제1 노드를 구동한다. 버퍼는 제1 전압 신호에 기초하여 생성한 제2 전압 신호로서 제2 노드를 구동한다. 전력 트랜지스터는 전원 전압이 인가되는 드레인, 제2 노드와 연결되는 게이트 및 제3 노드와 연결되는 소스를 구비한다. 전압 분배기는 제3 노드의 출력 전압 신호를 전압 분배하여 피드백 전압 신호를 생성한다. 부하는 제3 노드와 접지 전압 노드 사이에 위치한다. 피드백 전류 생성기는 출력 전압 신호의 리플에 상응하는 피드백 전류를 제1 노드에 공급하여 리플의 감소 속도를 제고한다.

대표도



명세서

청구범위

청구항 1

입력 전압 신호와 피드백 전압 신호의 차이를 증폭하여 생성한 제1 전압 신호로서 제1 노드를 구동하는 오피 앰프(OP amplifier);

상기 제1 전압 신호에 기초하여 생성한 제2 전압 신호로서 제2 노드를 구동하는 버퍼;

전원 전압이 인가되는 드레인, 상기 제2 노드와 연결되는 게이트 및 제3 노드와 연결되는 소스를 구비하는 전력 트랜지스터;

상기 제3 노드의 출력 전압 신호를 전압 분배하여 상기 피드백 전압 신호를 생성하는 전압 분배기;

상기 제3 노드에 연결되는 일 말단 및 접지 전압이 인가되는 타 말단을 구비하는 부하; 및

상기 출력 전압 신호의 리플(Ripple)에 상응하는 제1 피드백 전류를 상기 오피 앰프에 의해 구동되는 상기 제1 노드에 공급하여 상기 리플의 감소 속도를 제고하는 피드백 전류 생성기를 포함하는 레귤레이터 회로.

청구항 2

제1 항에 있어서,

상기 리플이 언더슈트(Undershoot)인 경우 상기 제1 피드백 전류는 양성 값을 가지고, 상기 리플이 오버슈트(Overshoot)인 경우 상기 제1 피드백 전류는 음성 값을 가지는 레귤레이터 회로.

청구항 3

제1 항에 있어서,

상기 피드백 전류 생성기는

상기 출력 전압 신호에 기초하여 생성한 폴-업 신호 및 폴-다운 신호를 각각 제4 및 제5 노드들을 통해서 출력하고, 상기 리플이 언더슈트일 때 상기 폴-업 신호를 활성화하고, 상기 리플이 오버슈트일 때 상기 폴-다운 신호를 활성화하는 리플 감지부(Ripple Detector); 및

상기 폴-업 신호 및 상기 폴-다운 신호에 기초하여 상기 제1 피드백 전류를 생성하는 구동부를 포함하는 레귤레이터 회로.

청구항 4

제3 항에 있어서,

상기 리플 감지부는

상기 전원 전압이 인가되는 소스, 제1 내부 노드에 연결되는 게이트 및 상기 제5 노드에 연결되는 드레인을 구비하는 제1 PMOS 트랜지스터;

상기 제1 내부 노드 및 제2 내부 노드에 연결되는 제1 저역 통과 필터;

상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제2 내부 노드에 연결되는 드레인을 구비하는 제2 PMOS 트랜지스터;

상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제4 노드에 연결되는 드레인을 구비하는 제3 PMOS 트랜지스터;

상기 제5 노드에 연결되는 드레인, 상기 제3 노드에 연결되는 게이트 및 제3 내부 노드에 연결되는 소스를 구비하는 제1 NMOS 트랜지스터;

상기 제2 내부 노드에 연결되는 드레인, 상기 제3 노드에 연결되는 게이트 및 상기 제3 내부 노드에 연결되는

소스를 구비하는 제2 NMOS 트랜지스터;

상기 제3 노드, 상기 제3 내부 노드 및 제4 내부 노드에 연결되는 제2 지역 통과 필터;

상기 제4 노드에 연결되는 드레인, 상기 제4 내부 노드에 연결되는 게이트 및 상기 제3 내부 노드에 연결되는 소스를 구비하는 제3 NMOS 트랜지스터; 및

상기 제3 내부 노드에 연결되는 일 말단 및 상기 접지 전압이 인가되는 타 말단을 구비하는 전류원을 포함하는 레귤레이터 회로.

청구항 5

제4 항에 있어서,

상기 제1 내지 제3 NMOS 트랜지스터들의 종횡비들(aspect ratios; W/L)은 모두 동일하고,

상기 제1 및 제3 PMOS 트랜지스터들의 종횡비들은 상기 제2 PMOS 트랜지스터의 종횡비보다 큰 레귤레이터 회로.

청구항 6

제3 항에 있어서,

상기 리플 감지부는

상기 전원 전압이 인가되는 소스, 제1 내부 노드에 연결되는 게이트 및 상기 제5 노드에 연결되는 드레인을 구비하는 제1 PMOS 트랜지스터;

상기 제1 내부 노드 및 제2 내부 노드에 연결되는 제1 지역 통과 필터;

상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제2 내부 노드에 연결되는 드레인을 구비하는 제2 PMOS 트랜지스터;

상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제4 노드에 연결되는 드레인을 구비하는 제3 PMOS 트랜지스터;

상기 제5 노드에 연결되는 드레인, 제3 내부 노드에 연결되는 게이트 및 제4 내부 노드에 연결되는 소스를 구비하는 제1 NMOS 트랜지스터;

상기 제2 내부 노드에 연결되는 드레인, 상기 제3 내부 노드에 연결되는 게이트 및 상기 제4 내부 노드에 연결되는 소스를 구비하는 제2 NMOS 트랜지스터;

상기 제3 내부 노드, 상기 제4 내부 노드 및 제5 내부 노드에 연결되는 제2 지역 통과 필터;

상기 제4 노드에 연결되는 드레인, 상기 제5 내부 노드에 연결되는 게이트 및 상기 제4 내부 노드에 연결되는 소스를 구비하는 제3 NMOS 트랜지스터;

상기 제4 내부 노드에 연결되는 일 말단 및 상기 접지 전압이 인가되는 타 말단을 구비하는 전류원;

상기 제3 내부 노드에 연결되는 일 말단 및 상기 제3 노드에 연결되는 타 말단을 구비하는 커패시터; 및

상기 제3 내부 노드에 바이어스 전압을 인가하는 전압원을 포함하는 레귤레이터 회로.

청구항 7

제3 항에 있어서,

상기 구동부는

상기 풀-다운 신호가 활성화되는 경우 상기 제1 피드백 전류를 음성 값으로 구동하는 풀-다운 유닛; 및

상기 풀-업 신호가 활성화되는 경우 상기 제1 피드백 전류를 양성 값으로 구동하는 풀-업 유닛을 포함하는 레귤레이터 회로.

청구항 8

제7 항에 있어서,

상기 풀-다운 유닛은,

상기 전원 전압이 인가되는 일 말단 및 제1 내부 노드와 연결되는 타 말단을 구비하는 전류원;

상기 제1 내부 노드와 연결되는 소스, 상기 제5 노드와 연결되는 게이트 및 제2 내부 노드와 연결되는 드레인을 구비하는 PMOS 트랜지스터;

상기 제2 내부 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제1 NMOS 트랜지스터; 및

상기 제1 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제2 NMOS 트랜지스터를 포함하는 레귤레이터 회로.

청구항 9

제7 항에 있어서,

상기 풀-업 유닛은,

상기 전원 전압이 인가되는 일 말단 및 내부 노드와 연결되는 타 말단을 구비하는 전류원; 및

상기 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제1 노드와 연결되는 드레인을 구비하는 PMOS 트랜지스터를 포함하는 레귤레이터 회로.

청구항 10

제1 항에 있어서,

상기 피드백 전류 생성기는 상기 리플에 상응하는 제2 및 제3 피드백 전류들을 각각 상기 제2 및 제3 노드들에 공급하여 상기 리플의 감소 속도를 제고하는 레귤레이터 회로.

청구항 11

제10 항에 있어서,

상기 리플이 언더슈트인 경우 상기 제2 및 제3 피드백 전류들은 양성 값을 가지고 상기 리플이 오버슈트인 경우 상기 제2 및 제3 피드백 전류들은 음성 값을 가지는 레귤레이터 회로.

청구항 12

제10 항에 있어서,

상기 피드백 전류 생성기는

상기 출력 전압 신호에 기초하여 생성한 풀-업 신호 및 풀-다운 신호를 각각 제4 및 제5 노드들을 통해서 출력하고, 상기 리플이 언더슈트일 때 상기 풀-업 신호를 활성화하고, 상기 리플이 오버슈트일 때 상기 풀-다운 신호를 활성화하는 리플 감지부(Ripple Detector); 및

상기 풀-업 신호 및 상기 풀-다운 신호에 기초하여 상기 제1 내지 제3 피드백 전류들을 생성하는 구동부를 포함하는 레귤레이터 회로.

청구항 13

제12 항에 있어서,

상기 구동부는

상기 풀-다운 신호가 활성화되는 경우 상기 제1 내지 제3 피드백 전류들 중 적어도 하나를 음성 값으로서 구동하는 풀-다운 유닛; 및

상기 풀-업 신호가 활성화되는 경우 상기 제1 내지 제3 피드백 전류들 중 적어도 하나를 양성 값으로서 구동하는 풀-업 유닛을 포함하는 레귤레이터 회로.

청구항 14

제13 항에 있어서,

상기 풀-다운 유닛은,

상기 전원 전압이 인가되는 일 말단 및 제1 내부 노드와 연결되는 타 말단을 구비하는 제1 전류원;

상기 제1 내부 노드와 연결되는 소스, 상기 제5 노드와 연결되는 게이트 및 제2 내부 노드와 연결되는 드레인을 구비하는 제1 PMOS 트랜지스터;

상기 제2 내부 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제1 NMOS 트랜지스터;

상기 제1 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제2 NMOS 트랜지스터;

상기 제2 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제3 NMOS 트랜지스터; 및

상기 제3 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비하는 제4 NMOS 트랜지스터를 포함하는 레귤레이터 회로.

청구항 15

제14 항에 있어서,

상기 풀-업 유닛은,

상기 전원 전압이 인가되는 일 말단 및 제3 내부 노드와 연결되는 타 말단을 구비하는 제2 전류원;

상기 제3 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제1 노드와 연결되는 드레인을 구비하는 제2 PMOS 트랜지스터;

상기 전원 전압이 인가되는 일 말단 및 제4 내부 노드와 연결되는 타 말단을 구비하는 제3 전류원;

상기 제4 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제2 노드와 연결되는 드레인을 구비하는 제3 PMOS 트랜지스터;

상기 전원 전압이 인가되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제3 노드와 연결되는 드레인을 구비하는 제4 PMOS 트랜지스터를 포함하는 레귤레이터 회로.

청구항 16

입력 전압 신호와 피드백 전압 신호의 차이를 증폭하여 생성한 제1 전압 신호로서 제1 노드를 구동하고, 제1 바이어스 전류에 기초하여 출력 저항을 조절하는 오피 앰프(OP amplifier);

상기 제1 전압 신호에 기초하여 생성한 제2 전압 신호로서 제2 노드를 구동하고, 제2 바이어스 전류에 기초하여 출력 저항을 조절하는 버퍼;

전원 전압이 인가되는 드레인, 상기 제2 노드와 연결되는 게이트 및 제3 노드와 연결되는 소스를 구비하는 전력 트랜지스터;

제4 노드와 연결되는 드레인, 상기 제2 노드와 연결되는 게이트 및 상기 제3 노드와 연결되는 소스를 구비하는 감지 트랜지스터;

상기 제3 노드의 출력 전압 신호를 전압 분배하여 상기 피드백 전압 신호를 생성하는 전압 분배기;

상기 제3 노드에 연결되는 일 말단 및 접지 전압이 인가되는 타 말단을 구비하는 부하;

상기 출력 전압 신호의 리플(Ripple)에 반응하는 제1 내지 제3 피드백 전류들을 각각 상기 제1 내지 제3 노드들에 공급하여 상기 리플의 감소 속도를 제고하는 피드백 전류 생성기; 및

전원 전압 노드에서 상기 제4 노드를 통해 상기 감지 트랜지스터의 드레인으로 흐르는 감지 전류에 응답하여 상기 제1 및 제2 바이어스 전류들을 신속히 조절하여 안정도(Stability)를 제고하고 대기 전류(Quiescent current)를 최소화하는 동적 바이어스 전류 조절기(Dynamic Bias Current Controller)를 포함하는 레귤레이터

회로.

청구항 17

제16 항에 있어서,
 상기 제1 바이어스 전류와 상기 오피 앰프의 출력 저항은 반비례하고,
 상기 제2 바이어스 전류와 상기 버퍼의 출력 저항은 반비례하는 레귤레이터 회로.

청구항 18

제16 항에 있어서,
 상기 감지 전류는 상기 전력 트랜지스터의 소스에서 출력되는 출력 전류에 비례하는 레귤레이터 회로.

청구항 19

제16 항에 있어서,
 상기 제1 및 제2 바이어스 전류들의 크기는 상기 감지 전류의 크기에 비례하는 레귤레이터 회로.

청구항 20

제16 항에 있어서,
 상기 동적 바이어스 전류 조절기는
 상기 감지 전류를 증폭하여 생성한 증폭 감지 전류를 내부 노드로 출력하는 전류 감지 증폭기;
 상기 전원 전압 노드에서 상기 내부 노드로 흐르는 기본 바이어스 전류를 생성하는 전류원; 및
 상기 내부 노드로부터 입력되는 상기 증폭 감지 전류와 상기 기본 바이어스 전류의 합에 기초하여 상기 제1 및 제2 바이어스 전류들을 생성하는 바이어스 전류 생성기를 포함하는 레귤레이터 회로.

발명의 설명

기술 분야

[0001] 본 발명은 레귤레이터에 관한 것으로서, 더욱 상세하게는 출력 전압신호에 발생한 리플을 신속 및 안정적으로 감소시키는 레귤레이터 회로에 관한 것이다.

배경 기술

[0002] 다양한 전자 기기 회로의 전압 공급원으로 사용되는 레귤레이터(Regulator)는 입력 전압 신호의 전압 변동에 무관하게 출력 전압 신호를 제공하는 것을 목적으로 한다.

[0003] 최근, 전자 기기 회로가 소모하는 전력이 증가하면서, 레귤레이터에 포함되고 부하를 구동하는 전력 트랜지스터의 크기가 증가하고 상기 전력 트랜지스터의 게이트 커패시턴스도 증가하고 있다. 전력 트랜지스터의 큰 게이트 커패시턴스 때문에 출력 전압 신호에 리플을 제거하기 위해 많은 시간이 소요되는 문제점과 레귤레이터의 출력단에 연결되는 부하의 크기에 따라 레귤레이터의 안정도가 변하는 문제점이 존재한다.

발명의 내용

해결하려는 과제

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 출력 전압 신호에서 발생한 리플에 상응하는 피드백 전류들을 내부 노드들에 피드백하여 상기 리플을 신속하게 감소시키는 레귤레이터 회로(Regulator circuit)를 제공하는 데 있다.

[0005] 본 발명의 일 목적은 출력 전압 신호에서 발생한 리플에 상응하는 피드백 전류들을 내부 노드들에 피드백하여 상기 리플을 신속하게 감소시키고, 안정도(Stability) 조절을 위해 오피 앰프 및 버퍼에 제공되는 바이어스 전류들을 신속하게 조절하여 대기 전류(ground current or quiescent current)를 낮춘 레귤레이터 회로를 제공하

는데 있다.

과제의 해결 수단

- [0006] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 레귤레이터 회로는 오피 앰프(OP amplifier), 버퍼, 전력 트랜지스터, 전압 분배기, 부하 및 피드백 전류 생성기를 포함한다. 상기 오피 앰프는 입력 전압 신호와 피드백 전압 신호의 차이를 증폭하여 생성한 제1 전압 신호로서 제1 노드를 구동한다. 상기 버퍼는 상기 제1 전압 신호에 기초하여 생성한 제2 전압 신호로서 제2 노드를 구동한다. 상기 전력 트랜지스터는 전원 전압이 인가되는 드레인, 상기 제2 노드와 연결되는 게이트 및 제3 노드와 연결되는 소스를 구비한다. 상기 전압 분배기는 상기 제3 노드의 출력 전압 신호를 전압 분배하여 상기 피드백 전압 신호를 생성한다. 상기 부하는 상기 제3 노드에 연결되는 일 말단 및 접지 전압이 인가되는 타 말단을 구비한다. 상기 피드백 전류 생성기는 상기 출력 전압 신호의 리플(Ripple)에 상응하는 제1 피드백 전류를 상기 제1 노드에 공급하여 상기 리플의 감소 속도를 제고한다.
- [0007] 일 실시예에 있어서, 상기 리플이 언더슈트(Undershoot)인 경우 상기 제1 피드백 전류는 양성 값을 가지고, 상기 리플이 오버슈트(Overshoot)인 경우 상기 제1 피드백 전류는 음성 값을 가질 수 있다.
- [0008] 일 실시예에 있어서, 상기 피드백 전류 생성기는 리플 감지부(Ripple Detector) 및 구동부를 포함할 수 있다. 상기 리플 감지부는 상기 출력 전압 신호에 기초하여 생성한 폴-업 신호 및 폴-다운 신호를 각각 제4 및 제5 노드들을 통해서 출력하고, 상기 리플이 언더슈트일 때 상기 폴-업 신호를 활성화하고, 상기 리플이 오버슈트일 때 상기 폴-다운 신호를 활성화할 수 있다. 상기 구동부는 상기 폴-업 신호 및 상기 폴-다운 신호에 기초하여 상기 제1 피드백 전류를 생성할 수 있다.
- [0009] 일 실시예에 있어서, 상기 리플 감지부는 제1 내지 제3 PMOS 트랜지스터들, 제1 및 제2 저역 통과 필터들, 제1 내지 제3 NMOS 트랜지스터들 및 전류원을 포함할 수 있다. 상기 제1 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 제1 내부 노드에 연결되는 게이트 및 상기 제5 노드에 연결되는 드레인을 구비할 수 있다. 상기 제1 저역 통과 필터는 상기 제1 내부 노드 및 제2 내부 노드에 연결될 수 있다. 상기 제2 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제2 내부 노드에 연결되는 드레인을 구비할 수 있다. 상기 제3 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제4 노드에 연결되는 드레인을 구비할 수 있다. 상기 제1 NMOS 트랜지스터는 상기 제5 노드에 연결되는 드레인, 상기 제3 노드에 연결되는 게이트 및 제3 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 제2 NMOS 트랜지스터는 상기 제2 내부 노드에 연결되는 드레인, 상기 제3 노드에 연결되는 게이트 및 상기 제3 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 제2 저역 통과 필터는 상기 제3 노드, 상기 제3 내부 노드 및 제4 내부 노드에 연결될 수 있다. 상기 제3 NMOS 트랜지스터는 상기 제4 노드에 연결되는 드레인, 상기 제4 내부 노드에 연결되는 게이트 및 상기 제3 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 전류원은 상기 제3 내부 노드에 연결되는 일 말단 및 상기 접지 전압이 인가되는 타 말단을 구비할 수 있다.
- [0010] 일 실시예에 있어서, 상기 제1 저역 통과 필터는 저항 및 커패시터를 포함할 수 있다. 상기 저항은 상기 제1 내부 노드에 연결되는 일 말단 및 상기 제2 내부 노드에 연결되는 타 말단을 구비할 수 있다. 상기 커패시터는 상기 전원 전압이 인가되는 일 말단 및 상기 제1 내부 노드에 연결되는 타 말단을 구비할 수 있다.
- [0011] 일 실시예에 있어서, 상기 제2 저역 통과 필터는 저항 및 커패시터를 포함할 수 있다. 상기 저항은 상기 제3 노드에 연결되는 일 말단 및 상기 제4 내부 노드에 연결되는 타 말단을 구비할 수 있다. 상기 커패시터는 상기 제4 내부 노드에 연결되는 일 말단 및 상기 제3 내부 노드에 연결되는 타 말단을 구비할 수 있다.
- [0012] 일 실시예에 있어서, 상기 제1 저역 통과 필터는 상기 제2 내부 노드의 전압 신호의 고주파 성분을 필터링하여 상기 제1 내부 노드의 전압 신호를 생성할 수 있다. 상기 제2 저역 통과 필터는 상기 제3 노드의 전압 신호의 고주파 성분을 필터링하여 상기 제4 내부 노드의 전압 신호를 생성할 수 있다.
- [0013] 일 실시예에 있어서, 상기 제1 내지 제3 NMOS 트랜지스터들의 종횡비들(aspect ratios; W/L)은 모두 동일하고, 상기 제1 및 제3 PMOS 트랜지스터들의 종횡비들은 상기 제2 PMOS 트랜지스터의 종횡비보다 클 수 있다.
- [0014] 일 실시예에 있어서, 상기 리플 감지부는 제1 내지 제3 PMOS 트랜지스터들, 제1 및 제2 저역 통과 필터들, 제1 내지 제3 NMOS 트랜지스터들, 전류원, 커패시터 및 전압원을 포함할 수 있다. 상기 제1 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 제1 내부 노드에 연결되는 게이트 및 상기 제5 노드에 연결되는 드레인을 구비할 수 있다. 상기 제1 저역 통과 필터는 상기 제1 내부 노드 및 제2 내부 노드에 연결될 수 있다. 상기 제2 PMOS

트랜지스터는 상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제2 내부 노드에 연결되는 드레인을 구비할 수 있다. 상기 제3 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 상기 제2 내부 노드에 연결되는 게이트 및 상기 제4 노드에 연결되는 드레인을 구비할 수 있다. 상기 제1 NMOS 트랜지스터는 상기 제5 노드에 연결되는 드레인, 제3 내부 노드에 연결되는 게이트 및 제4 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 제2 NMOS 트랜지스터는 상기 제2 내부 노드에 연결되는 드레인, 상기 제3 내부 노드에 연결되는 게이트 및 상기 제4 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 제2 저역 통과 필터는 상기 제3 내부 노드, 상기 제4 내부 노드 및 제5 내부 노드에 연결될 수 있다. 상기 제3 NMOS 트랜지스터는 상기 제4 노드에 연결되는 드레인, 상기 제5 내부 노드에 연결되는 게이트 및 상기 제4 내부 노드에 연결되는 소스를 구비할 수 있다. 상기 전류원은 상기 제4 내부 노드에 연결되는 일 말단 및 상기 접지 전압이 인가되는 타 말단을 구비할 수 있다. 상기 커패시터는 상기 제3 내부 노드에 연결되는 일 말단 및 상기 제3 노드에 연결되는 타 말단을 구비할 수 있다. 상기 전압원은 상기 제3 내부 노드에 바이어스 전압을 인가할 수 있다.

- [0015] 일 실시예에 있어서, 상기 구동부는 풀-다운 유닛 및 풀-업 유닛을 포함할 수 있다. 상기 풀-다운 유닛은 상기 풀-다운 신호가 활성화되는 경우 상기 제1 피드백 전류를 음성 값으로 구동할 수 있다. 상기 풀-업 유닛은 상기 풀-업 신호가 활성화되는 경우 상기 제1 피드백 전류를 양성 값으로 구동할 수 있다.
- [0016] 일 실시예에 있어서, 상기 풀-다운 유닛은 전류원, PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터들을 포함할 수 있다. 상기 전류원은 상기 전원 전압이 인가되는 일 말단 및 제1 내부 노드와 연결되는 타 말단을 구비할 수 있다. 상기 PMOS 트랜지스터는 상기 제1 내부 노드와 연결되는 소스, 상기 제5 노드와 연결되는 게이트 및 제2 내부 노드와 연결되는 드레인을 구비할 수 있다. 상기 제1 NMOS 트랜지스터는 상기 제2 내부 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비할 수 있다. 상기 제2 NMOS 트랜지스터는 상기 제1 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비할 수 있다.
- [0017] 일 실시예에 있어서, 상기 풀-업 유닛은 전류원 및 PMOS 트랜지스터를 포함할 수 있다. 상기 전류원은 상기 전원 전압이 인가되는 일 말단 및 내부 노드와 연결되는 타 말단을 구비할 수 있다. 상기 PMOS 트랜지스터는 상기 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제1 노드와 연결되는 드레인을 구비할 수 있다.
- [0018] 일 실시예에 있어서, 상기 피드백 전류 생성기는 상기 리플에 상응하는 제2 및 제3 피드백 전류들을 각각 상기 제2 및 제3 노드들에 공급하여 상기 리플의 감소 속도를 제고할 수 있다.
- [0019] 일 실시예에 있어서, 상기 리플이 언더슈트인 경우 상기 제2 및 제3 피드백 전류들은 양성 값을 가지고 상기 리플이 오버슈트인 경우 상기 제2 및 제3 피드백 전류들은 음성 값을 가질 수 있다.
- [0020] 일 실시예에 있어서, 상기 피드백 전류 생성기는 리플 감지부 및 구동부를 포함할 수 있다. 상기 리플 감지부는 상기 출력 전압 신호에 기초하여 생성한 풀-업 신호 및 풀-다운 신호를 각각 제4 및 제5 노드들을 통해서 출력하고, 상기 리플이 언더슈트일 때 상기 풀-업 신호를 활성화하고, 상기 리플이 오버슈트일 때 상기 풀-다운 신호를 활성화할 수 있다. 상기 구동부는 상기 풀-업 신호 및 상기 풀-다운 신호에 기초하여 상기 제1 내지 제3 피드백 전류들을 생성할 수 있다.
- [0021] 일 실시예에 있어서, 상기 구동부는 풀-다운 유닛 및 풀-업 유닛을 포함할 수 있다. 상기 풀-다운 유닛은 상기 풀-다운 신호가 활성화되는 경우 상기 제1 내지 제3 피드백 전류들 중 적어도 하나를 음성 값으로서 구동할 수 있다. 상기 풀-업 유닛은 상기 풀-업 신호가 활성화되는 경우 상기 제1 내지 제3 피드백 전류들 중 적어도 하나를 양성 값으로서 구동할 수 있다.
- [0022] 일 실시예에 있어서, 상기 풀-다운 유닛은 제1 전류원, 제1 PMOS 트랜지스터 및 제1 내지 제4 NMOS 트랜지스터들을 포함할 수 있다. 상기 제1 전류원은 상기 전원 전압이 인가되는 일 말단 및 제1 내부 노드와 연결되는 타 말단을 구비할 수 있다. 상기 제1 PMOS 트랜지스터는 상기 제1 내부 노드와 연결되는 소스, 상기 제5 노드와 연결되는 게이트 및 제2 내부 노드와 연결되는 드레인을 구비할 수 있다. 상기 제1 NMOS 트랜지스터는 상기 제2 내부 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비할 수 있다. 상기 제2 NMOS 트랜지스터는 상기 제1 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비할 수 있다. 상기 제3 NMOS 트랜지스터는 상기 제2 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기 접지 전압이 인가되는 소스를 구비할 수 있다. 상기 제4 NMOS 트랜지스터는 상기 제3 노드와 연결되는 드레인, 상기 제2 내부 노드와 연결되는 게이트 및 상기

접지 전압이 인가되는 소스를 구비할 수 있다.

[0023] 일 실시예에 있어서, 상기 풀-업 유닛은 제2 내지 제3 전류원들 및 제2 내지 제4 PMOS 트랜지스터들을 포함할 수 있다. 상기 제2 전류원은 상기 전원 전압이 인가되는 일 말단 및 제3 내부 노드와 연결되는 타 말단을 구비할 수 있다. 상기 제2 PMOS 트랜지스터는 상기 제3 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제1 노드와 연결되는 드레인을 구비할 수 있다. 상기 제3 전류원은 상기 전원 전압이 인가되는 일 말단 및 제4 내부 노드와 연결되는 타 말단을 구비할 수 있다. 상기 제3 PMOS 트랜지스터는 상기 제4 내부 노드와 연결되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제2 노드와 연결되는 드레인을 구비할 수 있다. 상기 제4 PMOS 트랜지스터는 상기 전원 전압이 인가되는 소스, 상기 제4 노드와 연결되는 게이트 및 상기 제3 노드와 연결되는 드레인을 구비할 수 있다.

[0024] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 레귤레이터 회로는 오피 앰프, 버퍼, 전력 트랜지스터, 감지 트랜지스터, 전압 분배기, 부하 피드백 전류 생성기 및 동적 바이어스 전류 조절기를 포함한다. 상기 오피 앰프는 입력 전압 신호와 피드백 전압 신호의 차이를 증폭하여 생성한 제1 전압 신호로서 제1 노드를 구동하고, 제1 바이어스 전류에 기초하여 출력 저항을 조절한다. 상기 버퍼는 상기 제1 전압 신호에 기초하여 생성한 제2 전압 신호로서 제2 노드를 구동하고, 제2 바이어스 전류에 기초하여 출력 저항을 조절한다. 상기 전력 트랜지스터는 전원 전압이 인가되는 드레인, 상기 제2 노드와 연결되는 게이트 및 제3 노드와 연결되는 소스를 구비한다. 상기 감지 트랜지스터는 제4 노드와 연결되는 드레인, 상기 제2 노드와 연결되는 게이트 및 상기 제3 노드와 연결되는 소스를 구비한다. 상기 전압 분배기는 상기 제3 노드의 출력 전압 신호를 전압 분배하여 상기 피드백 전압 신호를 생성한다. 상기 부하는 상기 제3 노드에 연결되는 일 말단 및 접지 전압이 인가되는 타 말단을 구비한다. 상기 피드백 전류 생성기는 상기 출력 전압 신호의 리플(Ripple)에 상응하는 제1 내지 제3 피드백 전류들을 각각 상기 제1 내지 제3 노드들에 공급하여 상기 리플의 감소 속도를 제고한다. 상기 동적 바이어스 전류 조절기는 전원 전압 노드에서 상기 제4 노드를 통해 상기 센스 트랜지스터의 드레인으로 흐르는 감지 전류에 응답하여 상기 제1 및 제2 바이어스 전류들을 신속히 조절하여 안정도(Stability)를 제고하고 대기 전류(Quiescent current)를 최소화한다.

[0025] 일 실시예에 있어서, 상기 제1 바이어스 전류와 상기 오피 앰프의 출력 저항은 반비례하고, 상기 제2 바이어스 전류와 상기 버퍼의 출력 저항은 반비례할 수 있다.

[0026] 일 실시예에 있어서, 상기 감지 전류는 상기 전력 트랜지스터의 소스에서 출력되는 출력 전류에 비례할 수 있다.

[0027] 일 실시예에 있어서, 상기 제1 및 제2 바이어스 전류들의 크기는 상기 감지 전류의 크기에 비례할 수 있다.

[0028] 일 실시예에 있어서, 상기 동적 바이어스 전류 조절기는 전류 감지 증폭기, 전류원 및 바이어스 전류 생성기를 포함할 수 있다. 상기 전류 감지 증폭기는 상기 감지 전류를 증폭하여 생성한 증폭 감지 전류를 내부 노드로 출력할 수 있다. 상기 전류원은 상기 전압 전원 노드에서 상기 내부 노드로 흐르는 기본 바이어스 전류를 생성할 수 있다. 상기 바이어스 전류 생성기는 상기 내부 노드로부터 입력되는 상기 증폭 감지 전류와 상기 기본 바이어스 전류의 합에 기초하여 상기 제1 및 제2 바이어스 전류들을 생성할 수 있다.

발명의 효과

[0029] 본 발명의 실시예들에 따른 레귤레이터 회로는 출력 전압 신호에서 발생한 리플에 상응하는 피드백 전류들을 레귤레이터 회로의 내부 노드들에 피드백하여 상기 리플을 신속하게 감소시키고, 레귤레이터 회로의 안정도(Stability) 조절을 위해 오피 앰프 및 버퍼에 제공되는 바이어스 전류들을 상기 피드백 전류들에 응답하여 신속하게 조절하여 대기 전류를 낮춤으로써 자체 전력 소모량을 감소시킬 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 레귤레이터 회로를 나타내는 블록도이다.

도 2는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제1 실시예를 나타내는 블록도이다.

도 3A 및 3B는 도 2의 피드백 전류 생성기에 포함되는 리플 감지부의 실시예들을 나타내는 블록도들이다.

도 4는 도 3의 리플 감지부에 포함되는 제1 저역 통과 필터를 나타내는 회로도이다.

도 5A 및 5B는 도 3의 리플 감지부에 포함되는 제2 저역 통과 필터들을 나타내는 회로도들이다.

도 6A 및 6B는 도 2의 피드백 전류 생성기에 포함되는 리플 감지부의 실시예들을 나타내는 블록도들이다.

도 7은 도 2의 피드백 전류 생성기에 포함되는 구동부의 일 실시예를 나타내는 회로도이다.

도 8은 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제2 실시예를 나타내는 블록도이다.

도 9는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제3 실시예를 나타내는 블록도이다.

도 10은 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제4 실시예를 나타내는 블록도이다.

도 11A 및 11B는 도 10의 피드백 전류 생성기에 포함되는 구동부의 실시예들을 나타내는 회로도들이다.

도 12 내지 14는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 다른 실시예들을 나타내는 블록도들이다.

도 15는 도 1의 레귤레이터 회로에 포함되는 전압 분배기를 나타내는 회로도이다.

도 16은 도 1의 레귤레이터 회로에 포함되는 부하를 나타내는 회로도이다.

도 17은 본 발명의 다른 실시예에 따른 레귤레이터 회로를 나타내는 블록도이다.

도 18은 도 17의 레귤레이터 회로에 포함되는 전압 분배기를 나타내는 회로도이다.

도 19는 도 17의 레귤레이터 회로에 포함되는 부하를 나타내는 회로도이다.

도 20은 도 17의 레귤레이터 회로에 포함되는 동적 바이어스 전류 조절기를 나타내는 블록도이다.

도 21은 도 17의 레귤레이터 회로의 우세 극점들(Dominant poles)을 나타내는 그래프이다.

도 22는 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.

도 23은 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0032] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0033] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0034] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0035] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0036] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이

속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0037] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 레귤레이터 회로를 나타내는 블록도이다.
- [0039] 도 1을 참조하면, 레귤레이터 회로(100)는 오피 앰프(OPAMP1; 110), 버퍼(BUFFER1; 120), 전력 트랜지스터(PTR1), 전압 분배기(VD1; 140), 부하(LOAD1; 150) 및 피드백 전류 생성기(FCG1; 130)를 포함한다.
- [0040] 오피 앰프(110)는 입력 전압 신호(VIN)와 피드백 전압 신호(VF)의 차이를 증폭하여 생성한 제1 전압 신호(V1)로서 제1 노드(N11)를 구동한다. 버퍼(120)는 제1 전압 신호(V1)에 기초하여 생성한 제2 전압 신호(V2)로서 제2 노드(N12)를 구동한다. 오피 앰프(110) 및 버퍼(120)는 통상의 기술자가 용이하게 알 수 있는 일반 회로이므로, 오피 앰프(110) 및 버퍼(120)에 대한 자세한 설명은 생략한다.
- [0041] 전력 트랜지스터(PTR1)는 전원 전압(VDD)이 인가되는 드레인, 제2 노드(N12)와 연결되는 게이트 및 제3 노드(N13)와 연결되는 소스를 구비한다. 전력 트랜지스터(PTR1)는 어떠한 부하(150)에도 안정적인 전압 및 전류를 제공해야 하기 때문에 사이즈가 일반적으로 크고, 이에 비례해서 전력 트랜지스터(PTR1)의 게이트 커패시턴스 또한 크다. 기존의 레귤레이터 회로에서는, 출력 전압 신호(VOUT1)에 리플이 발생한 경우, 상기 리플을 제거하기 위해 전력 트랜지스터(PTR1)의 게이트 커패시턴스 성분을 충전 또는 방전하는데 시간이 오래 소요되는 문제점이 있었다.
- [0042] 전압 분배기(140)는 제3 노드(N13)의 출력 전압 신호(VOUT1)를 전압 분배하여 피드백 전압 신호(VF)를 생성한다. 부하(150)는 제3 노드(N13)에 연결되는 일 말단 및 접지 전압(GND)이 인가되는 타 말단을 구비한다. 전압 분배기(140)는 도 15를 참조하여 후술하고, 부하(150)는 도 16을 참조하여 후술한다.
- [0043] 피드백 전류 생성기(130)는 출력 전압 신호(VOUT1)의 리플(Ripple)에 상응하는 제1 피드백 전류(FC1)를 제1 노드(N11)에 공급하여 상기 리플의 감소 속도를 제고한다.
- [0044] 일 실시예에 있어서, 피드백 전류 생성기(130)는 상기 리플에 상응하는 제2 및 제3 피드백 전류들(FC2, FC3)을 각각 제2 및 제3 노드들(N12, N13)에 공급하여 상기 리플의 감소 속도를 제고할 수 있다.
- [0045] 도 2는 피드백 전류 생성기(130)가 제1 피드백 전류(FC1)를 제1 노드(N11)에 공급하는 제1 실시예를 나타내고, 도 8은 피드백 전류 생성기(130)가 제2 피드백 전류(FC2)를 제2 노드(N12)에 공급하는 제2 실시예를 나타내고, 도 9는 피드백 전류 생성기(130)가 제3 피드백 전류(FC3)를 제3 노드(N13)에 공급하는 제3 실시예를 나타내고, 도 10은 피드백 전류 생성기(130)가 제1 내지 제3 피드백 전류(FC1, FC2 및 FC3)를 제1 내지 제3 노드들(N11, N12 및 N13)에 공급하는 제4 실시예를 나타낸다. 피드백 전류 생성기(130)는 도 2, 8, 9 및 10의 피드백 전류 생성기들(130A, 130B, 130C 및 130D) 외의 다른 구조로서 구현될 수도 있다.
- [0046] 일 실시예에 있어서, 상기 리플이 언더슈트(Undershoot)인 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)은 양성 값을 가질 수 있다. 다시 말해, 상기 리플이 언더슈트인 경우 피드백 전류 생성기(130)는 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 제1 내지 제3 노드들(N11, N12 및 N13)에 출력할 수 있다.
- [0047] 다른 실시예에 있어서, 상기 리플이 오버슈트(Overshoot)인 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)은 음성 값을 가질 수 있다. 다시 말해, 상기 리플이 오버슈트인 경우 피드백 전류 생성기(130)는 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 제1 내지 제3 노드들(N11, N12 및 N13)로부터 끌어올 수 있다.
- [0048] 도 2는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제1 실시예를 나타내는 블록도이다.
- [0049] 도 2를 참조하면, 피드백 전류 생성기(130A)는 리플 감지부(RDA) 및 구동부(DRA)를 포함할 수 있다. 리플 감지부(RDA)는 출력 전압 신호(VOUT1)에 기초하여 생성한 폴-업 신호(PUSA) 및 폴-다운 신호(PDSA)를 각각 제4 및 제5 노드들(N15A, N16A)을 통해서 출력할 수 있다. 리플 감지부(RDA)는 상기 리플이 언더슈트일 때 폴-업 신호(PUSA)를 활성화하고, 상기 리플이 오버슈트일 때 폴-다운 신호(PDSA)를 활성화할 수 있다. 일 실시예에 있어서, 폴-업 신호(PUSA) 및 폴-다운 신호(PDSA)는 각각 논리 로우 레벨로 활성화될 수 있고, 논리 하이 레벨로 비활성화될 수 있다. 구동부(DRA)는 폴-업 신호(PUSA) 및 폴-다운 신호(PDSA)에 기초하여 제1 피드백 전류

(FC1)를 생성할 수 있다.

- [0050] 도 3A 및 3B는 도 2의 피드백 전류 생성기에 포함되는 리플 감지부의 실시예들을 나타내는 블록도들이다.
- [0051] 도 3A를 참조하면, 리플 감지부(RDA-1)는 제1 내지 제3 PMOS 트랜지스터들(T11, T12 및 T13), 제1 및 제2 저역 통과 필터들(LPF11, LPF12), 제1 내지 제3 NMOS 트랜지스터들(T14, T15 및 T16) 및 전류원(CS11)을 포함할 수 있다.
- [0052] 제1 PMOS 트랜지스터(T11)는 전원 전압(VDD)이 인가되는 소스, 제1 내부 노드(NT11)에 연결되는 게이트 및 제5 노드(N16A)에 연결되는 드레인을 구비할 수 있다. 제5 노드(N16A)에서 풀-다운 신호(PDSA)가 출력될 수 있다. 제1 저역 통과 필터(LPF11)는 제1 내부 노드(NT11) 및 제2 내부 노드(NT12)에 연결될 수 있다. 제2 PMOS 트랜지스터(T12)는 전원 전압(VDD)이 인가되는 소스, 제2 내부 노드(NT12)에 연결되는 게이트 및 제2 내부 노드(NT12)에 연결되는 드레인을 구비할 수 있다. 제3 PMOS 트랜지스터(T13)는 전원 전압(VDD)이 인가되는 소스, 제2 내부 노드(NT12)에 연결되는 게이트 및 제4 노드(N15A)에 연결되는 드레인을 구비할 수 있다. 제4 노드(N15A)에서 풀-업 신호(PUSA)가 출력될 수 있다.
- [0053] 제1 및 제2 PMOS 트랜지스터들(T11, T12)는 제1 전류 거울 구조(Current Mirror Structure)를 형성하고, 제2 및 제3 PMOS 트랜지스터들(T12, T13)는 제2 전류 거울 구조를 형성한다. 일 실시예에 있어서, 제1 및 제3 PMOS 트랜지스터들(T11, T13)의 중횡비들(Aspect ratios; W/L)은 제2 PMOS 트랜지스터(T12)의 중횡비의 K 배일 수 있다 (K는 1을 초과하는 유리수). 다시 말해, 제1 및 제3 PMOS 트랜지스터들(T11, T13)의 전류 구동 능력들이 제2 PMOS 트랜지스터(T12)의 전류 구동 능력의 K 배일 수 있다. 이 경우, 제1 및 제3 PMOS 트랜지스터들(T11, T13)의 드레인-소스 간 저항이 감소하여, 제4 및 제5 노드들(N15A, N16A)의 전압들이 전원 전압(VDD)에 근접하고, 제1 및 제3 PMOS 트랜지스터들(T11, T13)은 대부분 선형 구간(Linear region or triode region)에서 동작할 수 있다.
- [0054] 제1 NMOS 트랜지스터(T14)는 제5 노드(N16A)에 연결되는 드레인, 제3 노드(N13)에 연결되는 게이트 및 제3 내부 노드(NT13)에 연결되는 소스를 구비할 수 있다. 제2 NMOS 트랜지스터(T15)는 제2 내부 노드(NT12)에 연결되는 드레인, 제3 노드(N13)에 연결되는 게이트 및 제3 내부 노드(NT13)에 연결되는 소스를 구비할 수 있다. 제2 저역 통과 필터(LPF12)는 제3 노드(N13), 제3 내부 노드(NT13) 및 제4 내부 노드(NT14)에 연결될 수 있다. 제3 NMOS 트랜지스터(T16)는 제4 노드(N15A)에 연결되는 드레인, 제4 내부 노드(NT14)에 연결되는 게이트 및 제3 내부 노드(NT13)에 연결되는 소스를 구비할 수 있다. 전류원(CS11)은 제3 내부 노드(NT13)에 연결되는 일 말단 및 접지 전압(GND)이 인가되는 타 말단을 구비할 수 있다. 일 실시예에 있어서, 제1 내지 제3 NMOS 트랜지스터들(T14, T15 및 T16)의 중횡비들(Aspect ratios; W/L)은 모두 동일할 수 있다.
- [0055] 출력 전압 신호(VOUT1)가 일시적으로 하강 리플을 가지는 경우, 즉 출력 전압 신호(VOUT1)의 리플이 언더슈트인 경우, 제2 NMOS 트랜지스터(T15)의 게이트 전압이 감소하였기 때문에 제2 NMOS 트랜지스터(T15)의 드레인-소스 간의 저항은 증가하고, 제2 내부 노드(NT12)의 전압은 증가한다. 출력 전압 신호(VOUT1)의 하강 리플은 고주파 성분이기 때문에 제2 내부 노드(NT12)의 전압 상승 리플도 고주파 성분이고, 제2 내부 노드(NT12)의 전압 상승 리플은 제1 저역 통과 필터(LPF11)에 의해 필터링되어 제1 내부 노드(NT11)에 전달되지 않는다. 제1 NMOS 트랜지스터(T14)의 게이트 전압이 감소하였기 때문에 제1 NMOS 트랜지스터(T14)의 드레인-소스 간의 저항은 증가하고, 제5 노드(N16A)의 전압은 제1 PMOS 트랜지스터(T11)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 하강 폭보다 K 배 큰 상승 폭을 가지고 상승하므로, 풀-다운 신호(PDSA)는 비활성화된다. 제3 PMOS 트랜지스터(T13)의 게이트 전압이 증가하였기 때문에, 제3 PMOS 트랜지스터(T13)의 드레인-소스 간의 저항은 증가하고, 제4 노드(N15A)의 전압은 제3 PMOS 트랜지스터(T13)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 하강 폭보다 K 배 큰 하강 폭을 가지고 하강하므로, 풀-업 신호(PUSA)는 활성화된다.
- [0056] 출력 전압 신호(VOUT1)가 일시적으로 상승 리플을 가지는 경우, 즉 출력 전압 신호(VOUT1)의 리플이 오버슈트인 경우, 제2 NMOS 트랜지스터(T15)의 게이트 전압이 증가하였기 때문에 제2 NMOS 트랜지스터(T15)의 드레인-소스 간의 저항은 감소하고, 제2 내부 노드(NT12)의 전압은 감소한다. 출력 전압 신호(VOUT1)의 상승 리플은 고주파 성분이기 때문에 제2 내부 노드(NT12)의 전압 하강 리플도 고주파 성분이고, 제2 내부 노드(NT12)의 전압 하강 리플은 제1 저역 통과 필터(LPF11)에 의해 필터링되어 제1 내부 노드(NT11)에 전달되지 않는다. 제1 NMOS 트랜지스터(T14)의 게이트 전압이 증가하였기 때문에 제1 NMOS 트랜지스터(T14)의 드레인-소스 간의 저항은 감소하고, 제5 노드(N16A)의 전압은 제1 PMOS 트랜지스터(T11)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 상승 폭보다 K 배 큰 하강 폭을 가지고 하강하므로, 풀-다운 신호(PDSA)는 활성화된다. 제3 PMOS 트랜지스터(T13)의 게이트 전압이 감소하였기 때문에, 제3 PMOS 트랜지스터(T13)의 드레인-소스 간의 저항은 감소하고, 제

4 노드(N15A)의 전압은 제3 PMOS 트랜지스터(T13)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 상승 폭보다 K 배 큰 상승 폭을 가지고 상승하므로, 풀-업 신호(PUSA)는 비활성화된다.

- [0057] 도 3B를 참조하면, 리플 감지부(RDA-1P)는 제2 저역 통과 필터(LPF12P)의 연결 관계를 제외하고 도 3A의 리플 감지부(RDA-1)와 동일하다. 제2 저역 통과 필터(LPF12P)는 제3 노드(N13), 접지 전압(GND) 노드 및 제4 내부 노드(NT14)에 연결될 수 있다.
- [0058] 도 4는 도 3의 리플 감지부에 포함되는 제1 저역 통과 필터를 나타내는 회로도이다.
- [0059] 도 4를 참조하면, 제1 저역 통과 필터(LPF11)는 저항(R11) 및 커패시터(C11)를 포함할 수 있다. 저항(R11)은 제1 내부 노드(NT11)에 연결되는 일 말단 및 제2 내부 노드(NT12)에 연결되는 타 말단을 구비할 수 있다. 커패시터(C11)는 전원 전압(VDD)이 인가되는 일 말단 및 제1 내부 노드(NT11)에 연결되는 타 말단을 구비할 수 있다. 제1 저역 통과 필터(LPF11)는 제2 내부 노드(NT12)의 전압 신호의 고주파 성분을 필터링하여 제1 내부 노드(NT11)의 전압 신호를 생성할 수 있다.
- [0060] 도 5A 및 5B는 도 3의 리플 감지부에 포함되는 제2 저역 통과 필터들을 나타내는 회로도들이다.
- [0061] 도 5A를 참조하면, 제2 저역 통과 필터(LPF12)는 저항(R12) 및 커패시터(C12)를 포함할 수 있다. 저항(R12)은 제3 노드(N13)에 연결되는 일 말단 및 제4 내부 노드(NT14)에 연결되는 타 말단을 구비할 수 있다. 커패시터(C12)는 제4 내부 노드(NT14)에 연결되는 일 말단 및 제3 내부 노드(NT13)에 연결되는 타 말단을 구비할 수 있다. 제2 저역 통과 필터(LPF12)는 제3 노드(N13)의 전압 신호의 고주파 성분을 필터링하여 제4 내부 노드(NT14)의 전압 신호를 생성할 수 있다.
- [0062] 도 5B를 참조하면, 제2 저역 통과 필터(LPF12P)는 저항(R12P) 및 커패시터(C12P)를 포함할 수 있다. 저항(R12P)은 제3 노드(N13)에 연결되는 일 말단 및 제4 내부 노드(NT14)에 연결되는 타 말단을 구비할 수 있다. 커패시터(C12P)는 제4 내부 노드(NT14)에 연결되는 일 말단 및 접지 전압(GND) 노드에 연결되는 타 말단을 구비할 수 있다.
- [0063] 도 6A 및 6B는 도 2의 피드백 전류 생성기에 포함되는 리플 감지부의 실시예들을 나타내는 블록도들이다.
- [0064] 도 6A를 참조하면, 리플 감지부(RDA-2)는 제1 내지 제3 PMOS 트랜지스터들(T21, T22 및 T23), 제1 및 제2 저역 통과 필터들(LPF21, LPF22), 제1 내지 제3 NMOS 트랜지스터들(T24, T25 및 T26), 전류원(CS21), 커패시터(C21) 및 전압원(VS21)을 포함할 수 있다.
- [0065] 제1 PMOS 트랜지스터(T21)는 전원 전압(VDD)이 인가되는 소스, 제1 내부 노드(NT21)에 연결되는 게이트 및 제5 노드(N16A)에 연결되는 드레인을 구비할 수 있다. 제5 노드(N16A)에서 풀-다운 신호(PDSA)가 출력될 수 있다. 제1 저역 통과 필터(LPF21)는 제1 내부 노드(NT21) 및 제2 내부 노드(NT22)에 연결될 수 있다. 제2 PMOS 트랜지스터(T22)는 전원 전압(VDD)이 인가되는 소스, 제2 내부 노드(NT22)에 연결되는 게이트 및 제2 내부 노드(NT22)에 연결되는 드레인을 구비할 수 있다. 제3 PMOS 트랜지스터(T23)는 전원 전압(VDD)이 인가되는 소스, 제2 내부 노드(NT22)에 연결되는 게이트 및 제4 노드(N15A)에 연결되는 드레인을 구비할 수 있다. 제4 노드(N15A)에서 풀-업 신호(PUSA)가 출력될 수 있다.
- [0066] 제1 및 제2 PMOS 트랜지스터들(T21, T22)는 제3 전류 거울 구조를 형성하고, 제2 및 제3 PMOS 트랜지스터들(T22, T23)는 제4 전류 거울 구조를 형성한다. 일 실시예에 있어서, 제1 및 제3 PMOS 트랜지스터들(T21, T23)의 중형비들은 제2 PMOS 트랜지스터(T22)의 중형비의 K 배일 수 있다 (K는 1을 초과하는 유리수). 다시 말해, 제1 및 제3 PMOS 트랜지스터들(T21, T23)의 전류 구동 능력들이 제2 PMOS 트랜지스터(T22)의 전류 구동 능력의 K 배일 수 있다. 이 경우, 제1 및 제3 PMOS 트랜지스터들(T21, T23)의 드레인-소스 간 저항이 감소하여, 제4 및 제5 노드(N15A, N16A)의 전압들이 전원 전압(VDD)에 근접하고, 제1 및 제3 PMOS 트랜지스터들(T21, T23)은 대부분 선형 구간에서 동작할 수 있다.
- [0067] 제1 NMOS 트랜지스터(T24)는 제5 노드(N16A)에 연결되는 드레인, 제3 내부 노드(NT23)에 연결되는 게이트 및 제4 내부 노드(NT24)에 연결되는 소스를 구비할 수 있다. 제2 NMOS 트랜지스터(T22)는 제2 내부 노드(NT22)에 연결되는 드레인, 제3 내부 노드(NT23)에 연결되는 게이트 및 제4 내부 노드(NT24)에 연결되는 소스를 구비할 수 있다. 제2 저역 통과 필터(LPF22)는 제3 내부 노드(NT23), 제4 내부 노드(NT24) 및 제5 내부 노드(NT25)에 연결될 수 있다. 제3 NMOS 트랜지스터(T26)는 제4 노드(N15A)에 연결되는 드레인, 제5 내부 노드(NT25)에 연결되는 게이트 및 제4 내부 노드(NT24)에 연결되는 소스를 구비할 수 있다. 전류원(CS21)은 제4 내부 노드(NT24)에 연결되는 일 말단 및 접지 전압(GND)이 인가되는 타 말단을 구비할 수 있다. 커패시터(C21)는 제3 내부 노드

(NT23)에 연결되는 일 말단 및 제3 노드(N13)에 연결되는 타 말단을 구비할 수 있다. 전압원(VS21)은 제3 내부 노드(NT23)에 바이어스 전압(VBIAS)을 인가할 수 있다. 일 실시예에 있어서, 제1 내지 제3 NMOS 트랜지스터들(T24, T25 및 T26)의 중형비들은 모두 동일할 수 있다.

[0068] 커패시터(C21)는 출력 전압 신호(VOUT1)에서 리플 성분만을 제3 내부 노드(NT23)에 공급할 수 있다.

[0069] 출력 전압 신호(VOUT1)가 일시적으로 하강 리플을 가지는 경우, 즉 출력 전압 신호(VOUT1)의 리플이 언더슈트인 경우, 제2 NMOS 트랜지스터(T25)의 게이트 전압이 감소하였기 때문에 제2 NMOS 트랜지스터(T25)의 드레인-소스 간의 저항은 증가하고, 제2 내부 노드(NT22)의 전압은 증가한다. 출력 전압 신호(VOUT1)의 하강 리플은 고주파 성분이기 때문에 제2 내부 노드(NT22)의 전압 상승 리플도 고주파 성분이고, 제2 내부 노드(NT22)의 전압 상승 리플은 제1 저역 통과 필터(LPF21)에 의해 필터링되어 제1 내부 노드(NT21)에 전달되지 않는다. 제1 NMOS 트랜지스터(T24)의 게이트 전압이 감소하였기 때문에 제1 NMOS 트랜지스터(T24)의 드레인-소스 간의 저항은 증가하고, 제5 노드(N16A)의 전압은 제1 PMOS 트랜지스터(T21)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 하강 폭보다 K 배 큰 상승 폭을 가지고 상승하므로, 폴-다운 신호(PDSA)는 비활성화된다. 제3 PMOS 트랜지스터(T23)의 게이트 전압이 증가하였기 때문에, 제3 PMOS 트랜지스터(T23)의 드레인-소스 간의 저항은 증가하고, 제4 노드(N15A)의 전압은 제3 PMOS 트랜지스터(T23)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 하강 폭보다 K 배 큰 하강 폭을 가지고 하강하므로, 폴-업 신호(PUSA)는 활성화된다.

[0070] 출력 전압 신호(VOUT1)가 일시적으로 상승 리플을 가지는 경우, 즉 출력 전압 신호(VOUT1)의 리플이 오버슈트인 경우, 제2 NMOS 트랜지스터(T25)의 게이트 전압이 증가하였기 때문에 제2 NMOS 트랜지스터(T25)의 드레인-소스 간의 저항은 감소하고, 제2 내부 노드(NT22)의 전압은 감소한다. 출력 전압 신호(VOUT1)의 상승 리플은 고주파 성분이기 때문에 제2 내부 노드(NT22)의 전압 하강 리플도 고주파 성분이고, 제2 내부 노드(NT22)의 전압 하강 리플은 제1 저역 통과 필터(LPF21)에 의해 필터링되어 제1 내부 노드(NT21)에 전달되지 않는다. 제1 NMOS 트랜지스터(T24)의 게이트 전압이 증가하였기 때문에 제1 NMOS 트랜지스터(T24)의 드레인-소스 간의 저항은 감소하고, 제5 노드(N16A)의 전압은 제1 PMOS 트랜지스터(T21)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 상승 폭보다 K 배 큰 하강 폭을 가지고 하강하므로, 폴-다운 신호(PDSA)는 활성화된다. 제3 PMOS 트랜지스터(T23)의 게이트 전압이 감소하였기 때문에, 제3 PMOS 트랜지스터(T23)의 드레인-소스 간의 저항은 감소하고, 제4 노드(N15A)의 전압은 제3 PMOS 트랜지스터(T23)의 큰 전류 구동 능력에 의해 출력 전압 신호(VOUT1)의 상승 폭보다 K 배 큰 상승 폭을 가지고 상승하므로, 폴-업 신호(PUSA)는 비활성화된다.

[0071] 제1 및 제2 저역 통과 필터들(LPF21, LPF22)은 도 3의 제1 및 제2 저역 통과 필터들(LPF11, LPF12)과 각각 동일한 구조를 가지며, 제1 및 제2 저역 통과 필터들(LPF21, LPF22)은 도 4 및 5를 참조하여 이해할 수 있다.

[0072] 도 6B를 참조하면, 리플 감지부(RDA-2P)는 제2 저역 통과 필터(LPF22P)의 연결 관계를 제외하고 도 6A의 리플 감지부(RDA-2)와 동일하다. 제2 저역 통과 필터(LPF22P)는 제3 내부 노드(NT23), 접지 전압(GND) 노드 및 제5 내부 노드(NT25)에 연결될 수 있다.

[0073] 도 7은 도 2의 피드백 전류 생성기에 포함되는 구동부의 일 실시예를 나타내는 회로도이다.

[0074] 도 7을 참조하면, 구동부(DRA)는 폴-다운 유닛(PDA) 및 폴-업 유닛(PUA)을 포함할 수 있다.

[0075] 폴-다운 유닛(PDA)은 제1 전류원(CS31), 제1 PMOS 트랜지스터(T31) 및 제1 및 제2 NMOS 트랜지스터들(T32, T34)을 포함할 수 있다. 제1 전류원(CS31)은 전원 전압(VDD)이 인가되는 일 말단 및 제1 내부 노드(NT31)와 연결되는 타 말단을 구비할 수 있다. 제1 PMOS 트랜지스터(T31)는 제1 내부 노드(NT31)와 연결되는 소스, 제5 노드(N16A)와 연결되는 게이트 및 제2 내부 노드(NT32)와 연결되는 드레인을 구비할 수 있다. 제1 NMOS 트랜지스터(T32)는 제2 내부 노드(NT32)와 연결되는 드레인, 제2 내부 노드(NT32)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제2 NMOS 트랜지스터(T34)는 제1 노드(N11)와 연결되는 드레인, 제2 내부 노드(NT32)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 폴-다운 유닛(PDA)은 폴-다운 신호(PDSA)가 활성화되는 경우 제1 피드백 전류(FC1)를 음성 값으로 구동할 수 있다. 다시 말해, 폴-다운 유닛(PDA)은 폴-다운 신호(PDSA)가 활성화되는 경우 제1 피드백 전류(FC1)를 외부로부터 끌어올 수 있다.

[0076] 폴-업 유닛(PUA)은 제2 전류원(CS32) 및 제2 PMOS 트랜지스터(T33)를 포함할 수 있다. 제2 전류원(CS32)은 전원 전압(VDD)이 인가되는 일 말단 및 제3 내부 노드(NT33)와 연결되는 타 말단을 구비할 수 있다. 제2 PMOS 트랜지스터(T33)는 제3 내부 노드(NT33)와 연결되는 소스, 제4 노드(N15A)와 연결되는 게이트 및 제1 노드(N11)와 연결되는 드레인을 구비할 수 있다. 폴-업 유닛(PUA)은 폴-업 신호(PUSA)가 활성화되는 경우 제1 피드백 전류(FC1)를 양성 값으로 구동할 수 있다. 다시 말해, 폴-업 유닛(PUA)은 폴-업 신호(PUSA)가 활성화되는 경우 제1

피드백 전류(FC1)를 외부로 출력할 수 있다.

- [0077] 도 8은 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제2 실시예를 나타내는 블록도이다.
- [0078] 도 8을 참조하면, 피드백 전류 생성기(130B)는 리플 감지부(RDB) 및 구동부(DRB)를 포함할 수 있다. 리플 감지부(RDB)는 출력 전압 신호(VOUT1)에 기초하여 생성한 폴-업 신호(PUSB) 및 폴-다운 신호(PDSB)를 각각 제4 및 제5 노드들(N15B, N16B)을 통해서 출력할 수 있다. 리플 감지부(RDB)는 상기 리플이 언더슈트일 때 폴-업 신호(PUSB)를 활성화하고, 상기 리플이 오버슈트일 때 폴-다운 신호(PDSB)를 활성화할 수 있다. 일 실시예에 있어서, 폴-업 신호(PUSB) 및 폴-다운 신호(PDSB)는 각각 논리 로우 레벨로 활성화될 수 있고, 논리 하이 레벨로 비활성화될 수 있다. 구동부(DRB)는 폴-업 신호(PUSB) 및 폴-다운 신호(PDSB)에 기초하여 제2 피드백 전류(FC2)를 생성할 수 있다.
- [0079] 도 9는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제3 실시예를 나타내는 블록도이다.
- [0080] 도 9를 참조하면, 피드백 전류 생성기(130C)는 리플 감지부(RDC) 및 구동부(DRC)를 포함할 수 있다. 리플 감지부(RDC)는 출력 전압 신호(VOUT1)에 기초하여 생성한 폴-업 신호(PUSC) 및 폴-다운 신호(PDSC)를 각각 제4 및 제5 노드들(N15C, N16C)을 통해서 출력할 수 있다. 리플 감지부(RDC)는 상기 리플이 언더슈트일 때 폴-업 신호(PUSC)를 활성화하고, 상기 리플이 오버슈트일 때 폴-다운 신호(PDSC)를 활성화할 수 있다. 일 실시예에 있어서, 폴-업 신호(PUSC) 및 폴-다운 신호(PDSC)는 각각 논리 로우 레벨로 활성화될 수 있고, 논리 하이 레벨로 비활성화될 수 있다. 구동부(DRC)는 폴-업 신호(PUSC) 및 폴-다운 신호(PDSC)에 기초하여 제3 피드백 전류(FC3)를 생성할 수 있다.
- [0081] 도 10은 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 제4 실시예를 나타내는 블록도이다.
- [0082] 도 10을 참조하면, 피드백 전류 생성기(130D)는 리플 감지부(RDD) 및 구동부(DRD)를 포함할 수 있다. 리플 감지부(RDD)는 출력 전압 신호(VOUT1)에 기초하여 생성한 폴-업 신호(PUSD) 및 폴-다운 신호(PDSD)를 각각 제4 및 제5 노드들(N15D, N16D)을 통해서 출력할 수 있다. 리플 감지부(RDA)는 상기 리플이 언더슈트일 때 폴-업 신호(PUSD)를 활성화하고, 상기 리플이 오버슈트일 때 폴-다운 신호(PDSD)를 활성화할 수 있다. 일 실시예에 있어서, 폴-업 신호(PUSD) 및 폴-다운 신호(PDSD)는 각각 논리 로우 레벨로 활성화될 수 있고, 논리 하이 레벨로 비활성화될 수 있다. 구동부(DRD)는 폴-업 신호(PUSD) 및 폴-다운 신호(PDSD)에 기초하여 상기 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 생성할 수 있다.
- [0083] 도 11 내지 14는 도 10의 피드백 전류 생성기에 포함되는 구동부의 실시예들을 나타내는 회로도들이다.
- [0084] 도 11A를 참조하면, 구동부(DRD-1)는 폴-다운 유닛(PDD1) 및 폴-업 유닛(PUD1)을 포함할 수 있다.
- [0085] 폴-다운 유닛(PDD1)은 제1 전류원(CS41), 제1 PMOS 트랜지스터(T41) 및 제1 내지 제4 NMOS 트랜지스터들(T42, T44, T46 및 T48)을 포함할 수 있다. 제1 전류원(CS41)은 전원 전압(VDD)이 인가되는 일 말단 및 제1 내부 노드(NT41)와 연결되는 타 말단을 구비할 수 있다. 제1 PMOS 트랜지스터(T41)는 제1 내부 노드(NT41)와 연결되는 소스, 제5 노드(N16D)와 연결되는 게이트 및 제2 내부 노드(NT42)와 연결되는 드레인을 구비할 수 있다. 제1 NMOS 트랜지스터(T42)는 제2 내부 노드(NT42)와 연결되는 드레인, 제2 내부 노드(NT42)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제2 NMOS 트랜지스터(T44)는 제1 노드(N11)와 연결되는 드레인, 제2 내부 노드(NT42)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제3 NMOS 트랜지스터(T46)는 제2 노드(N12)와 연결되는 드레인, 제2 내부 노드(NT42)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제4 NMOS 트랜지스터(T48)는 제3 노드(N13)와 연결되는 드레인, 제2 내부 노드(NT42)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 폴-다운 유닛(PDD1)은 폴-다운 신호(PDSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 음성 값들로서 구동할 수 있다. 다시 말해, 폴-다운 유닛(PDD1)은 폴-다운 신호(PDSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 외부로부터 끌어올 수 있다.
- [0086] 폴-업 유닛(PUD1)은 제2 및 제3 전류원들(CS42 및 CS43) 및 제2 내지 제4 PMOS 트랜지스터들(T43, T45 및 T47)을 포함할 수 있다. 제2 전류원(CS42)은 전원 전압(VDD)이 인가되는 일 말단 및 제3 내부 노드(NT43)와 연결되는 타 말단을 구비할 수 있다. 제2 PMOS 트랜지스터(T43)는 제3 내부 노드(NT43)와 연결되는 소스, 제4 노드(N15D)와 연결되는 게이트 및 제1 노드(N11)와 연결되는 드레인을 구비할 수 있다. 제3 전류원(CS43)은 전원 전압(VDD)이 인가되는 일 말단 및 제4 내부 노드(NT44)와 연결되는 타 말단을 구비할 수 있다. 제3 PMOS 트랜지스터(T45)는 제4 내부 노드(NT44)와 연결되는 소스, 제4 노드(N15D)와 연결되는 게이트 및 제2 노드(N12)와 연결되는 드레인을 구비할 수 있다. 제4 PMOS 트랜지스터(T47)는 전원 전압(VDD)이 인가되는 소스, 제4 노드(N15D)

와 연결되는 게이트 및 제3 노드(N13)와 연결되는 드레인을 구비할 수 있다. 풀-업 유닛(PUD1)은 풀-업 신호(PUSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 양성 값들로서 구동할 수 있다. 다시 말해, 풀-업 유닛(PUD1)은 풀-업 신호(PUSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 외부로 출력할 수 있다.

[0087] 일 실시예에 있어서, 제2 및 제3 전류원들(CS42 및 CS43)은 구동부(DRD-1)에서 제외될 수 있다. 다시 말하면, 제2 PMOS 트랜지스터(T43)의 소스에 전원 전압(VDD)이 인가될 수 있고, 제3 PMOS 트랜지스터(T45)의 소스에 전원 전압(VDD)이 인가될 수 있다.

[0088] 도 11B를 참조하면, 구동부(DRD-2)는 풀-다운 유닛(PDD2) 및 풀-업 유닛(PUD2)을 포함할 수 있다.

[0089] 풀-다운 유닛(PDD2)은 제1 전류원(CS51), 제1 PMOS 트랜지스터(T51) 및 제1 내지 제4 NMOS 트랜지스터들(T52, T54, T56 및 T58)을 포함할 수 있다. 제1 전류원(CS51)은 전원 전압(VDD)이 인가되는 일 말단 및 제1 내부 노드(NT51)와 연결되는 타 말단을 구비할 수 있다. 제1 PMOS 트랜지스터(T51)는 제1 내부 노드(NT51)와 연결되는 소스, 제5 노드(N16D)와 연결되는 게이트 및 제2 내부 노드(NT52)와 연결되는 드레인을 구비할 수 있다. 제1 NMOS 트랜지스터(T52)는 제2 내부 노드(NT52)와 연결되는 드레인, 제2 내부 노드(NT52)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제2 NMOS 트랜지스터(T54)는 제1 노드(N11)와 연결되는 드레인, 제2 내부 노드(NT52)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제3 NMOS 트랜지스터(T56)는 제2 노드(N12)와 연결되는 드레인, 제2 내부 노드(NT52)와 연결되는 게이트 및 접지 전압(GND)이 인가되는 소스를 구비할 수 있다. 제4 NMOS 트랜지스터(T58)는 제3 노드(N13)와 연결되는 드레인, 제2 내부 노드(NT52)와 연결되는 게이트 및 접지 전압(VDD)이 인가되는 소스를 구비할 수 있다. 풀-다운 유닛(PDD2)은 풀-다운 신호(PDSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 음성 값들로서 구동할 수 있다. 다시 말해, 풀-다운 유닛(PDD2)은 풀-다운 신호(PDSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 외부로부터 끌어올 수 있다.

[0090] 풀-업 유닛(PUD2)은 제2 전류원(CS52) 및 제2 내지 제4 PMOS 트랜지스터들(T53, T55 및 T57)을 포함할 수 있다. 제2 전류원(CS52)은 전원 전압(VDD)이 인가되는 일 말단 및 제3 내부 노드(NT53)와 연결되는 타 말단을 구비할 수 있다. 제2 PMOS 트랜지스터(T53)는 제3 내부 노드(NT53)와 연결되는 소스, 제4 노드(N15D)와 연결되는 게이트 및 제1 노드(N11)와 연결되는 드레인을 구비할 수 있다. 제3 PMOS 트랜지스터(T55)는 제3 내부 노드(NT53)와 연결되는 소스, 제4 노드(N15D)와 연결되는 게이트 및 제2 노드(N12)와 연결되는 드레인을 구비할 수 있다. 제4 PMOS 트랜지스터(T57)는 전원 전압(VDD)이 인가되는 소스, 제4 노드(N15D)와 연결되는 게이트 및 제3 노드(N13)와 연결되는 드레인을 구비할 수 있다. 풀-업 유닛(PUD2)은 풀-업 신호(PUSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 양성 값들로서 구동할 수 있다. 다시 말해, 풀-업 유닛(PUD2)은 풀-업 신호(PUSD)가 활성화되는 경우 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 외부로 출력할 수 있다.

[0091] 일 실시예에 있어서, 제2 전류원(CS52)은 구동부(DRD-2)에서 제외될 수 있다. 다시 말하면, 제2 PMOS 트랜지스터(T53)의 소스에 전원 전압(VDD)이 인가될 수 있고, 제3 PMOS 트랜지스터(T55)의 소스에 전원 전압(VDD)이 인가될 수 있다.

[0092] 도 12 내지 14는 도 1의 레귤레이터 회로에 포함되는 피드백 전류 생성기의 다른 실시예들을 나타내는 블록도들이다.

[0093] 도 12는 피드백 전류 생성기(130E)가 제1 및 제2 피드백 전류들(FC1 및 FC2)을 생성하는 경우를 도시한다. 도 13은 피드백 전류 생성기(130F)가 제1 및 제3 피드백 전류들(FC1 및 FC3)을 생성하는 경우를 도시한다. 도 14는 피드백 전류 생성기(130G)가 제2 및 제3 피드백 전류들(FC2 및 FC3)을 생성하는 경우를 도시한다.

[0094] 피드백 전류 생성기들(130E, 130F 및 130G)의 구성 및 동작은 도 2, 8, 9 및 10을 참조하여 이해할 수 있으므로 자세한 설명은 생략한다.

[0095] 도 15는 도 1의 레귤레이터 회로에 포함되는 전압 분배기를 나타내는 회로도이다.

[0096] 도 15를 참조하면, 전압 분배기(140)는 가변 저항(R13) 및 고정 저항(R14)을 포함한다. 가변 저항(R13)은 제3 노드(N13)와 연결된 일 말단 및 제4 노드(N14)와 연결된 타 말단을 구비할 수 있다. 고정 저항(R14)은 제4 노드(N14)와 연결된 일 말단 및 접지 전압(GND)이 인가된 타 말단을 구비할 수 있다. 가변 저항(R13)의 레지스턴스(Resistance)는 조절될 수 있다. 피드백 전압 신호(VF)의 크기는 가변 저항(R13)의 레지스턴스에 의해 조절될 수 있다. 전압 분배기(140)는 도 15의 구조 외 다른 구조로서 구현될 수도 있다.

- [0097] 도 16은 도 1의 레귤레이터 회로에 포함되는 부하를 나타내는 회로도이다.
- [0098] 도 16을 참조하면, 부하(150)는 일반적인 부하의 등가 회로를 나타낸다. 부하(150)는 부하 커패시터(CL1), 부하 커패시터(CL1)의 기생 저항(ESR1) 및 부하 저항(RL1)을 포함할 수 있다. 기생 저항(ESR1)의 일 말단은 제3 노드(N13)와 연결되고, 기생 저항(ESR1)의 타 말단은 부하 커패시터(CL1)의 일 말단과 연결되고, 부하 커패시터(CL1)의 타 말단에는 접지 전압(GND)이 인가될 수 있다. 부하 저항(RL1)의 일 말단은 제3 노드(N13)와 연결되고, 부하 저항(RL1)의 타 말단에는 접지 전압(GND)이 인가될 수 있다. 부하(150)는 도 16의 구조 외 다른 구조로서 구현될 수도 있다.
- [0099] 도 17은 본 발명의 다른 실시예에 따른 레귤레이터 회로를 나타내는 블록도이다. 도 18은 도 17의 레귤레이터 회로에 포함되는 전압 분배기를 나타내는 회로도이다. 도 19는 도 17의 레귤레이터 회로에 포함되는 부하를 나타내는 회로도이다.
- [0100] 도 17 내지 19를 참조하면, 레귤레이터 회로(200)는 오피 앰프(OPAMP2; 210), 버퍼(BUFFER2; 220), 전력 트랜지스터(PTR2), 감지 트랜지스터(STR2), 전압 분배기(VD2; 240), 부하(LOAD2; 250), 피드백 전류 생성기(FCG2; 230) 및 동적 바이어스 전류 조절기(DBC; 260)를 포함한다.
- [0101] 오피 앰프(210)는 입력 전압 신호(VIN)와 피드백 전압 신호(VF)의 차이를 증폭하여 생성한 제1 전압 신호(V1)로서 제1 노드(N21)를 구동하고, 제1 바이어스 전류(BC1)에 기초하여 출력 저항을 조절한다. 버퍼(220)는 제1 전압 신호(V1)에 기초하여 생성한 제2 전압 신호(V2)로서 제2 노드(N22)를 구동하고, 제2 바이어스 전류(BC2)에 기초하여 출력 저항을 조절한다. 오피 앰프(210) 및 버퍼(220)는 통상의 기술자가 용이하게 알 수 있는 일반 회로이므로, 오피 앰프(210) 및 버퍼(220)에 대한 자세한 설명은 생략한다.
- [0102] 전력 트랜지스터(PTR2)는 전원 전압(VDD)이 인가되는 드레인, 제2 노드(N22)와 연결되는 게이트 및 제3 노드(N23)와 연결되는 소스를 구비한다. 감지 트랜지스터(STR2)는 제4 노드(N24)와 연결되는 드레인, 제2 노드(N22)와 연결되는 게이트 및 제3 노드(N23)와 연결되는 소스를 구비한다.
- [0103] 전압 분배기(240)는 제3 노드(N23)의 출력 전압 신호(VOUT2)를 전압 분배하여 피드백 전압 신호(VF)를 생성한다. 도 18을 참조하면, 전압 분배기(240)는 가변 저항(R21) 및 고정 저항(R22)을 포함한다. 가변 저항(R21)은 제3 노드(N23)와 연결된 일 말단 및 제4 노드(N24)와 연결된 타 말단을 구비할 수 있다. 고정 저항(R22)은 제4 노드(N24)와 연결된 일 말단 및 접지 전압(GND)이 인가된 타 말단을 구비할 수 있다. 가변 저항(R21)의 레지스턴스는 조절될 수 있다. 피드백 전압 신호(VF)의 크기는 가변 저항(R21)의 레지스턴스에 의해 조절될 수 있다. 전압 분배기(240)는 도 18의 구조 외 다른 구조로서 구현될 수도 있다.
- [0104] 부하(250)는 제3 노드(N23)에 연결되는 일 말단 및 접지 전압(GND)이 인가되는 타 말단을 구비한다. 도 19를 참조하면, 부하(250)는 일반적인 부하의 등가 회로를 나타낸다. 부하(250)는 부하 커패시터(CL2), 부하 커패시터(CL2)의 기생 저항(ESR2) 및 부하 저항(RL2)을 포함할 수 있다. 기생 저항(ESR2)의 일 말단은 제3 노드(N23)와 연결되고, 기생 저항(ESR2)의 타 말단은 부하 커패시터(CL2)의 일 말단과 연결되고, 부하 커패시터(CL2)의 타 말단에는 접지 전압(GND)이 인가될 수 있다. 부하 저항(RL2)의 일 말단은 제3 노드(N23)와 연결되고, 부하 저항(RL2)의 타 말단에는 접지 전압(GND)이 인가될 수 있다.
- [0105] 피드백 전류 생성기(230)는 출력 전압 신호(VOUT2)의 리플(Ripple)에 상응하는 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)을 각각 제1 내지 제3 노드들(N21, N22 및 N23)에 공급하여 상기 리플의 감소 속도를 제고한다. 피드백 전류 생성기(230)는 도 2, 8, 9 및 10의 피드백 전류 생성기들(130A, 130B, 130C 및 130D) 중 하나로 구현될 수 있다. 피드백 전류 생성기(230)는 도 2 내지 14를 참조하여 이해할 수 있다.
- [0106] 동적 바이어스 전류 조절기(260)는 전원 전압 노드에서 제4 노드(N24)를 통해 센스 트랜지스터(STR2)의 드레인으로 흐르는 감지 전류(ISEN)에 응답하여 제1 및 제2 바이어스 전류들(BC1, BC2)을 신속히 조절하여 안정도(Stability)를 제고하고 대기 전류(Quiescent current)를 최소화한다.
- [0107] 일 실시예에 있어서, 제1 바이어스 전류(BC1)와 오피 앰프(210)의 출력 저항은 반비례할 수 있다. 제2 바이어스 전류(BC2)와 버퍼(220)의 출력 저항은 반비례할 수 있다. 감지 전류(ISEN)는 전력 트랜지스터(PTR2)의 소스에서 출력되는 출력 전류(IOUT)에 비례할 수 있다. 제1 및 제2 바이어스 전류들(BC1, BC2)의 크기는 감지 전류(ISEN)의 크기에 비례할 수 있다.
- [0108] 도 20은 도 17의 레귤레이터 회로에 포함되는 동적 바이어스 전류 조절기를 나타내는 블록도이다.
- [0109] 도 20을 참조하면, 동적 바이어스 전류 조절기(260)는 전류 감지 증폭기(CSA; 262), 전류원(CSB) 및 바이어스

전류 생성기(CBC; 261)를 포함할 수 있다.

[0110] 전류 감지 증폭기(262)는 감지 전류(ISEN)를 증폭하여 생성한 증폭 감지 전류(ISENxK)를 내부 노드(NT81)로 출력할 수 있다. 전류원(CSB)은 전압 전원 노드에서 내부 노드(NT81)로 흐르는 기본 바이어스 전류(IBB)를 생성할 수 있다.

[0111] 바이어스 전류 생성기(261)는 내부 노드(NT81)로부터 입력되는 증폭 감지 전류(ISENxK)와 기본 바이어스 전류(IBB)의 합에 기초하여 제1 및 제2 바이어스 전류들(BC1, BC2)을 생성할 수 있다. 일 실시예에 있어서, 바이어스 전류 생성기(261)는 상기 합에 비례하는 크기를 가지는 제1 및 제2 바이어스 전류들(BC1, BC2)을 생성할 수 있다.

[0112] 도 21은 도 17의 레귤레이터 회로의 우세 극점들(Dominant poles)을 나타내는 그래프이다.

[0113] 도 17 내지 21을 참조하면, 레귤레이터 회로(200)는 제1 우세 극점(P1), 제2 우세 극점(P2) 및 제3 우세 극점(P3)을 포함한다.

[0114] [수식 1]과 같이 제1 우세 극점(P1)은 오피 앰프(210)의 출력 저항(R01) 및 버퍼(220)의 입력 커패시턴스(CIN1)에 의해 결정된다.

수학식 1

$$P1 = \frac{1}{2\pi \times R01 \times CIN1}$$

[0115]

[0116] [수식 2]와 같이 제2 우세 극점(P2)은 전압 분배기(220)의 저항들(R21, R22)의 저항 값들, 전력 트랜지스터(PTR2)의 소스 터미널의 출력 저항 값(ROUT), 부하 커패시터(CL2)의 커패시턴스에 의해 결정된다. 전력 트랜지스터(PTR2)의 소스 터미널의 출력 저항(ROUT)은 출력 전류(IOUT)에 의해서 변경될 수 있다.

수학식 2

$$P2 = \frac{1}{2\pi \times [(R21+R22) \parallel ROUT] \times CL2}$$

[0117]

[0118] [수식 3]과 같이 제3 우세 극점(P3)은 버퍼(220)의 출력 저항(R02) 및 전력 트랜지스터(PTR2)의 게이트 입력 커패시턴스(CIN2)에 의해 결정된다.

수학식 3

$$P3 = \frac{1}{2\pi \times R02 \times CIN2}$$

[0119]

[0120] 레귤레이터 회로(200)가 안정적으로 동작하기 위해서는 제3 우세 극점(P3)이 제2 우세 극점(P2)보다 주파수 도메인 상에서 크도록 유지되어야 한다.

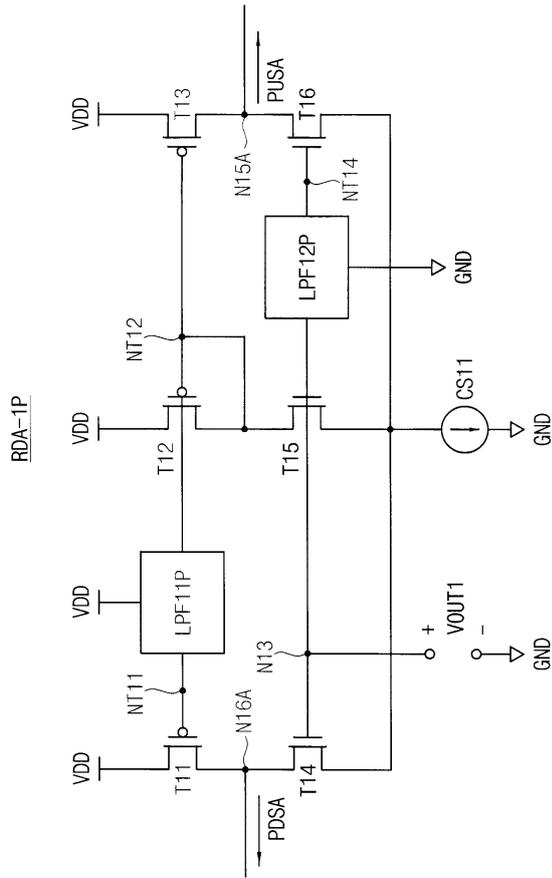
[0121] 부하(250)가 작은 경우(도 21에서 실선으로 표시(Light Load)), 부하(250)로 흐르는 전류 및 출력 전류(IOUT)가 작아도 되고, 전력 트랜지스터(PTR2)의 소스 터미널의 출력 저항(ROUT)이 커지기 때문에, 제2 우세 극점(P2)은 낮은 주파수 영역에 형성된다. 동적 바이어스 전류 조절기(260)는 작은 감지 전류(ISEN)에 상응하는 작은 제1 및 제2 바이어스 전류(BC1, BC2)를 생성하여 오피 앰프(210)의 출력 저항(R01)과 버퍼(220)의 출력 저항(R02)을 증가시켜 제3 우세 극점(P3)을 낮추되, 제2 우세 극점(P2)보다 크게 유지한다. 부하(250)가 작은 경우, 제1 및

제2 바이어스 전류(BC1, BC2)가 작기 때문에, 레귤레이터 회로(200)의 대기 전류(Ground current or Quiescent current)는 상대적으로 작다.

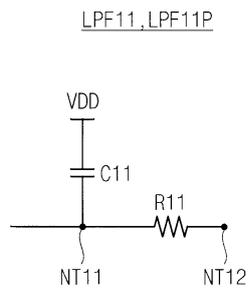
- [0122] 부하(250)가 큰 경우(도 21에서 점선으로 표시(Heavy Load)), 부하(250)로 흐르는 전류 및 출력 전류(IOUT)가 커야 하고, 전력 트랜지스터(PTR2)의 소스 터미널의 출력 저항(ROUT)이 작아지기 때문에, 제2 우세 극점(P2')은 높은 주파수 영역에 형성된다. 동적 바이어스 전류 조절기(260)는 큰 감지 전류(ISEN)에 상응하는 큰 제1 및 제2 바이어스 전류(BC1, BC2)를 생성하여 오피 앰프(210)의 출력 저항(R01)과 버퍼(220)의 출력 저항(R02)을 감소시키고 제3 우세 극점(P3')을 증가시켜 제2 우세 극점(P2')보다 크게 유지한다. 부하(250)가 큰 경우, 제1 및 제2 바이어스 전류(BC1, BC2)가 크기 때문에, 레귤레이터 회로(200)의 대기 전류는 상대적으로 크다.
- [0123] 다시 말하면, 동적 바이어스 전류 조절기(260)는 출력 전류(IOUT)에 비례하는 감지 전류(ISEN)에 따라서 신속히 제1 및 제2 바이어스 전류(BC1, BC2)를 조절하여 대기 전류를 최소화한다. 또한, 동적 바이어스 전류 조절기(260)는 제3 우세 극점(P3 or P3')이 제2 우세 극점(P2 or P2')보다 크도록 유지시켜 레귤레이터 회로(200)의 안정적인 동작을 유지한다.
- [0124] 출력 전압 신호(VOUT2)에 하강 리플이 발생하는 경우, 피드백 전류 생성기(230)는 제1 피드백 전류(FC1)를 제1 노드(N21)에 공급하고 제2 피드백 전류(FC2)를 제2 노드(N22)에 공급하여 전력 트랜지스터(PTR2)의 게이트 전압을 신속히 증가시키고, 제3 피드백 전류(FC3)를 제3 노드(N23)에 공급하여 제3 노드(N32)의 전압을 직접 증가시켜, 출력 전압 신호(VOUT2)의 하강 리플을 신속히 제거한다. 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)은 센스 트랜지스터(STR2)의 게이트 전압 또한 신속히 증가시키고, 감지 전류(ISEN) 및 제1 및 제2 바이어스 전류들(BC1, BC2)를 보다 신속히 증가시켜 레귤레이터 회로(200)의 안정적인 동작을 유지한다.
- [0125] 출력 전압 신호(VOUT2)에 상승 리플이 발생하는 경우, 피드백 전류 생성기(230)는 제1 노드(N21)로부터 제1 피드백 전류(FC1)를 끌어오고 제2 노드(N22)로부터 제2 피드백 전류(FC2)를 끌어와서 전력 트랜지스터(PTR2)의 게이트 전압을 신속히 감소시키고, 제3 노드(N23)로부터 제3 피드백 전류(FC3)를 끌어와서 제3 노드(N32)의 전압을 직접 감소시켜, 출력 전압 신호(VOUT2)의 상승 리플을 신속히 제거한다. 제1 내지 제3 피드백 전류들(FC1, FC2 및 FC3)은 센스 트랜지스터(STR2)의 게이트 전압 또한 신속히 감소시키고, 감지 전류(ISEN) 및 제1 및 제2 바이어스 전류들(BC1, BC2)을 보다 신속히 감소시켜 레귤레이터 회로(200)의 안정적인 동작을 유지한다.
- [0126] 결과적으로, 출력 전압 신호(VOUT2)의 리플에 의해 생성되는 제1 및 제2 피드백 전류들(FC1, FC2)이 센스 트랜지스터(STR2)의 신속한 대응 동작을 가능케 함으로써, 레귤레이터 회로(200)는 제1 및 제2 바이어스 전류들(BC1, BC2)을 신속히 조절하여 대기 전류량을 최적화할 수 있다.
- [0127] 도 22는 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.
- [0128] 도 22를 참조하면, 솔리드 스테이트 드라이브 시스템(300)은 호스트(310) 및 솔리드 스테이트 드라이브(320)를 포함한다.
- [0129] 솔리드 스테이트 드라이브(320)는 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n) 및 SSD 컨트롤러(322)를 포함한다.
- [0130] 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n)은 솔리드 스테이트 드라이브(320)의 저장 매체로서 사용된다.
- [0131] 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n) 각각은 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기판과 수직인 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직인 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평인 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.
- [0132] SSD 컨트롤러(322)는 복수의 채널들(CH1, CH2, ..., CHn)을 통해 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n)과 각각 연결된다.
- [0133] SSD 컨트롤러(322)는 신호 커넥터(324)를 통해 호스트(310)와 신호(SGL)를 송수신한다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(322)는 호스트(310)의 커맨드에 따라 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n)에 데이터를 쓰거나 복수의 비휘발성 메모리 장치들(323-1, 323-2, ..., 323-n)로부터 데이터를 읽어낸다.

- [0134] 솔리드 스테이트 드라이브(320)는 보조 전원 장치(326)를 더 포함할 수 있다. 보조 전원 장치(326)는 전원 커넥터(325)를 통해 호스트(310)로부터 전원(PWR)을 입력 받아 SSD 컨트롤러(322)에 전원을 공급할 수 있다. 한편, 보조 전원 장치(326)는 솔리드 스테이트 드라이브(320) 내에 위치할 수도 있고, 솔리드 스테이트 드라이브(320) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(326)는 메인 보드에 위치하고, 솔리드 스테이트 드라이브(320)에 보조 전원을 제공할 수도 있다. 보조 전원 장치(326)는 도 1 및 17의 레귤레이터 회로들(100, 200) 중 하나를 포함할 수 있다.
- [0135] 도 23은 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.
- [0136] 도 23을 참조하면, 모바일 시스템(400)은 어플리케이션 프로세서(410), 통신(Connectivity)부(420), 사용자 인터페이스(430), 비휘발성 메모리 장치(NVM)(440), 휘발성 메모리 장치(VM)(450) 및 파워 서플라이(460)를 포함한다.
- [0137] 실시예에 따라, 모바일 시스템(400)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.
- [0138] 어플리케이션 프로세서(410)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(410)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(410)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(410)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0139] 통신부(420)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(420)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(420)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.
- [0140] 비휘발성 메모리 장치(440)는 모바일 시스템(400)을 부팅하기 위한 부트 이미지를 저장할 수 있다.
- [0141] 비휘발성 메모리 장치(440)는 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기판과 수직인 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직인 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평인 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.
- [0142] 휘발성 메모리 장치(450)는 어플리케이션 프로세서(410)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다.
- [0143] 사용자 인터페이스(430)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다. 파워 서플라이(460)는 모바일 시스템(400)의 동작 전압을 공급할 수 있다. 파워 서플라이(460)는 도 1 및 17의 레귤레이터 회로들(100, 200) 중 하나를 포함할 수 있다.
- [0144] 또한, 실시예에 따라, 모바일 시스템(400)은 이미지 프로세서를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.
- [0145] 모바일 시스템(400) 또는 모바일 시스템(400)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

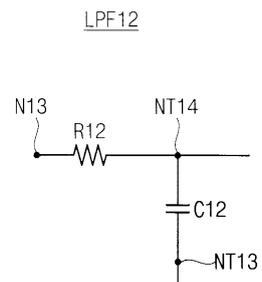
도면3b



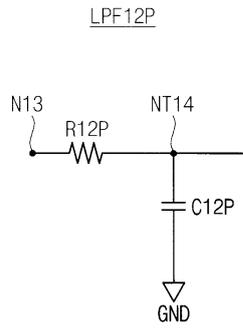
도면4



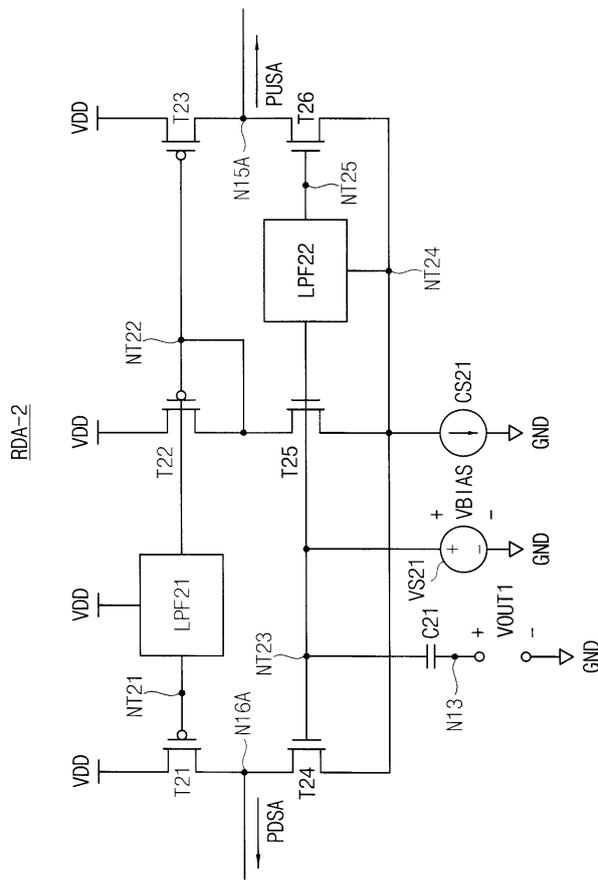
도면5a



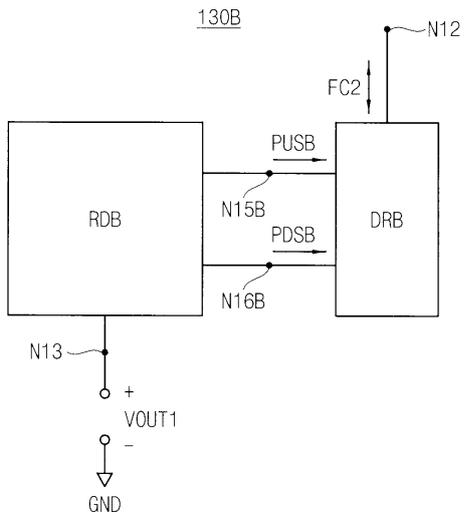
도면5b



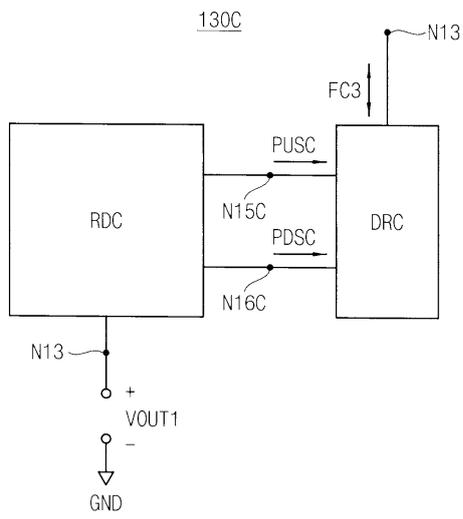
도면6a



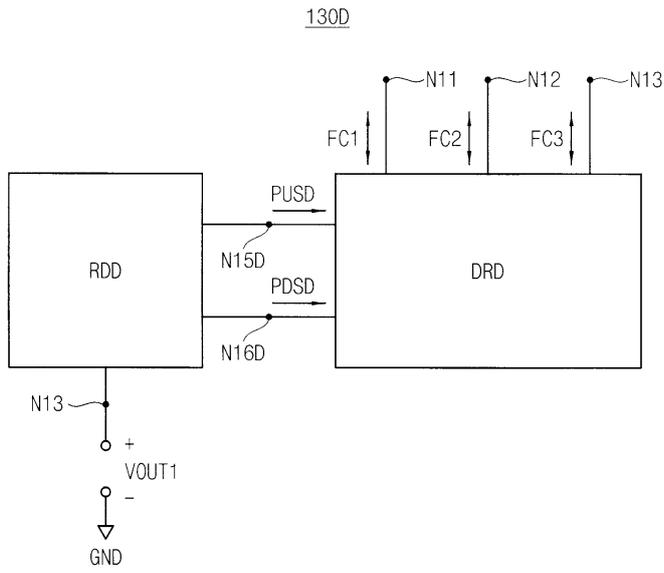
도면8



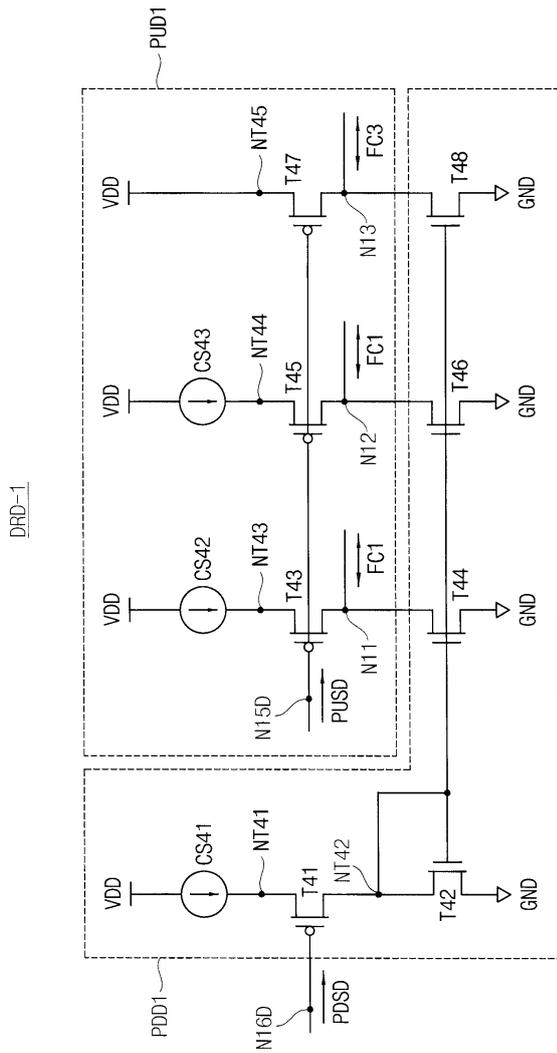
도면9



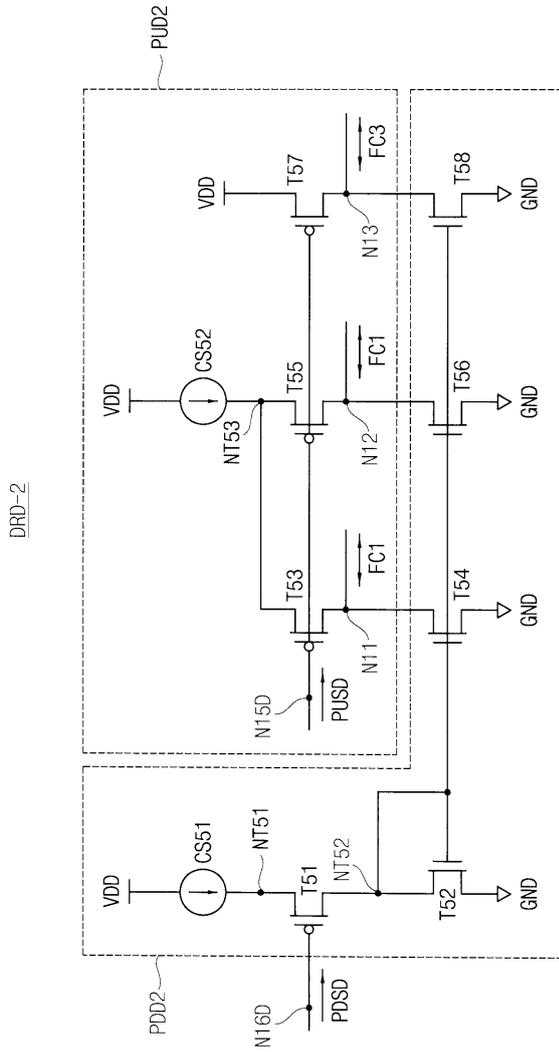
도면10



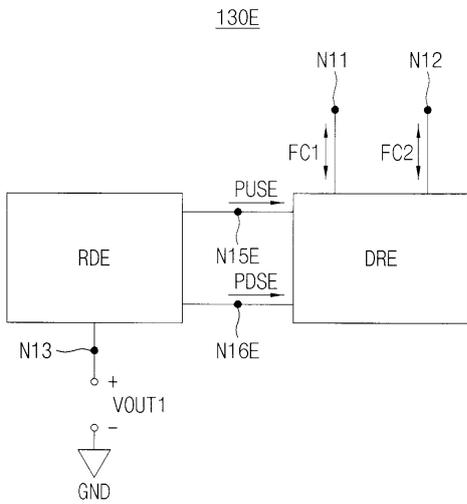
도면11a



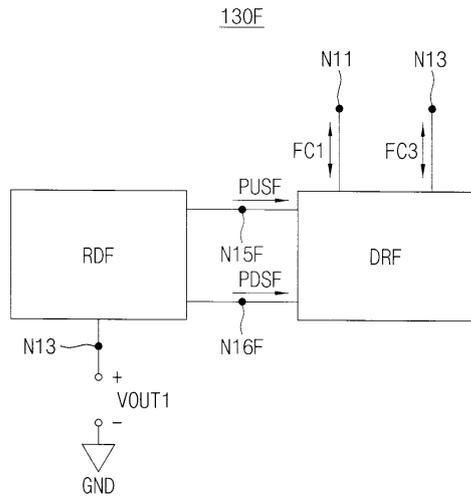
도면11b



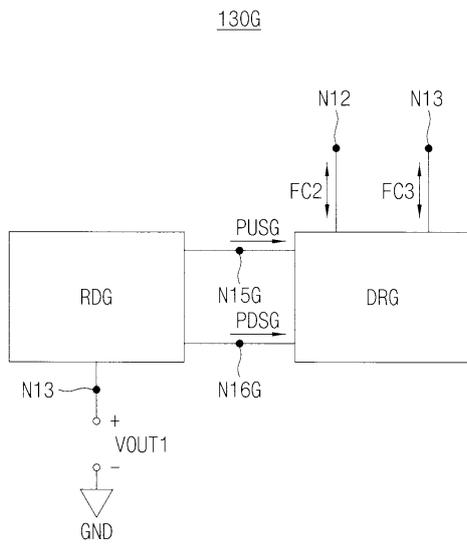
도면12



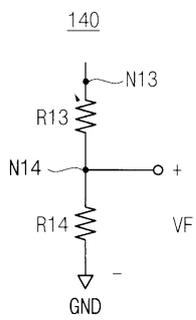
도면13



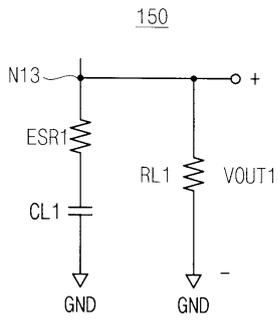
도면14



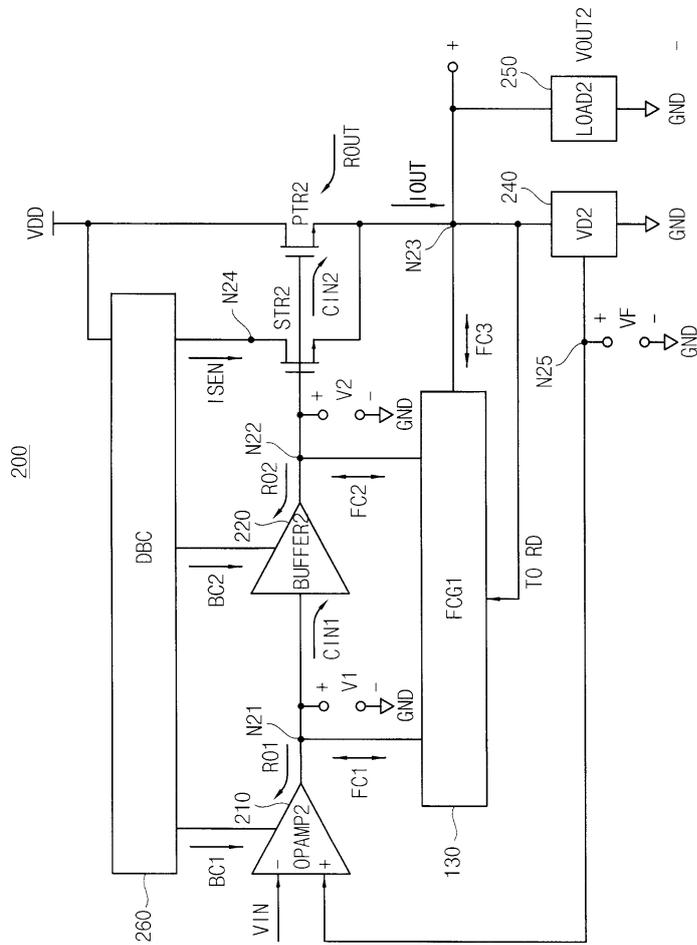
도면15



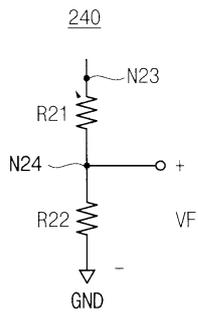
도면16



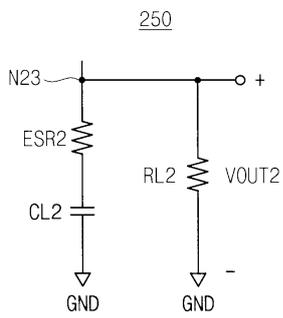
도면17



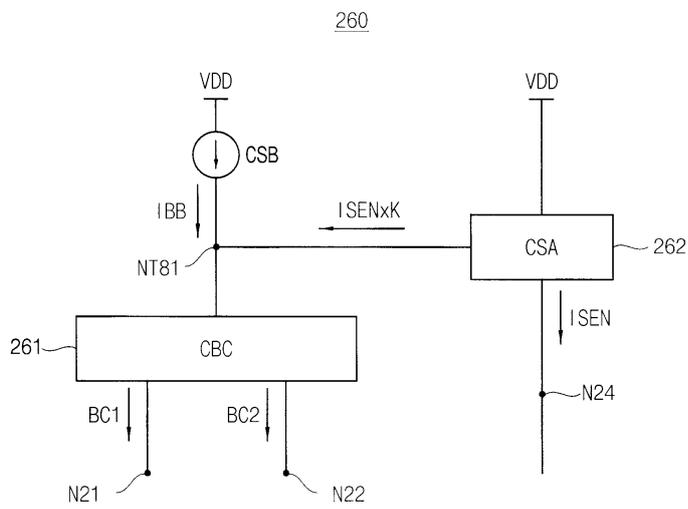
도면18



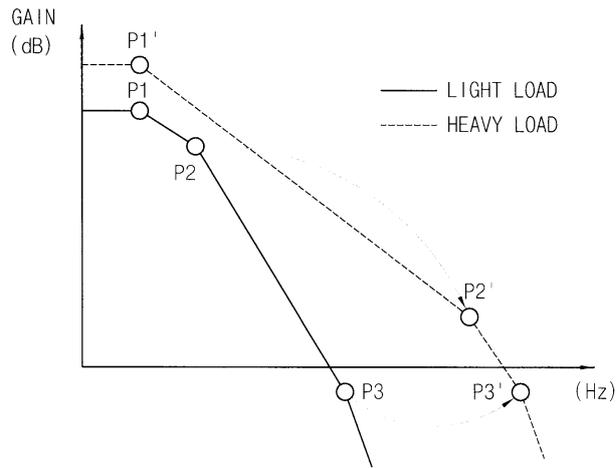
도면19



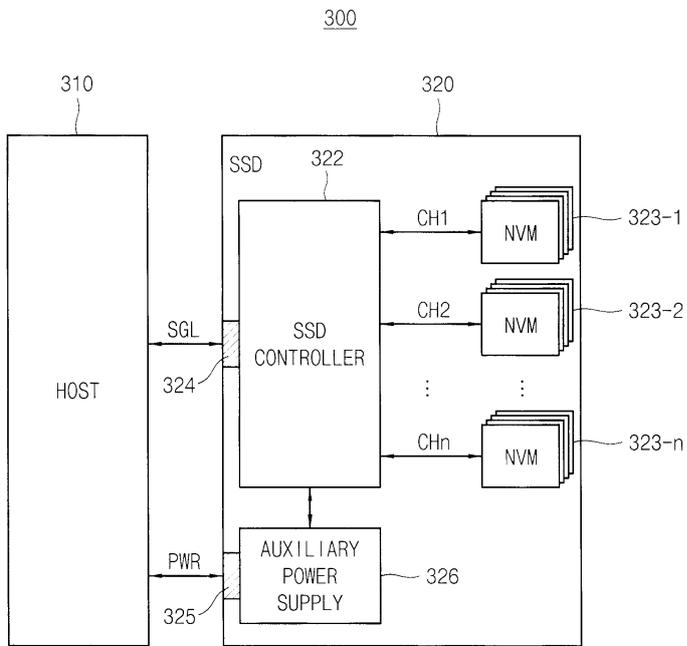
도면20



도면21



도면22



도면23

