



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월15일
(11) 등록번호 10-2637316
(24) 등록일자 2024년02월13일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 29/20 (2006.01)
H01L 29/417 (2006.01) H01L 29/778 (2006.01)
- (52) CPC특허분류
H01L 29/66462 (2013.01)
H01L 29/2003 (2013.01)
- (21) 출원번호 10-2023-7008199(분할)
- (22) 출원일자(국제) 2017년12월05일
심사청구일자 2023년03월08일
- (85) 번역문제출일자 2023년03월08일
- (65) 공개번호 10-2023-0058416
- (43) 공개일자 2023년05월03일
- (62) 원출원 특허 10-2019-7019242
원출원일자(국제) 2017년12월05일
심사청구일자 2020년12월01일
- (86) 국제출원번호 PCT/US2017/064726
- (87) 국제공개번호 WO 2018/106698
국제공개일자 2018년06월14일
- (30) 우선권주장
62/430,649 2016년12월06일 미국(US)
- (56) 선행기술조사문헌
US20070114589 A1*
US20140183442 A1*
US20150311330 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
큐로미스, 인크
미국, 캘리포니아 95051, 산타 클라라, 월쉬 애비뉴 2306
- (72) 발명자
오드노블류도브 블라디미르
미국 캘리포니아 95032 산타 클라라 월쉬 애비뉴 2306
큐로미스, 인크 내
악타스 오즈거
미국 캘리포니아 95051 산타 클라라 월쉬 애비뉴 2306
큐로미스, 인크 내
- (74) 대리인
오병석, 함수옥

전체 청구항 수 : 총 18 항

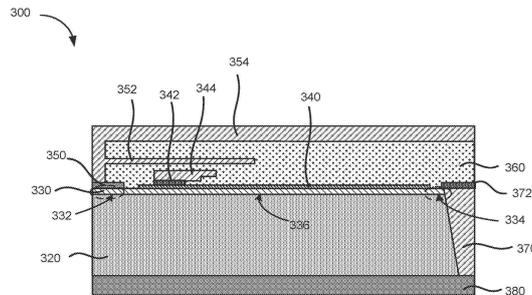
심사관 : 안경민

(54) 발명의 명칭 집적된 클램프 다이오드를 포함하는 횡형 고 전자 이동도 트랜지스터

(57) 요약

반도체 디바이스를 형성하는 방법은, 가공된 기관을 제공하는 단계, 상기 가공된 기관에 연결된 질화 갈륨 층을 형성하는 단계, 상기 질화 갈륨 층의 전면 상에 질화 알루미늄 갈륨 배리어 층을 형성함으로써 상기 질화 갈륨 층에 연결된 채널 영역을 형성하는 단계, 상기 채널 영역의 중앙부에서 상기 질화 알루미늄 갈륨 배리어 층에 연 (뒷면에 계속)

대표도



결된 게이트 유전체 층을 형성하는 단계, 상기 게이트 유전체 층에 연결된 게이트 콘택트를 형성하는 단계, 상기 채널 영역의 상기 제1 단부에 소스 콘택트를 형성하는 단계, 상기 채널 영역의 제2 단부에 비아를 형성하는 단계, 도전성 물질로 상기 비아를 충전하는 단계, 상기 비아에 연결된 드레인 콘택트를 형성하는 단계, 에피택셜 질화 갈륨 층의 후면을 노출시키도록 상기 가공된 기판을 제거하는 단계, 및 상기 에피택셜 질화 갈륨 층의 후면에 드레인 패드를 형성하는 단계를 포함한다.

(52) CPC특허분류

H01L 29/4175 (2013.01)

H01L 29/41766 (2013.01)

H01L 29/7786 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스를 형성하는 방법에 있어서,

가공된 기판을 제공하는 단계 - 상기 가공된 기판은,

다결정성 세라믹 코어;

상기 다결정성 세라믹 코어를 캡슐화하는 배리어 층;

상기 배리어 층에 연결된 결합층; 및

상기 결합층에 연결된 단결정성인 실리콘 층

을 포함함 -;

상기 단결정성인 실리콘 층에 연결된 에피택셜 질화 갈륨 층을 형성하는 단계 - 상기 에피택셜 질화 갈륨 층은 후면 및 전면을 가짐 -;

상기 에피택셜 질화 갈륨 층의 전면에 에피택셜 질화 알루미늄 갈륨 배리어 층을 형성함으로써 상기 에피택셜 질화 갈륨 층에 연결된 채널 영역을 형성하는 단계 - 상기 반도체 디바이스는 제1 단부 및 제2 단부, 및 상기 제1 단부와 상기 제2 단부 사이의 중앙부를 갖는 상기 채널 영역을 가짐 -;

상기 채널 영역의 상기 중앙부에서 상기 에피택셜 질화 알루미늄 갈륨 배리어 층에 연결된 게이트 유전체 층을 형성하는 단계;

상기 게이트 유전체 층에 연결된 게이트 콘택트를 형성하는 단계;

상기 채널 영역의 상기 제1 단부에 소스 콘택트를 형성하는 단계;

상기 채널 영역의 상기 제2 단부에서, 상기 에피택셜 질화 알루미늄 갈륨 배리어 층 및 상기 에피택셜 질화 갈륨 층을 통해 비아를 형성하는 단계;

상기 비아를 도전성 물질로 충전하는 단계;

상기 비아에 연결된 드레인 콘택트를 형성하는 단계;

상기 에피택셜 질화 갈륨 층의 후면을 노출시키도록 상기 가공된 기판을 제거하는 단계; 및

상기 에피택셜 질화 갈륨 층의 후면에 드레인 패드를 형성하는 단계

를 포함하되,

상기 드레인 패드는 상기 비아 내의 상기 도전성 물질을 통해 상기 드레인 콘택트에 전기적으로 연결되고,

상기 반도체 디바이스 형성 방법은, 상기 에피택셜 질화 갈륨 층과 상기 에피택셜 질화 알루미늄 갈륨 배리어 층 사이의 인터페이스가 2차원 전자 가스(2DEG)를 유지하도록 수행되며,

상기 에피택셜 질화 알루미늄 갈륨 배리어 층, 상기 에피택셜 질화 갈륨 층, 및 상기 드레인 콘택트는 전압 클램프 다이오드를 형성하는,

반도체 디바이스 형성 방법.

청구항 2

제1항에 있어서,

상기 반도체 디바이스는 고 전자 이동도 트랜지스터(HEMT)를 포함하는 반도체 디바이스 형성 방법.

청구항 3

제1항에 있어서,

상기 에피택셜 질화 갈륨 층은 5 μm 보다 큰 두께를 갖는 반도체 디바이스 형성 방법.

청구항 4

제3항에 있어서,

상기 에피택셜 질화 갈륨 층은 10 μm 보다 큰 두께를 갖는 반도체 디바이스 형성 방법.

청구항 5

제1항에 있어서,

상기 에피택셜 질화 알루미늄 갈륨 배리어 층 및 상기 게이트 유전체 층 위에 층간 유전체를 형성하는 단계;

상기 게이트 콘택트에 연결된 하나 또는 그 이상의 게이트 필드 플레이트를 형성하는 단계;

상기 소스 콘택트에 연결된 소스 필드 플레이트를 형성하는 단계; 및

상기 소스 콘택트에 연결된 소스 패드를 형성하는 단계

를 더 포함하는 반도체 디바이스 형성 방법.

청구항 6

제1항에 있어서,

상기 다결정성 세라믹 코어는 다결정성 질화 알루미늄 갈륨 (AlGaN)을 포함하는 반도체 디바이스 형성 방법.

청구항 7

제1항에 있어서,

상기 단결정성인 실리콘 층은 (111) 표면 배향을 갖는, 반도체 디바이스 형성 방법.

청구항 8

반도체 디바이스를 형성하는 방법에 있어서,

가공된 기판을 제공하는 단계 - 상기 가공된 기판은,

다결정성 세라믹 코어;

상기 다결정성 세라믹 코어를 캡슐화하는 배리어 층;

상기 배리어 층에 연결된 결합층; 및

상기 결합층에 연결된 단결정성인 실리콘 층

을 포함함 -;

상기 단결정성인 실리콘 층에 연결되고, 제1 도핑 농도를 갖는 제1 에피택셜 N형 질화 갈륨 층을 형성하는 단계;

상기 제1 에피택셜 N형 질화 갈륨 층에 연결되고, 상기 제1 도핑 농도보다 낮은 제2 도핑 농도를 갖는 제2 에피택셜 N형 질화 갈륨 층을 형성하는 단계;

상기 제2 에피택셜 N형 질화 갈륨 층 상에 에피택셜 질화 알루미늄 갈륨 배리어 층을 형성함으로써 상기 제2 에피택셜 N형 질화 갈륨 층에 연결된 채널 영역을 형성하는 단계 - 상기 채널 영역은 제1 단부 및 제2 단부, 및 상기 제1 단부와 상기 제2 단부 사이의 중앙부를 가짐 -;

상기 채널 영역의 상기 중앙부에서 상기 에피택셜 질화 알루미늄 갈륨 배리어 층에 연결된 게이트 유전체 층을 형성하는 단계;

상기 게이트 유전체 층에 연결된 게이트 콘택트를 형성하는 단계;

상기 채널 영역의 상기 제1 단부에 소스 콘택트를 형성하는 단계;

상기 제1 에피택셜 N형 질화 갈륨 층의 일부를 노출시키기 위해 상기 채널 영역의 제2 단부에서 상기 제2 에피택셜 N형 질화 갈륨 층을 통해 비아를 형성하는 단계;

상기 비아를 도전성 물질로 충전하는 단계; 및

상기 채널 영역의 상기 제2 단부에 드레인 콘택트를 형성하는 단계

를 포함하되,

상기 드레인 콘택트는 상기 비아 내의 상기 도전성 물질을 통해 상기 제1 에피택셜 N형 질화 갈륨 층에 전기적으로 연결되는,

반도체 디바이스 형성 방법.

청구항 9

제8항에 있어서,

상기 반도체 디바이스는 고 전자 이동도 트랜지스터(HEMT)를 포함하는, 반도체 디바이스 형성 방법.

청구항 10

제8항에 있어서,

상기 에피택셜 질화 알루미늄 갈륨 배리어 층, 상기 제2 에피택셜 N형 질화 갈륨 층, 및 상기 제1 에피택셜 N형 질화 갈륨 층은 전압 클램프 다이오드를 형성하는, 반도체 디바이스 형성 방법.

청구항 11

제8항에 있어서,

상기 제2 에피택셜 N형 질화 갈륨 층은 5 μm 보다 큰 두께를 갖는 반도체 디바이스 형성 방법.

청구항 12

제11항에 있어서,

상기 제2 에피택셜 N형 질화 갈륨 층은 10 μm 보다 큰 두께를 갖는 반도체 디바이스 형성 방법.

청구항 13

제8항에 있어서,

상기 게이트 콘택트에 연결된 하나 또는 그 이상의 게이트 필드 플레이트를 형성하는 단계;

상기 소스 콘택트에 연결된 소스 필드 플레이트를 형성하는 단계;

상기 에피택셜 질화 알루미늄 갈륨 배리어 층 및 상기 게이트 유전체 층 위에 층간 유전체(ILD) 층을 형성하는 단계; 및

상기 ILD 층 위에 소스 패드를 형성하는 단계

를 더 포함하되,

상기 소스 패드는 상기 소스 콘택트 및 상기 소스 필드 플레이트에 전기적으로 연결되는, 반도체 디바이스 형성 방법.

청구항 14

제8항에 있어서,

상기 다결정성 세라믹 코어는 다결정성 질화 알루미늄 갈륨(AlGaN)을 포함하는, 반도체 디바이스 형성 방법.

청구항 15

제8항에 있어서,

상기 단결정성인 실리콘 층은 (111) 표면 배향을 갖는, 반도체 디바이스 형성 방법.

청구항 16

횡형 고 전자 이동도 트랜지스터(HEMT)에 있어서,

드레인 패드;

상기 드레인 패드에 연결된 에피택셜 질화 갈륨 층;

제1 단부, 제2 단부, 및 상기 제1 단부와 상기 제2 단부 사이의 중앙부를 갖고, 상기 에피택셜 질화 갈륨 층에 연결된 에피택셜 질화 알루미늄 갈륨 배리어 층을 포함하는 채널 영역;

상기 채널 영역의 상기 중앙부에 연결된 게이트 유전체 층;

상기 게이트 유전체 층에 연결된 게이트 콘택트;

상기 채널 영역의 상기 제1 단부에 배치된 소스 콘택트;

상기 채널 영역의 상기 제2 단부에 배치된 비아; 및

상기 비아에 연결된 드레인 콘택트

를 포함하되,

상기 드레인 콘택트는 상기 비아를 통해 상기 드레인 패드에 전기적으로 접속되고,

상기 에피택셜 질화 갈륨 층과 상기 에피택셜 질화 알루미늄 갈륨 배리어 층 사이의 인터페이스가 2차원 전자 가스(2DEG)를 유지하며,

상기 에피택셜 질화 알루미늄 갈륨 배리어 층, 상기 에피택셜 질화 갈륨 층, 및 상기 드레인 콘택트는 전압 클램프 다이오드를 형성하는,

횡형 고 전자 이동도 트랜지스터.

청구항 17

제16항에 있어서,

상기 비아는 상기 에피택셜 질화 갈륨 층을 통과하는, 횡형 고 전자 이동도 트랜지스터.

청구항 18

제16항에 있어서,

상기 에피택셜 질화 갈륨 층은 5 μm보다 큰 두께를 갖는 횡형 고 전자 이동도 트랜지스터.

발명의 설명

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2016년 12월 6일자로 출원된 미국 임시특허출원 제62/430,649호를 우선권 주장의 기초로 하고, 상기 출원의 전체 내용이 참조에 의해 본 명세서에 편입된다.

[0003] 본 발명은 일반적으로 횡형(lateral) 고 전자 이동도 트랜지스터(high electron mobility transistor: HEMT)에 관한 것이다. 보다 구체적으로, 본 발명은 집적된 n-i-n, n-i-p 또는 n-p형 클램프 다이오드를 포함하는 HEMT를 형성하는 시스템 및 방법에 관한 것이다.

배경 기술

[0004] 질화 갈륨 기반 전력 디바이스는 일반적으로 사파이어 기판 상에 에피택셜 성장된다. 사파이어 기판 상의 질화

갈륨 기반 전력 디바이스의 성장은 기관과 에피택셜 층이 상이한 물질로 구성되기 때문에 헤테로 에피택셜 (heteroepitaxial) 성장 프로세스이다. 헤테로 에피택셜 성장 프로세스로 인해, 에피택셜 성장된 물질은 에피택셜 층의 전자/광학 특성과 연관된 메트릭의 감소 및 균일성의 감소를 포함하는 다양한 부정적 영향을 나타낼 수 있다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명이 속하는 기술 분야에서는 에피택셜 성장 프로세스 및 기관 구조와 관련된 개선된 방법 및 시스템에 대한 요구가 존재한다.

과제의 해결 수단

[0006] 본 발명은 일반적으로 횡형(lateral) 고 전자 이동도 트랜지스터(high electron mobility transistor: HEMT)에 관한 것이다. 보다 구체적으로, 본 발명은 집적된 n-i-n, n-i-p 또는 n-p형 클램프 다이오드를 포함하는 HEMT를 형성하는 시스템 및 방법에 관한 것이다. 단지 예시로서, 본 발명은 세라믹 기관을 이용하는 집적된 n-i-n형 클램프 다이오드를 포함하는 HEMT를 형성하는 시스템 및 방법에 적용되었다. 상기 방법들 및 기술들은 다양한 반도체 프로세싱 동작들에 적용될 수 있다.

[0007] 본 발명의 일 실시예에 의하면, 반도체 디바이스를 형성하는 방법은 가공된 기관을 제공하는 단계를 포함한다. 상기 가공된 기관은 다결정성(polycrystalline) 세라믹 코어, 다결정성 세라믹 코어를 캡슐화하는 배리어 층, 배리어 층에 연결된 결합층, 및 결합층에 연결된 실질적으로 단결정성인 실리콘 층을 포함한다. 상기 방법은 실질적으로 단결정성인 실리콘 층에 연결된 에피택셜 질화 갈륨 층을 형성하는 단계를 더 포함한다. 에피택셜 질화 갈륨 층은 후면(back surface) 및 전면(front surface)을 갖는다. 상기 방법은 에피택셜 질화 갈륨 층의 전면에 에피택셜 질화 알루미늄 갈륨 배리어 층을 형성함으로써 에피택셜 질화 갈륨 층에 연결된 채널 영역을 형성하는 단계를 더 포함한다. 채널 영역은 제1 단부 및 제2 단부, 및 제1 단부와 제2 단부 사이의 중앙부를 갖는다. 상기 방법은 채널 영역의 중앙부에서 에피택셜 질화 알루미늄 갈륨 배리어 층에 연결된 게이트 유전체 층을 형성하는 단계, 게이트 유전체 층에 연결된 게이트 콘택트(contact)를 형성하는 단계, 채널 영역의 제1 단부에 소스 콘택트를 형성하는 단계, 및 채널 영역의 제2 단부에 비아(via)를 형성하는 단계를 포함한다. 비아는 에피택셜 질화 알루미늄 갈륨 배리어 층 및 에피택셜 질화 갈륨 층을 관통한다. 상기 방법은 비아를 도전성 물질로 충전(filling)하는 단계, 비아에 연결된 드레인 콘택트를 형성하는 단계, 에피택셜 질화 갈륨 층의 후면을 노출시키기 위해 가공된 기관을 제거하는 단계, 및 에피택셜 질화 갈륨 층의 후면에 드레인 패드를 형성하는 단계를 더 포함한다. 드레인 패드는 비아의 도전성 물질을 통해 드레인 콘택트에 전기적으로 연결된다.

[0008] 본 발명의 다른 실시예에 의하면, 반도체 디바이스를 형성하는 방법은 가공된 기관을 제공하는 단계를 포함한다. 가공된 기관은 다결정성 세라믹 코어, 다결정성 세라믹 코어를 캡슐화하는 배리어 층, 배리어 층에 연결된 결합층, 및 결합층에 연결된 실질적으로 단결정성인 실리콘 층을 포함한다. 상기 방법은 실질적으로 단결정성인 실리콘 층에 연결된 제1 에피택셜 N형 질화 갈륨 층을 형성하는 단계를 더 포함한다. 제1 에피택셜 N형 질화 갈륨 층은 제1 도핑 농도를 갖는다. 상기 방법은 제1 에피택셜 N형 질화 갈륨 층에 연결된 제2 에피택셜 N형 질화 갈륨 층을 형성하는 단계를 더 포함한다. 제2 에피택셜 N형 질화 갈륨 층은 제1 도핑 농도보다 낮은 제2 도핑 농도를 갖는다. 상기 방법은 제2 에피택셜 N형 질화 갈륨 층 상에 에피택셜 질화 알루미늄 갈륨 배리어 층을 형성함으로써 제2 에피택셜 N형 질화 갈륨 층에 연결된 채널 영역을 형성하는 단계를 더 포함한다. 채널 영역은 제1 단부 및 제2 단부, 및 제1 단부와 제2 단부 사이의 중앙부를 갖는다. 상기 방법은 채널 영역의 중앙부에서 에피택셜 질화 알루미늄 갈륨 배리어 층에 연결된 게이트 유전체 층을 형성하는 단계, 게이트 유전체 층에 연결된 게이트 콘택트를 형성하는 단계, 채널 영역의 제1 단부에 소스 콘택트를 형성하는 단계, 채널 영역의 제2 단부에서 제2 에피택셜 N형 질화 갈륨 층을 통해 비아를 형성하여 제1 에피택셜 N형 질화 갈륨 층의 일부를 노출시키는 단계, 비아를 도전성 물질로 충전하는 단계, 및 채널 영역의 제2 단부에 드레인 콘택트를 형성하는 단계를 더 포함한다. 드레인 콘택트는 비아 내의 도전성 물질을 통해 제1 에피택셜 N형 질화 갈륨 층에 전기적으로 연결된다.

[0009] 본 발명의 또 다른 실시예에 의하면, 횡형 고 전자 이동도 트랜지스터(HEMT)는 드레인 패드, 드레인 콘택트에 연결된 에피택셜 질화 갈륨 층, 제1 단부, 제2 단부 및 제1 단부와 제2 단부 사이의 중앙부를 갖는 채널 영역을 포함한다. 채널 영역은 에피택셜 질화 갈륨 층에 연결된 에피택셜 질화 알루미늄 갈륨 배리어 층을 포함한다.

횡형 고 전자 이동도 트랜지스터(HEMT)는 채널 영역의 중앙부에 연결된 게이트 유전체 층, 게이트 유전체 층에 연결된 게이트 콘택트, 채널 영역의 제1 단부에 배치된 소스 콘택트, 채널 영역의 제2 단부에 배치된 비아, 및 비아에 연결된 드레인 콘택트를 더 포함한다. 드레인 패드는 비아를 통해 드레인 콘택트에 전기적으로 접속된다.

[0010] 본 발명의 이들 및 다른 실시예들은 다수의 이점 및 특징과 함께 아래의 텍스트 및 첨부된 도면들과 함께 보다 상세히 설명된다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 몇몇 실시예에 의한 가공된 기판 구조체를 도시하는 단순화된 개념적 단면도이다.
- 도 2는 본 발명의 몇몇 실시예에 의한 횡형 고 전자 이동도 트랜지스터(HEMT)를 형성하는 방법을 도시하는 단순화된 흐름도이다.
- 도 3a 및 도 3b는 본 발명의 몇몇 실시예에 의한 횡형 HEMT를 도시하는 개념적 단면도이다.
- 도 3c는 본 발명의 몇몇 다른 실시예에 의한 횡형 HEMT를 도시하는 개념적 단면도이다.
- 도 4는 본 발명의 몇몇 다른 실시예에 의한 횡형 고 전자 이동도 트랜지스터(HEMT)를 형성하는 방법을 도시하는 단순화된 흐름도이다.
- 도 5는 본 발명의 몇몇 다른 실시예에 의한 횡형 HEMT를 도시하는 개념적 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명은 일반적으로 가공된 기판 상에 형성된 고 전자 이동도 트랜지스터(HEMT)에 관한 것이다. 보다 상세하게는, 본 발명은 에피택셜 성장 프로세스를 사용하여 전압 클램프(voltage clamp)가 통합된 횡형 HEMT를 제조하기에 적합한 방법 및 시스템에 관한 것이다. 단지 예시로서, 본 발명은 에피택셜 성장에 의해 기판 상에 횡형 HEMT를 제조하는 방법 및 시스템에 적용되며, 상기 기판은 횡형 HEMT를 형성하는 에피택셜 층에 실질적으로 매칭되는 열 팽창 계수(CTE)를 특징으로 한다. 상기 방법들 및 기술들은 다양한 반도체 프로세싱 동작들에 적용될 수 있다.
- [0013] 도 1은 본 발명의 일 실시예에 의한 가공된 기판 구조체를 도시하는 단순화된 개념도이다. 도 1에 도시된 바와 같이, 가공된 기판 구조체는 다양한 전자 및 광학 애플리케이션에 적합할 수 있다. 가공된 기판 구조체는 코어(110)(예를 들어, AlN 기판)를 포함하고, 코어(110)는 가공된 기판 구조체 상에, 예를 들어, 박리된 실리콘(111) 층(125) 상에 성장될 에피택셜 물질의 CTE와 실질적으로 매칭되는 열팽창 계수(CTE)를 가질 수 있다.
- [0014] 질화 갈륨(GaN) 기반 물질(GaN 기반 층을 포함하는 에피택셜 층)의 성장을 포함하는 애플리케이션에 있어서, 코어(110)는 다결정성 세라믹 물질, 예를 들어, 다결정성 질화 알루미늄(polycrystalline aluminum nitride: AlN)일 수 있고, 산화 이트륨(yttrium oxide)과 같은 결합재(binding material)를 포함할 수 있다. 다결정성 질화 갈륨(GaN), 다결정성 질화 알루미늄 갈륨(AlGaN), 다결정성 실리콘 카바이드(silicon carbide: SiC), 다결정성 산화 아연(zinc oxide: ZnO), 다결정성 갈륨 트리옥사이드(gallium trioxide: Ga₂O₃) 등을 포함하는 다른 물질이 코어에서 이용될 수 있다.
- [0015] 코어(110)의 두께는 대략 100 내지 1,500 μm 정도, 예를 들어, 750 μm일 수 있다. 코어(110)는 셸 또는 캡슐화(encapsulating) 셸로 불릴 수 있는 부착층(112) 내에 캡슐화된다. 일 실시예에서, 부착층(112)은 1,000 Å 정도의 두께의 테트라에틸 오소실리케이트(tetraethyl orthosilicate: TEOS) 산화물 층을 포함한다. 다른 실시예에서, 부착층(112)의 두께는 예를 들어 100 Å 내지 2,000 Å으로 다양하다. 몇몇 실시예에서는 TEOS 산화물이 부착층(112)에 이용되지만, 본 발명의 일 실시예에 의하면 나중에 디포지션 층과 하부 층들 또는 물질들(예를 들어, 세라믹, 특히 다결정성 세라믹) 간의 부착을 제공하는 다른 물질들이 이용될 수 있다. 예를 들어, SiO₂ 또는 다른 실리콘 산화물(Si_xO_y)은 세라믹 물질에 잘 부착되고, 예를 들어, 도전성 물질의 후속 디포지션을 위한 적절한 표면을 제공한다. 부착층(112)은 몇몇 실시예에서 코어(110)를 완전히 둘러싸서 완전히 캡슐화된 코어(110)를 형성하고, LPCVD 프로세스 또는 반도체 프로세싱 및 특히 다결정성 또는 복합(composite) 기판 및 층들과 양립할 수 있는 다른 적절한 디포지션 프로세스를 사용하여 형성될 수 있다. 부착층(112)은 가공된 기판 구조체의 요소들을 형성하기 위해 이후의 층들이 부착되는 표면을 제공한다.
- [0016] 캡슐화 부착층을 형성하기 위해 LPCVD 프로세스, 스핀 온 글라스/유전체, 퍼니스(furnace) 기반 프로세스 등에

더하여, 본 발명의 실시예에 따라 CVD 프로세스 또는 유사한 디포지션을 포함하는 다른 반도체 프로세스가 이용될 수 있다. 일 예로서, 코어(110)의 일부를 코팅하는 디포지션 프로세스가 이용될 수 있으며, 코어(110)가 뒤집힐 수 있고, 디포지션 프로세스가 코어(110)의 추가적인 부분을 코팅하기 위해 반복될 수 있다. 따라서, 몇몇 실시예에서는 완전히 캡슐화된 구조체를 제공하기 위해 LPCVD 기술이 이용되지만, 특정 애플리케이션에 따라서는 다른 막 형성 기술이 이용될 수 있다.

[0017] 도전층(114)은 부착층(112)을 둘러싸도록 형성된다. 일 실시예에서, 도전층(114)은 부착층(112)을 둘러싸도록 형성된 폴리실리콘(즉, 다결정성 실리콘)의 셸이고, 이는 폴리실리콘이 세라믹 물질에 대한 열등한 부착성을 나타낼 수 있기 때문이다. 도전층(114)이 폴리실리콘인 실시예에서, 폴리실리콘 층의 두께는 500-5,000 Å 정도, 예를 들어 2500 Å일 수 있다. 몇몇 실시예에서, 폴리실리콘 층은 부착층(112)(예를 들어, TEOS 산화물 층)을 완전히 둘러싸는 셸로서 형성될 수 있고, 이에 의해 완전히 캡슐화된 부착층(112)을 형성하고, LPCVD 프로세스를 사용하여 형성될 수 있다. 다른 실시예에서는, 후술하는 바와 같이, 도전성 물질이 부착층(112)의 일부, 예를 들어, 기판 구조체의 하부 절반 상에 형성될 수 있다. 몇몇 실시예에서, 도전성 물질은 완전 캡슐화 층으로서 형성될 수 있고, 다음으로 기판 구조체의 한면에서 제거될 수 있다.

[0018] 일 실시예에서, 도전층(114)은, 예를 들어, 붕소(boron)로 도핑되어 p형 폴리실리콘 층을 제공하는, 고 도전성인 물질을 제공하도록 도핑된 폴리실리콘 층일 수 있다. 몇몇 실시예에서, 붕소의 도핑은 높은 도전성을 제공하기 위해 $1 \times 10^{19} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 레벨이다. 상이한 도펀트 농도의 다른 도펀트(예를 들어, $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 범위의 도펀트 농도에서 인, 비소, 또는 비스무트(bismuth) 등)가 이용되어 도전층(114)에 사용하기 적합한 n형 또는 p형 반도체 물질 중 하나를 제공할 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0019] 도전층(114)의 존재는 가공된 기판을 반도체 처리 툴, 예를 들어, 정전 척(electrostatic chuck)(ESC 또는 e-척)을 갖는 툴에 정전 척하는 동안 유용하다. 도전층은 반도체 프로세싱 툴에서 처리 후 신속한 디척킹(dechucking)을 가능하게 한다. 본 발명의 실시예들에서, 도전층(114)은 결합을 포함하는 장래의 처리 동안 척과의 전기적 접촉 또는 e-척으로의 용량성 결합을 가능하게 한다. 따라서, 본 발명의 실시예들은 종래의 실리콘 웨이퍼와 함께 사용되는 방식으로 처리될 수 있는 기판 구조체를 제공한다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다. 또한, 정전 척킹과 조합하여 높은 열 도전성을 갖는 기판 구조체는 이후의 디바이스 제조 단계뿐만 아니라 이후의 가공된 층들 및 에피택셜 층들의 형성을 위한 보다 양호한 디포지션 조건을 제공할 수 있다. 예를 들어, 이는 더 낮은 응력, 더 균일한 디포지션 두께, 및 후속 층 형성을 통한 더 양호한 화학양론적 제어를 초래할 수 있는 바람직한 열 프로파일을 제공할 수 있다.

[0020] 도전층(114)을 둘러싸도록 제2 부착층(116)(예를 들어, 두께가 1,000 Å 정도인 TEOS 산화물 층)이 형성된다. 몇몇 실시예에서 제2 부착층(116)은 도전층(114)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성하고 LPCVD 프로세스, CVD 프로세스, 또는 스핀-온 유전체의 디포지션을 포함하는 다른 임의의 적합한 디포지션 프로세스를 사용하여 형성될 수 있다.

[0021] 배리어 층(118), 예를 들어, 실리콘 질화물 층이 제2 부착층(116)을 둘러싸도록 형성된다. 일 실시예에서, 배리어 층(118)은 두께가 2,000 Å 내지 5,000 Å 정도인 실리콘 질화물 층이다. 배리어 층(118)은 몇몇 실시예에서 제2 부착층(116)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성하고 LPCVD 프로세스를 사용하여 형성될 수 있다. 실리콘 질화물 층 이외에, SiCN, SiON, AlN, SiC 등을 포함하는 비정질 물질이 배리어 층(118)으로서 이용될 수 있다. 몇몇 구현예에서, 배리어 층(118)은 배리어 층(118)을 형성하도록 구축된 다수의 서브 층들로 이루어진다. 따라서, 배리어 층이라는 용어는 단일 층 또는 단일 물질을 의미하려는 것이 아니라, 복합 방식으로 층을 이루는 하나 또는 그 이상의 물질들을 포함하는 것이다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0022] 몇몇 실시예에서, 배리어 층(118), 예를 들어, 실리콘 질화물 층은, 예를 들어, 고온(예를 들어, 1,000 °C) 에피택셜 성장 프로세스 중에 가공된 기판이 존재할 수 있는 반도체 프로세싱 챔버의 환경으로, 코어(110)에 존재하는 요소들, 예를 들어, 이트륨(yttrium)(원소), 산화 이트륨(즉, 이트리아(yttria)), 산소, 금속 불순물, 다른 미량 성분 등이 확산 및/또는 배출되는 것을 방지한다. 본 명세서에 기술된 캡슐화 층을 이용하면, 비 청정실 환경을 위해 설계된 다결정성 AlN을 포함하는 세라믹 물질들이 반도체 프로세스 공정 및 청정실 환경에서 이용될 수 있다.

[0023] 전형적으로, 코어를 형성하기 위해 이용되는 세라믹 물질은 1,800 °C 정도의 온도에서 소성(firing)된다. 이 프

로세스는 세라믹 물질에 존재하는 상당량의 불순물을 제거할 것으로 예상된다. 이러한 불순물은 소결제(sintering agent)로서 이트리아를 사용함으로써 생기는 이트륨, 칼슘 및 기타 원소 및 화합물을 포함할 수 있다. 다음으로, 800 °C 내지 1,100 °C 범위의 훨씬 더 낮은 온도에서 실행되는 에피택셜 성장 프로세스 중에는, 이러한 불순물의 후속 확산이 미미할 것으로 예상될 것이다. 그러나, 통상적인 예상과는 달리, 본 발명의 발명자들은 세라믹 물질의 소성(firing) 온도보다 훨씬 낮은 온도에서의 에피택셜 성장 프로세스 동안에도 가공된 기판의 층들을 통한 요소들의 상당한 확산이 존재하다고 판단했다. 따라서, 본 발명의 실시예들은 이 바람직하지 않은 확산을 방지하기 위해 배리어 층(118)을 가공된 기판 구조체에 통합시킨다.

[0024] 다시 도 1을 참조하면, 배리어 층(118)의 일부, 예를 들어, 배리어 층(118)의 상부 표면 상에 결합층(120)(예를 들어, 실리콘 산화물 층)이 디포지팅되고, 그 후 실질적으로 단결정인 층(125)(예를 들어, 도 1에 도시된 박리된 실리콘 (111) 층과 같은 단결정 실리콘 층)의 결합 중에 사용된다. 결합층(120)은 몇몇 실시예에서 두께가 약 1.5 μm일 수 있다. 몇몇 실시예에서, 결합층(120)의 두께는 결합-유도된(bond-induced) 보이드 완화를 위해 20 nm 또는 그 이상이다. 몇몇 실시예에서, 결합층(120)의 두께는 0.75-1.5 μm 범위이다.

[0025] 실질적으로 단결정인 층(125)(예를 들어, 박리된 Si (111))은 에피택셜 물질의 형성을 위한 에피택셜 성장 프로세스 동안 성장 층으로서 사용하기에 적합하다. 몇몇 실시예에서, 에피택셜 물질은 두께가 2 μm 내지 10 μm인 GaN 층을 포함할 수 있으며, 이는 광전자, RF 및 전력 디바이스에 이용되는 복수의 층 중 하나로서 이용될 수 있다. 일 실시예에서, 실질적으로 단결정인 층(125)은 층 이송(layer transfer) 프로세스를 사용하여 결합층(120)에 부착되는 단결정 실리콘 층을 포함한다.

[0026] 가공된 기판 구조체에 관한 추가적인 설명은 2017년 6월 13일자 미국 특허 출원 제15/621,335호 및 2017년 6월 13일자로 출원된 미국 특허 출원 제15/621,235호에 제공되고, 이들의 전체 개시 내용은 모든 목적을 위해 참조에 의하여 본 명세서에 편입된다.

[0027] 도 2는 본 발명의 일 실시예에 의한 횡형 고 전자 이동도 트랜지스터(HEMT)(300)를 형성하는 방법(200)을 도시한 단순화된 흐름도이다. 도 3a 내지 도 3b는 본 발명의 몇몇 실시예에 의한 횡형 HEMT(300)를 도시한 개념적인 단면도이다.

[0028] 도 2 및 도 3a를 참조하면, 방법(200)은 202에서, 가공된 기판(310)을 제공하는 단계를 포함한다. 몇몇 실시예에 의하면, 가공된 기판(310)은 도 1과 관련하여 위에서 논의한 바와 같이, 다결정성 세라믹 코어, 다결정성 세라믹 코어를 캡슐화하는 배리어 층, 배리어 층에 연결된 결합층, 및 결합층에 연결된 실질적으로 단결정성인 실리콘 층을 포함할 수 있다.

[0029] 몇몇 실시예에서, 가공된 기판(310)의 다결정성 세라믹 코어는 다결정성 질화 알루미늄 갈륨(AlGa₃N), 다결정성 질화 갈륨(GaN), 다결정성 질화 알루미늄(AIN), 다결정성 실리콘 카바이드(SiC), 또는 이들의 조합을 포함할 수 있다. 몇몇 실시예에서, 배리어 층은 Si_xO_y, Si_xN_y, Si_xO_yN_z, SiCN, SiON, AIN, SiC, 또는 이들의 조합을 포함할 수 있다. 몇몇 실시예에서, 결합층은 실리콘 산화물 층과 같은 산화물 층을 포함할 수 있다. 일 실시예에서, 단결정 실리콘 층은 후술하는 바와 같이 에피택셜 물질의 형성을 위한 에피택셜 성장 프로세스 동안 성장 층으로서 사용하기에 적합할 수 있는 실리콘 (111) 층을 포함한다.

[0030] 몇몇 실시예에서, 도 1을 참조하여 상술한 바와 같이, 가공된 기판(310)은 다결정성 세라믹 코어에 연결된 제1 부착층, 제1 부착층에 연결된 도전층, 및 도전층에 연결된 제2 부착층을 더 포함할 수 있고, 제1 부착층, 도전층 및 제2 부착층은 다결정성 세라믹 코어와 배리어 층 사이에 배치된다. 몇몇 실시예에서, 제1 부착층은 제1 테트라에틸 오소실리케이트(tetraethyl orthosilicate: TEOS) 산화물 층을 포함할 수 있고, 제2 부착층은 제2 TEOS 산화물 층을 포함할 수 있다. 도전층은 폴리실리콘 층을 포함할 수 있다. 몇몇 실시예에서, 가공된 기판(310)은 에피택셜 디바이스 층의 형성을 용이하게 하기 위해 실질적으로 단결정성인 실리콘 층에 연결된 핵형성(nucleation) 층을 더 포함할 수 있다.

[0031] 도 2 및 도 3a를 다시 참조하면, 방법(200)은, 204에서, 실질적으로 단결정성인 실리콘 층에 연결된 에피택셜 질화 갈륨 층(320)을 형성하는 단계를 더 포함한다. 에피택셜 질화 갈륨 층(320)은 후면 및 전면을 갖는다. 후면은 가공된 기판(310)에 연결된다. 에피택셜 질화 갈륨 층(320)은 차단층(blocking layer)으로서 작용할 수 있고, 바람직하게는 비교적 낮은 도핑 농도, 예컨대, 약 1×10¹⁵ cm⁻³ 정도의 도핑 농도를 가질 수 있다. CTE 매칭된 가공된 기판을 사용함으로써, 전위 밀도(dislocation density)가 낮은 상대적으로 두꺼운 GaN 차단층의 에피택셜 성장이 가능할 수 있다. 몇몇 실시예에서, 에피택셜 질화 갈륨 층(320)은 약 5 μm보다 큰 두께를 가질 수 있다. 다른 몇몇 실시예에서, 에피택셜 질화 갈륨 층(320)은 약 10 μm보다 큰 두께를 가질 수 있다.

- [0032] 방법(200)은 206에서, 에피택셜 질화 갈륨 층(320)의 전면에 연결된 에피택셜 질화 알루미늄 갈륨 배리어 층(330)을 형성하는 단계를 더 포함한다. 에피택셜 질화 알루미늄 갈륨 배리어 층(330)은 HEMT(300)의 채널 영역으로서 기능할 수 있다. 채널 영역은 제1 단부(332) 및 제2 단부(334), 및 제1 단부(332)와 제2 단부(334) 사이의 중앙부(336)를 갖는다. 일 실시예에서, 에피택셜 질화 알루미늄 갈륨 배리어 층(330)은 약 20%의 알루미늄을 포함할 수 있다. 에피택셜 질화 갈륨 층(320)과 에피택셜 질화 알루미늄 갈륨 배리어 층(330) 사이의 인터페이스(AlGaN/GaN 인터페이스로 지칭됨)는 헤테로(hetero)-인터페이스에서의 분극 유도 전하(polarization induced charge)로 인한 2차원 전자 가스(two-dimensional electron gas: 2DEG)를 초래할 수 있다.
- [0033] 몇몇 실시예에 따라, 에피택셜 질화 갈륨 층(320) 및 에피택셜 질화 알루미늄 갈륨 배리어 층(330)은 화학 기상 증착 CVD(금속-유기 CVD(MOCVD), 저압 CVD(LPCVD), 플라즈마 강화 CVD(PECVD), 원자 층 CVD(ALCVD)를 포함), 수소화물 기상 에피택시(HVPE), 원자 층 디포지션(ALD), 분자선 에피택시(MBE), 또는 이들의 조합과 같은 박막 디포지션 기술에 의해 형성될 수 있다.
- [0034] 도 2 및 도 3a를 다시 참조하면, 방법(200)은, 208에서, 채널 영역의 중앙부(336)에서 에피택셜 질화 알루미늄 갈륨 배리어 층(330)에 연결된 게이트 유전체 층(340)을 형성하는 단계, 및 210에서, 게이트 유전체 층(340)에 연결된 게이트 콘택트(342)를 형성하는 단계를 더 포함한다. 상기 방법(200)은 게이트 콘택트(342)에 연결된 하나 또는 그 이상의 게이트 필드 플레이트(field plates: FP)(344)를 형성하는 단계를 더 포함할 수 있다. 상기 방법(200)은, 212에서 채널 영역의 제1 단부(332)에 소스 콘택트(350)를 형성하는 단계를 더 포함한다. 상기 방법(200)은 소스 콘택트(350)에 연결된 소스 필드 플레이트(FP)(352)를 형성하는 단계를 더 포함할 수 있다. 게이트 FP(344) 및 소스 FP(352)는 적절한 디포지션 비-에피택셜(non-epitaxial) 방법에 의해 디포지션된 저-도핑(low-doped) 비정질 또는 다결정성 실리콘으로부터 제조될 수 있다.
- [0035] 방법(200)은 디바이스 구조 위에 층간 유전체 층(interlayer dielectric layer: ILD)(360)을 형성하는 단계를 더 포함할 수 있다. ILD(360)는 예를 들어 SiN_x를 포함할 수 있다. 몇몇 실시예에서, ILD(360)는 약 50 μm의 두께를 가질 수 있다. 방법(200)은 ILD(360) 위에 소스 콘택트(350) 및 소스 FP(352)에 연결된 소스 패드(354)를 형성하는 단계를 더 포함할 수 있다. 방법(200)은 오프-플레인(off-plane) 게이트 패드(도 3a에 도시되지 않음)를 형성하는 단계를 더 포함할 수 있다.
- [0036] 도 2 및 도 3a를 참조하면, 방법(200)은 214에서, 채널 영역의 제2 단부(334)에 비아(370)를 형성하는 단계를 더 포함한다. 비아(370)는 에피택셜 질화 알루미늄 갈륨 배리어 층(330) 및 에피택셜 질화 갈륨 층(320)을 관통할 수 있다. 방법(200)은 또한 216에서, 비아(370)를 도전성 물질로 충전하고, 비아(370)에 연결된 드레인 콘택트(372)를 형성하는 단계를 포함한다.
- [0037] 비아는 딥 반응성 에칭(deep reactive etching)을 사용하여 기관으로 일반적으로 건식 에칭되는 중형(vertical) 및 높은 중형비의 캐비티(cavity)로서 정의될 수 있다. 비아의 충전은 몇 개의 단계를 포함할 수 있다. 첫째, 유전체 라이너(liner)가 비아 내에 형성될 수 있다. 유전체 라이너는 기관에 대한 전기적 전도를 방지할 수 있다. 라이너 디포지션 후에, 도전성 비아 물질이 트렌치로부터 기관 내로 이동하는 것을 방지하기 위해 확산 배리어(배리어) 층이 디포지션될 수 있다. 다음으로, 시드 층 및/또는 부착층이 유전체 라이너 및 확산 배리어 층 위에 디포지션될 수 있다. 시드 층 및 부착층은 동일하거나 상이한 층 물질일 수 있다. 시드 층 및 부착층은 비아 내로의 금속의 후속 도금 또는 전착(electrodeposition)을 위한 잘 부착된 핵형성 층을 허용하는 목적을 수행할 수 있다. 비아의 높은 중형비(예를 들어, 약 10:1 내지 50:1)가 주어지면, 유전체 라이너, 배리어 층, 부착층 및 시드 층은 비교적 얇을 수 있다(예를 들어, 수 나노미터). 도금된 또는 전착된 비아 물질은 Cu, W, 또는 비아를 충전하고 기관을 통한 전기적 접속을 제공하는 유사한 도전성 물질일 수 있다.
- [0038] 도 2, 도 3a 및 도 3b를 참조하면, 방법(200)은 218에서, 에피택셜 질화 갈륨 층(320)의 후면을 노출시키기 위해 가공된 기관(310)을 제거하는 단계를 더 포함한다. 가공된 기관(310)은 예를 들어, 기계적 폴리싱, 건식 에칭, 습식 에칭, 또는 플루오르화 수소산(hydrofluoric acid: HF) 또는 황산(H₂SO₄)과 같은 에칭 화학 물질을 사용하는 리프트오프(liftoff) 프로세스에 의해 제거될 수 있다. 가공된 기관(310)의 제거는 독립형(freestanding) GaN의 넓은 영역을 생성한다. 에피택셜 질화 갈륨 층(320)이 실질적으로 CTE 매칭된 가공된 기관(310) 상에 형성되기 때문에, 에피택셜 질화 갈륨 층(320)은 가공된 기관(310)이 제거된 후에 응력 하에서 틀어지거나 굽혀지지 않을 수 있다. 상기 방법(200)은, 가공된 기관(310)이 제거된 후, 접촉 저항을 감소시키기 위해 에피택셜 질화 갈륨 층(320)의 손상된 부분을 제거하도록 에칭을 수행하는 단계를 더 포함할 수 있다.
- [0039] 도 2 및 도 3b를 참조하면, 방법(200)은 220에서, 에피택셜 질화 갈륨 층(320)의 후면 상에 드레인 패드(380)를

형성하는 단계를 더 포함한다. 드레인 패드(380)는 비아(370) 내의 도전성 물질을 통해 드레인 콘택트(372)에 전기적으로 연결된다.

- [0040] 따라서, 상기한 방식으로, 드레인 패드(380)는 전방측 대신에 HEMT(300)의 후방측에 위치된다. 이러한 디바이스 구성은 몇 가지 장점을 갖는다. 예를 들어, 면적 활용 효율을 향상시킬 뿐만 아니라 디바이스의 면적 치수를 줄일 수 있다. 또한, 금속화 프로세스 및 유전체 스택의 형성을 단순화할 수 있다.
- [0041] 또한, 에피택셜 질화 알루미늄 갈륨 배리어 층(330) 및 에피택셜 질화 갈륨 층(320)은 집적된 n-i-n형 클램프 다이오드로서 기능할 수 있다. 클램프 다이오드는 HEMT(300)의 항복(breakdown) 전압보다 낮은 전압에서 파괴 되도록 설계되어, HEMT(300)를 손상으로부터 보호할 수 있다. 몇몇 실시예에서, 클램프 다이오드는 약 600V의 항복 전압을 갖도록 구성될 수 있다. n-i-n형 클램프 다이오드의 항복 층의 홀(hole)의 결핍은 게이트 유전체로의 홀 주입을 방지하여, 주요 신뢰도 실패 메커니즘 중 하나를 제거할 수 있다.
- [0042] 도 3c는 비아(370)가 생략된 다른 실시예를 도시한다. 이 실시예에서, 드레인 패드(380)는 외부 접속을 통해 드레인 콘택트(372)에 전기적으로 연결될 수 있다.
- [0043] 도 2에 도시된 구체적인 단계들은, 본 발명의 일 실시예에 의한 특정 방법(200)을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 수행될 수도 있다. 예를 들어, 본 발명의 대안적인 실시예들은 다른 순서로 위에서 약술된 단계들을 수행할 수 있다. 또한, 도 2의 실시예는 개별적인 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 서브 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 따라 추가 단계가 부가되거나 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.
- [0044] 도 4는 본 발명의 다른 실시예에 의한 횡형 고 전자 이동도 트랜지스터(HEMT)(500)를 형성하는 방법(400)을 도시한 단순화된 흐름도이다. 도 5는 본 발명의 다른 실시예에 의한 횡형 HEMT(500)를 도시한 개념적인 단면도이다.
- [0045] 도 4 및 도 5를 참조하면, 방법(400)은 402에서, 가공된 기판(510)을 제공하는 단계를 포함한다. 가공된 기판(510)은 상술한 바와 같이, 다결정성 세라믹 코어, 다결정성 세라믹 코어를 캡슐화하는 배리어 층, 배리어 층에 연결된 결합층, 및 결합층에 연결된 실질적으로 단결정성인 실리콘 층을 포함할 수 있다.
- [0046] 상기 방법(400)은 404에서, 실질적으로 단결정성인 실리콘 층에 연결된 제1 에피택셜 N형 질화 갈륨 층(520)을 형성하는 단계를 더 포함한다. 제1 에피택셜 N형 질화 갈륨 층(520)은 오믹(ohmic) 접촉의 형성을 용이하게 할 수 있고, 예를 들어, 약 $2 \times 10^{18} \text{ cm}^{-3}$ 정도의 비교적 높은 N형 도핑 농도를 가질 수 있다.
- [0047] 방법(400)은 406에서, 제1 에피택셜 N형 질화 갈륨 층(520)에 연결된 제2 에피택셜 N형 질화 갈륨 층(530)을 형성하는 단계를 더 포함한다. 제2 에피택셜 N형 질화 갈륨 층(530)은 비교적 낮은 도핑 농도, 예컨대, 약 $1 \times 10^{14} \text{ cm}^{-3}$ 보다 작은 도핑 농도를 가질 수 있다. 몇몇 실시예에서, 제2 에피택셜 N형 질화 갈륨 층(530)은 약 5 μm 보다 큰 두께를 가질 수 있다. 몇몇 다른 실시예에서, 제2 에피택셜 N형 질화 갈륨 층(530)은 약 10 μm 보다 큰 두께를 가질 수 있다. 제2 에피택셜 N형 질화 갈륨 층(530)은 차단 GaN 층으로 지칭될 수 있다. CTE 매칭된 가공된 기판을 사용함으로써, 저 전위 밀도를 갖는 상대적으로 두꺼운 차단 GaN 층의 에피택셜 성장이 가능할 수 있다.
- [0048] 방법(400)은 408에서, 제2 에피택셜 N형 질화 갈륨 층(530)의 전면에 연결된 에피택셜 질화 알루미늄 갈륨 배리어 층(540)을 형성하는 단계를 더 포함한다. 에피택셜 질화 알루미늄 갈륨 배리어 층(540)은 HEMT(500)의 채널 영역으로서 기능할 수 있다. 채널 영역은 제1 단부(542) 및 제2 단부(544), 및 제1 단부(542)와 제2 단부(544) 사이의 중앙부(546)를 갖는다. 일 실시예에서, 에피택셜 질화 알루미늄 갈륨 배리어 층(540)은 약 20%의 알루미늄을 포함할 수 있다. 에피택셜 질화 갈륨 층(530)과 에피택셜 질화 알루미늄 갈륨 배리어 층(540) 사이의 인터페이스(AlGaIn/GaN 인터페이스로 지칭됨)는 헤테로 인터페이스에서의 분극 유도 전하로 인한 2차원 전자 가스(2DEG)를 초래할 수 있다.
- [0049] 방법(400)은 410에서, 채널 영역의 중앙부(546)에서 에피택셜 질화 알루미늄 갈륨 배리어 층(540)에 연결된 게이트 유전체 층(550)을 형성하는 단계, 및 412에서, 게이트 유전체 층(550)에 연결된 게이트 콘택트(552)를 형성하는 단계를 더 포함한다. 방법(400)은 414에서, 채널 영역의 제1 단부(542)에 소스 콘택트(560)를 형성하는 단계를 더 포함한다.
- [0050] 방법(400)은 416에서, 제1 에피택셜 N형 질화 갈륨 층(520)의 일부를 노출시키기 위해 제2 에피택셜 N형 질화

갈륨 층(530)을 통해 채널 영역의 제2 단부(554)에 비아(580)를 형성하는 단계, 및 418에서, 비아(580)를 도전성 물질로 충전하는 단계를 더 포함한다. 방법(400)은 420에서, 채널 영역의 제2 단부(544)에 드레인 콘택트(590)를 형성하는 단계를 더 포함한다. 드레인 콘택트(590)는 비아(580) 내의 도전성 물질을 통해 제1 에피택셜 N형 질화 갈륨 층(520)에 전기적으로 연결된다.

[0051] 따라서, 이러한 방식으로, 에피택셜 질화 알루미늄 갈륨 배리어 층(540), 제2 N형 질화 갈륨 층(530), 및 제1 N형 질화 갈륨 층(520)은 집적된 n-i-n 전압 클램프 다이오드로서 기능할 수 있다. 이 실시예에 의하면, 가공된 기관(510)을 제거할 필요가 없다. 클램프 다이오드는 HEMT(500)의 항복 전압보다 낮은 전압에서 파괴되도록 설계될 수 있으며, 따라서 HEMT(500)를 손상으로부터 보호할 수 있다. 몇몇 실시예에서, 클램프 다이오드는 약 600 V의 항복 전압을 갖도록 구성될 수 있다.

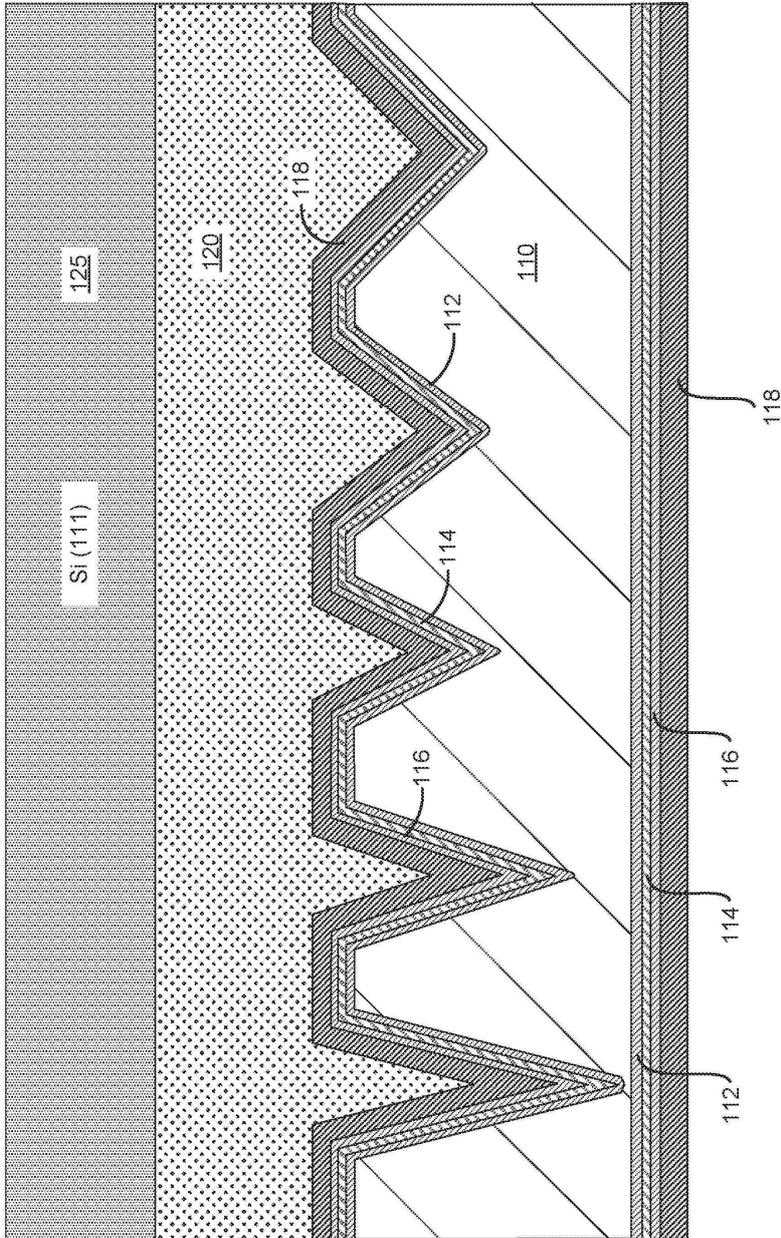
[0052] 방법(400)은 게이트 콘택트(552)에 연결된 하나 또는 그 이상의 게이트 필드 플레이트(FP)(554)를 형성하는 단계 및 소스 콘택트(560)에 연결된 소스 필드 플레이트(FP)(562)를 형성하는 단계를 더 포함할 수 있다. 게이트 FP(552) 및 소스 FP(562)는 적절한 디포지션 비-에피택셜 방법에 의해 디포지션된 저 도핑 비정질 또는 다결정성 실리콘으로 제조될 수 있다. 방법(400)은 디바이스 구조 위에 층간(interlayer) 유전체 층(ILD)(570)을 형성하는 단계를 더 포함할 수 있다. ILD(570)는 예를 들어 SiN_x 를 포함할 수 있다. 몇몇 실시예에서, ILD(570)는 약 50 μm 의 두께를 가질 수 있다. 방법(400)은 ILD(570) 위에 소스 콘택트(560) 및 소스 FP(562)에 연결된 소스 패드(564)를 형성하는 단계 및 오프-플레인(off-plane) 게이트 패드(도 5에 도시되지 않음)를 형성하는 단계를 더 포함할 수 있다.

[0053] 도 4에 도시된 구체적인 단계들은, 본 발명의 일 실시예에 의한 특정 방법(400)을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 수행될 수도 있다. 예를 들어, 본 발명의 대안적인 실시예들은 다른 순서로 위에서 약술된 단계들을 수행할 수 있다. 또한, 도 4의 실시예는 개별 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 서브 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 의하면 추가 단계가 부가되거나 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

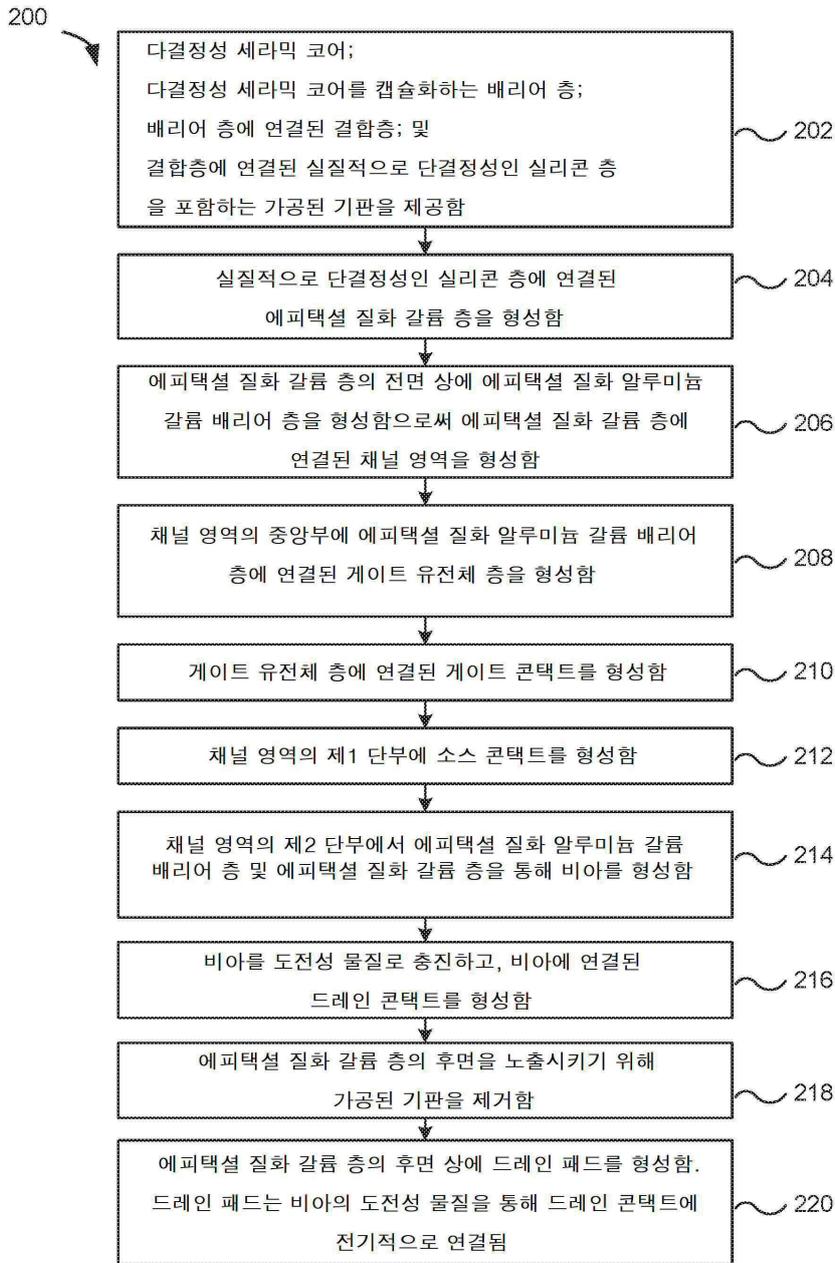
[0054] 또한, 본 명세서에 기술된 예시 및 실시예들은 단지 설명을 위한 것이며, 이에 대한 다양한 수정 또는 변경이 당업자에게 제시될 것이고 이들은 본원의 사상 및 범위와 첨부된 청구범위에 속한다.

도면

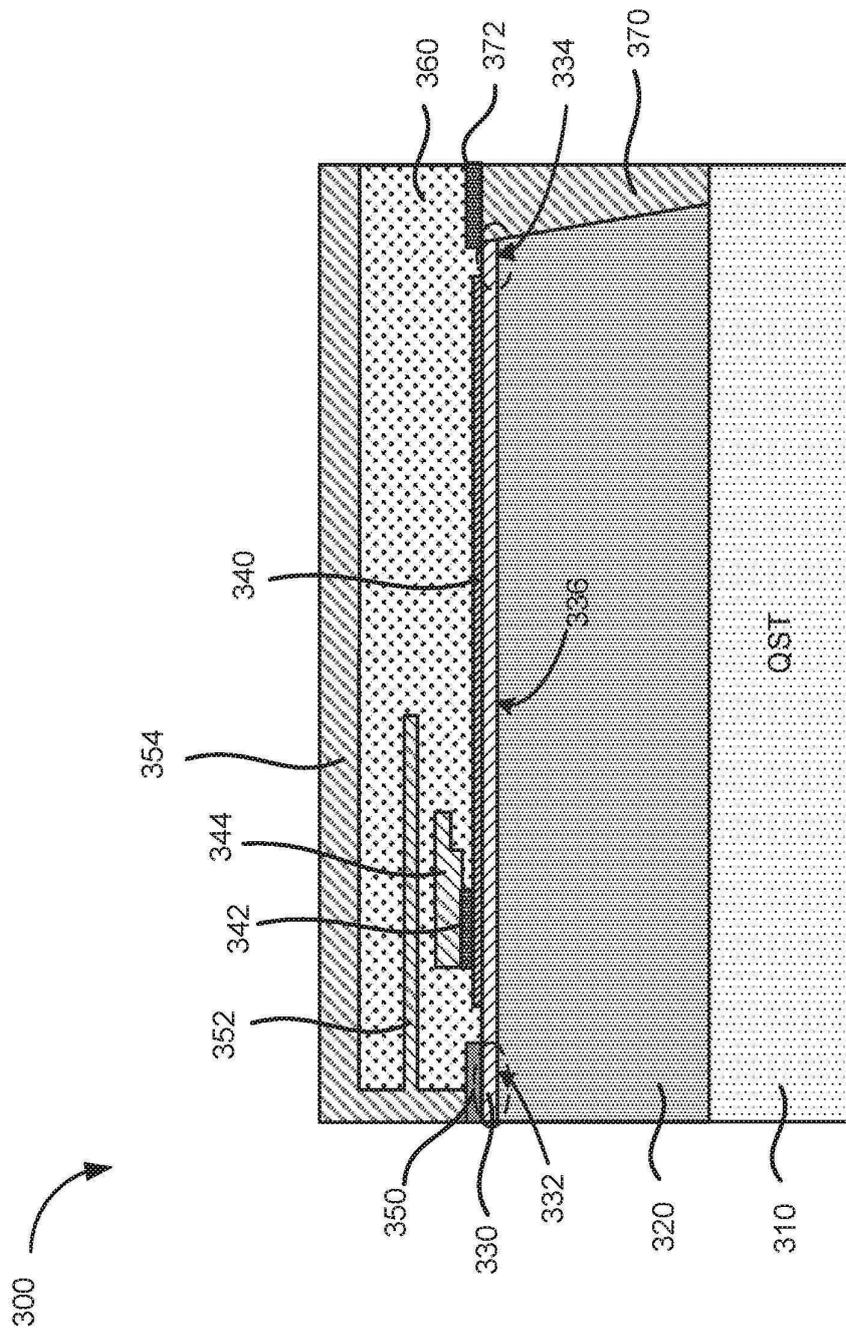
도면1



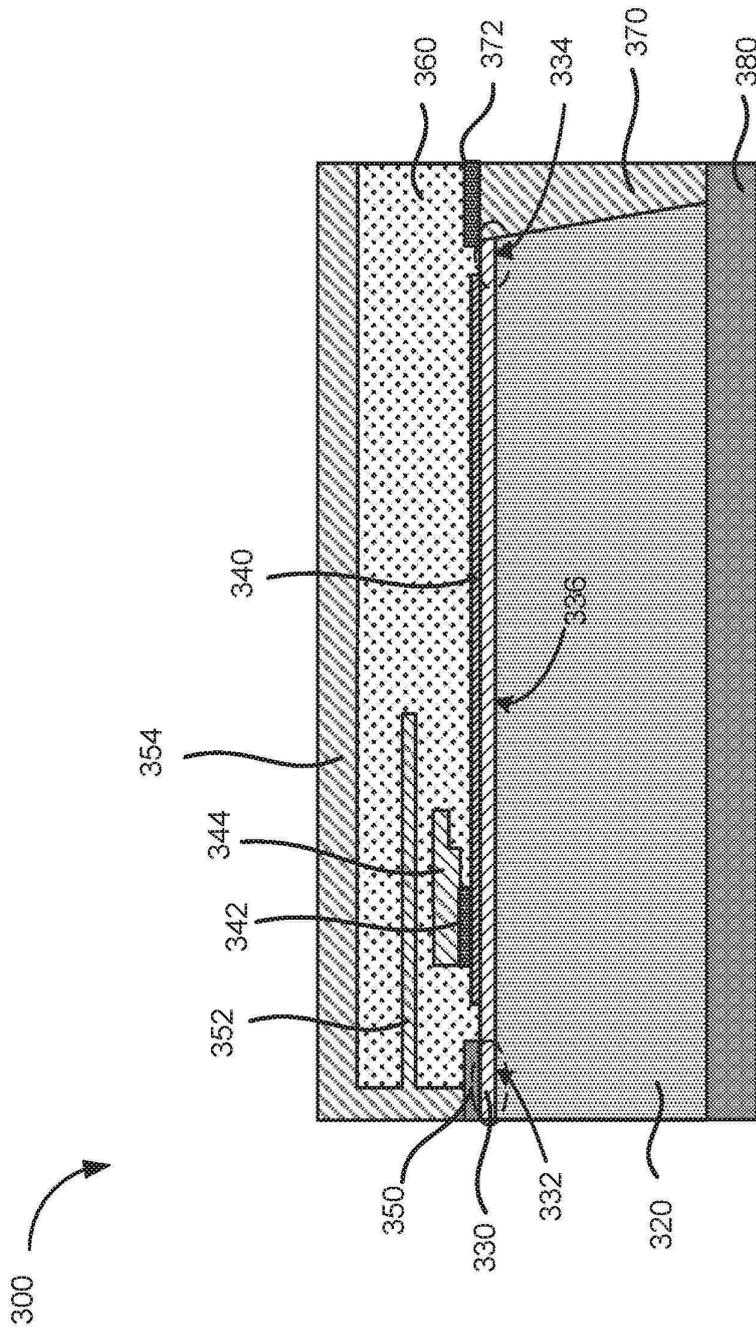
도면2



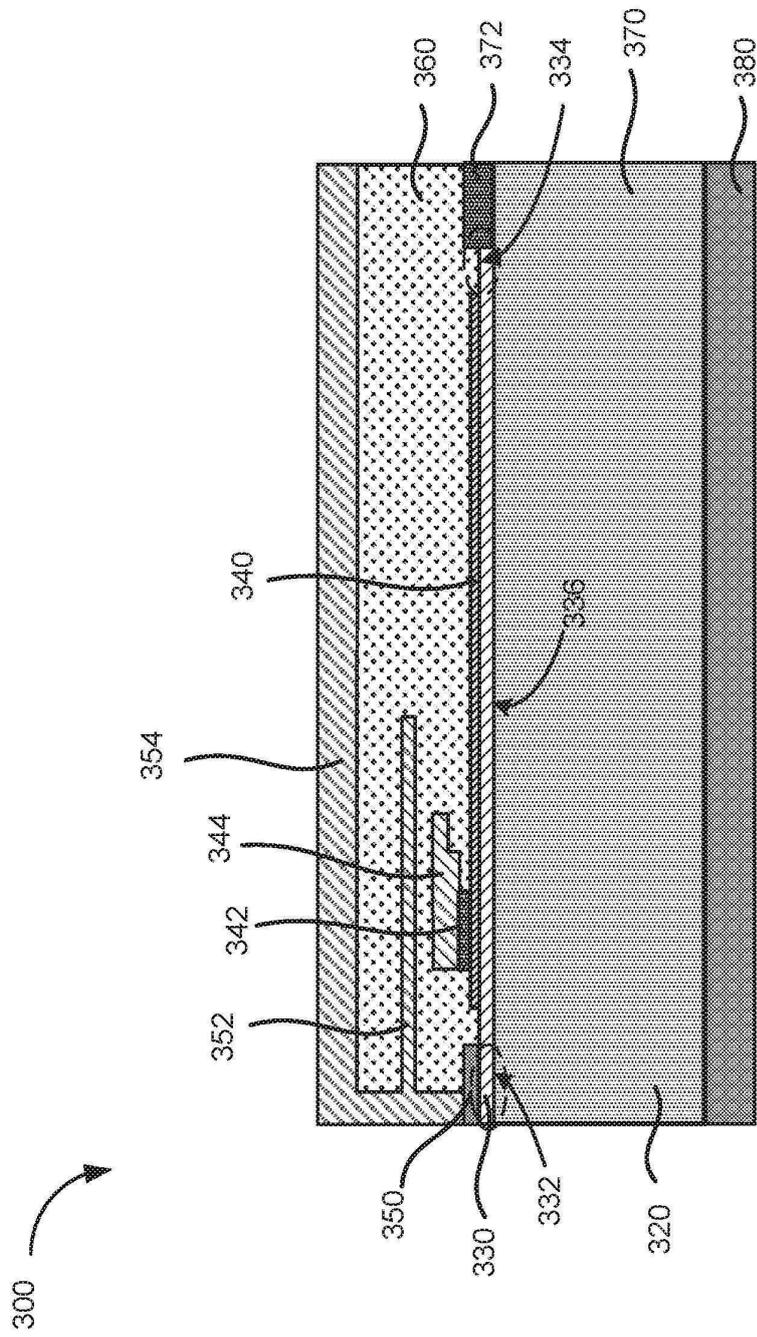
도면3a



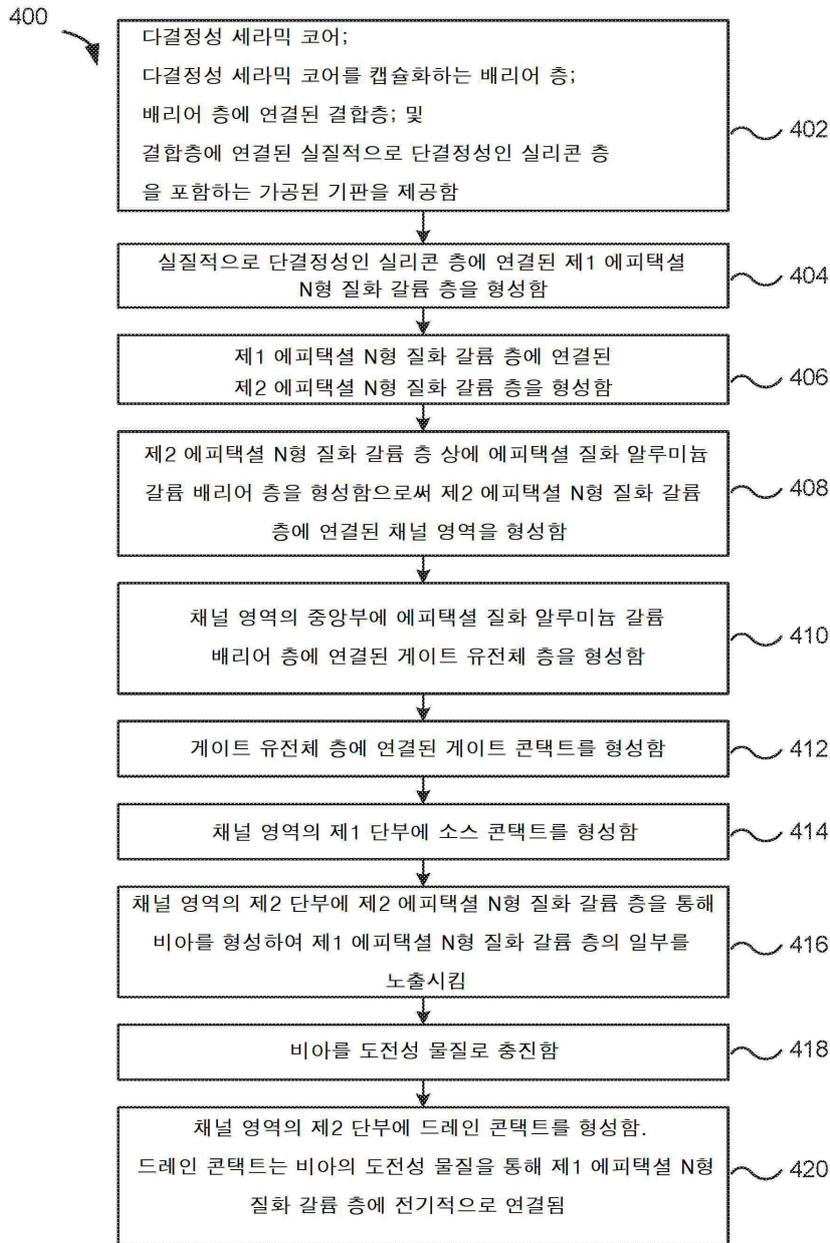
도면3b



도면3c



도면4



도면5

