



(12) 发明专利

(10) 授权公告号 CN 108574002 B

(45) 授权公告日 2022. 05. 10

(21) 申请号 201810022613.3
 (22) 申请日 2018.01.10
 (65) 同一申请的已公布的文献号
 申请公布号 CN 108574002 A
 (43) 申请公布日 2018.09.25
 (30) 优先权数据
 2017-048798 2017.03.14 JP
 (73) 专利权人 艾普凌科有限公司
 地址 日本千叶县
 (72) 发明人 吉村充弘 畠中雅宏
 (74) 专利代理机构 中国专利代理(香港)有限公司
 72001
 专利代理师 何欣亭 郑冀之

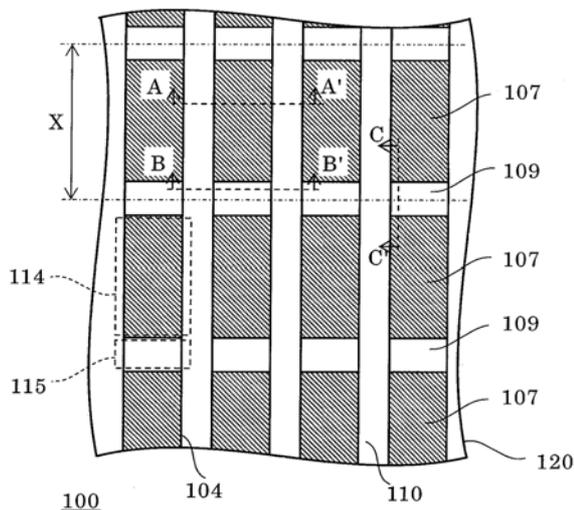
(51) Int.Cl.
 H01L 29/08 (2006.01)
 H01L 29/423 (2006.01)
 H01L 29/78 (2006.01)
 (56) 对比文件
 CN 101060132 A, 2007.10.24
 US 2010123191 A1, 2010.05.20
 JP 2005116649 A, 2005.04.28
 审查员 杨燕

权利要求书1页 说明书8页 附图7页

(54) 发明名称
 半导体装置

(57) 摘要

提供抑制沟槽延伸设置方向的沟道形成密度的降低的半导体装置。半导体衬底中,具备:设置在半导体衬底的背面的背面半导体电极层;形成在背面半导体电极层上的基极区域;从半导体衬底的表面达到背面半导体电极层的上表面的沟槽;覆盖沟槽的内侧的栅极绝缘膜;在沟槽内埋入至第1高度的栅极电极;在栅极电极上埋入至半导体衬底表面的绝缘膜;以及沿沟槽的延伸设置方向交替地配置的第1区域及第2区域,在第1区域具有第1导电型的第1表面半导体层,在第2区域具有从半导体衬底表面到第2高度为止的深度的基极接触区域、和从第1高度到第2高度为止的第2表面半导体电极层。



1. 一种半导体装置,具备:半导体衬底;在所述半导体衬底的表面上相接地设置的第1电极;以及在所述半导体衬底的背面上相接地设置的第2电极,其特征在于,所述半导体衬底具备:

第1导电型的背面半导体电极层,从所述半导体衬底的背面具有既定厚度而设置;

第2导电型的基极区域,形成在所述背面半导体电极层上;

沟槽,具有从所述半导体衬底的表面达到所述背面半导体电极层的上表面的深度;

栅极绝缘膜,覆盖所述沟槽的内侧的底面及侧面,上端部位于所述半导体衬底表面与所述沟槽的底面之间的第1高度;

栅极电极,隔着所述栅极绝缘膜在所述沟槽内埋入至所述第1高度;

绝缘膜,在所述沟槽内的所述栅极绝缘膜及所述栅极电极上埋入至所述半导体衬底表面;以及

第1区域和第2区域,与所述沟槽相接,沿所述沟槽的延伸设置方向交替地配置,

在所述第1区域中,具有第1导电型的第1表面半导体电极层,其具备从所述半导体衬底表面到所述第1高度为止设置的沿着沟槽外侧面的部分、和与所述第1电极相接的部分,

在所述第2区域中,具有:比所述基极区域高浓度的第2导电型的基极接触区域,其具有从所述半导体衬底表面到比所述第1高度高的第2高度为止的深度,并具有至少一部分与所述基极区域相接的部分、和与所述第1电极相接的部分;以及从所述第1高度到所述第2高度为止设置的第2表面半导体电极层,其具备沿着所述沟槽外侧面的部分、在对于所述沟槽的延伸设置方向垂直的面中与所述第1表面半导体电极层相接的部分和与所述基极接触区域的下侧部分相接的上侧部分。

2. 如权利要求1所述的半导体装置,其特征在于:

所述半导体装置为在所述背面半导体电极层与所述第2电极之间具备第2导电型的集电极层的绝缘栅双极晶体管。

半导体装置

技术领域

[0001] 本发明涉及半导体装置,特别涉及具有具备沟槽栅的纵型晶体管的半导体装置。

背景技术

[0002] 作为现有的纵型晶体管之一,例如,如专利文献1所示那样,提出了设为将栅极电极仅设置在形成在基板的沟槽内的下部,将对源极电极和栅极电极进行绝缘的绝缘膜埋入沟槽内上部,且以使其上表面成为与基板表面大致同一平面的方式形成,在该平面上形成源极电极的结构纵型MOSFET。由此,不需要在将栅极电极埋入至沟槽上部,并将绝缘膜形成在基板表面上的情况下所需要的、用于连接形成在绝缘膜上的源极电极与基板表面的源极区域及基极接触区域的接触开口,从而能够缩小邻接的沟槽间隔,减少装置横向的尺寸。

[0003] 进而,在专利文献1(特别参照图2、5)中,公开了沿着条纹状的沟槽,在基板表面交替地配置源极区域和基极接触区域,从而缩小邻接的沟槽的间隔,也能进一步减少装置的横向尺寸的方案。

[0004] 【现有技术文献】

[0005] 【专利文献】

[0006] 【专利文献1】日本特开2003-101027号公报。

发明内容

[0007] 【发明要解决的课题】

[0008] 在专利文献1所公开的、沿着条纹状的沟槽在基板表面交替地配置源极区域和基极接触区域的构造中,需要牺牲形成沟道所需要的源极区域而在基板表面形成基极接触区域,在形成基极接触区域的区域不形成沟道,因此会降低沟槽延伸设置方向上的沟道的形成密度。

[0009] 因而,本发明目的在于提供减小装置的横向尺寸,且抑制沟槽延伸设置方向的沟道形成密度的下降的半导体装置。

[0010] 【用于解决课题的方案】

[0011] 为了解决上述课题,因此,本发明采用如以下的半导体装置。

[0012] 即,一种半导体装置,具备:半导体衬底;在所述半导体衬底的表面上相接地设置的第1电极;以及在所述半导体衬底的背面上相接地设置的第2电极,其特征在于,所述半导体衬底具备:第1导电型的背面半导体电极层,从所述半导体衬底的背面具有既定厚度而设置;第2导电型的基极区域,形成在所述背面半导体电极层上;沟槽,具有从所述半导体衬底的表面达到所述背面半导体电极层的上表面的深度;栅极绝缘膜,覆盖所述沟槽的内侧的底面及侧面,上端部位于所述半导体衬底表面与所述沟槽的底面之间的第1高度;栅极电极,隔着所述栅极绝缘膜在所述沟槽内埋入至所述第1高度;绝缘膜,在所述沟槽内的所述栅极绝缘膜及所述栅极电极上埋入至所述半导体衬底表面;以及第1区域和第2区域,与所述沟槽相接,沿所述沟槽的延伸设置方向交替地配置,在所述第1区域中,具有第1导电型的

第1表面半导体层,其具有从所述半导体衬底表面到所述第1高度为止沿着所述沟槽外侧面的部分、和与所述第1电极相接的部分,在所述第2区域中,具有:比所述基极区域高浓度的第2导电型的基极接触区域,其具有从所述半导体衬底表面到比所述第1高度高的第2高度为止的深度,具有至少一部分与所述基极区域相接的部分、和与所述第1电极相接的部分;以及第2表面半导体电极层,具有从所述第1高度到所述第2高度为止沿着所述沟槽外侧面的部分,在对于所述沟槽的延伸设置方向垂直的面中具有与所述第1表面半导体电极层相接的部分。

[0013] 此外,上述“基极区域”、“基极接触区域”有时还分别被称为“主体区域”、“主体接触区域”等,但是在本说明书中,称为“基极区域”、“基极接触区域”。

[0014] 【发明效果】

[0015] 依据本发明,在位于基极接触区域的横向的沟槽侧面,比基极接触区域更深的位置配置源极区域,能够形成沟道,因此无需在半导体衬底表面在横向并排地设置源极区域和基极接触区域,能够减小装置的横向尺寸。另外,无需为了形成基极接触区域而牺牲形成沟道所需要的源极区域,因此能够抑制沟槽延伸设置方向的沟道形成密度的降低。

附图说明

[0016] 【图1】是示出本发明的第1实施方式的半导体装置的平面构造的图。

[0017] 【图2】是图1所示的半导体装置的A—A'上的截面图。

[0018] 【图3】是图1所示的半导体装置的B—B'上的截面图。

[0019] 【图4】是图1所示的半导体装置的C—C'上的截面图。

[0020] 【图5】是示出本发明的第1实施方式即半导体装置的制造工序的截面图。

[0021] 【图6】是示出本发明的第1实施方式即半导体装置的制造工序的截面图。

[0022] 【图7】是示出本发明的第1实施方式即半导体装置的制造工序的截面图。

[0023] 【图8】是示出本发明的第1实施方式即半导体装置的制造工序的截面图,(a)示出图1所示的半导体装置的A—A'的位置上的构造,(b)示出B—B'的位置上的构造。

[0024] 【图9】是示出本发明的第1实施方式即半导体装置的制造工序的截面图,(a)示出图1所示的半导体装置的A—A'的位置上的构造,(b)示出B—B'的位置上的构造。

[0025] 【图10】是示出本发明的第2实施方式的半导体装置的平面构造的图。

[0026] 【图11】是图10所示的半导体装置的D—D'上的截面图。

[0027] 【图12】是图10所示的半导体装置的E—E'上的截面图。

[0028] 【图13】是图10所示的半导体装置的F—F'上的截面图。

具体实施方式

[0029] 以下,一边参照附图,一边对本发明的半导体装置的实施方式进行说明。

[0030] 图1是用于说明具有示出本发明的第1实施方式的纵型晶体管的半导体装置100的平面图,图2是图1的A—A'上的截面图,图3是图1的B—B'上的截面图,图4是图1的C—C'上的截面图。以下,以纵型N沟道MOSFET为例说明半导体装置100。

[0031] 如图1所示,在第1实施方式的半导体装置100的半导体衬底120的表面,多个沟槽104沿一个方向较长且以条纹状延伸设置。在相邻的沟槽104之间,沿沟槽104的延伸设置方

向交替地配置有第1区域114和第2区域115(省略了最上表面的源极电极111)。

[0032] 在第1区域114中,沿着沟槽104的外侧面形成有N型的第1源极区域107。另外,在第2区域115中,沿着沟槽104的外侧面形成有P型的基极接触区域109。P型的基极接触区域109沿沟槽104的延伸设置方向配置间隔(从某一基极接触区域109到下一个基极接触区域109为止的距离)X,无需全部相同,但是为了使纵型N沟道MOSFET的特性稳定,优选为某一临界值以下。

[0033] 另外,在图1的第1实施方式中,第1区域114和第2区域115在对于沟槽104的延伸设置方向垂直的方向全部以相同形状配置,但是无需局限于如图1那样的形状或配置。例如,第1区域114和第2区域115也可以在对于沟槽104的延伸设置方向垂直的方向隔着沟槽104交替地配置。

[0034] 在沟槽104的上部埋入有绝缘膜110,使在对于沟槽104的延伸设置方向垂直的方向配置的第1区域114彼此及第2区域115彼此分离。

[0035] 图2是示出图1的包括第1区域114和沟槽104的A-A'上的截面的情况的图。在半导体衬底120中,半导体装置100具备:由N型的高浓度区域101和N型的漂移区域102构成的漏极层121;P型的基极区域103;以及N型的第1源极区域107。另外,沟槽104以一定间隔在横向设置多个。为了作为纵型N沟道MOSFET进行动作,半导体装置100成为这样的构造:在半导体衬底120的背面形成有漏极电极112,在半导体衬底120的表面形成有源极电极111,电流沿纵向流过。

[0036] N型的高浓度区域101为成为纵型N沟道MOSFET的漏极的区域,为了在与漏极电极112之间得到欧姆接触,设为 $1 \times 10^{20}/\text{cm}^3$ 以上的杂质浓度。另外,通过设为这样高的浓度而降低电阻率、减小漏极电阻。

[0037] N型的漂移区域102同样地是成为纵型N沟道MOSFET的漏极的区域之中用于确保漏极耐压的区域,根据其期望的耐压值决定杂质浓度和纵向的厚度。

[0038] P型的基极区域103是用于形成纵型N沟道MOSFET的沟道的区域。基极区域103的杂质浓度和纵向的厚度以期望的阈值电压或漏极耐压等决定。基极区域103是从半导体衬底120表面向形成有漂移区域102的N型区域注入P型杂质而形成,因此杂质浓度高于漂移区域102。

[0039] 沟槽104以从半导体衬底120的表面达到漂移区域102的上表面的深度形成。在该沟槽104内,在到第1高度H1的位置为止的内侧面形成有栅极绝缘膜105。在栅极绝缘膜105上到第1高度H1的位置为止,埋入有由多晶硅等构成的栅极电极106。通过向该栅极电极106供给信号,在基极区域103中的沿着沟槽104的外侧面的区域纵向形成有沟道。在从沟槽104的半导体衬底120表面到第1高度H1为止的深度形成有绝缘膜110,对栅极电极106和源极电极111进行电绝缘。

[0040] 第1源极区域107形成在基极区域103上。第1源极区域107的上侧的部分(上表面)与源极电极111相接。关于第1源极区域107的与源极电极111相接的面中的杂质浓度,为了在与源极电极111之间得到欧姆接触,设为 $1 \times 10^{19}/\text{cm}^3$ 以上的浓度。另外,第1源极区域107在沟槽104的外侧面具有从半导体衬底120的表面达到第1高度H1的位置的深度的部分(侧面)。即,在第1区域114中,形成有从一个沟槽104的外侧面经由半导体衬底120表面沿着另一个沟槽104的外侧面包围基极区域103的上部的第1源极区域107。

[0041] 通过这样的结构,从漏极电极112流入的电流经过高浓度区域101、漂移区域102、基极区域103的形成在沟槽104外侧面的沟道而从第1源极区域107流入源极电极111。

[0042] 图3是示出图1的包括第2区域115和沟槽104的B-B'上的截面的情况的图。在半导体装置100的半导体衬底120中,具备:由N型的高浓度区域101和N型的漂移区域102构成的漏极层121;P型的基极区域103;N型的第2源极区域108;以及基极接触区域109。另外,沟槽104以一定间隔在横向设置多个。在该截面中,为了作为纵型N沟道MOSFET动作,半导体装置100成为这样的构造:在半导体衬底120的背面形成漏极电极112,在半导体衬底120的表面形成源极电极111,电流沿纵向流过。

[0043] 第2区域115中的基极接触区域109,在纵向位于从比第1高度H1的位置高的第2高度H2到半导体衬底120表面之间,在横向具有与沟槽104相接的部分(侧面)。另外基极接触区域109下侧的部分(底面)的一部分与基极区域103相接,上侧的部分(上表面)与源极电极111相接。关于基极接触区域109的与源极电极111相接的面中的杂质浓度,为了在与源极电极111之间得到欧姆接触,设为 $1 \times 10^{20}/\text{cm}^3$ 以上的浓度。

[0044] 第2源极区域108具有:沿着沟槽104的外侧面的从第1高度H1到第2高度H2为止的部分(一个侧面);与基极区域103相接的部分(另一个侧面及底面);以及与基极接触区域109的底面相接的部分(上表面)。另外,第2源极区域108的、对于沟槽104的延伸设置方向垂直的部分(侧面),在图3中与未图示的第1源极区域107相接。

[0045] 即,在第2区域115中,形成有:从一个沟槽104的外侧面到另一个沟槽104的外侧面为止距离半导体衬底120的表面具有一样的深度的基极接触区域109;以及在基极接触区域109下的沿着沟槽104的外侧面的区域与第1源极区域107连接的第2源极区域108。

[0046] 通过这样的结构,从漏极电极112流入的电流经过高浓度区域101、漂移区域102、基极区域103的形成在沟槽104外侧面的沟道而流入第2源极区域108。向第2源极区域108流入的电流进一步沿着沟槽104的延伸设置方向,流向图3中未图示的第1源极区域107,然后流入源极电极111。

[0047] 在第1实施方式中,无需在形成基极接触区域109的第2区域115中,在半导体衬底表面横向并排地设置源极区域和基极接触区域,能够缩小邻接的沟槽的间隔,减小半导体装置的横向的尺寸。

[0048] 另外,为了形成基极接触区域,无需牺牲形成沟道所需要的源极区域,能够抑制沟槽延伸设置方向的沟道形成密度的降低,实现导通电阻的减小。

[0049] 另外,第1源极区域107、第2源极区域108、基极接触区域109在半导体衬底120表面与同一源极电极111相接,被供给同电位的源极电位。

[0050] 通过这样的结构,源极电位从源极电极111通过基极接触区域109而供给到基极区域103,抑制了意外的寄生元件的动作,确保稳定的MOSFET动作。

[0051] 第1源极区域107和第2源极区域108的N型杂质为相同杂质浓度,设定为比基极接触区域109低1位数左右的杂质浓度。如后面说明的那样,这是为了能够在图3所示的沟槽104的从第1高度H1的高度到半导体衬底120表面为止的外侧面以中途的工序形成全部第2源极区域108,在其后的基极接触区域109形成工序中,使得以基极接触部区域109从第2高度H2翻回(打ち返す)到半导体衬底120表面。通过这样处理,能够抑制杂质浓度偏差而稳定地形成从沟槽104的外侧面的第1高度H1到第2高度H2为止的第2源极区域108、和从第2高度

H2到半导体衬底120表面为止的基极接触区域109。

[0052] 如图4的截面图所示,在图1的包括第1区域114和第2区域115的沟槽104的外侧面附近的C—C'上的截面中,第2源极区域108形成在基极接触区域109的下表面,与邻接的第1源极区域107连接。因而,从漏极电极112通过沟道而流入第2源极区域108的电流,在基极接触区域109下的从第1高度H1到第2高度H2的宽度的第2源极区域108横向行进,在到达第1源极区域107后,纵向流入源极电极111。

[0053] 如之前描述的那样,基极接触区域109具有将源极电位向基极区域103供给的作用。然而,难以将距离基极接触区域109较远的位置、例如图1的间隔X之间的中间地点的基极区域103稳定地固定在源极电位。其理由是因为通过漏极电压的施加,基于在基极区域103与漂移区域102的接合面产生的轰击离子或泄漏等的电流,从产生轰击离子或泄漏的位置向基极接触区域109流入。因此,轰击离子或泄漏的产生部位距离基极接触区域109越远,基极电阻分量就会越高,在该位置中对于源极电位越容易引起电压上升。

[0054] 若基极区域103的某一位置上的电位相对于源极电位增大,则该位置中的由源极区域/基极区域/漂移区域构成的NPN寄生双极晶体管容易动作,难以使纵型N沟道MOSFET的特性稳定。为了抑制那样的不稳定性,进行了扩大基极接触区域、或者将图1的间隔X减小到某一临界值以下,有效地减小基极电阻。然而,这同时会牺牲形成沟道所需要的源极区域,因此降低沟槽延伸设置方向的沟道形成密度,无法避免晶体管的导通电阻增大。

[0055] 第1实施方式中,即便扩大基极接触区域109,或者减小图1中的间隔X的值,也能在全部的沟槽的外侧面中使源极区域(107、108)和漂移区域102在纵向对置,在其间的基极区域103中形成沟道。因而,一边确保稳定的晶体管动作一边增加沟槽延伸设置方向的沟道形成密度,能够实现导通电阻的减小。

[0056] 接着基于图5至图9,以纵型N沟道MOSFET为例,一边参照附图一边对本发明的第1实施方式所涉及的半导体装置的制造方法进行说明。

[0057] 首先,准备如图5所示的、具备N型的高浓度区域101、和N型且杂质浓度比高浓度区域101低的漂移区域102的半导体衬底120。

[0058] 接着,如图6所示,通过离子注入和热扩散来形成P型的基极区域103。接着,在达到N型的漂移区域102的上表面的深度,在半导体衬底120表面形成成为沿一个方向较长地延伸设置的条纹状的布局的沟槽104。接着,在包含沟槽104的内侧面和底面的区域形成栅极绝缘膜105。

[0059] 接着,如图7所示,将多晶硅膜以不留间隙地埋入沟槽104的方式进行沉积,为了具有导电性而注入高浓度的杂质。接着,利用回蚀刻法部分除去多晶硅膜,直至成为多晶硅膜埋入到沟槽104内的第1高度H1的高度的状态为止,形成栅极电极106。

[0060] 至此为止的工序的顺序并不限于此,只要能得到图7的构造的制造工序为任何顺序都没有关系。例如,即便设为在形成沟槽104的工序之后形成基极区域103的方法也没有关系。

[0061] 接着,如图8所示以一次的工序同时形成第1源极区域107和第2源极区域108。图8(a)是与图1的A—A'上的第1区域114的第1源极区域107形成工序对应的截面图。图8(b)是与图1的B—B'上的第2区域115的第2源极区域108形成工序对应的截面图。

[0062] 首先,在半导体衬底120整个面涂敷光致抗蚀剂113,并以使光致抗蚀剂113仅残留

在图1的第2区域115上的方式,以光刻技术对光致抗蚀剂113进行构图。接着,以能成为 $1 \times 10^{19}/\text{cm}^3$ 左右的浓度那样的注入量,如I1所示以从对于半导体衬底120的表面垂直的方向倾斜10度以上的角度注入N型的杂质。此时,在图1的A-A'中,由于没有光致抗蚀剂,所以如图8(a)那样,在半导体衬底120表面、和沟槽104的外侧面在跨越第1高度H1以上的范围的区域,形成N型的第2源极区域107。另一方面,在图1的B-B'中,由于在半导体衬底120表面有光致抗蚀剂113,所以如图8(b)那样,在沟槽104的外侧面在从半导体衬底120的表面到第1高度H1为止的区域形成N型的第2源极区域108。

[0063] 在形成该N型源极区域107、108时,为了形成在多个沟槽104的外侧面,如图8的I1所示,在离子注入中,无论采用以带倾斜的状态进行旋转注入、或改变角度的方向而多次注入的哪种方法都没有关系。

[0064] 接着,如图9所示,以使氧化硅膜或氮化硅膜等的绝缘膜不留间隙地埋入沟槽104内的栅极电极106上的方式进行沉积。接着,通过回蚀刻法来除去半导体衬底120上的绝缘膜,直至成为在沟槽104内绝缘膜埋入到半导体衬底120表面的高度的状态为止,形成绝缘膜110。

[0065] 接着形成基极接触区域109。图9(a)是与图1的A-A'上的基极接触区域109形成工序对应的截面图。图9(b)是与图1的B-B'上的基极接触区域109形成工序对应的截面图。

[0066] 首先,在半导体衬底120表面整个面涂敷光致抗蚀剂113,以使光致抗蚀剂113仅在图1的第2区域115上开口的方式,以光刻技术对光致抗蚀剂113进行构图。在此如图9(b)所示,除去基极接触区域109之间的沟槽104上的光致抗蚀剂也没有关系。接着,以成为 $1 \times 10^{20}/\text{cm}^3$ 左右的浓度那样的注入量注入P型的杂质。关于P型杂质的注入角度,任何角度都没有关系,但是优选为用于抑制沟道现象的7度以下的角度。

[0067] 如图9(a)所示,在图1的A-A'上的第1区域114,覆盖有光致抗蚀剂113,不会被注入P型杂质I2。另外,如图9(b)所示,在图1中的B-B'上的第2区域115,P型杂质I2注入到半导体衬底120表面上,从半导体衬底120表面到第2高度H2为止的深度的N型的第2源极区域108的区域被替换为基极接触区域109。

[0068] 接着,虽然未图示,但是在半导体衬底120表面整个面形成源极电极111,然后,在半导体衬底120背面整个面形成漏极电极112,从而能得到如图1至图4所示的第1实施方式的半导体装置100。

[0069] 图10是用于说明示出本发明的第2实施方式的、具有纵型晶体管的半导体装置200的平面图,图11是图10的D-D'上的截面图,图12是图10的E-E'上的截面图,图13是图10的F-F'上的截面图。以下,与第1实施方式同样地,以纵型N沟道MOSFET为例说明半导体装置200。

[0070] 如图10所示,在第2实施方式的半导体装置200的半导体衬底220表面,以沿一个方向较长地延伸设置的条纹状对沟槽204进行布局。在该各沟槽204之间,第1区域214和第2区域215沿沟槽204的延伸设置方向交替配置(省略最上表面的源极电极211)。

[0071] 在第1区域214中,沿着沟槽204的外侧面形成有N型的第1源极区域207。另外,与第1实施方式不同,在第2区域215中,N型的第2源极区域208以使一个部分(侧面)与沟槽204的外侧面相接的方式设置。进而,P型的基极接触区域209以与N型的第2源极区域208的另一个部分(侧面)相接的方式设置。

[0072] 在图10的第2实施方式中,第1区域214和第2区域215在对于沟槽204的延伸设置方向垂直的方向全部以相同形状配置,但是无需特别使形状或位置一致这一点与第1实施方式是同样的。

[0073] 在沟槽204的上部埋入有绝缘膜210,使在对于沟槽204的延伸设置方向垂直的方向配置的第1区域214彼此及第2区域215彼此分离。

[0074] 另外,虽然未图示,但是图10的第1区域214附近中的截面构造,采取与表示第1实施方式的第1区域的截面的图2同样的结构。不过,关于第1源极区域207的与源极电极111相接的面中的杂质浓度,为了在与源极电极211之间得到欧姆接触而设为 $1 \times 10^{20}/\text{cm}^3$ 以上的浓度这一点与第1实施方式不同。

[0075] 图11是示出图10的包括第2区域215和沟槽204的D—D'上的截面的情况的图。在半导体装置200的半导体衬底220中,具备:由N型的高浓度区域201和N型的漂移区域202构成的漏极层221;P型的基极区域203;N型的第2源极区域208;以及基极接触区域209。

[0076] 第2区域215中的基极接触区域209,在纵向位于从比第1高度H1的位置高的第2高度H2到半导体衬底220表面之间。另一方面,与第1实施方式不同,在横向具有与第2源极区域208相接的部分(侧面)。另外基极接触区域209下侧的部分(底面)与基极区域203相接,上侧的部分(上表面)与源极电极211相接。关于基极接触区域209的与源极电极211相接的面中的杂质浓度,为了在与源极电极211之间得到欧姆接触而设为 $1 \times 10^{19}/\text{cm}^3$ 以上的浓度这一点也与第1实施方式不同。

[0077] 第2源极区域208具有:沿着沟槽204的外侧面的从第1高度H1到半导体衬底220表面为止的高度的部分(一个侧面);与基极区域203相接的部分(另一个侧面的一部分及底面);与基极接触区域209的侧面相接的部分(另一个侧面的一部分);以及与源极电极211相接的部分(上表面)。关于第2源极区域208的与源极电极211相接的面中的杂质浓度,为了在与源极电极211之间得到欧姆接触而设为 $1 \times 10^{20}/\text{cm}^3$ 以上的浓度。

[0078] 在第2实施方式中,第1源极区域207和第2源极区域208的N型杂质为相同杂质浓度,设定为比基极接触区域209高1位数左右的杂质浓度。这是因为在图11所示的沟槽204的从第1高度H1的高度到半导体衬底220表面为止的外侧面以中途的工序形成全部第2源极区域208,因此使得在随后的基极接触区域209形成工序中,不会以基极接触区域209从第2高度H2翻回到半导体衬底220表面。通过这样处理,能够抑制杂质浓度偏差而稳定地形成从沟槽204的外侧面的第1高度H1到半导体衬底220表面为止的第2源极区域208。

[0079] 如图12所示,在图10的E—E'上的截面中,第1源极区域207和基极接触区域209在沟槽204的延伸设置方向相接地配置。基极接触区域209的下表面与基极区域203相接,起到将基极区域203的电位固定于源极电位的作用。该构造也与第1实施方式同样。

[0080] 图13中示出图10的F—F'上的沟槽204的外侧面附近的截面。第2源极区域208形成在从半导体衬底220表面到第1高度H1的高度为止的区域,而没有形成基极接触区域209这一点与第1实施方式不同。第1源极区域207和第2源极区域208在沟槽204的延伸设置方向相接地配置。

[0081] 在第1实施方式的图4中,从沟道向第2源极区域108流入的电流,朝着第1源极区域107在横向流动,从第1源极区域107向正上方的源极电极111流动。因此纵型晶体管的导通电阻受基于电流路径的长度的源极电阻的影响。相对于此,在第2实施方式的图13中,从沟

道向第2源极区域208流入的电流,不受基极接触区域209的影响而直接向第2源极区域208的正上方的源极电极211流入。因此,第2区域215的源极电阻由于电流路径的长度短于第1实施方式,所以能够减小到与第1区域214的源极区域207的源极电阻相同程度,能够抑制导通电阻的增大。

[0082] 进而,第1源极区域207和第2源极区域208杂质浓度比第1实施方式的第1源极区域107和第2源极区域108还高1位数左右,是低电阻率。因此,在这一点上,第1源极区域207和第2源极区域208对减小源极电阻及抑制导通电阻的增大做出了贡献。

[0083] 即,第2实施方式通过采用如以上那样的构造,与第1实施方式相比以源极电阻能够减小的量进而能够实现导通电阻的减小。

[0084] 第1实施方式中将第1源极区域107和第2源极区域108的杂质浓度的下限设为 $1 \times 10^{19}/\text{cm}^3$,与之相对,第2实施方式的半导体装置200的制造方法在将第1源极区域207和第2源极区域208的杂质浓度设为 $1 \times 10^{20}/\text{cm}^3$ 以上的浓度这一点上不同。另外,使基极接触区域209的杂质浓度的下限从第1实施方式的 $1 \times 10^{20}/\text{cm}^3$ 设为 $1 \times 10^{19}/\text{cm}^3$ 以上的浓度。除此以外的制造方法与第1实施方式中说明的以图5至图9说明的方法相同。

[0085] 以上所描述的、第1实施方式和第2实施方式的构造,并不局限于至此作为例子所描述的纵型N沟道MOSFET,显然还能通过改变导电型的极性而适用于纵型P沟道MOSFET。进而,通过在漏极区域与漏极电极之间插入与漏极区域相反导电型的集电极层,还能够适用于绝缘栅双极晶体管。这能够通过使形成在半导体衬底的背面侧的高浓度区域的极性相反而实现。

[0086] 另外,对本发明的实施方式进行了说明,但本发明并不局限于上述实施方式,在不脱离本发明的宗旨的范围内显然能够进行各种变更。例如,沟槽的布局形状未必一定为直线,只要沿一个方向延伸设置就能在各种形状中适用本发明。

[0087] 标号说明

[0088] 101 高浓度区域;102 漂移区域;103 基极区域;104 沟槽;105 栅极绝缘膜;106 栅极电极;107 第1源极区域;108 第2源极区域;109 基极接触区域;110 绝缘膜;111 源极电极;112 漏极电极;113 光致抗蚀剂;114 第1区域;115 第2区域;120 半导体衬底;121 漏极层;H1 第1高度;H2 第2高度;I1 N型杂质注入;I2 P型杂质注入。

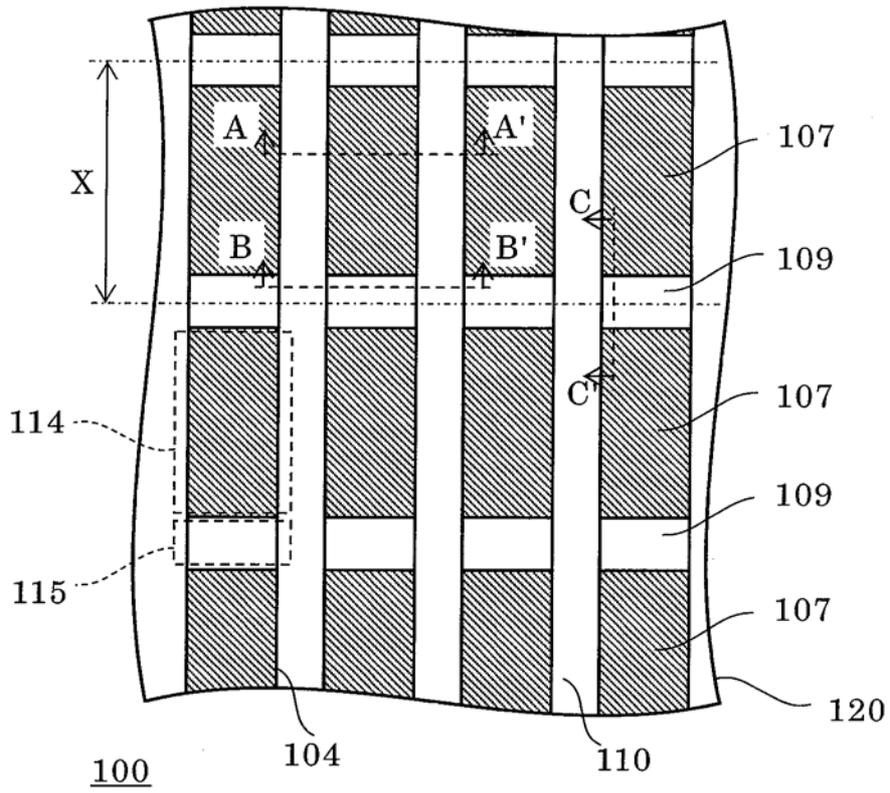


图 1

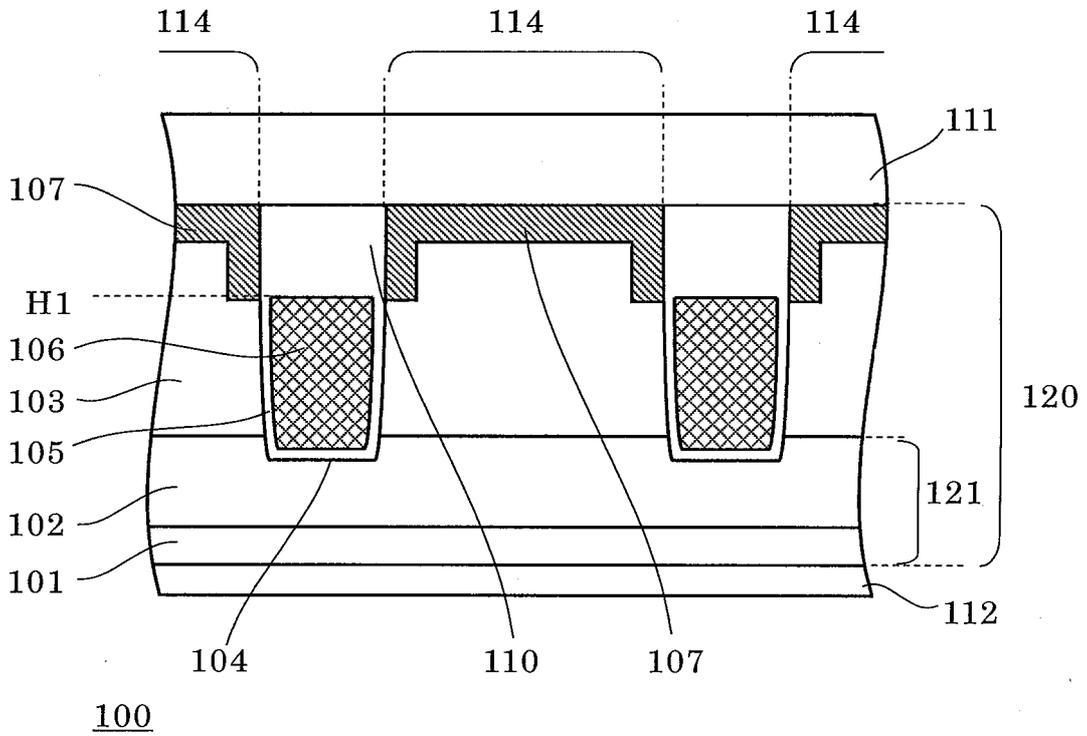


图 2

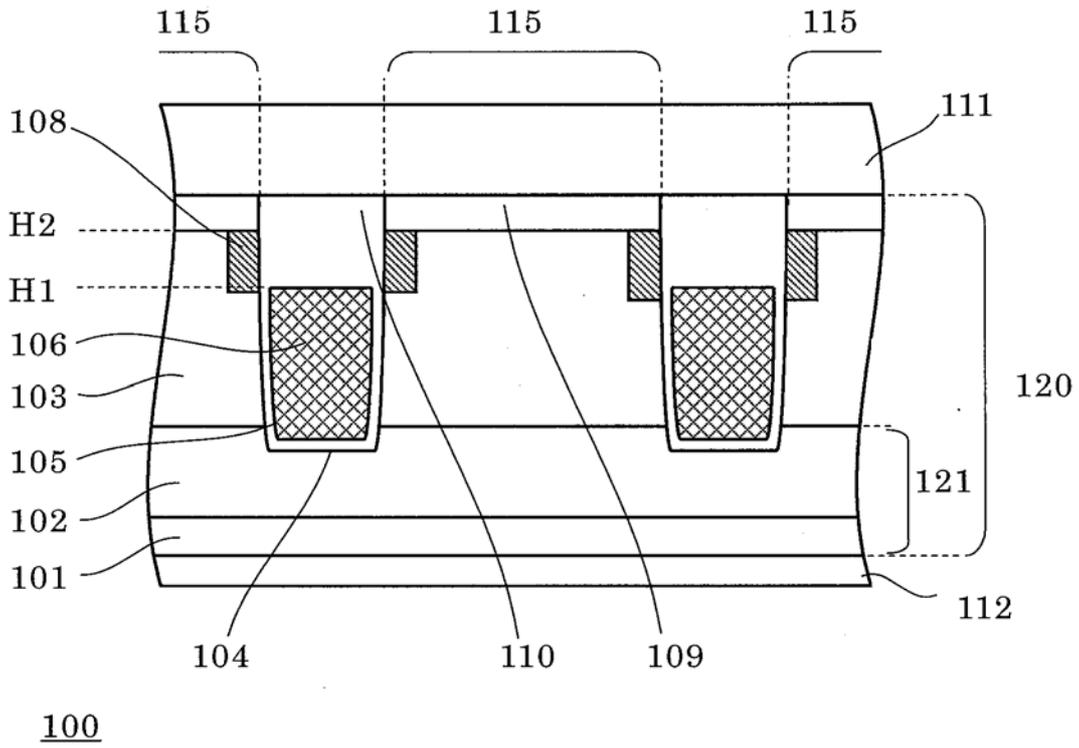


图 3

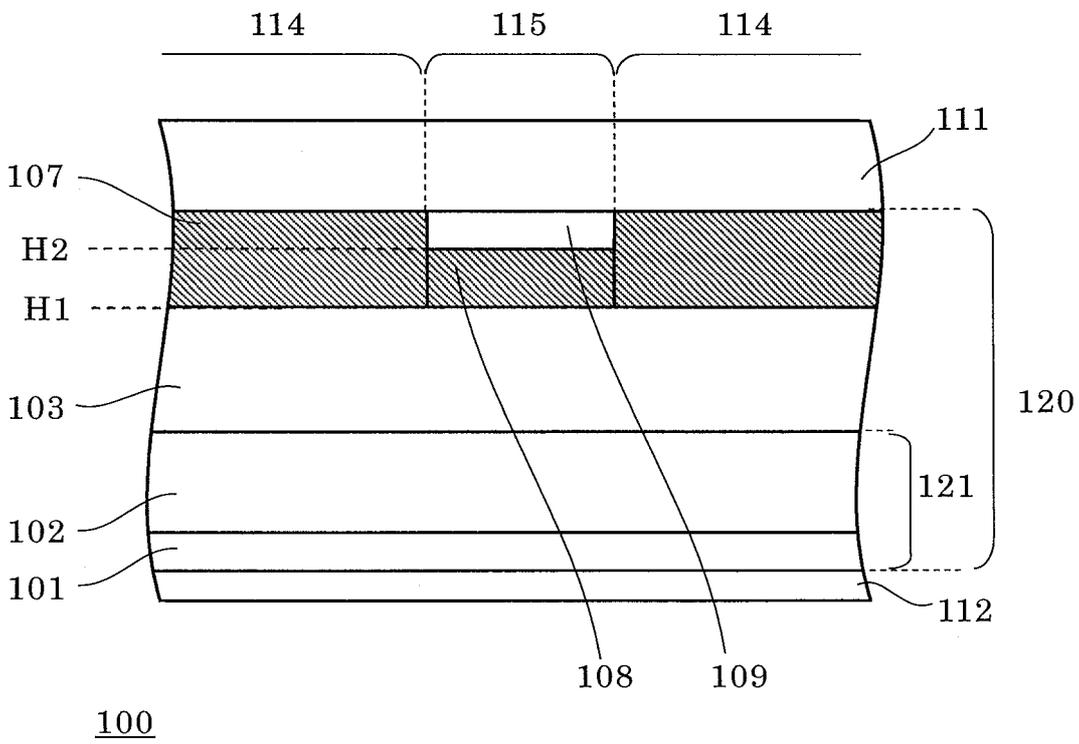


图 4

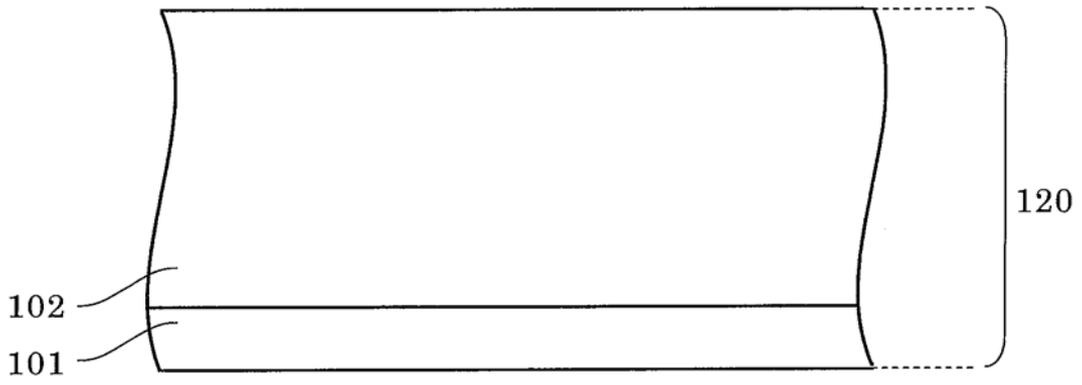


图 5

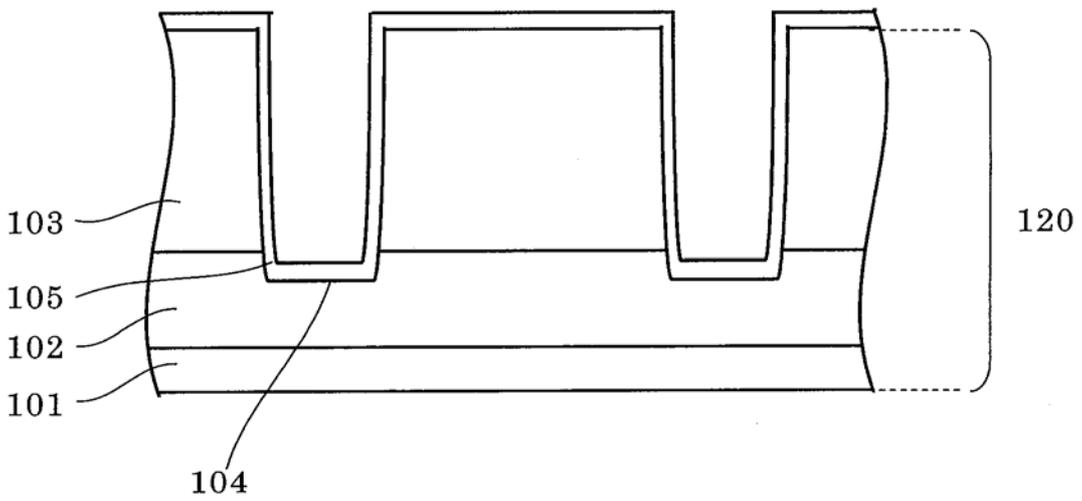


图 6

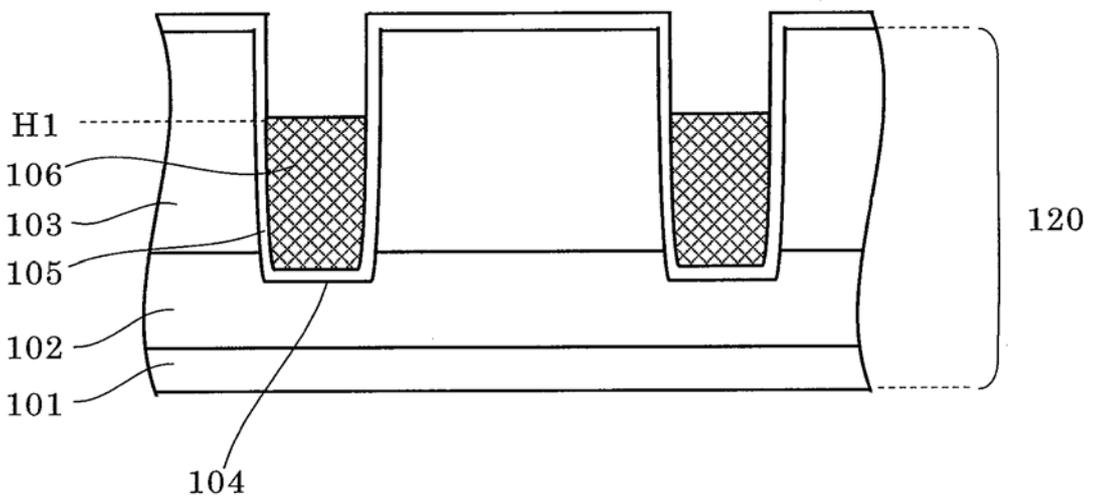
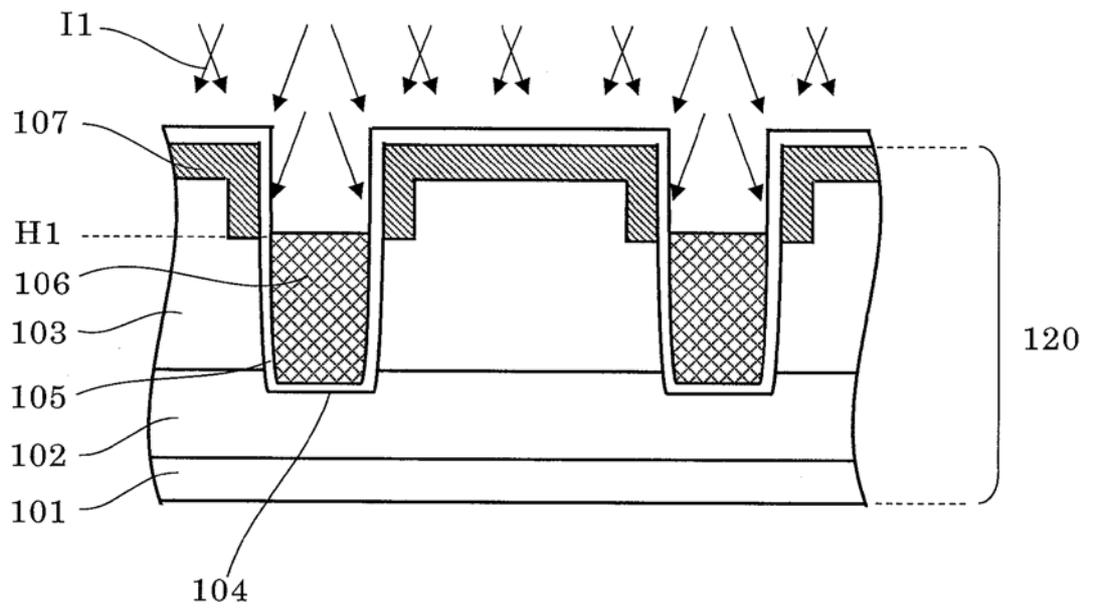


图 7

(a)



(b)

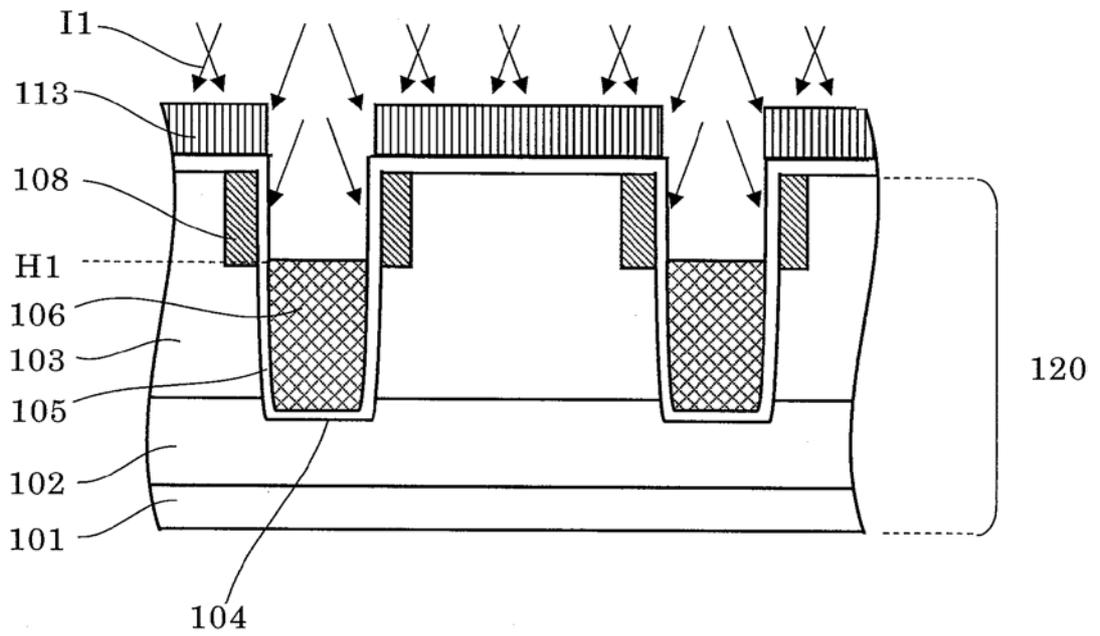
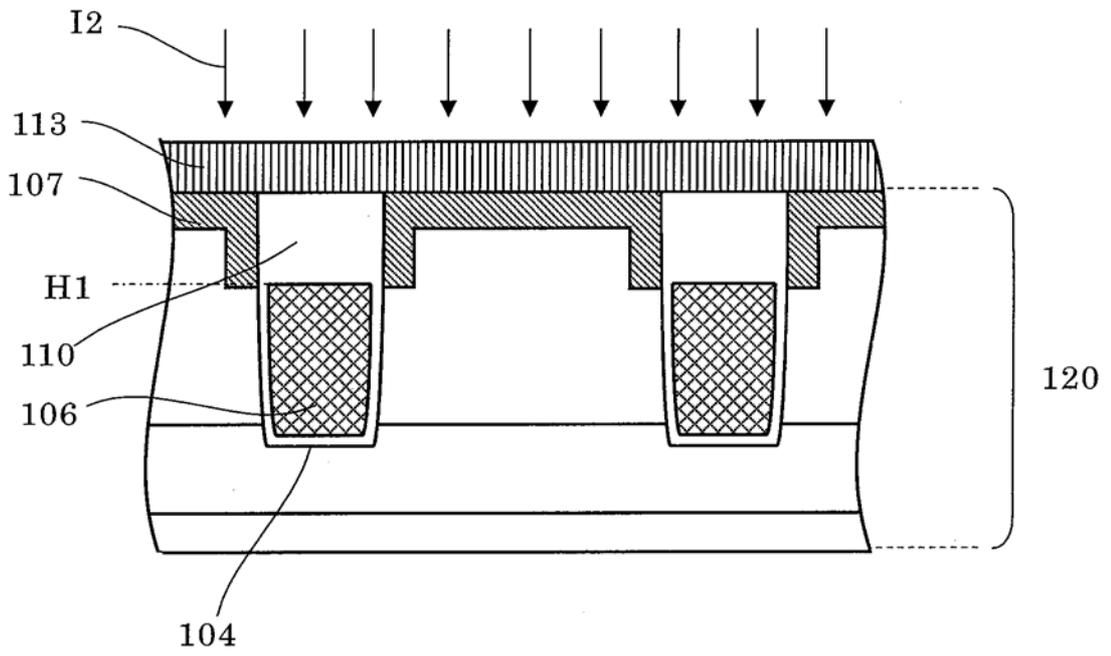


图 8

(a)



(b)

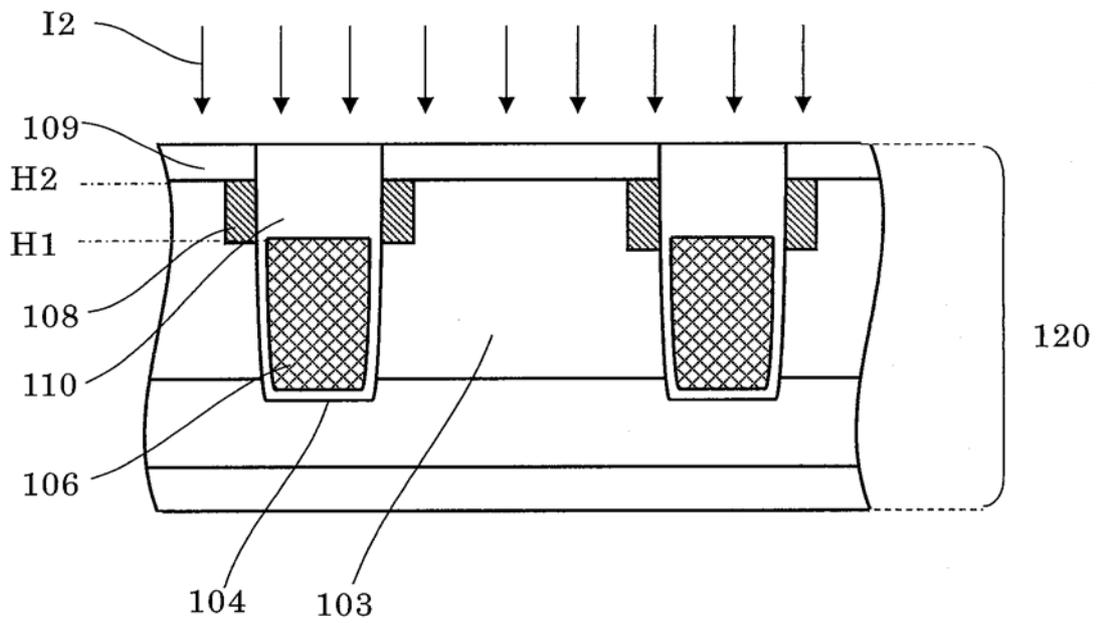


图 9

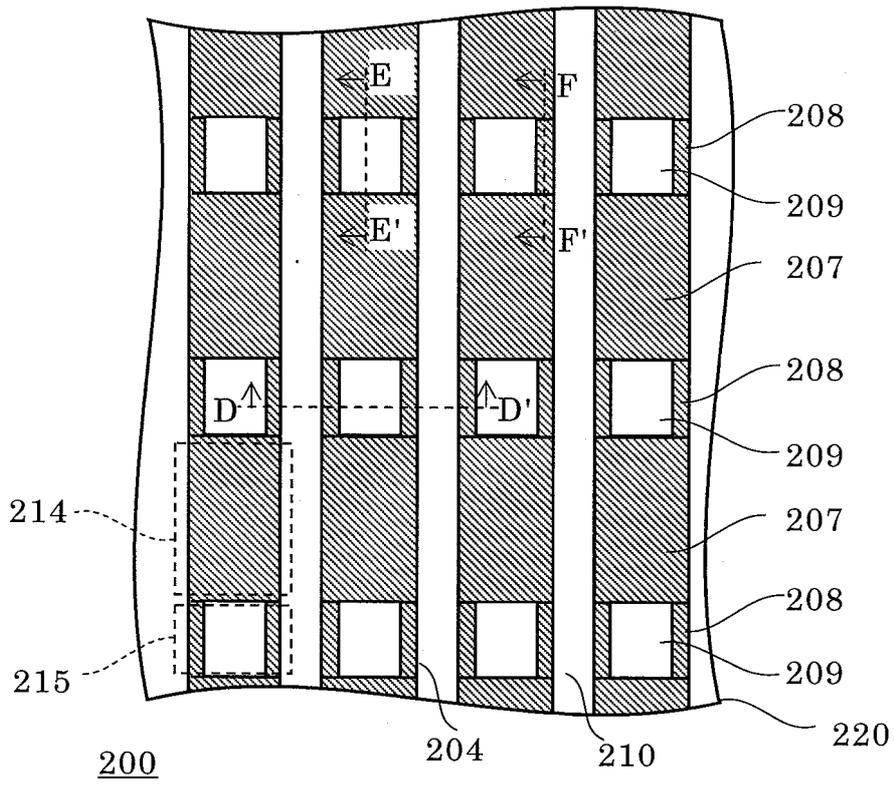


图 10

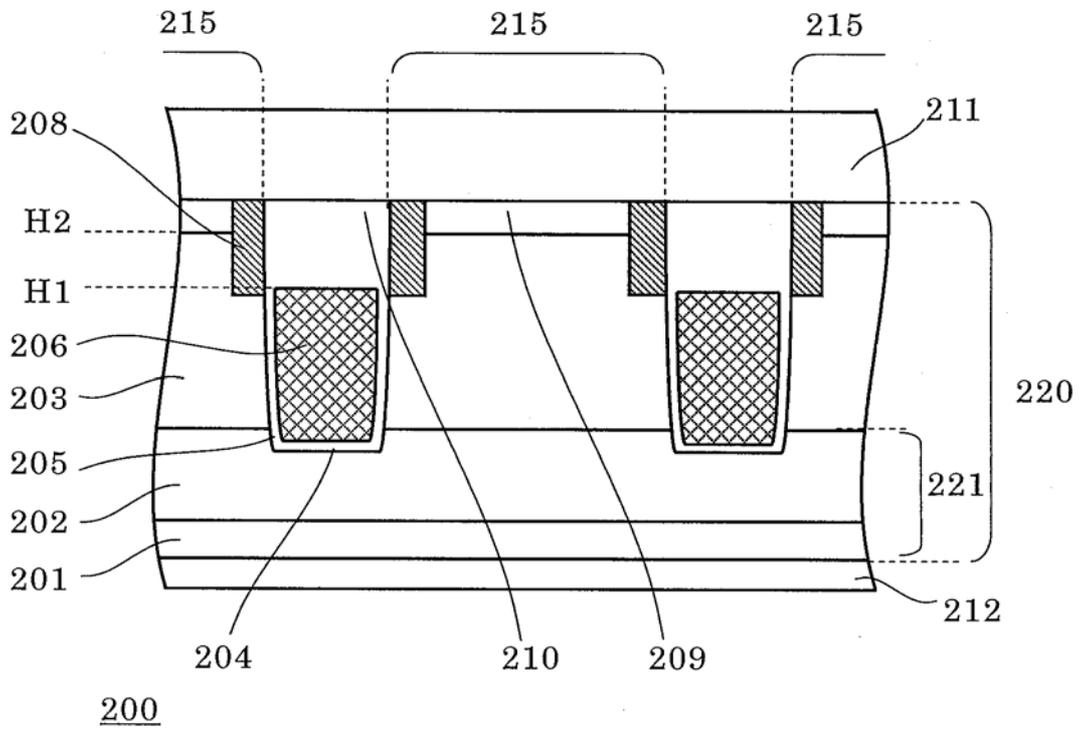


图 11

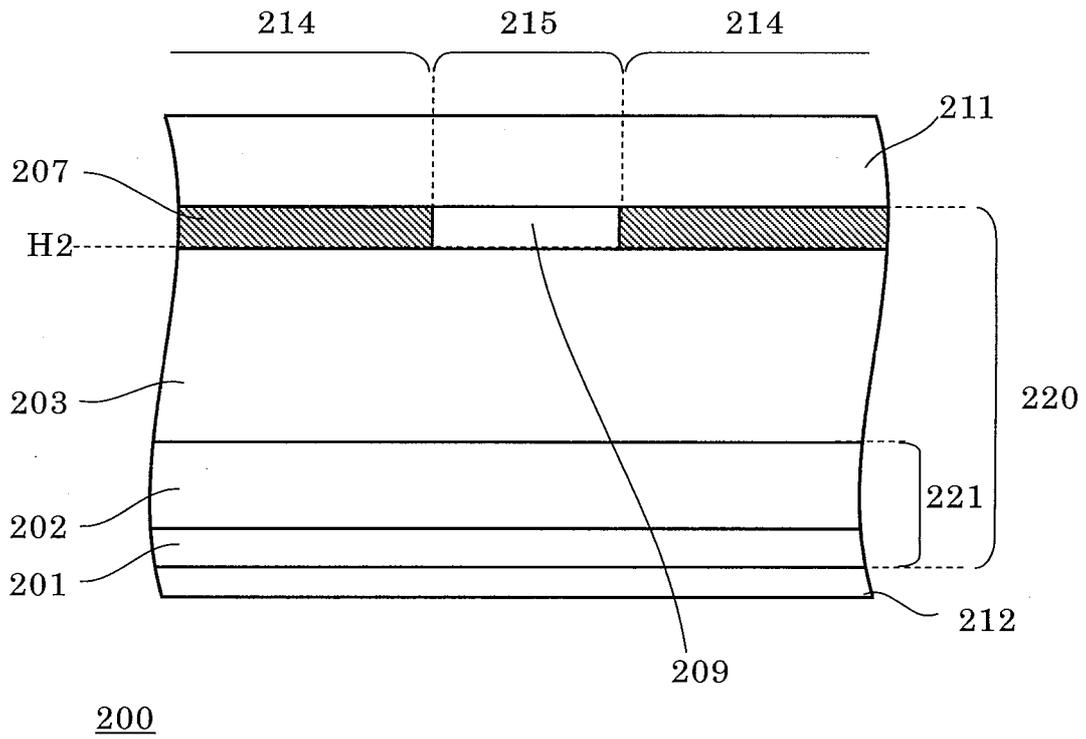


图 12

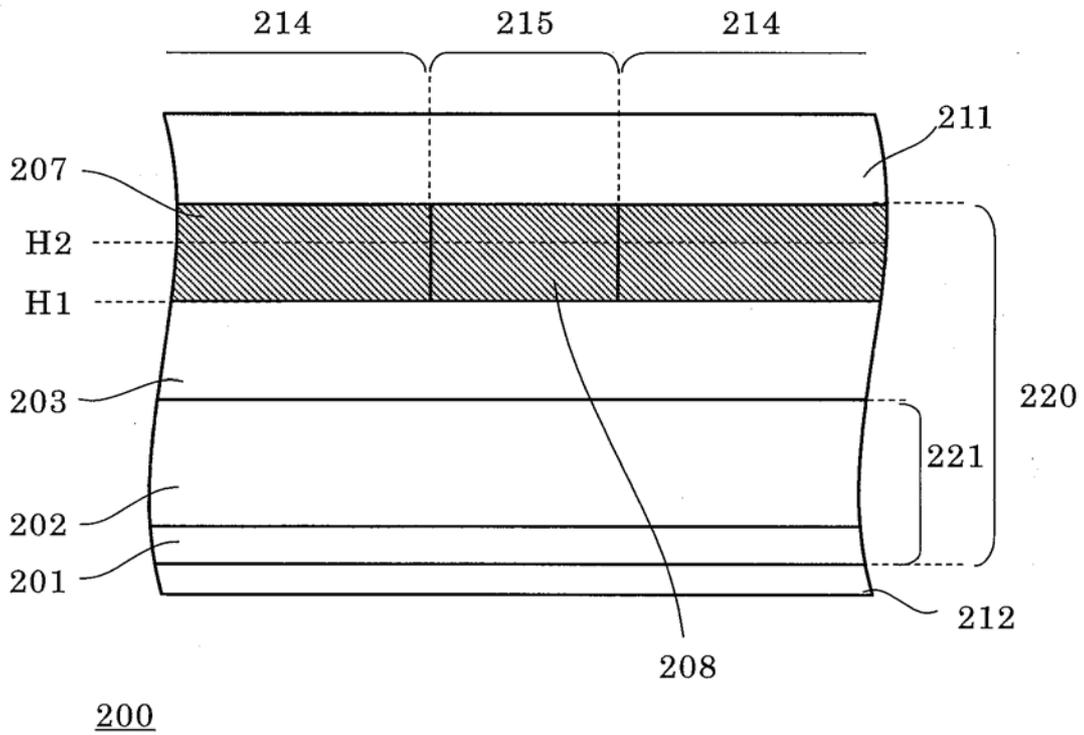


图 13