



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월16일
 (11) 등록번호 10-1621027
 (24) 등록일자 2016년05월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2006.01)
 (21) 출원번호 10-2009-0133924
 (22) 출원일자 2009년12월30일
 심사청구일자 2014년10월30일
 (65) 공개번호 10-2011-0077368
 (43) 공개일자 2011년07월07일
 (56) 선행기술조사문헌
 KR1020090088617 A*
 KR1020090097565 A*
 JP2009139672 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
 경기 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
백주현
 충남 천안시 서북구 월봉4로 140-16, 101동 804호
 (쌍용동, 월봉벽산태영아파트)
정금동
 서울특별시 서초구 주흥13길 32, 101동 1104호 (반포동, 영창반포드림빌)
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 9 항

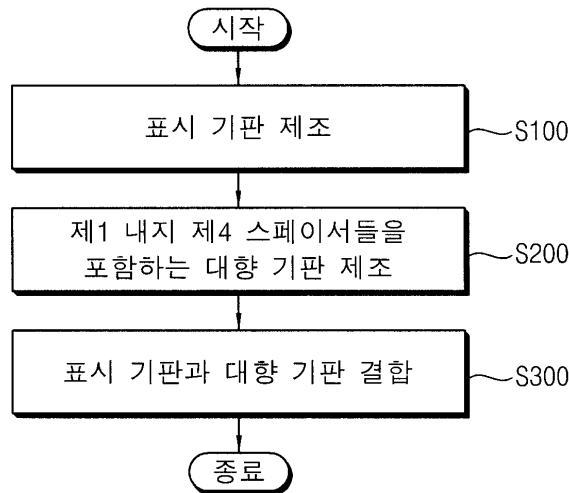
심사관 : 김민수

(54) 발명의 명칭 **표시 장치 및 이의 제조 방법**

(57) 요약

표시 장치는 표시 기판 및 대향 기판을 포함한다. 표시 기판은 제1 기판 및 제1 기판 상에 형성된 복수의 화소 전극들을 포함한다. 대향 기판은 제1 기판과 대향하는 제2 기판, 제2 기판 상에 형성된 공통 전극, 공통 전극 상에 형성되고 표시 기판과 접촉되게 형성된 제1 스페이서, 표시 기판과 제1 간격을 갖도록 형성된 제2 스페이서, 표시 기판과 제1 간격보다 큰 제2 간격을 갖도록 형성된 제3 스페이서, 및 표시 기판과 제2 간격보다 큰 제3 간격을 갖도록 형성된 제4 스페이서를 포함한다.

대표도 - 도3



(72) 발명자

이중환

경기도 안양시 동안구 달안로 62, 602동 1705호 (비산동, 셋별아파트)

김경옥

서울특별시 강남구 테헤란로5길 51-14 (역삼동)

명세서

청구범위

청구항 1

제1 기관, 상기 제1 기관 상에 형성된 복수의 화소 전극들을 포함하는 표시 기관; 및

상기 제1 기관과 대향하는 제2 기관, 상기 제2 기관 상에 형성된 공통 전극, 상기 공통 전극 상에 형성되고 상기 표시 기관과 접촉되게 형성된 제1 스페이서, 상기 표시 기관과 제1 간격을 갖도록 형성된 제2 스페이서, 상기 표시 기관과 상기 제1 간격보다 큰 제2 간격을 갖도록 형성된 제3 스페이서, 및 상기 표시 기관과 상기 제2 간격보다 큰 제3 간격을 갖도록 형성된 제4 스페이서를 포함하는 대향 기관을 포함하고,

상기 제1 내지 제4 스페이서들은 서로 다른 영역들에 배치되고 상기 제1 내지 제4 스페이서들은 서로 동일한 높이를 가지며,

상기 제1 스페이서는 상기 표시 기관에 형성된 스위칭 소자의 채널 상에 배치되고, 상기 제2 스페이서는 상기 표시 기관에 형성된 데이터 라인 상에 배치되고, 상기 제3 스페이서는 상기 표시 기관에 형성된 게이트 라인 상에 배치되고, 상기 제4 스페이서는 상기 제1 기관과 접촉된 절연층 상에 배치된 것을 특징으로 하는 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1 기관, 상기 제1 기관 상에 형성된 복수의 화소 전극들을 포함하는 표시 기관; 및

상기 제1 기관과 대향하는 제2 기관, 상기 제2 기관 상에 형성된 공통 전극, 상기 공통 전극 상에 형성되고 상기 표시 기관과 접촉되게 형성된 제1 스페이서, 상기 표시 기관과 제1 간격을 갖도록 형성된 제2 스페이서, 상기 표시 기관과 상기 제1 간격보다 큰 제2 간격을 갖도록 형성된 제3 스페이서, 및 상기 표시 기관과 상기 제2 간격보다 큰 제3 간격을 갖도록 형성된 제4 스페이서를 포함하는 대향 기관을 포함하고,

상기 제1 내지 제4 스페이서들은 서로 다른 영역들에 배치되고 상기 제1 내지 제4 스페이서들은 서로 동일한 높이를 가지며,

상기 제1 스페이서는 게이트 라인 위의 절연층 상에 배치되고, 상기 제2 스페이서는 상기 제1 기관과 접촉된 절연층 상에 배치되고, 상기 제3 스페이서는 게이트 라인 위의 상기 절연층에 형성된 제1 홀 상에 배치되고, 상기 제4 스페이서는 상기 제1 기관을 노출시키는 상기 절연층에 형성된 제2 홀 상에 배치되는 것을 특징으로 하는 표시 장치.

청구항 8

제7항에 있어서, 상기 절연층은

상기 게이트 라인 위에 배치된 게이트 절연층; 및

상기 게이트 절연층을 포함하는 상기 제1 기판 상에 형성된 데이터 라인 위에 배치된 보호 절연층을 포함하는 것을 특징으로 하는 표시 장치.

청구항 9

제7항에 있어서, 상기 표시 기판은 상기 제1 홀에 의해 노출된 상기 게이트 라인을 커버하는 보호 전극을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 10

제1항에 있어서, 상기 제3 및 제4 스페이서들의 밀도는 상기 제1 및 제2 스페이서들의 밀도보다 큰 것을 특징으로 하는 표시 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제1 기판 상에 형성된 복수의 화소 전극들을 포함하는 표시 기판을 형성하는 단계;

제2 기판 상에 형성된 공통 전극과, 상기 공통 전극 상에 형성되고 서로 동일한 높이를 갖는 제1 스페이서, 제2 스페이서, 제3 스페이서 및 제4 스페이서를 포함하는 대향 기판을 형성하는 단계; 및

상기 제1 스페이서와 상기 표시 기판이 접촉하고, 상기 제2 스페이서가 상기 표시 기판과 제1 간격만큼 이격되고, 상기 제3 스페이서가 상기 표시 기판과 상기 제1 간격보다 큰 제2 간격만큼 이격되며, 상기 제4 스페이서가 상기 표시 기판과 상기 제2 간격보다 큰 제3 간격만큼 이격되도록 상기 표시 기판과 상기 대향 기판을 결합하는 단계를 포함하고,

상기 표시 기판을 형성하는 단계는,

상기 제1 기판 위에 게이트 라인 및 스위칭 소자의 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 포함하는 제1 기판 위에 형성된 반도체층 및 소스 금속층을 패터닝하여 반도체 패턴과, 상기 반도체 패턴 위에 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인과 연결된 소스 전극 및 상기 소스 전극과 이격된 드레인 전극을 포함하는 소스 패턴을 형성하는 단계;

상기 소스 패턴을 포함하는 제1 기판 위에 보호 절연층을 형성하는 단계; 및

상기 보호 절연층을 제거하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 상기 스위칭 소자의 드레인 전극과 전기적으로 연결된 상기 화소 전극을 형성하는 단계를 포함하고,

상기 제1 스페이서는 상기 스위칭 소자의 채널 상에 형성되고, 상기 제2 스페이서는 상기 데이터 라인 상에 형성되고, 상기 제3 스페이서는 상기 게이트 라인 상에 형성되고, 상기 제4 스페이서는 상기 제1 기판과 접촉된 상기 게이트 절연층 위의 상기 보호 절연층 상에 형성된 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

제14항에 있어서, 상기 콘택홀을 형성하는 단계는

상기 게이트 절연층 및 상기 보호 절연층을 제거하여 상기 게이트 라인을 노출시키는 제1 홀 및 상기 제1 기판을 노출시키는 제2 홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 18

제17항에 있어서, 상기 화소 전극을 형성하는 단계는

상기 제1 홀에 의해 노출된 상기 게이트 라인 위에 보호 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 19

제1 기판 상에 형성된 복수의 화소 전극들을 포함하는 표시 기판을 형성하는 단계;

제2 기판 상에 형성된 공통 전극과, 상기 공통 전극 상에 형성되고 서로 동일한 높이를 갖는 제1 스페이서, 제2 스페이서, 제3 스페이서 및 제4 스페이서를 포함하는 대향 기판을 형성하는 단계; 및

상기 제1 스페이서와 상기 표시 기판이 접촉하고, 상기 제2 스페이서가 상기 표시 기판과 제1 간격만큼 이격되고, 상기 제3 스페이서가 상기 표시 기판과 상기 제1 간격 보다 큰 제2 간격만큼 이격되며, 상기 제4 스페이서가 상기 표시 기판과 상기 제2 간격보다 큰 제3 간격만큼 이격되도록 상기 표시 기판과 상기 대향 기판을 결합하는 단계를 포함하고,

상기 표시 기판을 형성하는 단계는,

상기 제1 기판 위에 게이트 라인 및 스위칭 소자의 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 포함하는 제1 기판 위에 형성된 반도체층 및 소스 금속층을 패터닝하여 반도체 패턴과, 상기 반도체 패턴 위에 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인과 연결된 소스 전극 및 상기 소스 전극과 이격된 드레인 전극을 포함하는 소스 패턴을 형성하는 단계;

상기 소스 패턴을 포함하는 제1 기판 위에 보호 절연층을 형성하는 단계; 및

상기 보호 절연층을 제거하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 상기 스위칭 소자의 드레인 전극과 전기적으로 연결된 상기 화소 전극을 형성하는 단계를 포함하고,

상기 콘택홀을 형성하는 단계는,

상기 게이트 절연층 및 상기 보호 절연층을 제거하여 상기 게이트 라인을 노출시키는 제1 홀 및 상기 제1 기판을 노출시키는 제2 홀을 형성하는 단계를 더 포함하며,

상기 제1 스페이서는 상기 게이트 라인 위에 형성된 상기 게이트 절연층 위에 상기 보호 절연층 상에 배치되고, 상기 제2 스페이서는 상기 제1 기판과 접촉된 상기 게이트 절연층 위의 상기 보호 절연층 상에 배치되고, 상기 제3 스페이서는 상기 제1 홀 상에 형성되며, 상기 제4 스페이서는 상기 제2 홀상에 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 적하 마진을 향상시킬 수 있는 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 액정의 광투과율을 이용하여 영상을 표시하는 표시패널 및 상기 표시패널의 하부에 배치되어 상기 표시패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

[0003] 상기 표시패널은 화소전극들 및 상기 화소전극들과 전기적으로 연결된 박막 트랜지스터를 갖는 표시 기관, 공통 전극 및 컬러필터들을 갖는 대향 기관 및 상기 표시 기관과 상기 대향 기관 사이에 개재된 액정층을 포함한다. 상기 표시 기관과 상기 대향 기관 사이에는 일정한 액정 셀 갭(Cell Gap)을 유지하기 위하여 셀 갭 스페이서가 형성된다.

[0004] 이처럼, 상기 셀갭 스페이서에 의해 일정하게 유지되는 셀 갭 내에 액정을 수납하는 방법 중 적하방법은 상기 대향 기관 상에 액정을 적하시킨 후, 상기 대향 기관과 상기 표시 기관 사이에 형성된 실라인을 경화시킴에 의해 상기 대향 기관과 상기 표시 기관을 견고하게 결합시킨다.

[0005] 상기한 적하방법에 의한 공정시, 상기 대향 기관 상에 적하된 액정은 상기 셀 갭 스페이서에 의해 상기 대향 기관 상에 균일하게 분사되지 못하여 적하 공정 마진이 저하되는 문제점이 있다. 따라서 상기 적하 공정 마진을 향상시키기 위해 상기 셀 갭 스페이서의 체적을 줄이는 방법이 제시되어 있다.

[0006] 그러나, 상기 셀 갭 스페이서의 체적을 줄이는 경우 외부에서 가해지는 하중에 의해 상기 셀 갭이 균일하게 유지되지 못하는 눌림(Smear) 불량이 발생한다. 이와 같이, 상기 액정 주입 공정의 마진과 외압에 대한 내성은 트레이드 오프(Trade-off)인 관계로 상기 두 조건을 동시에 최적화시킬 수 있는 구조가 요구된다.

발명의 내용

해결 하고자하는 과제

[0007] 이에 본 발명의 기술적 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 액정 주입 공정의 마진 및 외압에 의한 내성을 향상시키기 위한 표시 장치를 제공하는 것이다.

[0008] 본 발명의 다른 목적은 상기 표시 장치의 제조 방법을 제공하는 것이다.

과제 해결수단

[0009] 상기한 본 발명의 목적을 실현하기 위하여 일실시예에 따른 표시 장치는 표시 기관 및 대향 기관을 포함한다. 상기 표시 기관은 제1 기관 및 상기 제1 기관 상에 형성된 복수의 화소 전극들을 포함한다. 상기 대향 기관은 상기 제1 기관과 대향하는 제2 기관, 상기 제2 기관 상에 형성된 공통 전극, 상기 공통 전극 상에 형성되고 상기 표시 기관과 접촉되게 형성된 제1 스페이서, 상기 표시 기관과 제1 간격을 갖도록 형성된 제2 스페이서, 상기 표시 기관과 상기 제1 간격보다 큰 제2 간격을 갖도록 형성된 제3 스페이서, 및 상기 표시 기관과 상기 제2 간격보다 큰 제3 간격을 갖도록 형성된 제4 스페이서를 포함한다.

[0010] 본 발명의 실시예에 따르면, 상기 제1 내지 제4 스페이서들은 서로 다른 영역들에 배치된다.

[0011] 본 발명의 실시예에 따르면, 상기 제1 스페이서 및 제3 스페이서는 제1 높이를 갖고, 상기 제2 스페이서 및 상기 제4 스페이서는 상기 제1 높이보다 낮은 제2 높이를 갖는다.

[0012] 본 발명의 실시예에 따르면, 상기 제1 및 제2 스페이서들 각각은 상기 표시 기관에 형성된 스위칭 소자의 채널 상에 배치되고, 상기 제3 및 제4 스페이서들 각각은 상기 표시 기관에 형성된 게이트 라인 위의 절연층 상에 배치된다.

[0013] 본 발명의 실시예에 따르면, 상기 제1 내지 제4 스페이서들은 서로 동일한 높이를 갖는다.

[0014] 본 발명의 실시예에 따르면, 상기 제1 스페이서는 상기 표시 기관에 형성된 스위칭 소자의 채널 상에 배치되고, 상기 제2 스페이서는 상기 표시 기관에 형성된 데이터 라인 상에 배치되고, 상기 제3 스페이서는 상기 표시 기관에 형성된 게이트 라인 상에 배치되고, 상기 제4 스페이서는 상기 제1 기관과 접촉된 절연층 상에 배치될 수 있다.

[0015] 본 발명의 실시예에 따르면, 상기 제1 스페이서는 게이트 라인 위의 절연층 상에 배치되고, 상기 제2 스페이서

는 상기 제1 기관과 접촉된 절연층 상에 배치되고, 상기 제3 스페이서는 게이트 라인 위의 상기 절연층에 형성된 제1 홀 상에 배치되고, 상기 제4 스페이서는 상기 제1 기관을 노출시키는 상기 절연층에 형성된 제2 홀 상에 배치될 수 있다.

- [0016] 본 발명의 실시예에 따르면, 상기 절연층은 상기 게이트 라인 위에 배치된 게이트 절연층, 및 상기 게이트 절연층을 포함하는 상기 제1 기관 상에 형성된 데이터 라인 위에 배치된 보호 절연층을 포함한다.
- [0017] 본 발명의 실시예에 따르면, 상기 표시 기관은 상기 제1 홀에 의해 노출된 상기 게이트 라인을 커버하는 보호 전극을 더 포함할 수 있다.
- [0018] 본 발명의 실시예에 따르면, 상기 제3 및 제4 스페이서들의 밀도는 상기 제1 및 제2 스페이서들의 밀도보다 클 수 있다.
- [0019] 상기한 본 발명의 다른 목적을 실현하기 위하여 일 실시예에 따른 표시 장치의 제조 방법은, 제1 기관 상에 형성된 복수의 화소 전극들을 포함하는 표시 기관을 형성한다. 제2 기관 상에 형성된 공통 전극과, 상기 공통 전극 상에 제1 높이를 갖는 제1 스페이서, 상기 제1 높이보다 낮은 높이를 갖는 제2 스페이서, 상기 제1 높이와 동일한 높이를 갖는 제3 스페이서 및 상기 제2 높이와 동일한 높이를 갖는 제4 스페이서를 포함하는 대향 기관을 형성한다. 상기 제1 스페이서와 상기 표시 기관이 접촉하고, 상기 제2 스페이서가 상기 표시 기관과 제1 간격만큼 이격되고, 상기 제3 스페이서가 상기 표시 기관과 상기 제1 간격 보다 큰 제2 간격만큼 이격되며, 상기 제4 스페이서가 상기 표시 기관과 상기 제2 간격보다 큰 제3 간격만큼 이격되도록 상기 표시 기관과 상기 대향 기관을 결합한다.
- [0020] 본 발명의 실시예에 따르면, 상기 제1 내지 제4 스페이서들은 서로 다른 영역들에 배치된다.
- [0021] 본 발명의 실시예에 따르면, 상기 표시 기관을 형성하기 위하여, 상기 제1 기관 위에 게이트 라인을 형성하고, 상기 게이트 라인이 형성된 상기 제1 기관 위에 상기 게이트 라인에 교차하는 데이터 라인을 형성한다. 이어서, 상기 데이터 라인이 형성된 상기 기관 위에 상기 게이트 라인 및 상기 데이터 라인에 연결된 스위칭 소자를 형성한다. 상기 제1 및 제2 스페이서들 각각은 상기 스위칭 소자의 채널 상에 형성되고, 상기 제3 및 제4 스페이서들 각각은 상기 표시 기관에 형성된 게이트 라인 상에 형성될 수 있다.
- [0022] 상기한 본 발명의 다른 목적을 실현하기 위하여 일 실시예에 따른 표시 장치의 제조 방법은, 제1 기관 상에 형성된 복수의 화소 전극들을 포함하는 표시 기관을 형성한다. 제2 기관 상에 형성된 공통 전극과, 상기 공통 전극 상에 형성되고 서로 동일한 높이를 갖는 제1 스페이서, 제2 스페이서, 제3 스페이서 및 제4 스페이서를 포함하는 대향 기관을 형성한다. 상기 제1 스페이서와 상기 표시 기관이 접촉하고, 상기 제2 스페이서가 상기 표시 기관과 제1 간격만큼 이격되고, 상기 제3 스페이서가 상기 표시 기관과 상기 제1 간격 보다 큰 제2 간격만큼 이격되며, 상기 제4 스페이서가 상기 표시 기관과 상기 제2 간격보다 큰 제3 간격만큼 이격되도록 상기 표시 기관과 상기 대향 기관을 결합한다.
- [0023] 본 발명의 실시예에 따르면, 상기 표시 기관을 형성하기 위하여 상기 제1 기관 위에 게이트 라인 및 스위칭 소자의 게이트 전극을 포함하는 게이트 패턴을 형성하고, 상기 게이트 패턴 위에 게이트 절연층을 형성한다. 이어서, 상기 게이트 절연층을 포함하는 제1 기관 위에 형성된 반도체층 및 소스 금속층을 패터닝하여 반도체 패턴과, 상기 반도체 패턴 위에 상기 게이트 라인에 교차하는 데이터 라인, 상기 데이터 라인에 연결된 소스 전극 및 상기 소스 전극과 이격된 드레인 전극을 포함하는 소스 패턴을 형성하고, 상기 소스 패턴을 포함하는 제1 기관 위에 보호 절연층을 형성한다. 이어서, 상기 보호 절연층을 제거하여 상기 드레인 전극을 노출시키는 콘택홀을 형성한 후, 상기 콘택홀을 통해 상기 스위칭 소자의 드레인 전극과 전기적으로 연결된 상기 화소 전극을 형성한다.
- [0024] 본 발명의 실시예에 따르면, 상기 제1 스페이서는 상기 스위칭 소자의 채널 상에 형성되고, 상기 제2 스페이서는 상기 데이터 라인 상에 형성되고, 상기 제3 스페이서는 상기 게이트 라인 상에 형성되고, 상기 제4 스페이서는 상기 제1 기관과 접촉된 상기 게이트 절연층 위의 상기 보호 절연층 상에 형성될 수 있다.
- [0025] 본 발명의 실시예에 따르면, 상기 게이트 절연층 및 상기 보호 절연층을 제거하여 상기 게이트 라인을 노출시키는 제1 홀 및 상기 제1 기관을 노출시키는 제2 홀을 형성할 수 있다.
- [0026] 본 발명의 실시예에 따르면, 상기 화소 전극 형성시 상기 제1 홀에 의해 노출된 상기 게이트 라인 위에 보호 전극을 형성할 수 있다.
- [0027] 본 발명의 실시예에 따르면, 상기 제1 스페이서는 상기 게이트 라인 위에 형성된 상기 게이트 절연층 위에 상기

보호 절연층 상에 배치되고, 상기 제2 스페이서는 상기 제1 기관과 접촉된 상기 게이트 절연층 위의 상기 보호 절연층 상에 배치되고, 상기 제3 스페이서는 상기 제1 홀 상에 형성되며, 상기 제4 스페이서는 상기 제2 홀 상에 형성될 수 있다.

효 과

[0028] 이러한 표시 장치 및 이의 제조 방법에 의하면, 스페이서들 간에 다양한 단차를 갖도록 구현할 수 있음으로써, 액정 주입 공정의 마진을 향상시키는 동시에 외부에서 가해지는 압력에 의한 눌림 불량을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0029] 이하, 도면들을 참조하여 본 발명의 표시 장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0030] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 고안이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0032] 실시예 1

[0033] 도 1은 본 발명의 실시예 1에 따른 표시 장치에 대한 평면도이다.

[0034] 도 1을 참조하면, 본 실시예에 따른 표시 장치는 복수의 데이터 라인들(DL1 내지 DLm), 상기 데이터 라인들(DL1 내지 DLm)과 교차하는 복수의 게이트 라인들(GL1 내지 GLn), 제1 스페이서(SP1), 제2 스페이서(SP2), 제3 스페이서(SP3) 및 제4 스페이서(SP4)를 포함한다. 상기 게이트 라인들(GL1 내지 GLn) 및 상기 데이터 라인들(DL1 내지 DLm)에 의해 다수의 화소 영역들(P11 내지 Pnm)이 정의된다. 상기 화소 영역들(P11 내지 Pnm)은 복수의 행들 및 복수의 열들을 따라 2차원 적으로 배열된다.

[0035] 상기 데이터 라인들(DL1 내지 DLm) 및 상기 게이트 라인들(GL1 내지 GLn)은 표시 기관에 형성되고, 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 상기 표시 기관과 대향하는 대향 기관에 형성된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 서로 다른 영역들에 형성된다.

[0036] 상기 제1 스페이서(SP1)는 상기 표시 기관과 접촉되게 형성되어 상기 표시 기관과 상기 대향 기관 사이의 셀 갭(cell gap)을 일정하게 유지시키는 역할을 한다. 상기 제2 스페이서(SP2)는 상기 제1 스페이서(SP1)와 같이 상기 표시 기관과 상기 대향 기관 사이의 셀 갭(cell gap)을 일정하게 유지시키는 역할을 한다.

[0037] 상기 제2 스페이서(SP2)는 상기 표시 기관과 제1 간격만큼 이격되어 형성된다. 이에 따라 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2) 사이에는 상기 제1 간격에 대응하는 단차가 발생한다.

[0038] 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2)는 일정 거리 이격되어 형성된다. 본 실시예에서는 상기 제1 스페이서(SP1)는 제1 행, 제1 열에 대응하는 화소 영역(P11)에 형성되고, 상기 제2 스페이서(SP2)는 상기 제1 행과 인접한 제2 행, 제6 열에 대응하는 화소 영역(P26)에 형성된 경우를 예로 들었다. 그러나 반드시 이에 한

정되는 것은 아니다.

- [0039] 상기 제1 스페이서(SP1)와 제2 스페이서(SP2)의 밀도는 1:N(N은 자연수) 또는 N:1의 비율을 가질 수 있다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2)의 밀도는 1:1, 1:2, 1:3, 3:1 또는 2:1의 비율을 가질 수 있다. 상기 제2 스페이서(SP2)를 상기 제1 스페이서(SP1)보다 더 조밀하게 형성하는 경우 적하 마진을 향상시킬 수 있다.
- [0040] 상기 제3 스페이서(SP3)는 상기 표시 기관과 상기 제1 간격보다 큰 제2 간격만큼 이격되어 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에는 상기 제2 간격에 대응하는 단차가 발생한다.
- [0041] 상기 제4 스페이서(SP4)는 상기 표시 기관과 상기 제2 간격(G2)보다 큰 제3 간격만큼 이격되어 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에는 상기 제2 간격에 대응하는 단차가 발생한다.
- [0042] 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 외부의 압력에 의해 액정패널이 눌렸을 때, 이에 대한 하중을 분산시키는 역할을 하게 된다. 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 제1 및 제2 스페이서들(SP1, SP2)이 형성된 화소 영역들을 제외한 화소 영역들에 고르게 분포되어 배치된다. 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 제1 및 제2 스페이서들(SP1, SP2)보다 더 조밀하게 형성된다.
- [0043] 도 2는 도 1에 도시된 표시 장치의 일부를 확대한 평면도이다. 도 3은 도 2의 I-I'라인을 따라 절단한 표시 장치의 단면도다.
- [0044] 도 1 내지 도 3을 참조하면, 상기 표시 장치는 표시 기관(100), 상기 표시 기관(100)과 마주하는 대향 기관(200) 및 상기 표시 기관(100)과 상기 대향 기관(200) 사이에 게재된 액정층(300)을 포함한다.
- [0045] 상기 표시 기관(100)은 제1 베이스 기관(101) 상에 형성된 상기 복수의 게이트 라인들(GL1 내지 GLn), 상기 복수의 데이터 라인들(DL1 내지 DLm), 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)을 포함할 수 있다.
- [0046] 이하에서는, 설명의 편의를 위해 제1 행, 제1 열에 해당하는 영역을 제1 화소 영역(P11)이라 명칭하고, 제2 행, 제6 열에 대응하는 영역을 제2 화소 영역(P26)이라 명칭한다. 또한, 상기 제2 행, 제2 열에 해당하는 영역을 제3 화소 영역(P22)이라 명칭하고, 상기 제2 행, 제1 열에 해당하는 영역을 제4 화소 영역(P26)이라 명칭한다.
- [0047] 상기 제1 스위칭 소자(TFT1)는 상기 제1 화소 영역(P11)에 형성된다. 상기 제1 스위칭 소자(TFT1)는 제1 게이트 전극(GE1), 제1 반도체 패턴(122), 제1 소스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제1 게이트 라인(GL1)과 연결된다. 상기 제1 반도체 패턴(122)은 게이트 절연층(110)을 사이에 두고 상기 제1 게이트 전극(GE1)과 중첩되게 형성된다. 상기 제1 반도체 패턴(122)은 비정질 실리콘으로 형성된 제1 반도체층(122a) 및 n형 불순물이 고농도로 도핑된 비정질 실리콘으로 형성된 제1 오믹 콘택층(122b)을 포함할 수 있다. 상기 제1 소스 전극(SE1)은 상기 제1 반도체 패턴(122) 상에 상기 제1 오믹 콘택층(122b)과 접촉되게 형성된다. 상기 제1 드레인 전극(DE1)은 상기 제1 반도체 패턴(122) 상에 상기 제1 소스 전극(SE1)과 이격되어 배치된다. 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1) 사이의 이격된 영역이 상기 제1 스위칭 소자(TFT1)의 채널부로 정의된다.
- [0048] 상기 제2 스위칭 소자(TFT2)는 상기 제2 화소 영역(P26)에 형성된다. 상기 제2 스위칭 소자(TFT2)는 제2 게이트 전극(GE2), 제2 반도체 패턴(124), 제2 소스 전극(SE2), 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 제2 게이트 라인(GL2)과 연결된다. 상기 제2 반도체 패턴(124)은 상기 게이트 절연층(110)을 사이에 두고 상기 제2 게이트 전극(GE2)과 중첩되게 형성된다. 상기 제2 반도체 패턴(124)은 비정질 실리콘으로 형성된 제2 반도체층(124a) 및 n형 불순물이 고농도로 도핑된 비정질 실리콘으로 형성된 제2 오믹 콘택층(124b)을 포함할 수 있다. 상기 제2 소스 전극(SE2)은 상기 제2 반도체 패턴(124) 상에 상기 제2 오믹 콘택층(124b)과 접촉되게 형성된다. 상기 제2 드레인 전극(DE2)은 상기 제2 반도체 패턴(124) 상에 상기 제2 소스 전극(SE2)과 이격되어 배치된다. 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)의 이격된 부분이 상기 제2 스위칭 소자(TFT2)의 채널부로 정의된다.
- [0049] 상기 표시 기관(100)은 보호 절연층(150)을 더 포함할 수 있다.
- [0050] 상기 보호 절연층(150)은 상기 제1 소스 전극(SE1), 상기 제2 소스 전극(SE2), 상기 제1 드레인 전극(DE1) 및 상기 제2 드레인 전극(DE2)을 커버하도록 형성된다. 상기 보호 절연층(150)은 상기 제1 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1) 및 상기 제2 드레인 전극(DE2)을 노출시키는 제2 콘택홀(CNT2)을 포함한다.

- [0051] 상기 제1 화소 전극(PE1)은 상기 제1 화소 영역(P11)에 형성되고, 투명한 도전성 물질로 이루어질 수 있다. 상기 제1 화소 전극(PE1)은 상기 보호 절연층(150)에 형성된 상기 제1 콘택홀(CNT1)을 통해 상기 제1 스위칭 소자(TFT1)의 상기 제1 드레인 전극(DE1)과 전기적으로 연결된다.
- [0052] 상기 제2 화소 전극(PE2)은 상기 제2 화소 영역(P26)에 형성되고, 상기 보호 절연층(150)에 형성된 상기 제2 콘택홀(CNT2)을 통해 상기 제2 스위칭 소자(TFT2)의 상기 제2 드레인 전극(DE2)과 전기적으로 연결된다.
- [0053] 상기 대향 기관(200)은 상기 제1 베이스 기관(101)과 대향하는 제2 베이스 기관(201) 상에 형성된 차광 패턴(210), 컬러필터층(220), 오버 코팅층(230), 공통 전극(240), 상기 제1 스페이서(SP1), 상기 제2 스페이서(SP2), 상기 제3 스페이서(SP3) 및 상기 제4 스페이서(SP4)를 포함할 수 있다.
- [0054] 상기 차광 패턴(210)은 상기 제2 베이스 기관(201)에 정의된 화소 영역들의 경계 영역들에 형성되며, 빛샘을 방지한다.
- [0055] 상기 컬러필터층(220)은 상기 화소 영역들에 배치된다. 상기 컬러필터층(220)은 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터를 포함할 수 있다.
- [0056] 상기 오버 코팅층(230)은 상기 컬러필터층(220)이 형성된 상기 제2 베이스 기관(201) 위에 형성된다.
- [0057] 상기 공통 전극(240)은 투명한 도전성 물질로 이루어지며, 상기 오버 코팅층(230)이 형성된 상기 제2 베이스 기관(201) 위에 형성된다.
- [0058] 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 상기 공통 전극(240)이 형성된 상기 제2 베이스 기관(201) 위에 형성된다.
- [0059] 상기 제1 스페이서(SP1)는 제1 높이(h1)를 갖는다. 상기 제1 스페이서(SP1)는 상기 제1 베이스 기관(101)의 상기 제1 화소 영역(P11)에 형성된 상기 제1 스위칭 소자(TFT1)의 채널부 상에 상기 제1 베이스 기관(101)과 접촉되게 형성된다. 상기 제1 스페이서(SP1)는 상기 제1 및 제2 베이스 기관들(101, 201) 사이에 일정한 셀 갭을 유지시키는 역할을 한다.
- [0060] 상기 제2 스페이서(SP2)는 상기 제1 베이스 기관(101)의 상기 제2 화소 영역(P26)에 형성된 상기 제2 스위칭 소자(TFT2)의 채널부 상에 형성된다. 상기 제2 스페이서(SP2)는 상기 제1 높이(h1)보다 낮은 제2 높이(h2)를 가질 수 있다. 상기 제2 스페이서(SP2)는 상기 제1 베이스 기관(101)과 상기 제1 높이(h1)와 상기 제2 높이(h2)의 차(x)에 대응하는 제1 간격(G1)만큼 이격되어 형성된다. 여기서, 상기 제1 높이(h1)와 상기 제2 높이(h2)의 차(x)는, $0 < x \leq 0.3\mu\text{m}$ 일 수 있다. 상기 제2 스페이서(SP2)는 상기 제1 스페이서(SP1)와 함께 상기 제1 및 제2 베이스 기관들(101, 201) 사이에 셀 갭을 일정하게 유지시키는 역할을 한다. 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2) 사이에 상기 제1 간격(G1)만큼의 단차가 발생하므로 적하 공정 마진을 향상시킬 수 있다.
- [0061] 상기 제3 스페이서(SP3)는 상기 제1 베이스 기관(101)의 상기 제3 화소 영역(P22)에 형성된 상기 제2 게이트 라인(GL2) 상에 형성된다. 상기 제3 스페이서(SP3)는 상기 제1 스페이서(SP1)와 동일하게 상기 제1 높이(h1)를 가질 수 있다. 상기 제3 스페이서(SP3)는 상기 제1 베이스 기관(101)과 상기 제1 간격(G1)보다 큰 제2 간격(G2)만큼 이격되어 형성된다. 상기 제2 간격은 약 $0.5\mu\text{m}$ 일 수 있다. 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제2 간격(G2)만큼의 단차가 발생한다. 즉, 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제1 반도체 패턴(122)의 두께와, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께를 합한 두께만큼의 단차가 발생한다. 예를 들면, 상기 제1 반도체 패턴(122)의 두께는 대략 2000\AA 이고, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께는 대략 3000\AA 일 수 있다. 이 경우, 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 대략 5000\AA 의 단차가 발생할 수 있다.
- [0062] 상기 제4 스페이서(SP4)는 상기 제1 베이스 기관(101)의 상기 제4 화소 영역(P21)에 배치된 상기 제2 게이트 라인(GL2) 상에 형성된다. 상기 제4 스페이서(SP4)는 상기 제2 스페이서(SP2)와 동일하게 상기 제2 높이(h2)를 가질 수 있다. 상기 제4 스페이서(SP4)는 상기 제1 베이스 기관(101)과 상기 제2 간격(G2)보다 큰 제3 간격(G3)을 두고 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제3 간격(G3)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제1 높이(h1)와 상기 제2 높이(h2)의 차(x), 및 상기 제1 반도체 패턴(122)의 두께와, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께를 합한 두께에 해당하는 단차가 발생할 수 있다. 상기 제1 높이(h1)와 상기 제2 높이(h2)의 차(x)를 약 $0.2\mu\text{m}$ 라고 하고, 상기 제1 반도체 패턴(122)의 두께와, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께를 합한 두께가 약 5000\AA 라 하면, 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이

에 대략 7000Å에 해당하는 단차가 발생한다.

- [0063] 도 4는 도 3에 도시된 표시 장치의 제조 방법을 설명하기 위한 흐름도이다.
- [0064] 도 3 및 도 4를 참조하면, 상기 제1 베이스 기판(101) 위에 상기 제1 및 제2 화소 전극들(PE1, PE2)을 포함하는 상기 표시 기판(100)을 제조한다(단계 S100).
- [0065] 상기 제2 베이스 기판(201) 위에 상기 공통 전극(240), 상기 공통 전극(240) 위에 형성된 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)을 포함하는 상기 대향 기판(240)을 제조 한다(단계 S200). 상기 표시 기판(100) 및 상기 대향 기판(200)을 제조 하는 구체적인 방법에 대해서는 하기에서 상세히 설명하기로 한다.
- [0066] 상기 표시 기판(100)과 상기 대향 기판(200)을 밀봉 부재(미도시)를 사용하여 서로 결합시킨다(단계 S300). 이 때, 상기 제1 스페이서(SP1)와 상기 표시 기판(100)이 접촉되고, 상기 제2 스페이서(SP2)가 상기 표시 기판(100)과 상기 제1 간격(G1)만큼 이격되고, 상기 제3 스페이서(SP3)가 상기 표시 기판(100)과 상기 제2 간격(G2)만큼 이격되며 상기 제4 스페이서(SP4)가 상기 표시 기판(100)과 상기 제3 간격(G3)만큼 이격되도록 한다.
- [0067] 도 5a 내지 도 5c는 도 3에 도시된 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0068] 도 3 및 도 5a를 참조하면, 상기 제1 베이스 기판(101) 위에 게이트 금속층을 형성하고, 상기 게이트 금속층을 패터닝하여 상기 제1 게이트 전극(GE1), 상기 제2 게이트 전극(GE2), 상기 제2 게이트 라인(GL2)을 포함하는 게이트 패턴을 형성한다. 상기 게이트 패턴을 포함하는 상기 제1 베이스 기판(101) 위에 상기 게이트 절연층(110), 상기 반도체층(120), 상기 오믹 콘택층(121) 및 소스 금속층(140)을 순차적으로 형성한다. 예를 들어, 상기 게이트 절연층(110)은 질화 실리콘 또는 산화 실리콘으로 형성될 수 있고, 상기 반도체층(120)은 비정질 실리콘으로 형성될 수 있으며, 상기 오믹 콘택층(121)은 n형 불순물이 고농도로 도핑된 비정질 실리콘으로 형성될 수 있다.
- [0069] 이어서, 상기 소스 금속층(140)이 형성된 상기 제1 베이스 기판(101) 위에 제1 포토 패턴(10)을 형성한다. 상기 제1 포토 패턴(10)은 상기 소스 금속층(140)이 형성된 상기 제1 베이스 기판(101) 위에 감광성 물질을 포함하는 포토레지스트층을 형성한 후, 상기 포토 레지스트층을 포함하는 상기 제1 베이스 기판(101) 상에 제1 마스크(20)를 배치하고, 상기 제1 마스크(20) 상부에 광을 조사한 후 이를 현상하여 형성할 수 있다. 상기 포토레지스트층은 예를 들어, 광이 조사된 부분은 현상액에 의해 제거되고 광이 차단된 부분은 경화되어 상기 제1 베이스 기판(101) 상에 잔류하는 포지티브형 포토레지스트일 수 있다. 이때, 상기 제1 마스크(20)는 차광부(22), 투광부(24) 및 반투과부(26)를 포함할 수 있다. 상기 차광부(22)는 상기 제1 및 제2 소스 전극(SE1, SE2)이 형성되는 영역, 상기 제1 및 제2 드레인 전극(DE1, DE2)이 형성되는 영역에 대응하여 배치되고, 상기 반투과부(26)는 상기 제1 및 제2 스위칭 소자들(TFT1, TFT2)의 채널부가 형성되는 영역에 대응하여 배치된다. 상기 제1 및 제2 소스 전극(SE1, SE2) 및 상기 제1 및 제2 드레인 전극(DE1, DE2)이 형성되는 영역 상의 상기 제1 포토 패턴(10)은 제1 두께(T1)를 갖고, 상기 제1 및 제2 스위칭 소자들(TFT1, TFT2)의 채널부 상에 형성되는 상기 제1 포토 패턴(10)은 상기 제1 두께(T1)보다 얇은 제2 두께(T2)를 갖는다.
- [0070] 이어서, 상기 제1 포토 패턴(10)을 식각 방지막으로 이용하여 1차적으로 상기 소스 금속층(140)을 식각한다. 이하, 상기와 같이 1차적으로 상기 소스 금속층(140)을 식각하는 단계를, 1차 금속 식각 공정이라고 정의한다. 상기 1차 금속 식각 공정을 통해서, 상기 제1 베이스 기판(101) 상에는 금속 패턴(142)이 형성된다. 상기 금속 패턴(142)을 식각 방지막으로 이용하여 상기 제1 및 제2 오믹 콘택층들(122a, 124a) 및 상기 제1 및 제2 반도체층들(122b, 124b)을 식각한다. 상기 제1 및 제2 오믹 콘택층들(122a, 124a) 및 상기 제1 및 제2 반도체층들(122b, 124b)은 상기 데이터 라인들(DL1 내지 DLm), 및 상기 금속 패턴(142)의 하부에만 잔류한다, 상기 금속 패턴(142) 이외의 영역에서는 상기 게이트 절연층(110)이 노출된다.
- [0071] 도 5b를 참조하면, 이어서, 상기 제1 포토 패턴(10)의 일부를 제거하여 상기 제1 및 제2 스위칭 소자들(TFT1, TFT2)의 채널부가 형성될 영역의 상기 금속 패턴(142)을 노출시킨다. 상기 제1 포토 패턴(10)은 소정의 두께가 제거됨으로써 잔류 패턴(30)을 형성한다. 상기 소정 두께는, 상기 제1 두께(T1)와 실질적으로 동일 할 수 있다. 상기 잔류 패턴(30)은 상기 제1 두께(T1)보다 얇은 제3 두께(T3)를 갖는다. 상기 제3 두께(T3)는 상기 제1 두께(T1)에서 상기 제2 두께(T2)를 뺀 값과 실질적으로 동일할 수 있다.
- [0072] 상기 잔류 패턴(30)은 상기 제1 및 제2 소스 전극들(SE1, SE2)이 형성되는 영역 및 상기 제1 및 제2 드레인 전극(DE1, DE2)들이 형성되는 영역에 배치될 수 있다.
- [0073] 이어서, 상기 잔류 패턴(30)을 식각 방지막으로 이용하여 상기 금속 패턴(142)을 2차적으로 식각한다. 이하, 상

기 금속 패턴(142)을 2차적으로 식각하는 공정을 2차 금속 식각 공정으로 정의한다. 상기 2차 금속 식각 공정을 통해서, 상기 채널부가 형성될 영역의 상기 금속 패턴(142)이 제거된다. 이에 따라, 상기 제1 및 제2 소스 전극들(SE1, SE2) 및 상기 제1 및 제2 드레인 전극들(DE1, DE2)이 형성된다.

[0074] 이어서, 제1 및 제2 소스 전극들(SE1, SE2) 및 상기 제1 및 제2 드레인 전극들(DE1, DE2)을 상기 잔류 패턴(30)과 함께 식각 방지막으로 이용하여 상기 제1 및 제2 오믹 콘택층(124b)을 제거하여 상기 채널부 상의 상기 반도체층(120)을 노출시킨다.

[0075] 이어서, 상기 잔류 패턴(30)을 스트리퍼를 이용하여 제거할 수 있다. 이에 따라, 도 5c에 도시된 바와 같이, 상기 제1 게이트 전극(GE1), 상기 제1 소스 전극(SE1), 상기 제1 드레인 전극(DE1) 및 상기 제1 반도체 패턴(122)을 포함하는 상기 제1 스위칭 소자(TFT1) 및 상기 제2 게이트 전극(GE2), 상기 제2 소스 전극(SE2) 및 상기 제2 반도체 패턴(124)을 포함하는 상기 제2 스위칭 소자(TFT2)를 형성한다.

[0076] 이어서, 상기 제1 및 제2 스위칭 소자들(TFT1, TFT2)이 형성된 상기 제1 베이스 기판(101) 상에 상기 보호 절연층(150)을 형성한 후, 패터닝하여 상기 제1 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1) 및 상기 제2 드레인 전극(DE2)을 노출시키는 제2 콘택홀(CNT2)을 형성한다.

[0077] 상기 보호 절연층(150)이 형성된 상기 제1 베이스 기판(101) 위에 상기 제1 및 제2 콘택홀들(CNT1, CNT2)에 의해 각각 상기 제1 드레인 전극(DE1)과 전기적으로 연결되는 상기 제1 화소 전극(PE1) 및 상기 제2 드레인 전극(DE2)과 전기적으로 연결된 상기 제2 화소 전극(PE2)을 형성한다.

[0078] 도 6a 및 도 6b는 도 3에 도시된 대향 기판 제조 방법을 설명하기 위한 단면도들이다.

[0079] 도 3 및 도 6a를 참조하면, 상기 제2 베이스 기판(201) 위에 상기 차광 패턴(210), 상기 컬러필터층(220), 상기 오버 코팅층(230) 및 상기 공통 전극(240)을 순차적으로 형성한다.

[0080] 이어서, 상기 공통 전극(240)이 형성된 상기 제2 베이스 기판(201) 위에 포토레지스트층(40)을 형성한다. 상기 포토레지스트층(40)을 포함하는 상기 제2 베이스 기판(201) 상에 제2 마스크(50)를 배치한다. 상기 포토레지스트층(40)은 예를 들어, 광이 조사된 부분은 현상액에 의해 제거되고 광이 차단된 부분은 경화되어 상기 제2 베이스 기판(201) 상에 잔류하는 포지티브형 포토레지스트일 수 있다. 상기 제2 마스크(50)는 차광부(52), 투광부(54) 및 반투과부(56)를 포함할 수 있다. 상기 차광부(52)는 상기 제1 및 제3 스페이서들(SP1, SP3)이 형성되는 영역에 대응하여 배치되고, 상기 반투과부(56)는 상기 제2 및 제4 스페이서들(SP2, SP4)이 형성되는 영역에 대응하여 배치된다. 상기 투광부(54)는 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)이 형성된 영역들을 제외한 나머지 영역들에 대응하여 배치된다.

[0081] 상기 제2 마스크(50)의 상부에서 상기 포토레지스트층(40)을 향해 광을 조사하고, 현상액을 이용하여 상기 포토레지스트층(40)을 현상한다. 이에 따라 도 6b에 도시된 바와 같이, 상기 공통 전극(240) 상에 상기 포토레지스트층(40)이 잔류하여 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)이 형성된다. 상기 제1 및 제2 스페이서들(SP1, SP2)은 상기 제1 높이(h1)를 갖고, 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 제1 높이(h1) 보다 낮은 제2 높이(h2)를 갖는다.

[0082] 본 실시예에 따르면, 상기 제1 및 제2 스페이서들(SP1, SP2)을 통해 액정 주입 공정의 마진을 충분히 확보할 수 있고, 상기 제3 및 제4 스페이서들(SP3, SP4)을 통해 외부에서 가해지는 압력을 효과적으로 분산시킬 수 있으므로, 상기 액정 주입 공정의 마진을 향상시키는 동시에 외부로부터의 압력에 따른 눌림 불량을 방지할 수 있다.

[0083] 실시예 2

[0084] 도 7은 본 발명의 실시예 2에 따른 표시 장치의 평면도이다. 도 8은 도 7에 도시된 표시 장치의 일부를 확대한 평면도이다. 도 9는 도 8의 II-II' 라인을 따라 절단한 표시 장치의 단면도다.

[0085] 도 7 내지 도 9를 참조하면, 본 실시예에 따른 표시 장치는 표시 기판(100), 상기 표시 기판(100)과 마주하는 대향 기판(200) 및 상기 표시 기판(100)과 상기 대향 기판(200) 사이에 게재된 액정층(300)을 포함한다.

[0086] 본 실시예에 따른 표시 장치는 상기 대향 기판(200)이 제5 스페이서(SP5)를 더 포함하는 것을 제외하고는, 실시예 1에 따른 표시 장치와 실질적으로 동일하므로, 동일한 구성요소에는 동일한 참조 부호를 부여하고, 중복되는 부분은 생략한다.

- [0087] 상기 제1 스페이서(SP1)는 제1 높이(h1)를 갖고, 상기 제2 스페이서(SP2)는 상기 제1 높이(h1)보다 낮은 제2 높이(h2)를 가질 수 있다. 상기 제1 스페이서(SP1)는 제1 베이스 기관(101) 및 제2 베이스 기관(201) 사이에 일정한 셀 갭을 유지시키는 역할을 한다. 상기 제2 스페이서(SP2)는 상기 제1 베이스 기관(101)과 상기 제1 높이(h1)와 상기 제2 높이(h2)의 차(x)에 대응하는 제1 간격(G1)만큼 이격되어 형성된다.
- [0088] 상기 제3 스페이서(SP3)는 상기 제1 스페이서(SP1)와 동일하게 상기 제1 높이(h1)를 가질 수 있다. 상기 제3 스페이서(SP3)는 상기 제1 베이스 기관(101)과 상기 제1 간격(G1) 보다 큰 제2 간격(G2)만큼 이격되어 형성된다. 상기 제4 스페이서(SP4)는 상기 제2 스페이서(SP2)와 동일하게 상기 제2 높이(h2)를 가질 수 있다. 상기 제4 스페이서(SP4)는 상기 제1 베이스 기관(101)과 상기 제2 간격(G2)보다 큰 제3 간격(G3)을 두고 형성될 수 있다.
- [0089] 상기 제5 스페이서(SP5)는 상기 대향 기관(200)에 형성된 공통 전극(240) 위에 형성된다. 상기 제5 스페이서(SP4)는 제3 행, 제1 열에 해당하는 제5 화소 영역(P31)에 형성된 제3 게이트 라인(GL3) 상에 형성된다. 상기 제5 스페이서(SP5)는 상기 제2 높이(h2) 보다 낮은 제3 높이(h3)를 가질 수 있다. 상기 제5 스페이서(SP5)는 상기 제1 베이스 기관(101)과 제3 간격(G3) 보다 큰 제4 간격(G4)을 두고 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제5 스페이서(SP5) 사이에 상기 제4 간격(G4)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제5 스페이서(SP5) 사이에 제1 높이(h1)와 상기 제3 높이(h3)의 차(x), 및 제1 스위칭 소자(TFT1)의 제1 반도체 패턴(122)의 두께와, 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)의 두께를 합한 두께에 해당하는 단차가 발생할 수 있다.
- [0090] 한편, 본 실시예에서는 상기 제1 내지 제5 스페이서들(SP1, SP2, SP3, SP4, SP5)을 포함하는 5중 스페이서의 구조에 대해서만 설명하였지만, 이에 한정되는 것은 아니다. 즉, 도면에 도시하지 않았지만, 상기 제1 간격(G1) 내지 상기 제4 간격(G4) 사이의 간격들 또는 상기 제4 간격(G4) 보다 큰 간격 중 어느 하나의 간격을 갖는 스페이서를 더 구비하도록 구성할 수 있음은 물론이다.
- [0091] 또한, 본 실시예에 따른 표시 장치의 제조 방법은 실시예 1에 따른 표시 장치의 제조 방법과 실질적으로 동일하므로, 중복되는 설명은 생략한다.
- [0092] 즉, 상기 제5 스페이서(SP5)에 대응하여 배치되는 반투과부의 투과율이 상기 제2 및 제4 스페이서(SP2, SP4)에 대응하여 배치되는 반투과부의 투과율보다 큰 것을 제외하고는 실질적으로 동일하다. 이에 따라 상기 제5 스페이서(SP5)의 높이가 상기 제2 및 제4 스페이서(SP2, SP4)의 높이보다 낮게 된다.
- [0093] 실시예 3
- [0094] 도 10은 본 발명의 실시예 3에 따른 표시 장치의 평면도이다. 도 11은 도 10에 도시된 표시 장치의 일부를 확대한 평면도이다. 도 12는 도 11의 III-III' 라인을 따라 절단한 표시 장치의 단면도다.
- [0095] 도 10 내지 도 11을 참조하면, 본 실시예에 따른 표시 장치는 표시 기관(100), 상기 표시 기관(100)과 마주하는 대향 기관(200) 및 상기 표시 기관(100)과 상기 대향 기관(200) 사이에 게재된 액정층(300)을 포함한다.
- [0096] 상기 표시 기관(100)은 제1 베이스 기관(101) 상에 형성된 복수의 게이트 라인들(GL1 내지 GLn), 복수의 데이터 라인들(DL1 내지 DLm), 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)을 포함할 수 있다. 상기 게이트 라인들(GL1 내지 GLn) 및 상기 데이터 라인들(DL1 내지 DLm)에 의해 다수의 화소 영역들(P11 내지 Pnm)이 정의된다. 상기 화소 영역들(P11 내지 Pnm)은 복수의 행들 및 복수의 열들을 따라 2차원 적으로 배열된다.
- [0097] 본 실시예에 따른 상기 표시 기관(100)은 실시예 1에 따른 표시 기관(100)과 실질적으로 동일하므로, 동일한 구성요소에는 동일한 참조 부호를 부여하고, 중복되는 부분은 생략한다.
- [0098] 상기 대향 기관(200)은 상기 제1 베이스 기관(101)과 대향하는 제2 베이스 기관(201) 상에 형성된 차광 패턴(210), 컬러필터층(220), 오버 코팅층(230), 공통 전극(240), 상기 제1 스페이서(SP1), 상기 제2 스페이서(SP2), 상기 제3 스페이서(SP3) 및 상기 제4 스페이서(SP4)를 포함할 수 있다.
- [0099] 상기 차광 패턴(210)은 상기 제2 베이스 기관(201)에 정의된 화소 영역들의 경계 영역들에 형성되며, 빛샘을 방지한다.
- [0100] 상기 컬러필터층(220)은 상기 화소 영역들에 배치된다. 상기 컬러필터층(220)은 적색 컬러필터, 녹색 컬러필터

및 청색 컬러필터를 포함할 수 있다.

- [0101] 상기 오버 코팅층(230)은 상기 컬러필터층(220)이 형성된 상기 제2 베이스 기판(201) 위에 형성된다.
- [0102] 상기 공통 전극(240)은 투명한 도전성 물질로 이루어지며, 상기 오버 코팅층(230)이 형성된 상기 제2 베이스 기판(201) 위에 형성된다.
- [0103] 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 상기 공통 전극(240)이 형성된 상기 제2 베이스 기판(201) 위에 형성된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 서로 다른 영역들에 배치된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 모두 동일한 높이(h)로 형성된다.
- [0104] 상기 제1 스페이서(SP1)는 상기 제1 베이스 기판(101)의 제1 화소 영역(P11)에 형성된 상기 제1 스위칭 소자(TFT1)의 채널부 상에 상기 제1 베이스 기판(101)과 접촉되게 형성된다. 상기 제1 스페이서(SP1)는 상기 제1 및 제2 베이스 기판들 (101, 201)들 사이에 일정한 셀 갭을 유지하는 역할을 한다.
- [0105] 상기 제2 스페이서(SP2)는 상기 제1 스페이서(SP1)와 함께 상기 제1 및 제2 베이스 기판들(101, 201) 사이에 셀 갭을 일정하게 유지시키는 역할을 한다. 상기 제2 스페이서(SP2)는 상기 제2 베이스 기판(201)의 제2 화소 영역(P26)에 형성된 상기 제2 스위칭 소자(TFT2)의 제2 드레인 전극(DE2) 상에 형성된다. 상기 제2 스페이서(SP2)는 상기 제1 베이스 기판(101)과 제1 간격(G1)만큼 이격되어 형성된다. 상기 제1 간격(G1)은 상기 제1 게이트 전극(GE1)의 두께에 대응하여 약 2000Å일 수 있다. 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2) 사이에 상기 제1 간격(G1)만큼의 단차가 발생하므로, 액정 주입 공정의 마진을 향상시킬 수 있다.
- [0106] 상기 제3 스페이서(SP3)는 상기 제1 베이스 기판(101)의 제3 화소 영역(P22)에 형성된 제2 게이트 라인(GL2) 위의 보호 절연층(150) 상에 형성된다. 상기 제3 스페이서(SP3)는 상기 제1 베이스 기판(101)과 상기 제1 간격(G1)보다 큰 제2 간격(G2)만큼 이격되어 형성된다. 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제2 간격(G2)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제1 반도체 패턴(122)의 두께와, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께를 합한 두께만큼의 단차가 발생한다. 상기 제1 반도체 패턴(122)의 두께는 대략 2000Å이고, 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께는 대략 3000Å일 수 있다. 이 경우, 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 대략 5000Å의 단차가 발생할 수 있다.
- [0107] 상기 제4 스페이서(SP4)는 제4 화소 영역(P21) 상의 상기 제1 베이스 기판(101)과 접촉되게 형성된 게이트 절연층(110) 위의 상기 보호 절연층(150) 상에 형성된다. 상기 제4 스페이서(SP4)는 상기 제1 베이스 기판(101)과 상기 제2 간격(G2)보다 큰 제3 간격(G3)만큼 이격되어 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제3 간격(G3)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에는 상기 제1 게이트 전극(DE1)의 두께, 상기 제1 반도체 패턴(122)의 두께, 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께를 합한 두께에 대응하는 단차가 발생한다. 예를 들면, 상기 제1 게이트 전극(DE1) 및 상기 제2 스위칭 소자(TFT2)의 제2 반도체 패턴(124)의 두께는 각각 대략 2000Å이고, 상기 제2 스위칭 소자(TFT2)의 제2 소스 및 드레인 전극들(SE1, GE2)의 두께는 대략 3000Å일 수 있다. 이 경우 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이의 단차는 대략 7000Å이 된다.
- [0108] 상기 제1 내지 제4 스페이서들(SP1, SP2, SP2, SP3)은 서로 동일한 높이(h)로 형성되나, 상기 제1 내지 제4 스페이서들(SP1, SP2, SP2, SP3)과 마주하는 상기 표시 기판(100)의 표면 높이에 따라 서로 다른 높이를 갖게 된다.
- [0109] 한편, 본 실시예에 따른 표시 장치의 제조 방법은 상기 대향 기판(200)의 제조 방법을 제외하고는, 실시예 1에 따른 표시 장치의 제조 방법과 실질적으로 동일하므로 이에 대한 설명은 생략한다.
- [0110] 도 13a 및 도 13b는 도 12에 도시된 대향 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0111] 도 12 및 도 13a를 참조하면, 상기 제2 베이스 기판(201) 위에 상기 차광 패턴(210), 상기 컬러필터층(220), 상기 오버 코팅층(230) 및 상기 공통 전극(240)을 순차적으로 형성한다.
- [0112] 이어서, 상기 공통 전극(240)이 형성된 상기 제2 베이스 기판(201) 위에 포토레지스트층(60)을 형성한다. 상기 포토레지스트층(60)을 포함하는 상기 제2 베이스 기판(201) 상에 제3 마스크(70)를 배치한다. 상기 포토레지스트층(60)은 예를 들어, 광이 조사된 부분은 현상액에 의해 제거되고 광이 차단된 부분은 경화되어 상기 제2 베이스 기판(201) 상에 잔류하는 포지티브형 포토레지스트일 수 있다. 상기 제3 마스크(70)는 차광부(72) 및 투광부(74)를 포함할 수 있다. 상기 차광부(72)는 상기 제1 및 제3 스페이서들(SP1, SP3)이 형성되는 영역에 대응하

여 배치되고, 상기 투광부(74)는 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)이 형성된 영역들을 제외한 나머지 영역들에 대응하여 배치된다.

[0113] 상기 제3 마스크(70)의 상부에서 상기 포토레지스트층(60)을 향해 광을 조사하고, 현상액을 이용하여 상기 포토레지스트층(60)을 현상한다. 이에 따라, 도 13b에 도시된 바와 같이, 상기 공통 전극(240) 상에 상기 포토레지스트층(60)이 잔류하여 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)이 형성된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 모두 동일한 높이(h)를 갖는다.

[0114] 한편, 본 실시예에서는 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)을 포함하는 4중 스페이서의 구조에 대해서만 설명하였지만, 이에 한정되는 것은 아니다. 즉, 도면에 도시하지 않았지만, 상기 제1 간격(G1)보다 작은 간격, 상기 제1 간격(G1)과 상기 제2 간격(G2) 사이의 간격, 상기 제2 간격(G2)과 상기 제3 간격(G3) 사이의 간격, 및 상기 제3 간격(G3) 보다 큰 간격 중 어느 하나의 간격을 갖는 하나 이상의 스페이서들의 더 구비하도록 구성할 수 있음은 물론이다.

[0115] 본 실시예에 따르면, 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)의 높이를 다르게 구성하기 위해 하프톤 마스크(half tone)를 사용하지 않아도 되므로, 공정 시간 및 공정 비용을 줄일 수 있어 생산성을 향상시킬 수 있다.

[0116] 실시예 4

[0117] 도 14은 본 발명의 실시예 4에 따른 표시 장치의 평면도이다. 도 15는 도 14에 도시된 표시 장치의 일부를 확대한 평면도이다. 도 16은 도 12의 IV-IV'라인을 따라 절단한 표시 장치의 단면도이다.

[0118] 도 10 내지 도 11을 참조하면, 본 실시예에 따른 표시 장치는 표시 기관(100), 상기 표시 기관(100)과 마주하는 대향 기관(200) 및 상기 표시 기관(100)과 상기 대향 기관(200) 사이에 게재된 액정층(300)을 포함한다.

[0119] 본 실시예에 따른 표시 장치는 상기 대향 기관(200)이 제5 스페이서(SP5)를 더 포함하고, 상기 표시 기관(100)에 형성된 보호 절연층(150)이 상기 제5 스페이서(SP5)에 대응하는 위치에 형성된 제1 홀(152)을 포함하는 것을 제외하고는, 실시예 실시예 3에 따른 표시 장치와 실질적으로 동일하므로, 동일한 구성요소에는 동일한 참조 부호를 부여하고, 중복되는 부분은 생략한다.

[0120] 상기 표시 기관(100)은 제1 베이스 기관(101) 상에 형성된 복수의 게이트 라인들(GLn), 복수의 데이터 라인들(DLm), 제1 스위칭 소자(TFT1), 게이트 절연층(110), 상기 보호 절연층(150), 및 제1 화소 전극(PE1)을 포함할 수 있다.

[0121] 상기 보호 절연층(150)은 상기 제1 스위칭 소자(TFT1)가 형성된 상기 제1 베이스 기관(401) 위에 형성된다. 상기 보호 절연층(150)은 상기 제1 스위칭 소자(TFT1)의 제1 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1)을 포함한다. 상기 보호 절연층(150)은 제3 행, 제1 열에 해당하는 제5 화소 영역(P31) 상의 상기 게이트 절연층(110)을 노출시키는 제1 홀(152)을 포함한다.

[0122] 상기 대향 기관(500)은 상기 제1 베이스 기관(401)과 대향하는 제2 베이스 기관(201) 상에 형성된 차광 패턴(210), 컬러필터층(220), 오버 코팅층(230), 공통 전극(240), 제1 스페이서(SP1), 제2 스페이서(SP2), 제3 스페이서(SP3), 제4 스페이서(SP4) 및 상기 제5 스페이서(SP5)를 포함할 수 있다.

[0123] 상기 제1 스페이서(SP1)는 상기 제1 베이스 기관(101)의 제1 화소 영역(P11)에 형성된 상기 제1 스위칭 소자(TFT1)의 채널부 상에 상기 제1 베이스 기관(101)과 접촉되게 형성된다. 상기 제1 스페이서(SP1)는 상기 제1 및 제2 베이스 기관들(101, 201)들 사이에 일정한 셀 갭을 유지하는 역할을 한다.

[0124] 상기 제2 스페이서(SP2)는 상기 제1 베이스 기관(101)과 제1 간격(G1)만큼 이격되어 형성된다. 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2) 사이에 상기 제1 간격(G1)만큼의 단차가 발생하므로, 액정 주입 공정의 마진을 향상시킬 수 있다.

[0125] 상기 제3 스페이서(SP3)는 상기 제3 스페이서(SP3)는 상기 제1 베이스 기관(101)과 상기 제1 간격(G1)보다 큰 제2 간격(G2)만큼 이격되어 형성된다. 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제2 간격(G2)만큼의 단차가 발생한다.

[0126] 상기 제4 스페이서(SP4)는 상기 제1 베이스 기관(101)과 상기 제2 간격(G2) 보다 큰 제3 간격(G3)만큼 이격되어

형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제3 간격(G3)만큼의 단차가 발생한다.

[0127] 상기 제5 스페이서(SP5)는 상기 제5 화소 영역(P31) 상의 상기 보호 절연층(150)에 형성된 상기 제1 홀(152) 상에 형성된다. 상기 제5 스페이서(SP5)는 상기 제1 베이스 기판(101)과 상기 제3 간격(G3) 보다 큰 제4 간격(G4)만큼 이격되어 형성될 수 있다. 상기 제1 스페이서(SP1)와 상기 제5 스페이서(SP5) 사이에 상기 제4 간격(G4)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에는 상기 제1 스위칭 소자(TFT1)의 제1 게이트 전극(DE1)의 두께, 제1 반도체 패턴(122)의 두께, 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)의 두께, 및 상기 보호 절연층(150)의 두께를 합한 두께에 대응하는 단차가 발생한다.

[0128] 한편, 본 실시예에서는 상기 제1 내지 제5 스페이서들(SP1, SP2, SP3, SP4, SP5)을 포함하는 5중 스페이서의 구조에 대해서만 설명하였지만, 이에 한정되는 것은 아니다. 즉, 도면에 도시하지 않았지만, 상기 제1 간격(G1) 내지 상기 제4 간격(G4) 사이의 간격들 또는 상기 제4 간격(G4) 보다 큰 간격 중 어느 하나의 간격을 갖는 스페이서를 더 구비하도록 구성할 수 있음은 물론이다.

[0129] 또한, 상기 표시 기판(100)의 제조 방법에서, 상기 보호 절연층(150)은 제1 홀(152)을 형성하는 과정이 추가된 것을 제외하고는, 실시예 1에 따른 표시 기판의 제조 방법과 실질적으로 동일하므로 이에 대한 설명은 생략한다.

[0130] 상기 제1 홀(152)은 상기 제1 드레인 전극(DE1)을 노출시키기 위해 제1 콘택홀(CNT1)을 형성하는 과정과 동시에 형성될 수 있다.

[0131] 또한, 상기 대향 기판(200)의 제조 방법은 실시예 3에 따른 대향 기판(200)의 제조 방법과 실질적으로 동일하므로, 이에 대한 설명은 생략한다.

[0132] 실시예 5

[0133] 도 17은 본 발명의 실시예 5에 따른 표시 장치의 평면도이다. 도 18은 도 17에 도시된 표시 장치의 일부를 확대한 평면도이다. 도 19는 도 18의 V-V'라인을 따라 절단한 표시 장치의 단면도이다.

[0134] 도 17 내지 도 19를 참조하면, 본 실시예에 따른 표시 장치는 표시 기판(400), 상기 표시 기판(400)과 마주하는 대향 기판(500) 및 상기 표시 기판(400)과 상기 대향 기판(500) 사이에 게재된 액정층(600)을 포함한다.

[0135] 상기 표시 기판(400)은 제1 베이스 기판(401) 상에 형성된 복수의 게이트 라인들(GLn), 복수의 데이터 라인들(DLm), 제1 스위칭 소자(TFT1), 게이트 절연층(410), 보호 절연층(450), 및 제1 화소 전극(PE1)을 포함할 수 있다. 상기 게이트 라인들(GLn) 및 상기 데이터 라인들(DLm)에 의해 다수의 화소 영역들(P11 내지 Pnm)이 정의된다. 상기 화소 영역들(P11 내지 Pnm)은 복수의 행들 및 복수의 열들을 따라 2차원 적으로 배열된다.

[0136] 상기 제1 스위칭 소자(TFT1)는 제1 행, 제1 열에 해당하는 제1 화소 영역(P11)에 형성된다. 상기 제1 스위칭 소자(TFT1)는 제1 게이트 전극(GE1), 제1 반도체 패턴(422), 제1 소스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제1 게이트 라인(GL1)과 연결된다. 상기 제1 반도체 패턴(422)은 게이트 절연층(410)을 사이에 두고 상기 제1 게이트 전극(GE1)과 중첩되게 형성된다. 상기 제1 반도체 패턴(422)은 비정질 실리콘으로 형성된 제1 반도체층(422a) 및 n형 불순물이 고농도로 도핑된 비정질 실리콘으로 형성된 제1 오믹 콘택층(422b)을 포함할 수 있다. 상기 제1 소스 전극(SE1)은 상기 제1 반도체 패턴(422) 상에 상기 제1 오믹 콘택층(422b)과 접촉되게 형성된다. 상기 제1 드레인 전극(DE1)은 상기 제1 반도체 패턴(422) 상에 상기 제1 소스 전극(SE1)과 이격되어 배치된다. 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1) 사이의 이격된 영역이 의해 상기 제1 스위칭 소자(TFT1)의 채널부로 정의된다.

[0137] 상기 게이트 절연층(410)은 상기 제1 게이트 전극(GE1), 상기 제1 게이트 라인(GL1) 및 상기 제1 게이트 라인(GL1)과 인접한 제2 게이트 라인(GL2)을 포함하는 상기 제1 베이스 기판(401) 위에 형성된다. 상기 게이트 절연층(410)은 제2 행, 제2 열에 해당하는 제3 화소 영역(P22) 상의 상기 제2 게이트 라인(GL2)을 노출시키는 제1 홀(412) 및 상기 제2 행, 제1 열에 해당하는 제4 화소 영역(P21) 상의 상기 제1 베이스 기판(401)을 노출시키는 제2 홀(414)을 포함한다.

[0138] 상기 보호 절연층(450)은 상기 제1 스위칭 소자(TFT1)가 형성된 상기 제1 베이스 기판(401) 위에 형성된다. 상기 보호 절연층(450)은 상기 제1 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1)을 포함한다. 상기 보호 절연

층(450)은 상기 제1 홀(412)과 연결되어 상기 제2 게이트 라인(GL2)을 노출시키는 제3 홀(452) 및 상기 제2 홀(414)과 연결되어 상기 제1 베이스 기판(401)을 노출시키는 제4 홀(454)을 포함한다. 상기 제1 홀(412) 및 상기 제3 홀(452)에 의해 제1 함몰부(460)가 정의되고, 상기 제2 홀(414) 및 상기 제4 홀(454)에 의해 제2 함몰부(470)가 정의된다.

- [0139] 상기 제1 화소 전극(PE1)은 상기 제1 화소 영역(P11)에 형성되고, 투명한 도전성 물질로 이루어질 수 있다. 상기 제1 화소 전극(PE1)은 상기 보호 절연층(450)에 형성된 상기 제1 콘택홀(CNT1)을 통해 상기 제1 스위칭 소자(TFT1)의 상기 제1 드레인 전극(DE1)과 전기적으로 연결된다.
- [0140] 상기 표시 기판(400)은 보호 전극(480)을 더 포함할 수 있다.
- [0141] 상기 보호 전극(480)은 상기 제1 함몰부(460)에 의해 노출된 상기 제2 게이트 라인(GL2) 위에 상기 제2 게이트 라인(GL2)을 커버하도록 형성된다. 상기 보호 전극(480)은 상기 제1 함몰부(460)에 의해 노출된 상기 제2 게이트 라인(GL2)을 보호하는 역할을 한다. 상기 보호 전극(480)은 상기 제1 화소 전극(PE1)과 동일한 물질로 형성될 수 있다.
- [0142] 상기 대향 기판(500)은 상기 제1 베이스 기판(401)과 대향하는 제2 베이스 기판(501) 상에 형성된 차광 패턴(510), 컬러필터층(520), 오버 코팅층(530), 공통 전극(540), 제1 스페이서(SP1), 제2 스페이서(SP2), 제3 스페이서(SP3) 및 제4 스페이서(SP4)를 포함할 수 있다.
- [0143] 상기 차광 패턴(510)은 상기 제2 베이스 기판(501)에 정의된 화소 영역들의 경계 영역들에 형성되며, 빛샘을 방지한다.
- [0144] 상기 컬러필터층(520)은 상기 화소 영역들에 배치된다. 상기 컬러필터층(520)은 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터를 포함할 수 있다.
- [0145] 상기 오버 코팅층(530)은 상기 컬러필터층(520)이 형성된 상기 제2 베이스 기판(501) 위에 형성된다.
- [0146] 상기 공통 전극(540)은 투명한 도전성 물질로 이루어지며, 상기 오버 코팅층(530)이 형성된 상기 제2 베이스 기판(201) 위에 형성된다.
- [0147] 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 상기 공통 전극(240)이 형성된 상기 제2 베이스 기판(501) 위에 형성된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 서로 다른 영역들에 배치된다. 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)은 모두 동일한 높이(h)로 형성된다.
- [0148] 상기 제1 스페이서(SP1)는 상기 제1 베이스 기판(401)의 상기 제1 화소 영역(P11)에 형성된 상기 제1 게이트 라인(GL1) 위의 보호 절연층(450) 상에 상기 보호 절연층(450)과 접촉되게 형성된다. 상기 제1 스페이서(SP1)는 상기 제1 및 제2 베이스 기판(401, 501)들 사이에 일정한 셀 갭을 유지하는 역할을 한다.
- [0149] 상기 제2 스페이서(SP2)는 상기 제2 행, 제6 열에 해당하는 제2 화소 영역(P26) 상의 상기 제1 베이스 기판(401)과 접촉되게 형성된 상기 게이트 절연층(410) 위의 상기 보호 절연층(450) 상에 형성된다. 상기 제2 스페이서(SP2)는 상기 제1 베이스 기판(401)과 제1 간격(G1)만큼 이격되어 형성될 수 있다. 예를 들면, 상기 제1 간격(G1)은 상기 제1 게이트 전극(GE1)의 두께에 대응하여 약 2000Å일 수 있다. 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2) 사이에 상기 제1 간격(G1)만큼의 단차가 발생하므로, 액정 주입 공정의 마진을 향상시킬 수 있다.
- [0150] 상기 제3 스페이서(SP3)는 상기 제1 베이스 기판(401)의 상기 제3 화소 영역(P22)에 형성된 상기 제1 함몰부(460) 상에 형성된다. 상기 제3 스페이서(SP3)는 상기 제1 베이스 기판(401)과 상기 제1 간격(G1)보다 큰 제2 간격(G2)만큼 이격되어 형성된다. 예를 들면, 상기 제2 간격(G2)은 상기 게이트 절연층(410)의 두께와 상기 보호 절연층(450)의 두께를 합한 두께에서 상기 제1 함몰부(460)에 의해 노출된 상기 제2 게이트 라인(GL2) 위의 상기 보호 전극(480)의 두께를 뺀 두께에 대응할 수 있다. 예를 들면, 상기 제2 간격(G2)은 약 0.5 μ m일 수 있다. 상기 보호 전극(480)의 두께는 상기 게이트 절연층(410) 및 상기 보호 절연층(450)의 두께보다 얇은 두께를 갖도록 형성된다. 상기 제1 스페이서(SP1)와 상기 제3 스페이서(SP3) 사이에 상기 제2 간격(G2)만큼의 단차가 발생한다.
- [0151] 상기 제4 스페이서(SP4)는 상기 제1 베이스 기판(401)의 상기 제4 화소 영역(P21)에 형성된 상기 제2 함몰부(470) 상에 형성된다. 상기 제4 스페이서(SP4)는 상기 제1 베이스 기판(401)과 상기 제2 간격(G2)보다 큰 제3 간격(G3)만큼 이격되어 형성될 수 있다. 예를 들면, 상기 제3 간격(G3)은 약 0.7 μ m일 수 있다. 상기 제1 스페이

서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제3 간격(G3)만큼의 단차가 발생한다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제4 스페이서(SP4) 사이에 상기 제1 게이트 라인(GL1)의 두께, 상기 게이트 절연층(410)의 두께, 및 상기 보호 절연층(450)의 두께를 합한 두께에 대응하는 단차를 발생한다.

- [0152] 상기 제1 스페이서(SP1)와 제2 스페이서(SP2)의 밀도는 1:N(N은 자연수) 또는 N:1의 비율을 가질 수 있다. 예를 들면, 상기 제1 스페이서(SP1)와 상기 제2 스페이서(SP2)의 밀도는 1:1, 1:2, 1:3, 3:1 또는 2:1의 비율을 가질 수 있다. 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 제1 및 제2 스페이서들(SP1, SP2)보다 더 조밀하게 형성된다. 상기 제3 및 제4 스페이서들(SP3, SP4)은 상기 외부의 압력에 의해 액정패널이 눌렸을 때, 이에 대한 하중을 분산시키는 역할을 하게 된다. 상기 제3 및 제4 스페이서(SP4)들은 상기 제1 및 제2 스페이서들(SP1, SP2)이 형성된 화소 영역들을 제외한 화소 영역들에 고르게 분포되어 배치된다.
- [0153] 상기 제1 내지 제4 스페이서들(SP1, SP2, SP2, SP3)은 서로 동일한 높이(h)로 형성되나, 상기 제1 내지 제4 스페이서들(SP1, SP2, SP2, SP3)과 마주하는 상기 표시 기관(100)의 표면 높이에 따라 서로 다른 높이를 갖게 된다.
- [0154] 본 실시예에 따른 표시 장치의 제조 방법에서, 상기 대향 기관(500)의 제조 방법은 실시예 3에 따른 대향 기관(200)의 제조 방법과 실질적으로 동일하므로, 이에 대한 설명은 생략한다.
- [0155] 도 20a 내지 도 20c는 도 19에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0156] 도 19 및 도 20a를 참조하면, 상기 제1 베이스 기관(401) 위에 게이트 금속층을 형성하고, 상기 게이트 금속층을 패터닝하여 상기 제1 게이트 전극(GE1), 상기 제1 게이트 라인(GL1) 및 상기 제2 게이트 라인(GL2)을 포함하는 게이트 패턴을 형성한다.
- [0157] 상기 게이트 패턴을 포함하는 상기 제1 베이스 기관(401) 위에 게이트 절연층(410), 반도체층, 오믹 콘택층 및 소스 금속층을 순차적으로 형성한다. 상기 반도체층, 상기 오믹 콘택층 및 상기 소스 금속층을 패터닝하여 상기 제1 반도체 패턴(422), 상기 제1 반도체 패턴(422) 위에 배치되는 상기 제1 소스 전극(SE1) 및 상기 제1 소스 전극(SE1)과 이격된 제1 드레인 전극을 포함하는 소스 패턴을 형성한다. 상기 제1 반도체 패턴(422) 및 상기 소스 패턴을 형성하는 과정은 도 5a 내지 도 5b를 참조하여 설명한 제1 반도체 패턴(122) 및 상기 소스 패턴 형성 과정과 실질적으로 동일하므로, 이에 대한 설명은 생략한다.
- [0158] 이어서, 상기 소스 패턴이 형성된 상기 제1 베이스 기관(401) 위에 상기 보호 절연층을 형성한다.
- [0159] 도 20b를 참조하면, 상기 보호 절연층(450)이 형성된 상기 제1 베이스 기관(401) 위에 제4 포토 패턴(80)을 형성한다. 상기 제4 포토 패턴(80)은 상기 보호 절연층(450)이 형성된 상기 제1 베이스 기관(401) 위에 감광성 물질을 포함하는 포토레지스트층을 형성한 후, 상기 포토 레지스트층을 포함하는 상기 제1 베이스 기관(401) 상에 제4 마스크(90)를 배치하고, 상기 제4 마스크(90) 상부에 광을 조사한 후 이를 현상하여 형성할 수 있다. 상기 포토레지스트층은 예를 들어, 광이 조사된 부분은 현상액에 의해 제거되고 광이 차단된 부분은 경화되어 상기 제1 베이스 기관(401) 상에 잔류하는 포지티브형 포토레지스트일 수 있다. 이때, 상기 제4 마스크(90)는 차광부(92) 및 투광부(94)를 포함할 수 있다. 상기 투광부(94)는 상기 제1 콘택홀(CNT1)이 형성되는 영역, 상기 제1 함몰부(460)가 형성되는 영역, 및 상기 제2 함몰부(470)가 형성되는 영역에 대응하여 배치된다. 상기 차광부(92)는 상기 제1 콘택홀(CNT1)이 형성되는 영역, 상기 제1 함몰부(460)가 형성되는 영역, 및 상기 제2 함몰부(470)가 형성되는 영역을 제외한 나머지 영역에 배치된다.
- [0160] 이어서, 상기 제4 포토 패턴(80)을 식각 방지막으로 하여 상기 보호 금속층을 제거하여 상기 제1 화소 영역(P11) 상의 상기 제1 드레인 전극(DE1)을 노출시키는 상기 제1 콘택홀, 상기 제3 화소 영역(P22) 상의 상기 게이트 절연층(410)을 노출시키는 상기 제3 홀(452) 및 상기 제4 화소 영역(P21) 상의 상기 게이트 절연층(410)을 노출시키는 상기 제4 홀(454)을 형성한다.
- [0161] 이어서, 상기 제4 포토 패턴(80)을 식각 방지막으로 하여 상기 게이트 절연층(410)을 제거하여 상기 제3 홀(452)과 연결되고 상기 제1 게이트 라인(GL1)을 노출시키는 상기 제1 홀(412), 및 상기 제4 화소 영역(P21) 상의 상기 제4 홀(454)과 연결되고 상기 제1 베이스 기관(401)을 노출시키는 상기 제2 홀(414)을 형성한다. 상기 제1 홀(412) 및 상기 제3 홀(452)에 의해 상기 제1 함몰부(460)가 정의되고, 상기 제2 홀(414) 및 상기 제4 홀(454)에 의해 상기 제2 함몰부(470)가 정의된다.
- [0162] 도 20c를 참조하면, 상기 보호 절연층(450)이 형성된 상기 제1 베이스 기관(401) 위에 투명 전극층을 형성한 후 패터닝 하여, 상기 제1 화소 전극(PE1) 및 상기 보호 전극(480)을 형성한다. 상기 제1 화소 전극(PE1)은 상기

제1 콘택홀(CNT1)에 의해 상기 제1 스위칭 소자(TFT1)의 상기 제1 드레인 전극(DE1)과 전기적으로 연결된다. 상기 보호 전극(480)은 상기 제2 게이트 라인(GL2) 전체를 커버하도록 형성된다.

[0163] 한편, 본 실시예에서는 상기 제1 내지 제4 스페이서들(SP1, SP2, SP3, SP4)을 포함하는 4중 스페이서의 구조에 대해서만 설명하였지만, 이에 한정되는 것은 아니다. 즉, 도면에 도시하지 않았지만, 상기 제1 간격(G1) 내지 제3 간격(G3)들 사이의 간격들, 및 상기 제3 간격(G3) 보다 큰 간격 중 어느 하나의 간격을 갖는 스페이서를 더 구비하도록 구성할 수 있음은 물론이다.

산업이용 가능성

[0164] 이상에서 설명한 바와 같이, 본 발명의 실시예들에 따르면, 셀 갭 유지 및 액정 주입 공정의 마진을 확보하기 위한 제1 및 제2 스페이서와, 외부에서 가해지는 압력에 대한 내성을 확보하기 위한 제3 및 제4 스페이서들을 포함하는 4중 스페이서 구조를 채용함으로써, 트레이드 오프(Trade-off) 관계인 상기 액정 주입 공정의 마진과 상기 외부 압력에 대한 내성을 동시에 최적화 시킬 수 있다.

[0165] 또한, 상기 스페이서들의 높이를 다르게 구성하기 위해 하프톤 마스트 (half tone)를 사용하지 않고도 다양한 단차를 구성할 수 있으므로, 공정 시간 및 공정 비용을 줄일 수 있다. 따라서, 생산성을 향상시킬 수 있다.

[0166] 이상에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

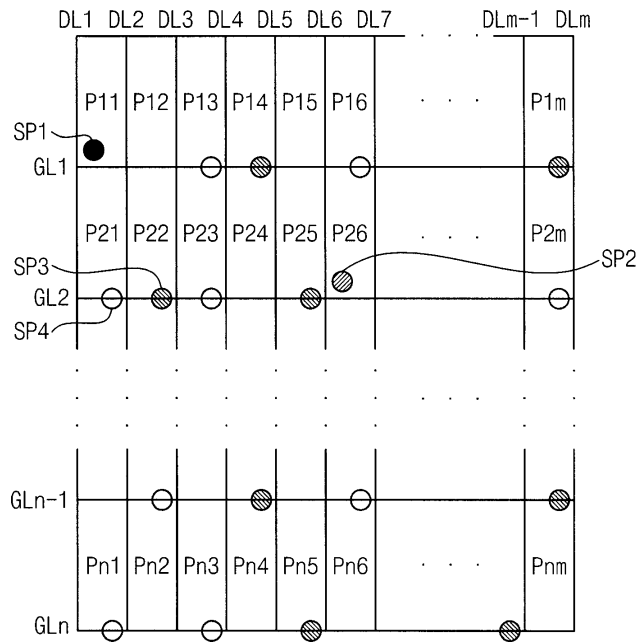
- [0167] 도 1은 본 발명의 실시예 1에 따른 표시 장치에 대한 평면도이다.
- [0168] 도 2는 도 1에 도시된 표시 장치의 일부를 확대한 평면도이다.
- [0169] 도 3은 도 2의 I-I' 라인을 따라 절단한 표시 장치의 단면도다.
- [0170] 도 4는 도 3에 도시된 표시 장치의 제조 방법을 설명하기 위한 흐름도이다.
- [0171] 도 5a 내지 도 5c는 도 3에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0172] 도 6a 및 도 6b는 도 3에 도시된 대향 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0173] 도 7은 본 발명의 실시예 2에 따른 표시 장치의 평면도이다.
- [0174] 도 8은 도 7에 도시된 표시 장치의 일부를 확대한 평면도이다.
- [0175] 도 9는 도 8의 II-II' 라인을 따라 절단한 표시 장치의 단면도다.
- [0176] 도 10은 본 발명의 실시예 3에 따른 표시 장치의 평면도이다.
- [0177] 도 11은 도 10에 도시된 표시 장치의 일부를 확대한 평면도이다.
- [0178] 도 12는 도 11의 III-III' 라인을 따라 절단한 표시 장치의 단면도다.
- [0179] 도 13a 및 도 13b는 도 12에 도시된 대향 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0180] 도 14은 본 발명의 실시예 4에 따른 표시 장치의 평면도이다.
- [0181] 도 15는 도 14에 도시된 표시 장치의 일부를 확대한 평면도이다.
- [0182] 도 16은 도 12의 IV-IV' 라인을 따라 절단한 표시 장치의 단면도이다.
- [0183] 도 17은 본 발명의 실시예 5에 따른 표시 장치의 평면도이다.
- [0184] 도 18은 도 17에 도시된 표시 장치의 일부를 확대한 평면도이다.
- [0185] 도 19는 도 18의 V-V' 라인을 따라 절단한 표시 장치의 단면도이다.
- [0186] 도 20a 내지 도 20c는 도 19에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

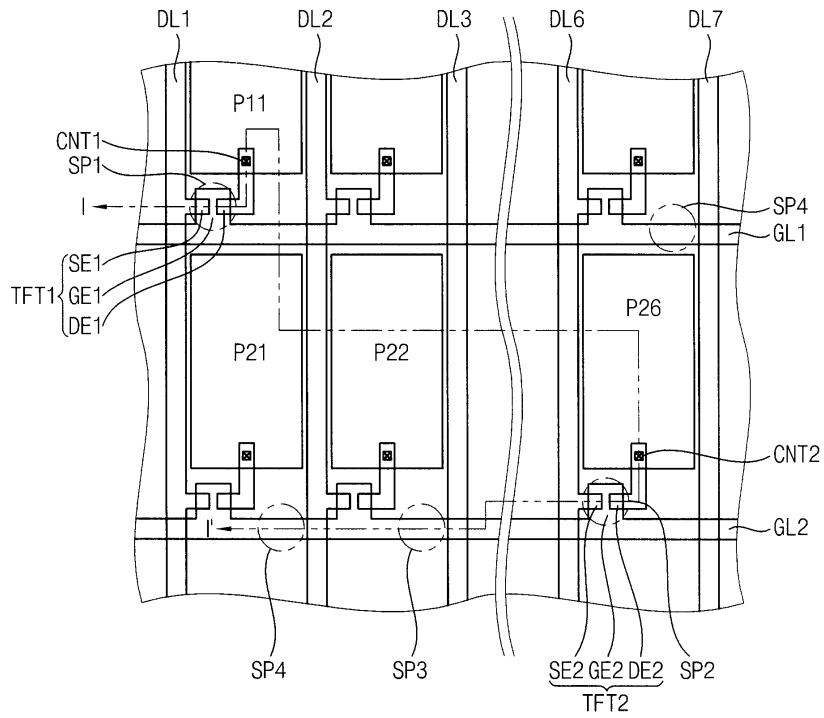
- [0188] 100 : 표시 기관 101 : 제1 베이스 기관
- [0189] 110 : 게이트 절연층 PE1, PE2 : 제1 및 제2 화소 전극
- [0190] 150 : 보호 절연층 200 : 대향 기관
- [0191] 210 : 차광 패턴 240 : 공통 전극
- [0192] SP1, SP2, SP3, SP4 : 제1 내지 제4 스페이서

도면

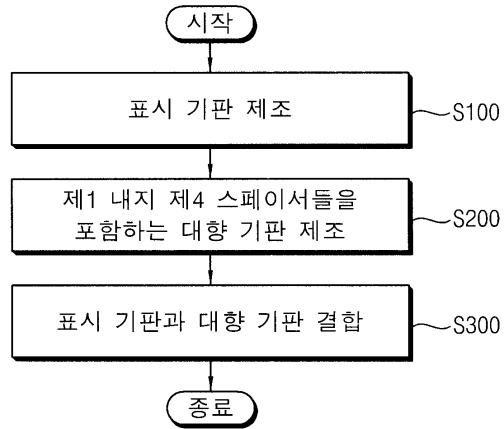
도면1



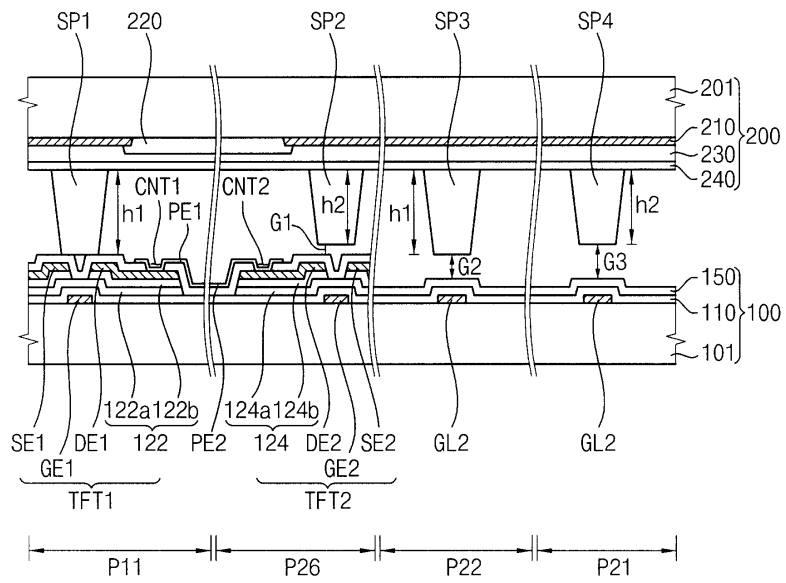
도면2



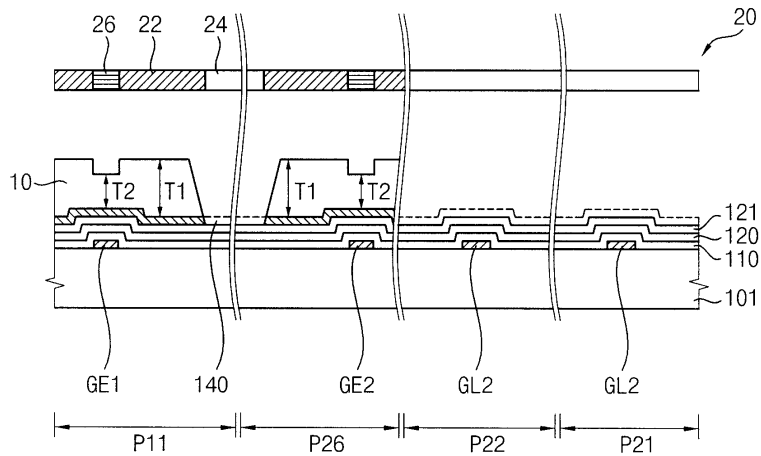
도면3



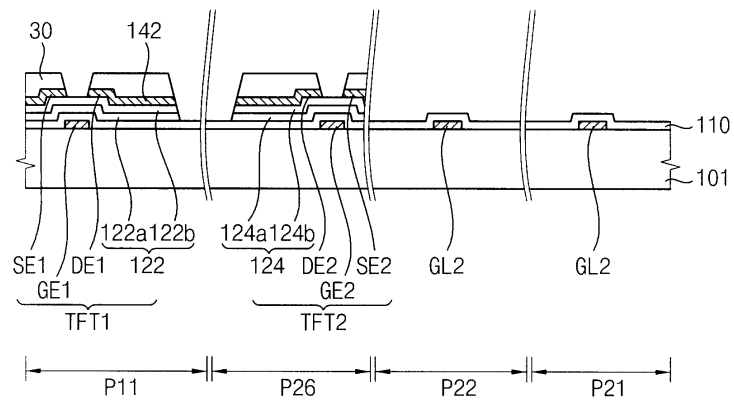
도면4



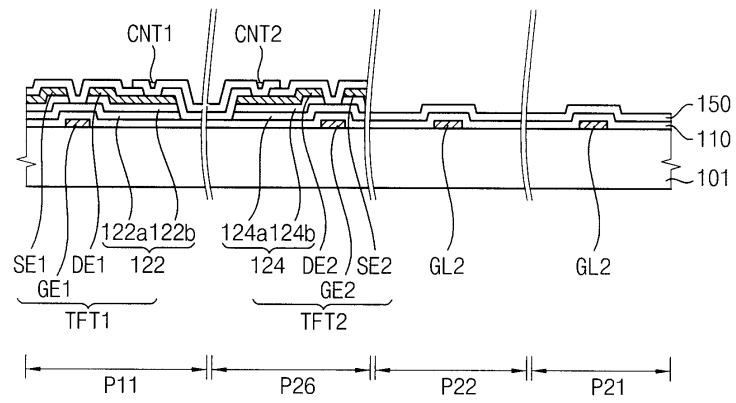
도면5a



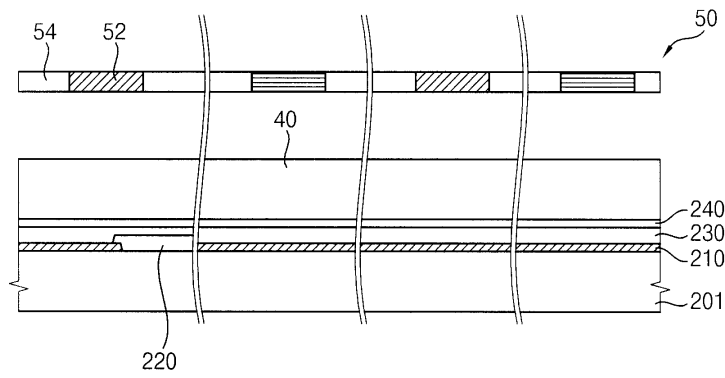
도면5b



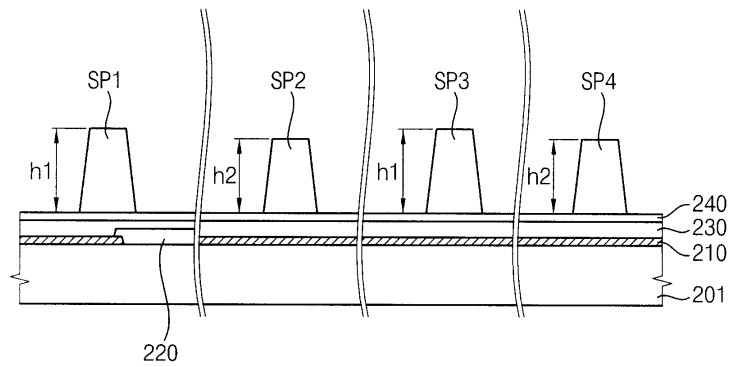
도면5c



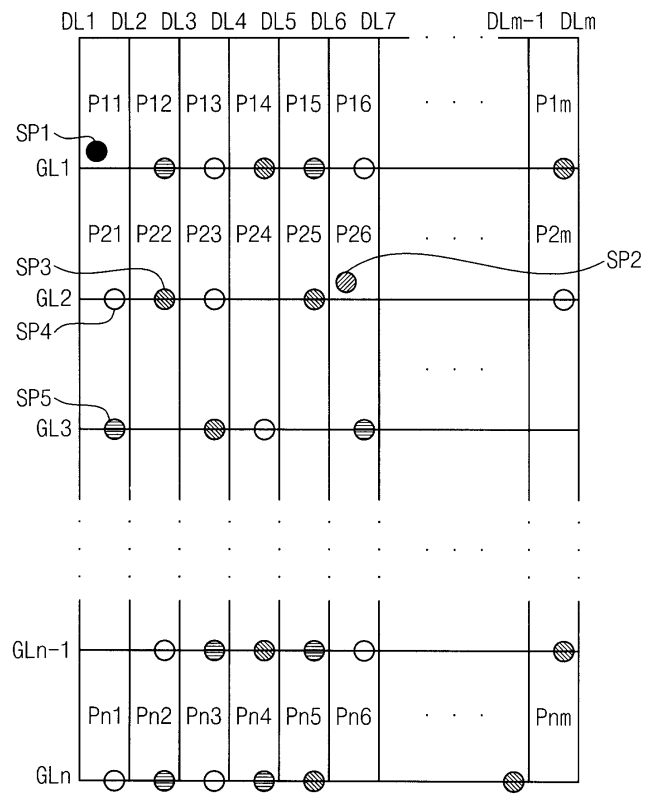
도면6a



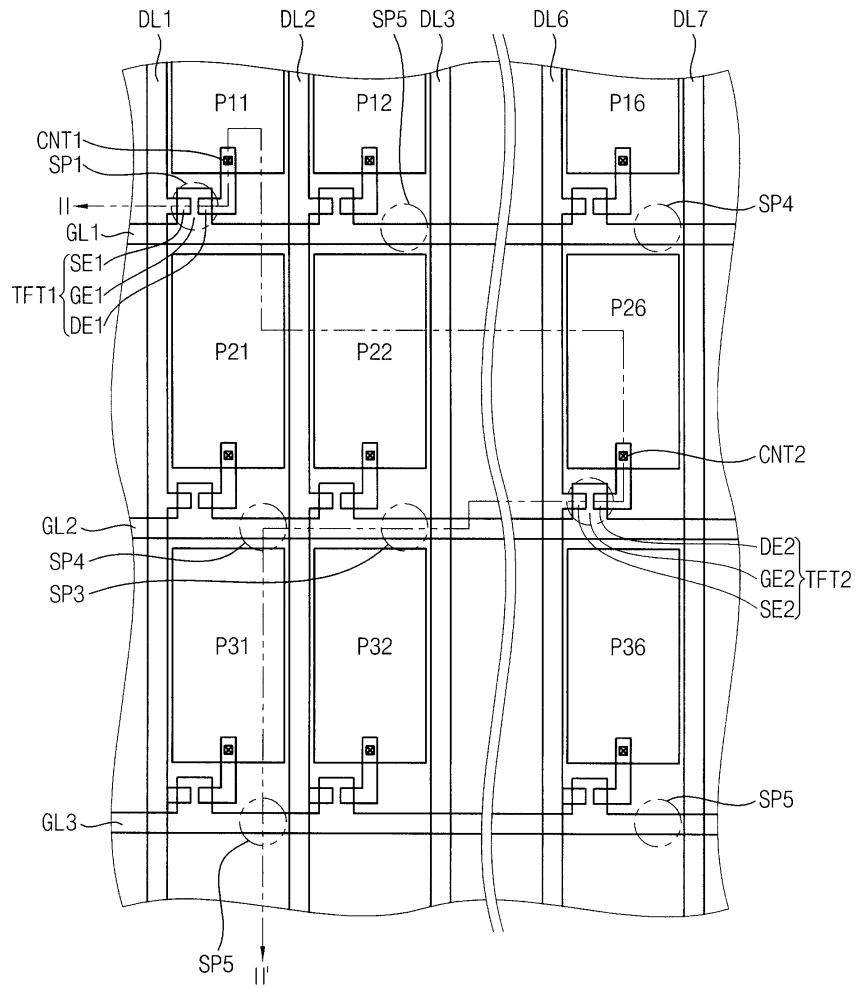
도면6b



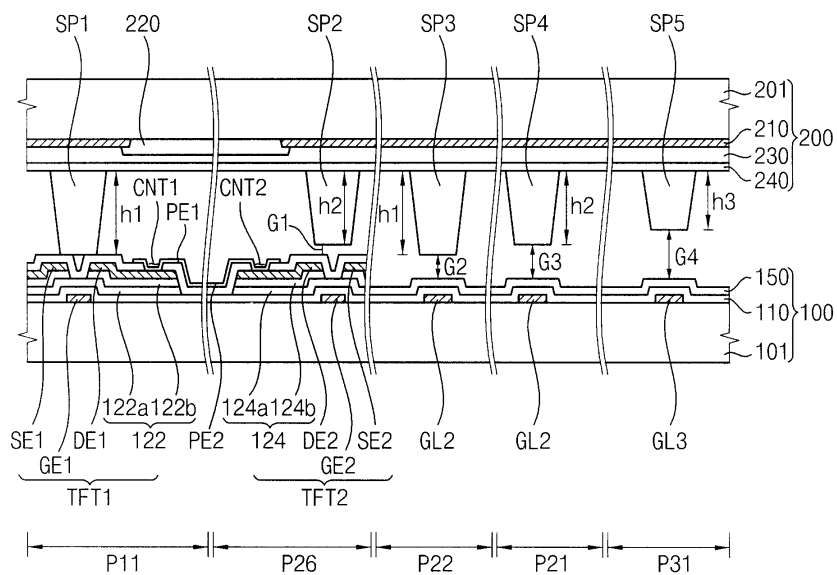
도면7



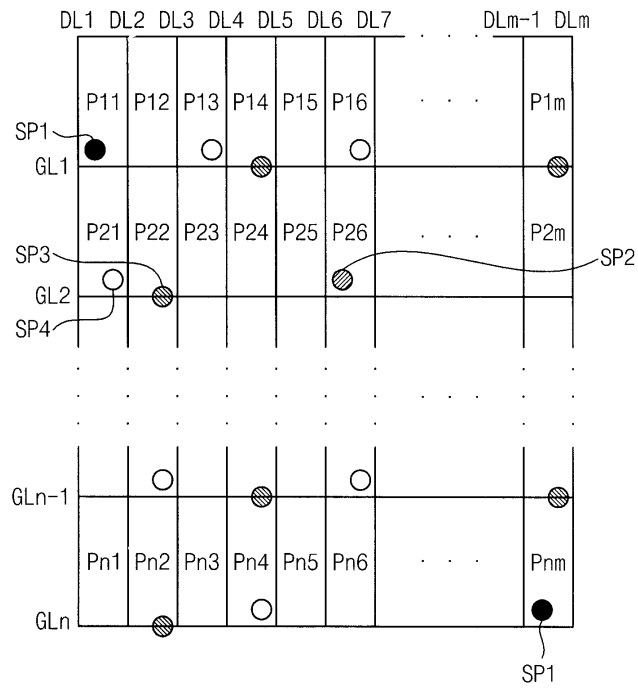
도면8



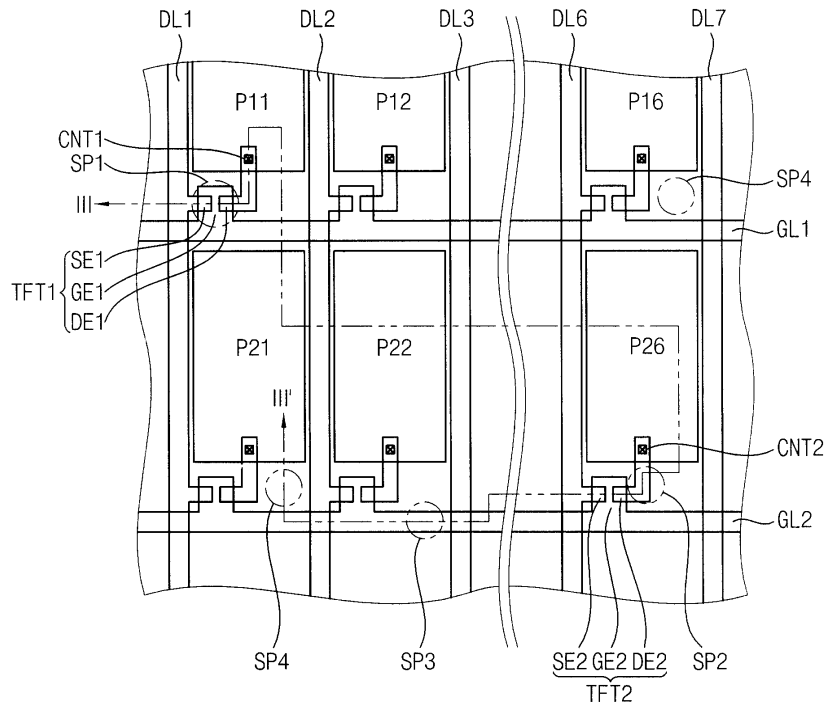
도면9



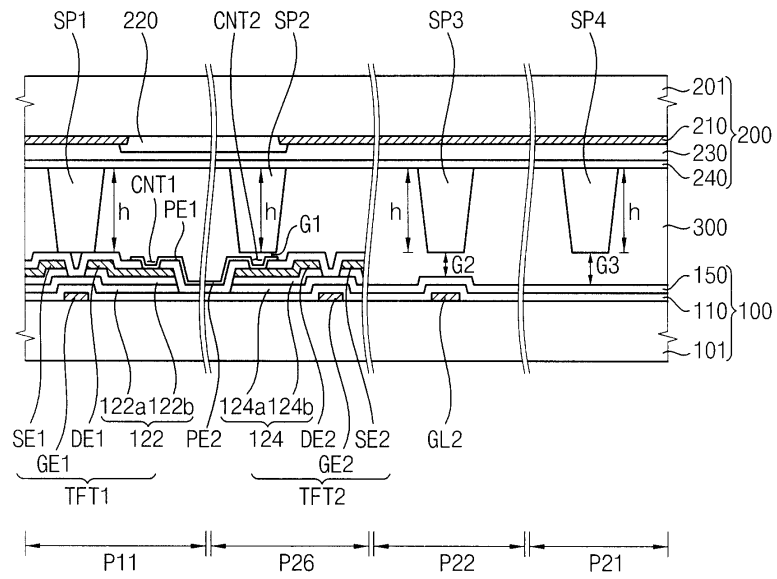
도면10



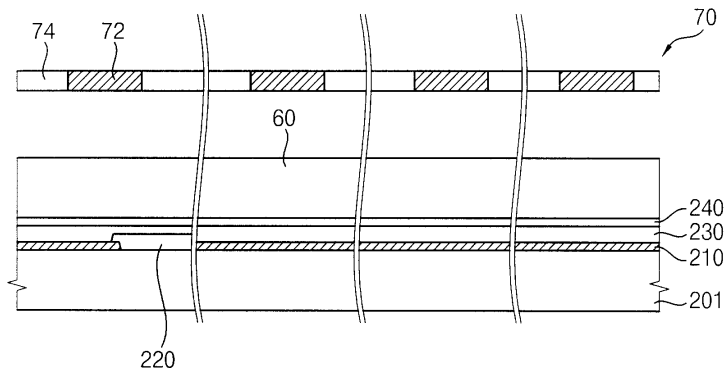
도면11



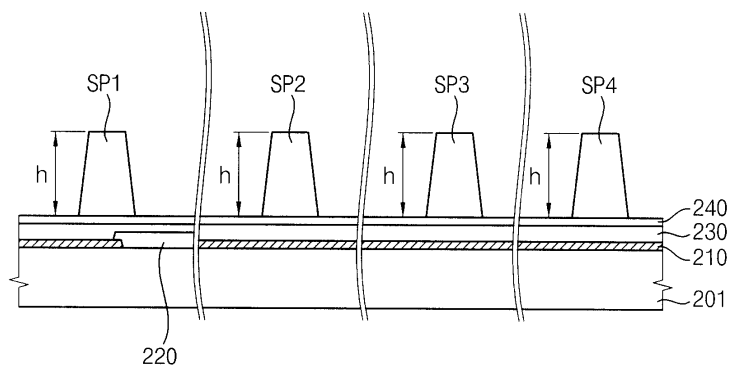
도면12



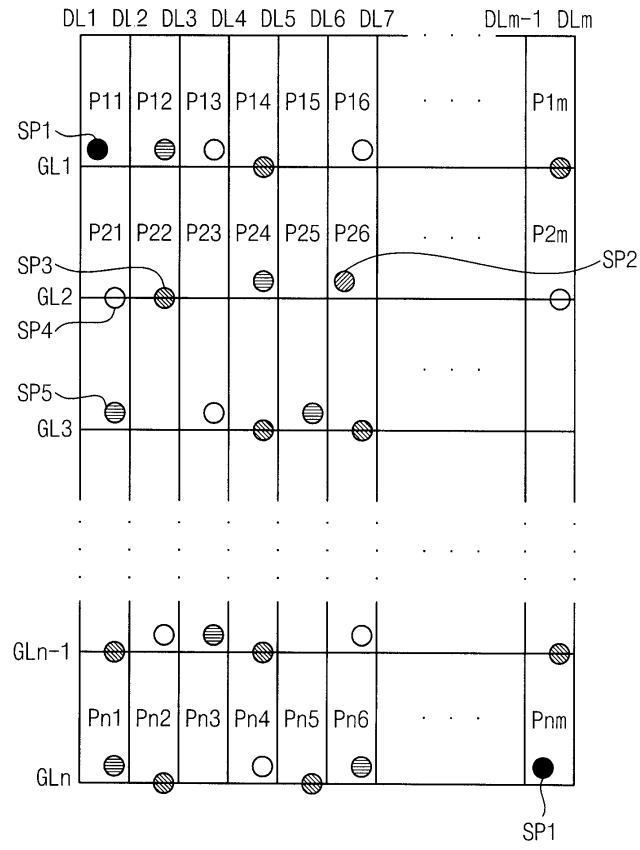
도면13a



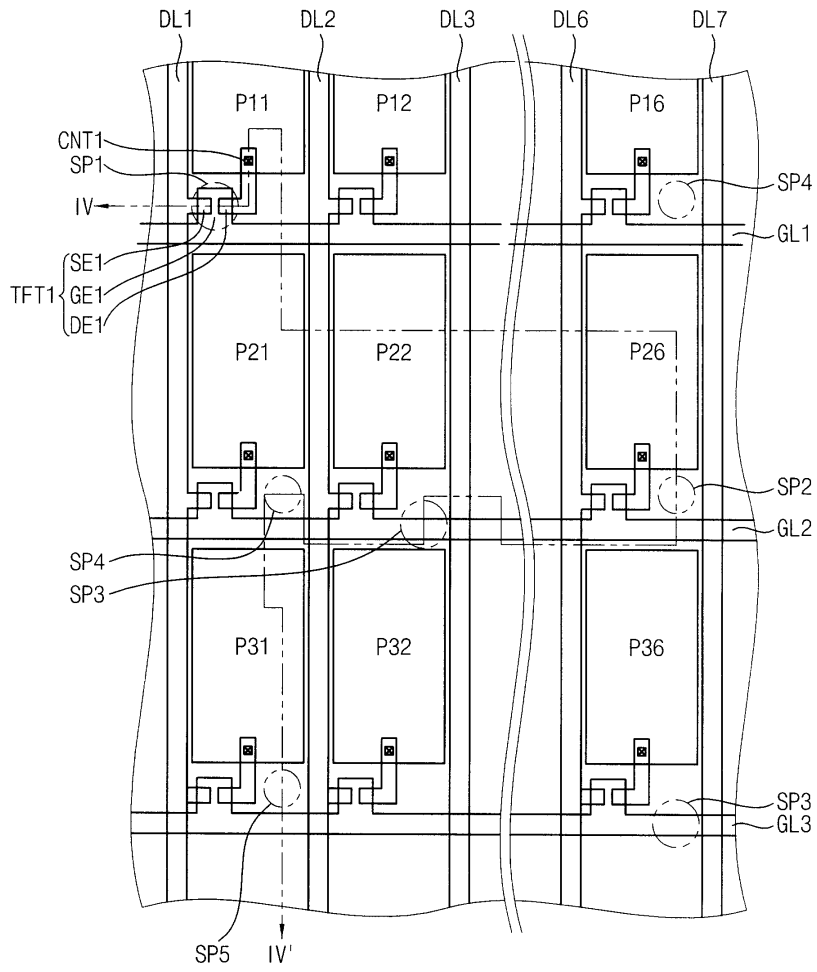
도면13b



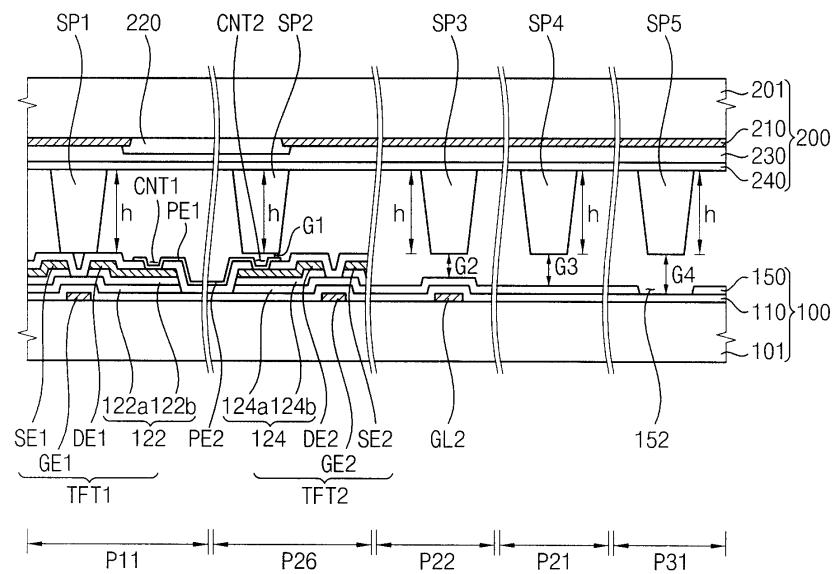
도면14



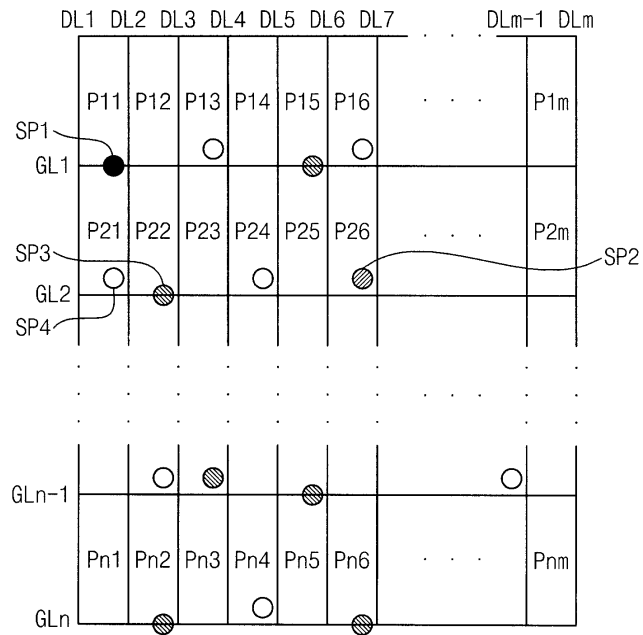
도면15



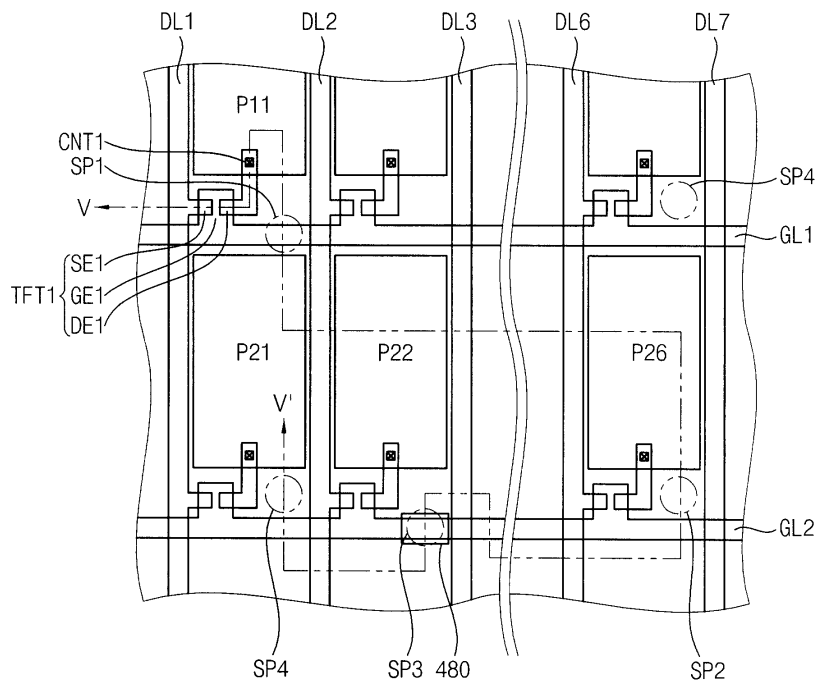
도면16



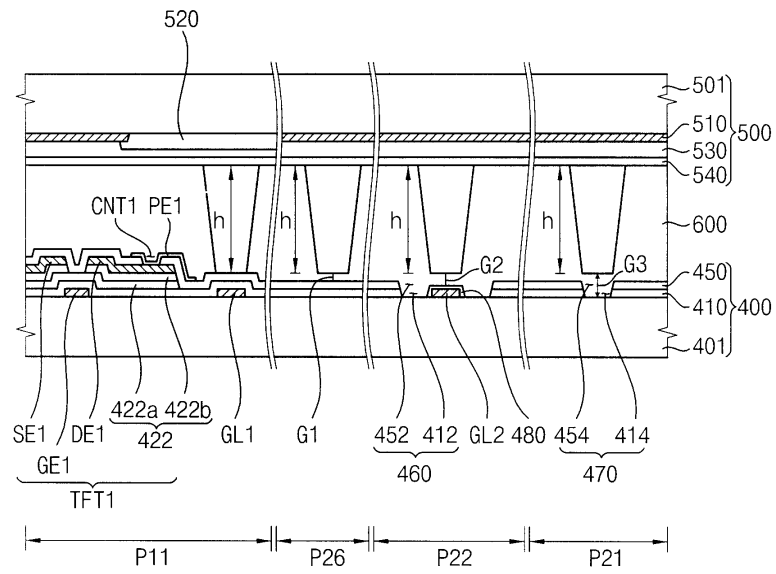
도면17



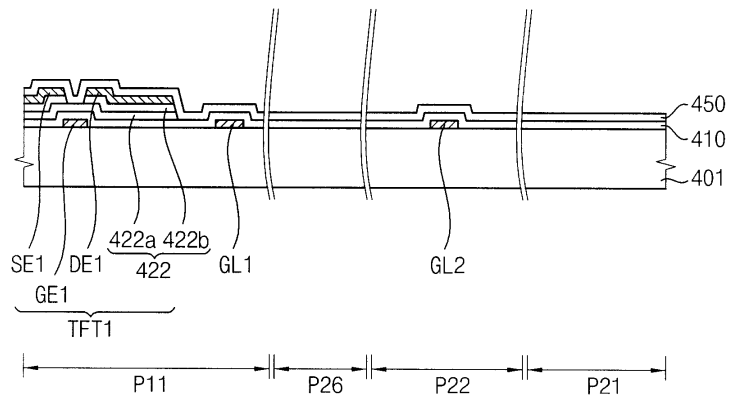
도면18



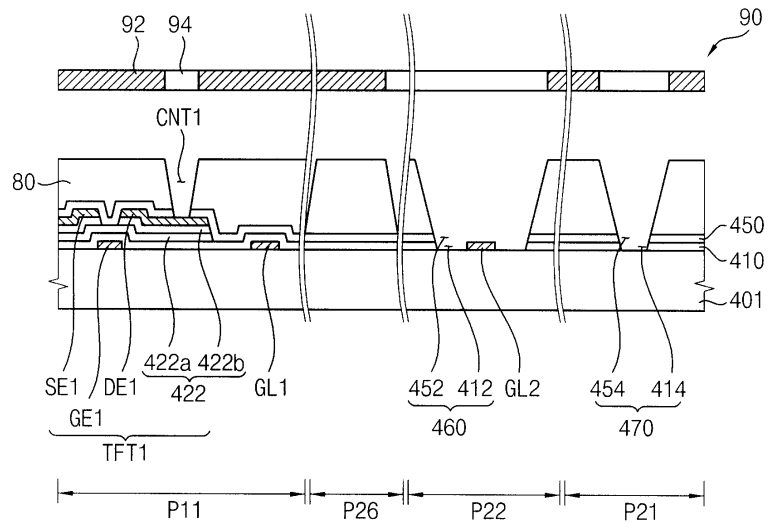
도면19



도면20a



도면20b



도면20c

