



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월27일
 (11) 등록번호 10-1690379
 (24) 등록일자 2016년12월21일

- (51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) *G11C 11/412* (2006.01)
G11C 11/413 (2006.01) *G11C 11/417* (2006.01)
G11C 5/02 (2006.01) *G11C 5/06* (2006.01)
G11C 8/16 (2006.01)
- (21) 출원번호 10-2014-0174334
 (22) 출원일자 2014년12월05일
 심사청구일자 2014년12월05일
 (65) 공개번호 10-2015-0066483
 (43) 공개일자 2015년06월16일
 (30) 우선권주장
 14/098,567 2013년12월06일 미국(US)
- (56) 선행기술조사문헌
 US20080283995 A1*
 US20080165562 A1*
 US05517038 A*
 Dean L. Lewis et al., 'Testing
 Circuit-Partitioned 3D IC Designs', 2009
 IEEE Computer Society Annual Symposium on
 VLSI, pages 139-144, 13-15 May 2009.*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완, 신쑤, 신쑤 사이언스 파크,
 리신 로드 6, 넘버 8
- (72) 발명자
린 츠쿠에이
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
리아오 홍젠
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
첸 엔후에이
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
- (74) 대리인
김태홍

전체 청구항 수 : 총 10 항

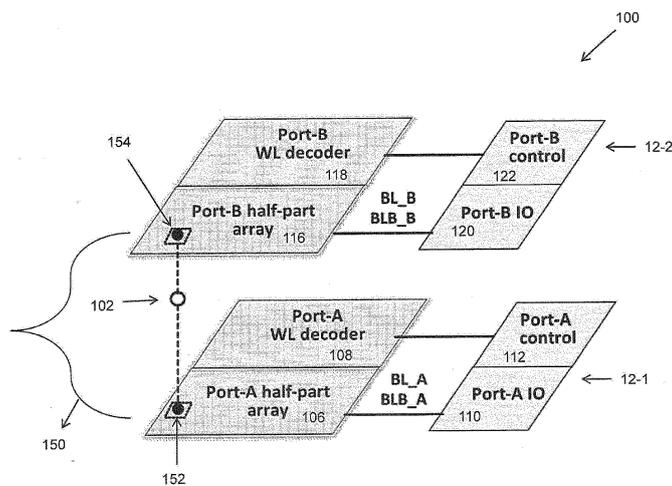
심사관 : 손윤식

(54) 발명의 명칭 3차원 듀얼 포트 비트 셀 및 이의 어셈블링 방법

(57) 요약

3차원 듀얼 포트 비트 셀은 일반적으로 제1 티어 상에 배치된 래치의 제1 부분을 포함하며, 제1 부분은 복수의 제1 포트 요소들을 포함한다. 래치의 제2 부분은, 적어도 하나의 비아를 사용하여 제1 티어에 대하여 수직으로 적층된 제2 티어 상에 배치되며, 제2 부분은 복수의 제2 포트 요소들을 포함한다.

대표도



명세서

청구범위

청구항 1

3차원 듀얼 포트(dual-port) 비트 셀에 있어서,

교차 연결된(cross-coupled) 제1 및 제2 인버터를 포함하는 래치;

제1 티어(tier) 상에 배치된 래치의 제1 부분 - 상기 제1 부분은 복수의 제1 포트 요소들과 상기 제1 인버터를 포함함 - ; 및

적어도 하나의 비아를 사용하여 상기 제1 티어에 대하여 수직으로 적층되는 제2 티어 상에 배치된 제2 부분을 포함하고,

상기 제2 부분은 상기 래치의 복수의 제2 포트 요소들과 상기 제2 인버터를 포함하는 것인 3차원 듀얼 포트 비트 셀.

청구항 2

청구항 1에 있어서, 상기 제1 부분은, 각각이 상기 제1 티어의 제1 전도성 층에서 제1 방향으로 연장하는 복수의 제1 비트 라인들을 더 포함하고, 상기 제2 부분은, 각각이 상기 제2 티어의 제1 전도성 층에서 상기 제1 방향으로 연장하는 복수의 제2 비트 라인들을 더 포함하는 것인 3차원 듀얼 포트 비트 셀.

청구항 3

청구항 2에 있어서, 상기 제1 부분은, 각각이 상기 제1 티어의 제2 전도성 층에서 상기 제1 방향과 상이한 제2 방향으로 연장하는 복수의 제1 워드 라인들을 더 포함하고, 상기 제2 부분은, 각각이 상기 제2 티어의 제2 전도성 층에서 상기 제2 방향으로 연장하는 복수의 제2 워드 라인들을 더 포함하는 것인 3차원 듀얼 포트 비트 셀.

청구항 4

청구항 1에 있어서, 상기 복수의 제1 및 제2 포트 요소들의 각각은 적어도 하나의 패스게이트 디바이스를 포함하는 것인 3차원 듀얼 포트 비트 셀.

청구항 5

청구항 4에 있어서, 상기 적어도 하나의 패스게이트 디바이스의 각각은 NMOS 디바이스 또는 PMOS 디바이스 중의 하나인 것인 3차원 듀얼 포트 비트 셀.

청구항 6

청구항 1에 있어서, 상기 복수의 제1 포트 요소들의 각각이 상기 복수의 제2 포트 요소들의 각각에 대하여 대칭이도록, 상기 복수의 제1 포트 요소들이 상기 제1 티어 상에 배치되고 상기 복수의 제2 포트 요소들이 상기 제2 티어 상에 배치되는 것인 3차원 듀얼 포트 비트 셀.

청구항 7

반도체 메모리에 있어서,

제1 포트 어레이 부분을 포함하는 제1 티어;

적어도 하나의 비아를 사용하여 상기 제1 티어에 대하여 수직으로 적층된 제2 티어 - 상기 제2 티어는 제2 포트 어레이 부분을 포함함 - ; 및

적어도 하나의 3차원 듀얼 포트 비트 셀을 포함하고,

상기 적어도 하나의 3차원 듀얼 포트 비트 셀은,

교차 연결된(cross-coupled) 제1 및 제2 인버터를 포함하는 래치;

상기 제1 포트 어레이 부분 상에 배치된 래치의 제1 부분 - 상기 제1 부분은 복수의 제1 포트 요소들과 상기 제1 인버터를 포함함 - ; 및

상기 제2 포트 어레이 부분 상에 배치된 상기 래치의 제2 부분 - 상기 제2 부분은 복수의 제2 포트 요소들과 상기 제2 인버터를 포함함 -

을 포함하는 것인 반도체 메모리.

청구항 8

청구항 7에 있어서, 상기 제1 티어 상에 배치된 제1 제어 회로 및 상기 제2 티어 상에 배치된 제2 제어 회로를 더 포함하는 반도체 메모리.

청구항 9

청구항 7에 있어서, 상기 제1 티어 상에 배치된 제1 입력/출력(I/O; input/output) 회로 및 상기 제2 티어 상에 배치된 제2 I/O 회로를 더 포함하는 반도체 메모리.

청구항 10

방법에 있어서,

제1 티어 상에 3차원 듀얼 포트 비트 셀의 래치의 제1 부분을 배치하는 단계 - 상기 래치는 교차 연결된(cross-coupled) 제1 및 제2 인버터를 포함하고, 상기 제1 부분은 복수의 제1 포트 요소들과 상기 제1 인버터를 포함함 - ;

제2 티어 상에 상기 3차원 듀얼 포트 비트 셀의 래치의 제2 부분을 배치하는 단계 - 상기 제2 부분은 복수의 제2 포트 요소들과 상기 제2 인버터를 포함함 - ; 및

적어도 하나의 비아를 사용하여 상기 제2 티어가 상기 제1 티어에 대하여 수직으로 적층되도록, 상기 제1 티어를 상기 제2 티어에 연결하는 단계를 포함하는 방법.

발명의 설명

기술 분야

[0001] 개시된 시스템 및 방법은 정적 랜덤 액세스 메모리("SRAM", static random access memory) 어레이에 관한 것으로, 보다 상세하게는 SRAM 어레이로 사용될 수 있는 듀얼 포트(dual-port) 비트 셀에 관한 것이다.

배경 기술

[0002] 정적 랜덤 액세스 메모리("SRAM") 또는 반도체 메모리는 어레이를 형성하도록 행 및 열들로 배치된 복수의 셀을 포함한다. SRAM 셀은 메모리 셀에 대해 데이터의 비트를 판독 및 기록하는데 사용되는 비트 라인 및 워드 라인에 연결된 복수의 트랜지스터를 포함한다. 단일 포트 SRAM은 특정 시간에 데이터의 단일 비트가 비트 셀에 기록되거나 비트 셀로부터 판독될 수 있게 한다. 이와 달리, 듀얼 포트 SRAM은 복수의 판독 또는 기록이 동시에 일어날 수 있게 한다. 종래의 듀얼 포트 SRAM 구조는 상이한 금속 라인들의 워드 라인("WL", word line)들을 포함하며, 이는 SRAM의 신호를 라우팅하는데 사용되는 상이한 금속 길이로 인해 상이한 용량성 부하를 야기한다. 듀얼 포트 SRAM 구조는 단일 포트 SRAM 구조보다 더 크고 WL 방향에서 더 넓다. 듀얼 포트 SRAM에 대한 더 크고 더 넓은 WL 방향으로 인해, SRAM 어레이의 종횡비는, 특히 넓은 입력/출력("I/O", input/output) 설계의 경우, 무거운 WL 로딩 동안 영향을 받을 수 있다. 단일 포트 SRAM과 비교하여 볼 때, 듀얼 포트 SRAM의 주변 로직 회로는 두 배이다. 그리하여, 듀얼 포트 SRAM은 더 넓은 면적을 차지할 수 있고, 신호 라우팅 복잡도가 발생할 수 있다.

발명의 내용

[0003] 3차원 듀얼 포트 비트 셀은 일반적으로 제1 티어 상에 배치된 래치의 제1 부분을 포함하며, 제1 부분은 복수의 제1 포트 요소들을 포함한다. 래치의 제2 부분은, 적어도 하나의 비아를 사용하여 제1 티어에 대하여 수직으로

적층된 제2 티어 상에 배치되며, 제2 부분은 복수의 제2 포트 요소들을 포함한다.

도면의 간단한 설명

- [0004] 도 1은 일부 실시예에 따른 3차원 반도체 집적 회로의 하나의 예의 사시도이다.
- 도 2는 일부 실시예에 따라 도 1에 도시된 3차원 반도체 집적 회로와 함께 사용되는 3차원 SRAM 어레이의 하나의 예의 전기 도면이다.
- 도 3은 일부 실시예에 따라 도 2에 도시된 SRAM 어레이와 함께 사용되는 3차원 듀얼 포트 비트 셀의 하나의 예의 전기 도면이다.
- 도 4는 도 3에 도시된 3차원 듀얼 포트 비트 셀의 블록도이다.
- 도 5는 도 3에 도시된 3차원 듀얼 포트 비트 셀의 어셈블링 방법의 하나의 예의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0005] 예시적인 실시예의 이 설명은 본 명세서의 일부로 간주될 첨부 도면과 함께 읽어지도록 의도된다.
- [0006] 여기에 기재된 3차원 듀얼 포트 비트 셀의 일부 실시예는, 점유 면적의 감소를 용이하게 하면서, 전체 셀 성능을 개선하고 셀이 사용되는 대응하는 반도체 메모리 또는 정적 랜덤 액세스 메모리("SRAM") 어레이에 대한 신호 라우팅 복잡도를 억제하는 구성 및 설계를 갖는다. 예를 들어, 일부 실시예에서, 3차원 듀얼 포트 셀은, 래치의 한 부분의 포트 요소들의 하나의 세트가 3차원("3D", three-dimensional) 반도체 집적 회로("IC", integrated circuit)의 하나의 층 상에 배치되고, 래치의 또다른 부분의 포트 요소들의 또다른 세트가 다른 층에 수직으로 인접한 IC의 상이한 층 상에 배치되도록, 구성된다. IC의 별개의 층 상에 포트 요소들의 2개의 상이한 세트를 갖는 것은 점유 면적 감소를 용이하게 하고, 워드 라인("WL") 기생 저항 및 커패시턴스도 또한 감소된다. 따라서, 셀의 전체 성능이 실질적으로 개선된다.
- [0007] 도 1은 3D 반도체 IC(10)의 하나의 예를 예시한다. 3D IC(10)은 z 방향으로 서로의 상면 상에 수직으로 적층된 복수의 층들(12-1, 12-2, 12-3, 12-n("층들(12)"))을 포함한다. 일부 실시예에서, 층들(12)은 적어도 하나의 TSV(through-substrate via), 또는 ILV(inter-layer via) 또는 ILD(inter-device via)(도 1에는 도시되지 않음)를 이용해 서로 전기적으로 연결되는 개별 다이들이다. 여기에서 사용될 때, 용어 "연결된다(couple)"는 컴포넌트들 간의 직접적인 기계적, 열적, 통신 및/또는 전기적 접촉에 한정되지 않고, 복수의 컴포넌트들 간의 간접적인 기계적, 열적, 통신 및/또는 전기적 접촉도 포함할 수 있다는 것을 유의하여야 한다.
- [0008] 일부 실시예에서, 3D IC(10)의 각각의 층(12)은 각자의 "티어(tier)"이며, 여기에서 각각의 티어는 각자의 능동 소자 층, 및 복수의 전도성 층(예를 들어, M1, M2 등)을 포함할 수 있는 각자의 상호접속 구조물을 포함한다. 당해 기술 분야에서의 통상의 지식을 가진 자라면 이해할 수 있듯이, 바로 인접한 티어들 사이에 층간 유전체("ILD", interlayer dielectric) 층(도시되지 않음)이 배치될 수 있다.
- [0009] 도 2는 반도체 메모리 또는 SRAM 어레이(100)의 하나의 예를 예시한다. 일부 실시예에서, SRAM 어레이(100)는 3D IC(10)(도 1에 도시됨)에 포함된다. 예를 들어, SRAM 어레이(100)는, 예를 들어 하나 이상의 ILV(102)(도 2에는 하나만 도시됨)에 의해 서로에 대하여 수직으로 배열되고 함께 연결되어 있는 하부 층(12-1) 및 상부 층(12-2)과 같은 2개의 층들 또는 티어들에 걸쳐 배치될 수 있다.
- [0010] 일부 실시예에서, 하부 층(12-1)은 A-포트와 같은 하나의 포트를 포함하고, 상부 층(12-2)은 B 포트와 같은 또 다른 포트를 포함한다. 그리하여, 일부 실시예에서, A 포트 및 B 포트에 대한 입력/출력("I/O") 회로가 2개의 별개의 전도성 층들 상에 배치된다. 예를 들어, 일부 실시예에서, 하부 층(12-1)은 A 포트 어레이부분(106)과 A 포트 워드 라인("WL") 디코더 및 드라이버 부분(108)과 같은 A 포트 요소들을 포함한다. 일부 실시예에서, A 포트 어레이 부분(106)은, BL_A 및 그의 보완물 BLB_A와 같은 그 사이의 상보형 비트 라인("BL", bit line)을 이용해 A-포트 I/O 회로(110)에 연결된다. 일부 실시예에서, A-포트 I/O 회로(110)는 SRAM(100)에 대하여 데이터 입력 신호를 수신하고 데이터 출력 신호를 전송하도록 구성된다.
- [0011] 여기에서 사용될 때, 용어 "회로"는 일반적으로 시스템 및 마이크로컨트롤러, RISC(reduced instruction set circuit), ASIC(application specific integrated circuit), PLC(programmable logic circuit), 및 여기에 기재된 기능을 실행할 수 있는 임의의 기타 회로를 포함한 임의의 프로그램 가능한 시스템을 지칭한다. 상기 예는 단지 예시적인 적이며, 따라서 용어 "회로"의 정의 및/또는 의미를 어떠한 방식으로든 한정하도록 의도되지

않는다.

- [0012] 일부 실시예에서, A-포트 WL 디코더 및 드라이버 부분(108)이 A-포트 제어 회로(112)에 연결된다. A-포트 제어 회로(112)는 A-포트의 클락 신호 및 기록 인에이블(enable) 신호(네가티브 인에이블)를 수신하도록 구성될 수 있다. A-포트 제어 회로(112)는 또한 어드레스 신호를 수신하도록 구성될 수 있다.
- [0013] 상부 층(12-2)은 B 포트 어레이 부분(116)과 B 포트 WL 디코더 및 드라이버 부분(118)을 포함한다. 일부 실시예에서, B 포트 어레이 부분(116)은, BL_B 및 그의 보완물 BLB_B와 같은 그 사이의 상보형 BL를 이용해 B 포트 I/O 회로(120)에 연결된다. 일부 실시예에서, B 포트 I/O 회로(120)는 어레이(100)에 대하여 데이터 입력 신호를 수신하고 데이터 출력 신호를 전송하도록 구성된다. 일부 실시예에서, B 포트 WL 디코더 및 드라이버 부분(118)은 B 포트의 클락 신호 및 기록 인에이블 신호(네가티브 인에이블)를 수신하도록 구성될 수 있는 B 포트 제어 회로(122)에 연결된다. B 포트 제어 회로(122)는 또한 어드레스 신호를 수신하도록 구성될 수 있다.
- [0014] SRAM 어레이(100)는 제1 층, 예를 들어 하부 층(12-1) 상에 배치되는 제1 부분(152)을 포함하는 적어도 하나의 3차원 듀얼 포트 비트 셀(150)을 포함한다. 예를 들어, 제1 부분(152)은 A 포트 어레이 부분(106)의 적어도 일부 상에 배치된다. 듀얼 포트 비트 셀(150)은 또한, 제1 층에 대해 수직으로 배치되는 제2 층, 예를 들어 SRAM 어레이(100)의 상부 층(12-2) 상에 배치되는 제2 부분(154)을 포함한다. 예를 들어, 제2 부분(154)은 B 포트 어레이 부분(116)의 적어도 일부에 포함된다. 도 3 및 도 4에 관련하여 아래에 보다 상세하게 설명되는 바와 같이, 듀얼 포트 비트 셀(150)은 점유 면적의 감소를 용이하게 하면서, 전체 셀 성능을 개선하고 SRAM 어레이(100)에 대한 신호 라우팅 복잡도를 억제하는 구성 및 설계를 갖는다.
- [0015] 일부 실시예에서, A 포트 어레이 부분(106)과 A 포트 WL 디코더 및 드라이버 부분(108)은, A 포트 어레이 부분(106)과 A 포트 WL 디코더 및 드라이버 부분(108)이 각각 B 포트 어레이 부분(116)과 B 포트 WL 디코더 및 드라이버 부분(118)과 각각 대칭이도록, 하부 층(12-1) 상에 배치된다. 마찬가지로, A 포트 I/O 회로(110) 및 A 포트 제어 회로(112)는, A 포트 I/O 회로(110) 및 A 포트 제어 회로(112)가 각각 B 포트 I/O 회로(120) 및 B 포트 제어 회로(122)와 각각 대칭이도록, 하부 층(12-1) 상에 배치된다.
- [0016] 도 3은 일부 실시예에 따른 듀얼 포트 비트 셀(150)의 하나의 예의 전기 도면이다. 도 4는 듀얼 포트 비트 셀(150)의 레이아웃 도면이다. 도 3을 참조하면, 일부 실시예에서, 듀얼 포트 비트 셀(150)은 고밀도 듀얼 포트 비트 셀이고, 상기 설명한 바와 같이, 셀(150)의 제1 부분(152)은 SRAM 어레이(100)(도 2)의 제1 층, 예를 들어 하부 층(12-1)(도 1 및 도 2에 도시됨) 상에 배치된다. 예를 들어, 제1 부분(152)은 A 포트 어레이 부분(106)(도 2에 도시됨)의 적어도 일부 상에 배치된다. 그러므로, 제1 부분(152)은 A 포트 요소를 포함한다. 비트 셀(150)의 제2 부분(154)은 제1 층에 대해 수직으로 배치되어 있는 SRAM 어레이(100)(도 2)의 제2 층, 예를 들어 상부 층(12-2)(도 1 및 도 2에 도시됨) 상에 배치된다. 예를 들어, 제2 부분(154)은 B 어레이 부분(116)(도 2에 도시됨)의 적어도 일부 상에 배치되며, 그러므로 제2 부분(154)은 B 포트 요소를 포함한다.
- [0017] 도 3 및 도 4를 참조하면, 일부 실시예에서, 각각의 부분(152 및 154)은, BL이 각각의 상부 및 하부 층 또는 티어(12-2(도 1 및 도 2에 도시됨) 및 12-1(도 1 및 도 2에 도시됨))의 적어도 하나의 전도성 층(예를 들어, M1, M2, M3)에서 제1 방향으로 연장하고, 워드 라인(WL)이 상부 및 하부 층 또는 티어(12)의 적어도 하나의 제2 전도성 층(예를 들어, M1, M2, M3)에서 제1 방향과 상이한 제2 방향으로 연장하도록, 그 안에 배치된 BL 및 WL을 갖는 복수의 전도성 라인 또는 층(예를 들어, M1, M2, M3 등)("ML")을 포함한다. 예를 들어, 제1 부분(152)은 하부 층(12-1)(도 1 및 도 2에 도시됨)에 걸쳐 수평으로(즉, x 방향으로) 연장하는 WL_A와 같은 적어도 하나의 WL을 포함한다. 제1 부분(152)은 또한 하부 층(12-1)에 걸쳐 수직으로(즉, y 방향으로) 연장하는 적어도 한 쌍의 상보형 BL들을 포함한다. 예를 들어, 제1 부분(152)은 도 3 및 도 4에도 도시된 BL_A 및 BLB_A와 같은 적어도 한 쌍의 상보형 BL들을 포함할 수 있다. 도 4에 도시된 바와 같이, 비트 라인 BL_A 및 BLB_A는, 그들 사이에 배치되며 비트 라인 BL_A 및 BLB_A에 평행하게 연장하는 전력 라인(예를 들어, VSS)과 함께 서로 평행하게 연장한다. 제2 전력 라인(예를 들어, VDD)은 또한, 비트 라인 BL_A 및 BLB_A와 VSS와 동일한 전도성 층(예를 들어, M1, M2, M3)에 배치된다. VDD에 대한 라인은 BLB_A에 인접하게 배치되고, 비트 라인 BL_A 및 BLB_A와 VSS에 평행하게 연장한다. 일부 실시예에서, 제1 부분(152)은 또한, WL에 그리고 BL에 연결되는 PGA0 및 PGA1과 같은 적어도 2개의 패스게이트(PG; pass-gate) 트랜지스터 디바이스를 포함하는 A 포트 요소들을 포함한다. 일부 실시예에서, PG 트랜지스터 디바이스는 NMOS 또는 PMOS 디바이스이다. 일부 실시예에서, 추가의 상호접속 구조(290)가 제1 부분(152)의 능동 소자와 제2 부분(154) 내의 능동 소자(예를 들어, 트랜지스터)를 접속시키는 데 사용된다.
- [0018] 일부 실시예에서, 제1 부분(152)은 또한 적어도 하나의 인버터(302)를 포함하며, 각각의 인버터(302)는 PU_A(도

4)와 같은 적어도 하나의 풀업(PU; pull-up) 트랜지스터 디바이스 및 PD_A(도 4)와 같은 적어도 하나의 풀다운(PD; pull-down) 트랜지스터 디바이스를 포함할 수 있다. 일부 실시예에서, PU 트랜지스터 디바이스 및 PD 트랜지스터 디바이스는 NMOS 또는 PMOS 디바이스이다. 제1 부분(152)은 임의의 수의 PG, PU, 및 PD 트랜지스터 디바이스를 가질 수 있다.

[0019] 제1 부분(152)과 마찬가지로, 제2 부분(154)도 또한, 상부 층(12-2)에 걸쳐 수평으로(즉, x 방향으로) 연장하는 WL_B와 같은 적어도 하나의 WL를 포함한다. 제2 부분(154)은 또한, 상부 층(12-2)에 걸쳐 수직으로(즉, y 방향으로) 연장하는 적어도 한 쌍의 상보형 BL들을 포함한다. 예를 들어, 제2 부분(154)은 BL_B 및 BLB_B와 같은 적어도 한 쌍의 상보형 BL들을 포함할 수 있다. 일부 실시예에서, 제2 부분(154)은 또한, WL 및 BL에 연결되어 있는 PGB0 및 PGB1과 같은 적어도 2개의 PG 트랜지스터 디바이스를 포함하는 B 포트 요소들을 포함한다. 일부 실시예에서, PG 트랜지스터 디바이스는 NMOS 또는 PMOS 디바이스이다.

[0020] 일부 실시예에서, 제2 부분(154)은 또한 적어도 하나의 인버터(304)를 포함하며, 인버터(304)는 PU_B와 같은 적어도 하나의 PU 트랜지스터 디바이스 및 PD_B와 같은 적어도 하나의 PD 트랜지스터 디바이스를 포함할 수 있다. 일부 실시예에서, PU 트랜지스터 디바이스 및 PD 트랜지스터 디바이스는 NMOS 또는 PMOS 디바이스이다. 제2 부분(154)은 임의의 수의 PG, PU, 및 PD 트랜지스터 디바이스를 가질 수 있다.

[0021] 도 4에 도시된 바와 같이, 각각의 트랜지스터 디바이스, PGA0, PGA1, PD_A, PU_A, PGB0, PGB1, PD_B, 및 PU_B는 폴리실리컨("poly")/실리콘 산화물("SiO₂") 구조, 하이 k/금속 게이트 구조, 또는 이들의 조합을 포함할 수 있는 게이트(310)를 포함한다. 반도체 기판의 예는, 벌크 실리콘, SiP(silicon-phosphorus), SiGe(silicon-germanium), SiC(silicon-carbide), Ge(germanium), SOI-Si(silicon-on-insulator silicon), SOI-Ge(silicon-on-insulator germanium), 또는 이들의 조합을 포함하지만, 이에 한정되는 것은 아니다. 일부 실시예에서, 게이트(310)는 다양한 기술을 사용하여 반도체 기판의 하나 이상의 활성 영역("OD") 위에 형성될 수 있다. 예를 들어, 게이트(310)는 벌크 평면 금속 산화물 전계 효과 트랜지스터("MOSFET", metal oxide field effect transistor), 하나 이상의 핀이나 핑거를 갖는 벌크 finFET, SOI 평면 MOSFET, 하나 이상의 핀이나 핑거를 갖는 SOI finFET, 또는 이들의 조합으로서 형성될 수 있다.

[0022] 일부 실시예에서, PGA0, PGA1, PD_A, 및 PU_A 트랜지스터 디바이스는, PGA0, PGA1, PD_A, 및 PU_A 트랜지스터 디바이스가 각각 PGB0, PGB1, PD_B, 및 PU_B 트랜지스터 디바이스와 대칭이도록, 하부 층(12-1) 상에 배치된다. 예를 들어, 일부 실시예에서, A 포트 및 B 포트(도 2에 도시됨)와 같은 포트는, PGA0 및 PGA1 트랜지스터 디바이스가 동일 층(12-1) 상에서 PD_A 및 PU_A 트랜지스터 디바이스에 대하여 평행하도록, 서로에 대해 실질적으로 평행하다. 마찬가지로, PGB0 및 PGB1 트랜지스터 디바이스는 동일 층(12-2) 상에서 PD_A 및 PU_A 트랜지스터 디바이스에 대하여 평행하다.

[0023] 일부 실시예에서, 각각의 층(12-1 및 12-2) 내에서 또는 층들(12-1 및 12-2) 사이의 접속을 용이하게 하도록 다양한 비아가 사용된다. 예를 들어, 도 4에 도시된 바와 같이, 일부 실시예에서, 하나의 ILV(102)는 층(12-1) 내의 비아(312)를 층(12-2) 내의 비아(336)에 접속시키는데 사용된다. 마찬가지로, 다른 ILV(102)는 층(12-1) 내의 비아(324)를 층(12-2) 내의 비아(347)로 접속시키는데 사용된다. 비아(314 및 316)는 각각 PU_B 트랜지스터 디바이스 트랜지스터(PGA0) 및 전원 공급 라인 VDD에 접속한다. 비아(317)는 PGB1 트랜지스터 디바이스를 BLB_B에 접속시킨다. 비아(318, 325, 및 328)는 PD_B 트랜지스터 디바이스를 전원 공급 라인 VSS에 접속시킨다. 비아(320 및 322) 및 상호접속부(290)는 PGB0 트랜지스터 디바이스를 PD_B 트랜지스터 디바이스에 접속시킨다. 비아(319)는 PGB0 트랜지스터 디바이스를 BL_B에 접속시키고, 비아(326) 및 상호접속부(290)는 PGB0 트랜지스터 디바이스를 비아(324)에 접속시킨다. 비아(321)는 PGB0 트랜지스터 디바이스를 WL_B에 접속시킨다.

[0024] 일부 실시예에서, 비아(330)는 PGA0 트랜지스터 디바이스를 WL_A에 접속시킨다. 비아(334)는 PGA0 트랜지스터 디바이스를 BL_A에 접속시킨다. 비아(337) 및 상호접속부(290)는 PD_A 트랜지스터 디바이스 및 PGA0를 ILV(102)에 접속시킨다. 비아(336 및 338) 및 상호접속부(290)는 PGA0 트랜지스터 디바이스를 PD_A 트랜지스터 디바이스에 접속시킨다. 비아(339, 342, 및 344) 및 상호접속부(290)는 PD_A 트랜지스터 디바이스를 전원 공급 라인 VSS에 접속시킨다. 비아(340)는 PGA1 트랜지스터 디바이스를 BLB_A에 접속시킨다. 비아(346 및 347) 및 상호접속부(290)는 PU_A 트랜지스터 디바이스를 ILV(290)에 접속시킨다. 비아(345)는 트랜지스터 PU_A를 전원 공급 라인 VDD에 접속시킨다.

[0025] 듀얼 포트 비트 셀(150)에 대하여 기재된 구성을 사용할 때, A 포트와 같은 포트 요소들의 한 세트는 SRAM 어레이(100)의 하부 층(12-1) 상에 배치되고, B 포트와 같은 포트 요소들의 다른 세트는 SRAM 어레이(100)의 상부

층(12-2) 상에 배치된다. 이러한 설계 및 구성은 셀 점유 면적 감소 및 전체 셀 면적 감소를 용이하게 한다. 듀얼 포트 비트 셀(150)에 대한 구성은 별개의 층들 상에 포트 요소들의 2개의 세트를 갖기 때문에, WL 기생 저항 및 커패시턴스가 감소된다. 그리하여, 듀얼 포트 비트 셀(150)의 전체 성능이 실질적으로 개선된다. 또한, 별개의 층들 상에 포트 요소들의 2 세트를 가짐으로써, A 포트 및 B 포트 각각에 대한 전력 라우팅 및 신호 라우팅은 2층 사이에 분리된다. 예를 들어, 일부 실시예에서, A 포트에 대한 전력 공급은 PU_A 또는 PD_A 트랜지스터 디바이스에 대하여 하부 층(12-1) 내에서 라우팅될 수 있고, A 포트에 대한 제1 신호 세트(WL_A, BL_A, 및 BLB_A)는 PGA0 및 PGA 1 트랜지스터 디바이스에 대하여 하부 층(12-1) 내에서 라우팅될 수 있다. 마찬가지로, B 포트에 대한 전력 공급은 PU_B 또는 PD_B 트랜지스터 디바이스에 대하여 상부 층(12-2) 내에서 라우팅될 수 있고, A 포트에 대한 제2 신호 세트(WL_B, BL_B, 및 BLB_B)는 PGB0 및 PGB1 트랜지스터 디바이스에 대하여 상부 층(12-2) 내에서 라우팅될 수 있다.

[0026] 도 5는 SRAM 어레이(100)(도 2에 도시됨)와 같은 SRAM 어레이 또는 반도체 메모리와 함께 사용될, 셀(150)(도 2, 도 3, 및 도 4에 도시됨)과 같은 3차원 듀얼 포트 비트 셀을 어셈블링하는 방법(500)의 하나의 예의 흐름도이다. 단계 502에서, 래치의 제1 부분이 제1 층 상에 배치된다. 예를 들어, 제1 부분(152)(도 2, 도 3, 및 도 4에 도시됨)이 3D IC(10)(도 1에 도시됨)의 하부 층(12-1)(도 1 및 도 2에 도시됨) 상의 A 포트 어레이 부분(106)(도 2에 도시됨)의 적어도 일부 상에 배치된다. 일부 실시예에서, 제1 부분(152)의 능동 소자들은 반도체 프로세싱 기술을 사용하여 반도체 기판(도시되지 않음)에 형성된다. A 포트 WL 디코더 및 드라이버 부분(108)(도 2에 도시됨), A 포트 I/O 회로(110)(도 2에 도시됨), 및 A 포트 제어 회로(112)(도 2에 도시됨)도 또한 하부 층(12-1)에 그리고 하부 층(12-1) 상에 형성된다.

[0027] 단계 504에서, 제1 층에 인접해 있는 제2 층 상에 래치의 제2 부분이 배치된다. 예를 들어, 제2 부분(154)(도 2, 도 3, 및 도 4에 도시됨)은 3D IC(10)의 상부 층(12-2)(도 1 및 도 2에 도시됨) 상의 B 어레이 부분(116)(도 2에 도시됨)의 적어도 일부 상에 배치된다. B 포트 WL 디코더 및 드라이버 부분(118)(도 2에 도시됨), B 포트 I/O 회로(120)(도 2에 도시됨), 및 B 포트 제어 회로(122)(도 2에 도시됨)도 또한 상부 층(12-2)에 그리고 상부 층(12-2) 상에 형성된다.

[0028] 단계 506에서, 적어도 하나의 비아를 사용하여 제2 층이 제1 층에 대하여 수직으로 적층되도록, 제1 층과 제2 층이 함께 연결된다. 예를 들어, 층들(12-1 및 12-2)이 개별 반도체 칩들인 경우, 층들(12-1 및 12-2)은 서로의 상면 상에 수직으로 적층되고, 정렬되며, 함께 분당된다. 층들(12-1 및 12-2)이 티어인 실시예와 같은 일부 실시예에서, 층들은 3D 적층된 상보형 금속 산화물 반도체 CMOS IC를 생성하도록 서로의 상면 상에 적층된다. 당해 기술 분야에서의 통상의 지식을 가진 자라면, 일부 실시예에서 층들(12-1 및 12-2) 사이에 하나 이상의 층들이 배치될 수 있다는 것을 이해할 것이다. 일부 실시예에서, 층(12-1) 내에 그리고/또는 층(12-1) 상에 형성된 회로는 ILV(102)(도 2, 도 3 및 도 4에 도시됨)와 같은 적어도 하나의 비아를 사용하여 층(12-2) 내에 그리고/또는 층(12-2) 상에 형성된 회로에 연결된다. 예를 들어, 일부 실시예에서, 도 4에 도시된 바와 같이, 하나의 ILV(102)는 층(12-1) 내의 비아(312)를 층(12-2) 내의 비아(336)에 접속시키는데 사용된다. 마찬가지로, 도 4에 도시된 바와 같이, 다른 ILV(102)는 층(12-1) 내의 비아(324)를 층(12-2) 내의 비아(347)에 접속시키는데 사용된다. 또한, 도 4에 도시된 바와 같이, 각각의 층(12-1 및 12-2) 내의 접속을 용이하게 하기 위해 다양한 비아가 사용된다.

[0029] 여기에 기재된 3차원 듀얼 포트 비트 셀의 실시예는, 점유 면적의 감소를 용이하게 하면서, 전체 셀 성능을 개선하고 셀이 사용되는 대응하는 정적 랜덤 액세스 메모리("SRAM") 어레이에 대한 신호 라우팅 복잡도를 억제하는 구성 및 설계를 갖는다. 예를 들어, 일부 실시예에서, 3D 듀얼 포트 셀은, 래치의 한 부분의 포트 요소들의 한 세트가 3D 반도체 IC의 하나의 층 상에 배치되고, 래치의 또다른 부분의 포트 요소들의 또다른 세트가 다른 층에 수직으로 인접한 IC의 상이한 층 상에 배치되도록, 구성된다. IC의 별개의 층들 상에 포트 요소들의 2개의 상이한 세트를 갖는 것은, 점유 면적 감소를 용이하게 하고, WL 기생 저항 및 커패시턴스도 또한 감소된다. 따라서, 셀의 전체 성능이 실질적으로 개선된다.

[0030] 일부 실시예에서, 3차원 듀얼 포트 비트 셀은 제1 티어 상에 배치된 래치의 제1 부분을 포함하며, 제1 부분은 복수의 제1 포트 요소들을 포함한다. 적어도 하나의 비아를 사용하여 제1 티어에 대하여 수직으로 적층된 제2 티어 상에 래치의 제2 부분이 배치되며, 제2 부분은 복수의 제2 포트 요소들을 포함한다.

[0031] 일부 실시예에서, 반도체 메모리는 제1 포트 어레이 부분을 포함하는 제1 티어를 포함한다. 반도체 메모리는 또한, 적어도 하나의 비아를 사용하여 제1 티어에 대하여 수직으로 적층된 제2 티어를 포함하며, 제2 티어는 제2 포트 어레이 부분을 포함한다. 반도체 메모리는 또한, 제1 포트 어레이 부분 상에 배치된 래치의 제1 부분을

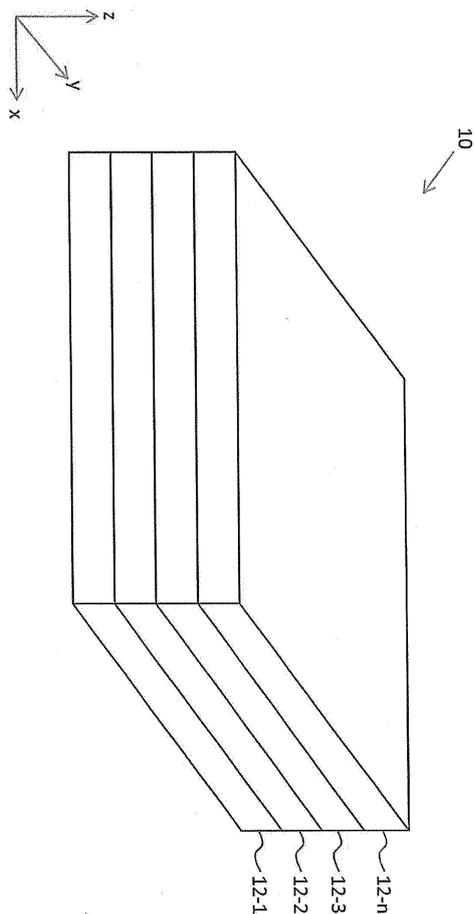
포함하는 적어도 하나의 3차원 듀얼 포트 비트 셀을 포함하며, 제1 부분은 복수의 제1 포트 요소들을 포함한다. 듀얼 포트 비트 셀은 또한 제2 어레이 부분 상에 배치된 래치의 제2 부분을 포함하며, 제2 부분은 복수의 제2 포트 요소들을 포함한다.

[0032] 일부 실시예에서, 3차원 듀얼 포트 비트 셀을 사용하는 방법은, 제1 티어 상에 3차원 듀얼 포트 비트 셀의 래치의 제1 부분을 배치하는 단계를 포함하며, 제1 부분은 복수의 제1 포트 요소들을 포함한다. 방법은 또한, 적어도 하나의 비아를 사용하여 제1 티어에 대하여 수직으로 적층된 제2 티어 상에 3차원 듀얼 포트 비트 셀의 래치의 제2 부분을 배치하는 단계를 포함하며, 제2 부분은 복수의 제2 포트 요소들을 포함한다.

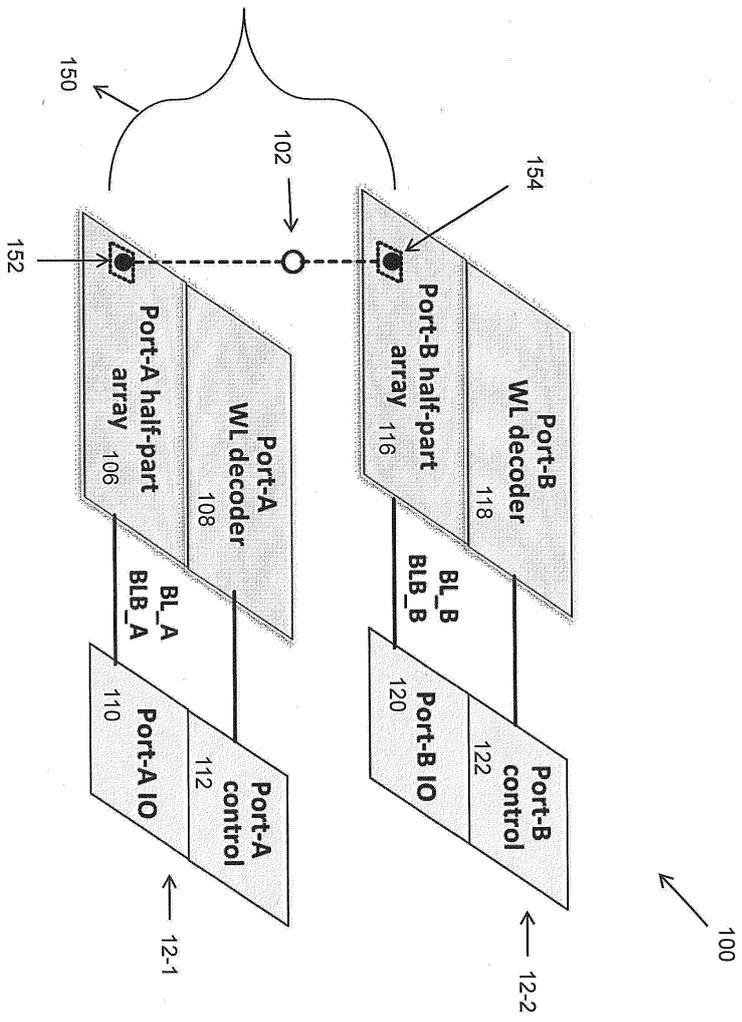
[0033] 본 발명은 예시적인 실시예에 대하여 기재되었지만, 이에 한정되는 것은 아니다. 오히려, 첨부된 청구항은 본 발명의 등가물의 사상 및 범위에서 벗어나지 않고서 당해 기술 분야에서의 숙련자에 의해 이루어질 수 있는 본 발명의 다른 변형 및 실시예를 포함하도록 넓게 해석되어야 한다.

도면

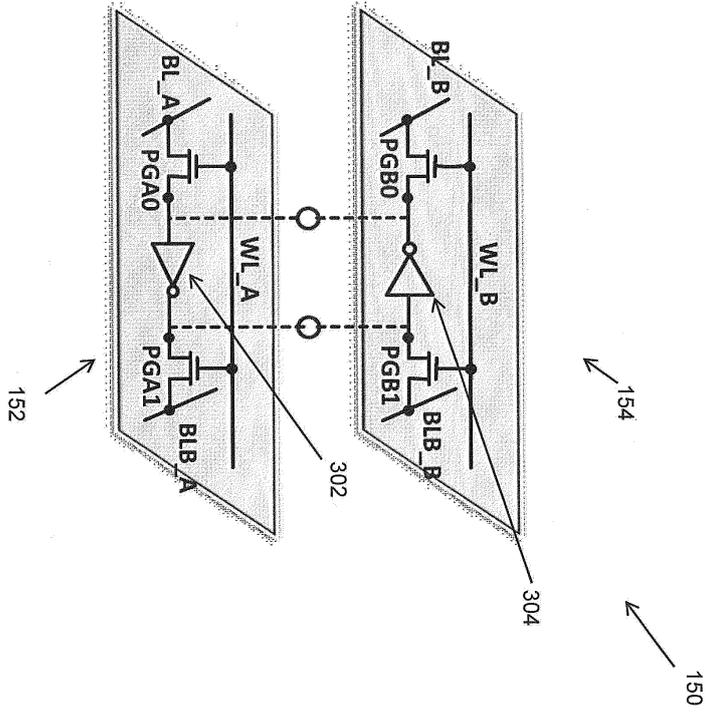
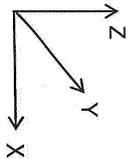
도면1



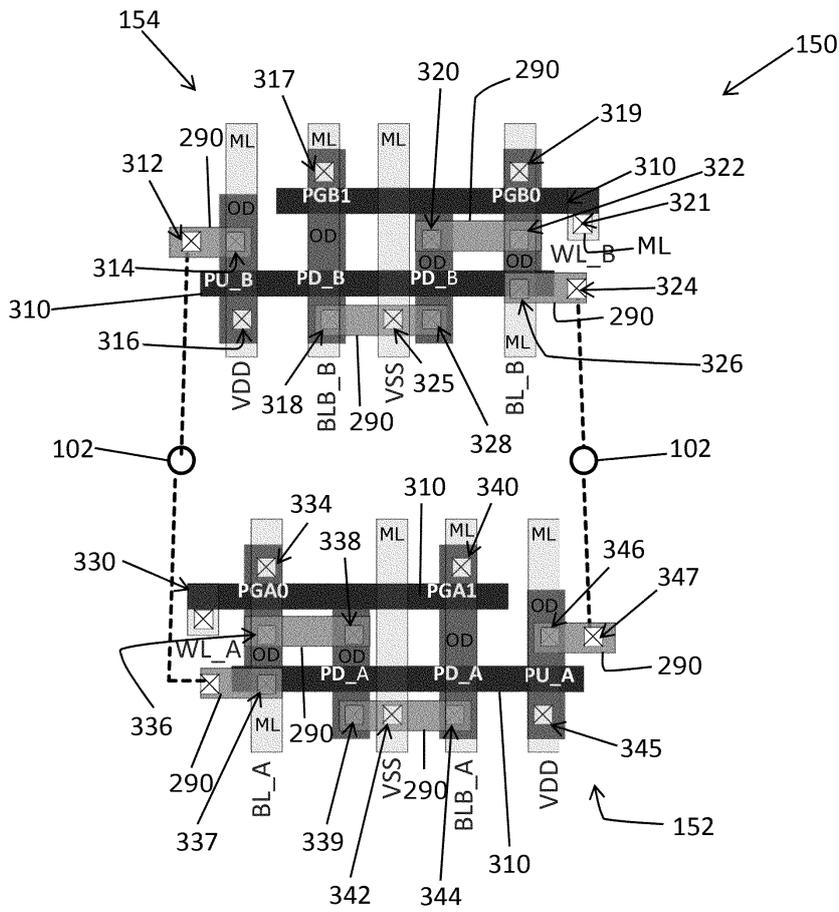
도면2



도면3



도면4



도면5

