



(12) 发明专利申请

(10) 申请公布号 CN 116312411 A

(43) 申请公布日 2023. 06. 23

(21) 申请号 202310304806.9

(22) 申请日 2017.10.20

(62) 分案原申请数据

201710990290.2 2017.10.20

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号
100015

申请人 合肥京东方光电科技有限公司

(72) 发明人 古宏刚 陈俊生 邵贤杰 张元波

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

专利代理师 杨静

(51) Int. Cl.

G09G 3/36 (2006.01)

G11C 19/28 (2006.01)

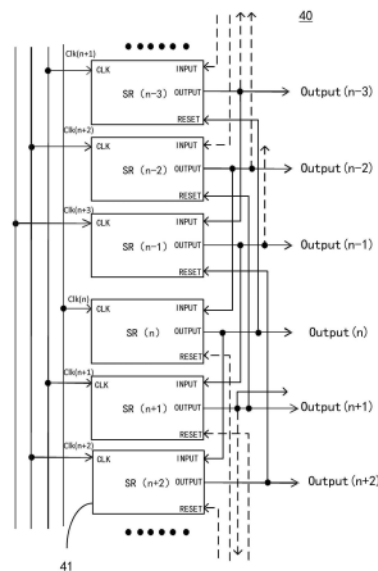
权利要求书2页 说明书11页 附图14页

(54) 发明名称

栅极驱动电路及其驱动方法和显示装置

(57) 摘要

本公开实施例公开了一种栅极驱动电路及其驱动方法和一种显示装置。所述栅极驱动电路包括多级移位寄存器单元，每一级移位寄存器单元包括：输出子电路，其具有输出端和时钟信号输入端，输出子电路被配置为在上拉控制节点为有效工作电平时将时钟信号输入端和输出端连通；复位子电路，其具有用于接收复位信号的复位信号端，复位子电路被配置为在复位信号的控制下将上拉控制节点复位至第一电平。其中本级时钟信号的时钟脉冲具有第一时钟脉冲沿和第二时钟脉冲沿，复位信号的复位脉冲具有第一复位脉冲沿和第二复位脉冲沿，第一复位脉冲沿滞后于第二时钟脉冲沿，并且与第二时钟脉冲沿相比滞后不超过本级时钟信号的时钟脉冲的时长。



1. 一种栅极驱动电路,包括多级移位寄存器单元,每一级移位寄存器单元包括:

输出子电路,其具有输出端和接收本级时钟信号的时钟信号输入端,所述输出子电路连接至该级移位寄存器单元的上拉控制节点,被配置为在上拉控制节点为有效工作电平时将所述时钟信号输入端和输出端连通;

复位子电路,其具有用于接收复位信号的复位信号端,所述复位子电路分别连接至所述上拉控制节点和提供第一电平的第一电平端,所述复位子电路被配置为在复位信号的控制下将所述上拉控制节点复位至第一电平,

其中,本级时钟信号的时钟脉冲具有第一时钟脉冲沿和落后于所述第一时钟脉冲沿的第二时钟脉冲沿,所述复位信号的复位脉冲具有第一复位脉冲沿和落后于所述第一复位脉冲沿的第二复位脉冲沿,所述第一复位脉冲沿滞后于所述第二时钟脉冲沿,并且与所述第二时钟脉冲沿相比滞后不超过本级时钟信号的时钟脉冲的时长;

其中,所述多级移位寄存器单元包括N级移位寄存器单元,其中第n级移位寄存器的时钟信号端与第1时钟信号线至第I时钟信号线之一相连,第n级移位寄存器的信号输出端与第 $(n+I/2)$ 级移位寄存器的信号输入端相连,第n级移位寄存器的复位信号端与第 $(n+K)$ 级移位寄存器的信号输出端相连,N是大于等于4的整数,n是大于等于1且小于 $(N-I/2)$ 的整数,K是大于 $I/2$ 且小于I的整数,I是栅极驱动电路中时钟信号线的数目;

其中,I等于6或8。

2. 根据权利要求1所述的栅极驱动电路,其中,第1时钟信号至第I时钟信号分别输入至第1时钟信号线至第I时钟信号线,每两个相邻的时钟信号之间相差 $1/I$ 个时钟周期。

3. 根据权利要求2所述的栅极驱动电路,其中,每个时钟信号的占空比为50%。

4. 根据权利要求1所述的栅极驱动电路,其中,所述每一级移位寄存器单元还包括控制子电路,其具有用于接收控制信号的控制信号端,所述控制子电路分别连接至提供第一固定电平的第一固定电平端、所述输出端和所述上拉控制节点,所述控制子电路被配置为在所述控制信号和所述上拉控制节点的控制下将所述第一固定电平端与所述输出端连通。

5. 根据权利要求4所述的栅极驱动电路,其中,所述控制子电路包括:

第一晶体管,所述第一晶体管的栅极连接所述上拉控制节点,第一级连接至所述第一固定电平端,第二级连接至该级移位寄存器单元的下拉控制节点;

第二晶体管,所述第二晶体管的栅极和第一极共同连接至所述控制信号端,第二极连接至所述下拉控制节点;

第三晶体管,所述第三晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点;

第四晶体管,所述第四晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二级连接至所述输出端;以及

第二电容,所述第二电容的第一极连接至所述下拉控制节点,第二极连接至所述第一固定电平端。

6. 根据权利要求4或5所述的栅极驱动电路,其中,所述控制信号与所述本级时钟信号反相。

7. 根据权利要求4所述的栅极驱动电路,其中,所述控制子电路包括:

第一晶体管,所述第一晶体管的栅极连接至所述上拉控制节点,第一极连接至所述第

一固定电平端,第二极连接所述下拉控制节点;

第二晶体管和第三晶体管,所述第二晶体管的栅极和第一极共同连接至所述控制信号端,第二极连接至所述第三晶体管的栅极,所述第三晶体管的第一极连接至所述控制信号端,第二极连接至所述下拉控制节点;

第四晶体管,所述第四晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述输出信号端;

第六晶体管,所述第六晶体管的栅极连接至所述上拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述第三晶体管的栅极;以及

第七晶体管,所述第七晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点。

8. 根据权利要求7所述的栅极驱动电路,其中,所述控制信号为第二固定电平的信号,所述第二固定电平与所述第一固定电平不同。

9. 根据权利要求4或7所述的栅极驱动电路,其中,所述复位子电路包括复位晶体管,所述复位晶体管的栅极连接至所述复位信号端,第一极连接至所述第一电平端,第二极连接至所述上拉控制节点。

10. 根据权利要求9所述的栅极驱动电路,其中,所述复位子电路还具有用于接收总复位信号的总复位信号端,所述复位子电路还包括第八晶体管和第九晶体管,所述第八晶体管的栅极连接至所述总复位信号端,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点;所述第九晶体管的栅极连接至所述总复位信号端,第一极连接至所述第一固定电平端,第二极连接至所述输出端。

11. 根据权利要求10所述的栅极驱动电路,其中,所述复位子电路还包括第十晶体管,所述第十晶体管的栅极连接至所述复位信号端,第一极连接至所述控制信号端,第二极连接至所述下拉控制节点。

12. 一种显示装置,包括如权利要求1-11之一所述的栅极驱动电路。

13. 一种如权利要求1所述的栅极驱动电路的驱动方法,包括:

在第一时段,使所述上拉控制节点的电位处于第一有效工作电平,时钟信号端与输出信号端连通,所述时钟信号端输入与第一电平不同的第二电平的信号,信号输出端输出第二电平的信号;

在第二时段,使所述上拉控制节点的电位从第一有效工作电平变为第二有效工作电平,时钟信号端与输出信号端连通,所述时钟信号端为第一电平,信号输出端为第一电平;

在第三时段,所述复位信号端输入第二电平的复位信号,在复位信号的控制下将所述上拉控制节点复位至第一电平,时钟信号端与输出信号端断开,所述信号输出端为第一电平。

14. 根据权利要求13所述的驱动方法,还包括在第四时段,所述复位信号端为第一电平,所述上拉控制节点为第一电平,所述信号输出端为第一电平。

栅极驱动电路及其驱动方法和显示装置

[0001] 本申请是申请号为CN201710990290.2、发明名称为“栅极驱动电路及其驱动方法和显示装置”的中国专利申请的分案申请。

技术领域

[0002] 本公开涉及显示领域,尤其涉及一种栅极驱动电路及其驱动方法和一种显示装置。

背景技术

[0003] 在基于薄膜晶体管(Thin Film Transistor,TFT)的液晶显示器(Liquid Crystal Device,LCD)中,可以将驱动栅极的栅极驱动电路形成于显示面板上,构成阵列基板(Gate drive On Array,GOA)面板。栅极驱动电路包括多个级联的移位寄存器单元。在传统的栅极驱动电路中,通常将下一级移位寄存器单元的输出信号作为本级移位寄存器单元的复位信号,将上一级移位寄存器单元的输出信号作为本级移位寄存器单元的输入信号。

[0004] 然而,尤其在使用多个时钟的传统栅极驱动电路时,显示装置会出现信赖性闪屏现象。

发明内容

[0005] 本公开实施例提供一种栅极驱动电路及其驱动方法和一种显示装置。

[0006] 根据本公开实施例的一方面,提供了一种栅极驱动电路,包括多级移位寄存器单元,每一级移位寄存器单元包括:

[0007] 输出子电路,其具有输出端和接收本级时钟信号的时钟信号输入端,所述输出子电路连接至该级移位寄存器单元的上拉控制节点,被配置为在上拉控制节点为有效工作电平时将所述时钟信号输入端和输出端连通;

[0008] 复位子电路,其具有用于接收复位信号的复位信号端,所述复位子电路分别连接至所述上拉控制节点和提供第一电平的第一电平端,所述复位子电路被配置为在复位信号的控制下将所述上拉控制节点复位至第一电平,

[0009] 其中,本级时钟信号的时钟脉冲具有第一时钟脉冲沿和落后于所述第一时钟脉冲沿的第二时钟脉冲沿,所述复位信号的复位脉冲具有第一复位脉冲沿和落后于所述第一复位脉冲沿的第二复位脉冲沿,所述第一复位脉冲沿滞后于所述第二时钟脉冲沿,并且与所述第二时钟脉冲沿相比滞后不超过本级时钟信号的时钟脉冲的时长。

[0010] 例如,所述多级移位寄存器单元包括N级移位寄存器单元,其中第n级移位寄存器的时钟信号端与第1时钟信号线至第I时钟信号线之一相连,第n级移位寄存器的信号输出端与第 $(n+I/2)$ 级移位寄存器的信号输入端相连,第n级移位寄存器的复位信号端与第 $(n+K)$ 级移位寄存器的信号输出端相连,N是大于等于4的整数,n是大于等于1且小于 $(N-I/2)$ 的整数,K是大于 $I/2$ 且小于I的整数,I是栅极驱动电路中时钟信号线的数目。

[0011] 例如,第1时钟信号至第I时钟信号分别输入至第1时钟信号线至第I时钟信号线,

每两个相邻的时钟信号之间相差 $1/I$ 个时钟周期。

[0012] 例如,每个时钟信号的占空比为50%,并且 I 等于4、6或8。

[0013] 例如,所述每一级移位寄存器单元还包括控制子电路,其具有用于接收控制信号的控制信号端,所述控制子电路分别连接至提供第一固定电平的第一固定电平端、所述输出端和所述上拉控制节点,所述控制子电路被配置为在所述控制信号和所述上拉控制节点的控制下将所述第一固定电平端与所述输出端连通。

[0014] 例如,所述控制子电路包括:第一晶体管,所述第一晶体管的栅极连接所述上拉控制节点,第一级连接至所述第一固定电平端,第二级连接至该级移位寄存器单元的下拉控制节点;第二晶体管,所述第二晶体管的栅极和第一极共同连接至所述控制信号端,第二极连接至所述下拉控制节点;第三晶体管,所述第三晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点;第四晶体管,所述第四晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二级连接至所述输出端;以及第二电容,所述第二电容的第一极连接至所述下拉控制节点,第二极连接至所述第一固定电平端。

[0015] 例如,所述控制信号与所述本级时钟信号反相。

[0016] 例如,所述控制子电路包括:第一晶体管,所述第一晶体管的栅极连接至所述上拉控制节点,第一极连接至所述第一固定电平端,第二极连接所述下拉控制节点;第二晶体管和第三晶体管,所述第二晶体管的栅极和第一极共同连接至所述控制信号端,第二极连接至所述第三晶体管的栅极,所述第三晶体管的第一极连接至所述控制信号端,第二极连接至所述下拉控制节点;第四晶体管,所述第四晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述输出信号端;第六晶体管,所述第六晶体管的栅极连接至所述上拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述第三晶体管的栅极;以及第七晶体管,所述第七晶体管的栅极连接至所述下拉控制节点,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点。

[0017] 例如,所述控制信号为第二固定电平的信号,所述第二固定电平与所述第一固定电平不同。

[0018] 例如,所述复位子电路包括复位晶体管,所述复位晶体管的栅极连接至所述复位信号端,第一极连接至所述第一电平端,第二极连接至所述上拉控制节点。

[0019] 例如,所述复位子电路还具有用于接收总复位信号的总复位信号端,所述复位子电路还包括第八晶体管和第九晶体管,所述第八晶体管的栅极连接至所述总复位信号端,第一极连接至所述第一固定电平端,第二极连接至所述上拉控制节点;所述第九晶体管的栅极连接至所述总复位信号端,第一极连接至所述第一固定电平端,第二极连接至所述输出端。

[0020] 例如,所述复位子电路还包括第十晶体管,所述第十晶体管的栅极连接至所述复位信号端,第一极连接至所述控制信号端,第二极连接至所述下拉控制节点。

[0021] 根据本公开实施例的另一面,提供了一种栅极驱动电路的驱动方法,包括:

[0022] 在第一时段,使上拉控制节点的电位处于第一有效工作电平,时钟信号端与输出信号端连通,所述时钟信号端输入与第一电平不同的第二电平的信号,信号输出端输出第二电平的信号;

[0023] 在第二时段,使上拉控制节点的电位从第一有效工作电平变为第二有效工作电平,时钟信号端与输出信号端连通,所述时钟信号端为第一电平,信号输出端为第一电平;

[0024] 在第三时段,复位信号端输入第二电平的复位信号,在复位信号的控制下将所述上拉控制节点复位至第一电平,时钟信号端与输出信号端断开,所述信号输出端为第一电平。

[0025] 例如,所述驱动方法还包括在第四时段,所述复位信号端为第一电平,所述上拉控制节点为第一电平,所述信号输出端为第一电平。

[0026] 本公开实施例提供了栅极驱动电路及其驱动方法以及一种包括所述栅极驱动电路的显示装置。根据本公开的栅极驱动电路,在无需修改传统移位寄存器的结构的情况下,通过例如改进栅极驱动电路中各级移位寄存器单元的级联关系来调整输入到各级移位寄存器单元的时钟信号和复位信号的相位关系,能够有效的缓解在由于例如移位寄存器单元的复位时间过短而出现信赖性闪屏现象。

附图说明

[0027] 图1示出了一种栅极驱动电路的示例示意图;

[0028] 图2示出了图1中栅极驱动电路的操作时序图;

[0029] 图3详细示出了图1中栅极驱动电路的第n级移位寄存器中各点电压波形的比较;

[0030] 图4A示出了根据本公开实施例的栅极驱动电路的示意方框图;

[0031] 图4B示出了根据本公开实施例的栅极驱动电路中的移位寄存器单元的示意方框图;

[0032] 图5A示出了根据本公开实施例的栅极驱动电路的驱动方法流程图;

[0033] 图5B示出了根据本公开实施例的栅极驱动电路的操作时序图;

[0034] 图5C详细示出了图4中栅极驱动电路的第n级移位寄存器中各点电压波形的比较;

[0035] 图6A示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了4个时钟信号;

[0036] 图6B示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了6个时钟信号;

[0037] 图6C示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了8个时钟信号;

[0038] 图7A示出了根据本公开实施例的移位寄存器单元的一个示例电路图;

[0039] 图7B示出了根据本公开实施例的移位寄存器单元的另一个示例电路图;

[0040] 图7C示出了根据本公开实施例的移位寄存器单元的操作时序图;

[0041] 图8A示出了根据本公开实施例的移位寄存器单元的另一个示例电路图;

[0042] 图8B示出了根据本公开实施例的移位寄存器单元的另一个示例电路图;以及

[0043] 图9示出了根据本公开实施例的显示装置的示意方框图。

具体实施方式

[0044] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例中的附图,对本公开实施例中的技术方案进行清楚、完整的描述。显然,所描述的实施例是

本公开的一部分实施例,而不是全部。基于所描述的本公开实施例,本领域普通技术人员在无需创造性劳动的前提下获得的所有其他实施例都属于本公开保护的范畴。应注意,贯穿附图,相同的元素由相同或相近的附图标记来表示。在以下描述中,一些具体实施例仅用于描述目的,而不应该理解为对本公开有任何限制,而只是本公开实施例的示例。在可能导致对本公开的理解造成混淆时,将省略常规结构或构造。应注意,图中各部件的形状和尺寸不反映真实大小和比例,而仅示意本公开实施例的内容。

[0045] 除非另外定义,本公开实施例使用的技术术语或科学术语应当是本领域技术人员所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似词语并不表示任何顺序、数量或重要性,而只是用于区分不同的组成部分。

[0046] 此外,在本公开实施例的描述中,术语“相连”或“连接至”可以是指两个组件直接连接,也可以是指两个组件之间经由一个或多个其他组件相连。此外,这两个组件可以通过有线或无线方式相连或相耦合。

[0047] 此外,在本公开实施例的描述中,术语“第一电平”和“第二电平”仅用于区别两个电平的幅度不同。例如,下文中以“第一电平”为低电平、“第二电平”为高电平为例进行描述。术语“有效工作电平”是指能够导通受控晶体管的电平。本领域技术人员可以理解,本公开不局限于此。

[0048] 本公开实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。优选地,本公开实施例中使用的薄膜晶体管可以是氧化物半导体晶体管。由于这里采用的薄膜晶体管的源极、漏极是对称的,所以其源极、漏极可以互换。在本公开实施例中,将源极和漏极中的一个称为第一极,将源极和漏极中的另一个称为第二极。在以下示例中以N型薄膜晶体管为例进行描述。本领域技术人员可以理解,本公开实施例显然可以应用于P型薄膜晶体管的情况。

[0049] 图1示出了一种示例栅极驱动电路10的级联示意图。如图1所示,栅极驱动电路10可以包括:N级移位寄存器,每一级移位寄存器单元各自具有时钟信号端CLK、输入端INPUT、输出端OUTPUT和复位端RESET。在图1的示例使用四个时钟信号clk1、clk2、clk3和clk4的情况下,第n级移位寄存器的时钟信号端CLK连接至时钟信号clk1,第n+1级移位寄存器的时钟信号端CLK连接至时钟信号clk2,第n+2级移位寄存器的时钟信号端CLK连接至时钟信号clk3,以及第n+3级移位寄存器的时钟信号端CLK连接至时钟信号clk4。第n级移位寄存器的输入端INPUT与第n-2级移位寄存器的输出端OUTPUT相连,第n级移位寄存器的输出端OUTPUT与第n+2级移位寄存器的输入端INPUT以及第n-2级移位寄存器的复位端RESET相连,其中N是大于等于2的整数,n是大于2且小于等于N的整数。本领域技术人员可以理解,第一级移位寄存器SR(1)和第二级移位寄存器SR(2)的输入端INPUT以及第N-1级移位寄存器SR(N-1)和第N级移位寄存器SR(N)的复位端可以连接至帧开启脉冲扫描(STV)信号线。

[0050] 图2示出了图1中栅极驱动电路的示例操作时序图。例如,为了便于理解,使用表述Clk(n)~Clk(n+3)来分别表示连接至第n级~第(n+3)级移位寄存器的时钟信号。时钟信号Clk(n)~Clk(n+3)可以例如具有50%占空比,且相位依次相差时钟周期的四分之一。以第n级移位寄存器为例,第n级移位寄存器的时钟信号端CLK输入时钟信号Clk(n),输出端OUTPUT的输出信号Output(n)输入到第n+2级移位寄存器的输入端INPUT,第n+2级移位寄存器的输出端OUTPUT的输出信号Output(n+2)输入到第n级移位寄存器的复位端RESET,作为第

n级移位寄存器的复位信号Reset (n)。图2中的PU(n)示出了第n级移位寄存器的上拉控制节点PU的电压波形,PD(n)示出了第n级移位寄存器的下拉控制节点PD的电压波形。

[0051] 图3详细示出了图1中栅极驱动电路的第n级移位寄存器中各点电压波形的比较。如图3所示,虚线PU(n)表示该移位寄存器的上拉控制节点PU的电压波形,细实线Clk(n)表示该移位寄存器的时钟信号波形,粗实线Output(n)表示第n级移位寄存器的输出信号波形,点划线Reset(n)表示该移位寄存器的复位信号波形。“复位时间”指示了移位寄存器的输出信号的下降沿(第二沿)到复位信号的上升沿(第一沿)的时间。从图3中可以看出,图1所示的栅极驱动电路中各个移位寄存器的复位时间非常短。“下降时间”指示了移位寄存器的输出信号电平从最高电平下降至最高电平的95%所需的时间,图3的示例中的“下降时间”为6.1us。申请人发现,“复位时间”过短导致移位寄存器电路复位不彻底,继而导致使用该栅极驱动电路的显示装置出现信赖性闪屏和“良率”过低。

[0052] 因此,本公开提供了一种栅极驱动电路。图4A示出了根据本公开实施例的栅极驱动电路的示意方框图。如图4A所示,根据本公开实施例的栅极驱动电路40可以包括多级移位寄存器单元41。图4B示出了根据本公开实施例的栅极驱动电路中的移位寄存器单元41的示意方框图。接下来将结合图4A和图4B来详细描述根据本公开实施例的栅极驱动电路。

[0053] 如图4B所示,每一级移位寄存器单元41可以包括输出子电路411。输出子电路411具有输出端OUTPUT和接收本级时钟信号的时钟信号输入端CLK。输出子电路411连接至该级移位寄存器单元的上拉控制节点PU,被配置为在上拉控制节点PU为有效工作电平时将时钟信号输入端CLK和输出端OUTPUT连通。

[0054] 移位寄存器单元41还可以包括复位子电路412。复位子电路412具有用于接收复位信号的复位信号端RESET。复位子电路412分别连接至所述上拉控制节点PU和提供第一电平v1的第一电平端V1。复位子电路412被配置为在复位信号Reset的控制下将上拉控制节点PU复位至第一电平v1。

[0055] 根据本公开实施例,本级时钟信号Clk(n)的时钟脉冲具有第一时钟脉冲沿EC1和落后于所述第一时钟脉冲沿的第二时钟脉冲沿EC2。复位信号Reset(n)的复位脉冲具有第一复位脉冲沿ER1和落后于所述第一复位脉冲沿ER1的第二复位脉冲沿ER2。第一复位脉冲沿ER1滞后于第二时钟脉冲沿EC2,并且与第二时钟脉冲沿EC2相比滞后不超过本级时钟信号Clk(n)的时钟脉冲的时长P。

[0056] 移位寄存器单元41还可以包括控制子电路413。控制子电路413具有用于接收控制信号的控制信号端CONT,控制子电路413分别连接至提供第一固定电平的第一固定电平端Vf1、输出端OUTPUT和上拉控制节点PU。控制子电路413被配置为在控制信号和上拉控制节点PU的控制下将第一固定电平端Vf1与输出端OUTPUT连通。

[0057] 移位寄存器单元41还可以包括输入子电路414。输入子电路414具有用于接收输入信号Input的输入端INPUT,输入子电路414分别连接至上拉控制节点PU和提供第二电平的第二电平端V2。输入子电路414被配置为在输入信号Input的控制下将第二电平v2提供到上拉控制节点PU。第二电平v2与第一电平v1不同。

[0058] 本公开还提供了一种栅极驱动电路的驱动方法,可以应用于本公开实施例的栅极驱动电路。应注意,以下方法中各个步骤的序号仅作为该步骤的表示以便描述,而不应被看作表示该各个步骤的执行顺序。除非明确指出,否则该方法不需要完全按照所示顺序来执

行。图5A示出了根据本公开实施例的栅极驱动电路的驱动方法的流程图。如图5A所示,根据本公开实施例的栅极驱动电路的驱动方法500可以包括以下步骤。

[0059] 在步骤S501,使上拉控制节点PU的电位处于第一有效工作电平,时钟信号端与输出信号端连通,所述时钟信号端输入与第一电平不同的第二电平的信号,信号输出端输出第二电平的信号。

[0060] 在步骤S502,使上拉控制节点PU的电位从第一有效工作电平变为第二有效工作电平,时钟信号端与输出信号端连通,时钟信号端为第一电平,信号输出端为第一电平。

[0061] 在步骤S503,复位信号端输入第二电平的复位信号,在复位信号的控制下将所述上拉控制节点复位至第一电平,时钟信号端与输出信号端断开,所述信号输出端为第一电平。

[0062] 图5B示出了根据本公开实施例的栅极驱动电路40的操作时序图。如图5B所示,以第n级移位寄存器为例,第n级移位寄存器的时钟信号端CLK输入时钟信号Clk(n),输出端OUTPUT的输出信号Output(n)输入到第n+2级移位寄存器的输入端INPUT。与图2中栅极驱动电路10的操作时序图不同的是,根据本公开实施例的栅极驱动电路40中,第n+3级移位寄存器的输出端OUPUT的输出信号Output(n+3)输入到第n级移位寄存器的复位端RESET,作为第n级移位寄存器的复位信号Reset(n)。类似地,图5B中的PU(n)示出了第n级移位寄存器的上拉控制节点PU的电压波形,PD(n)示出了第n级移位寄存器的下拉控制节点PD的电压波形。

[0063] 如图5B所示,在第一时段t1,上拉控制节点PU的电位除以第一有效工作电平,使得时钟信号端CLK与输出信号端OUTPUT连通,时钟信号端输入例如高电平的时钟信号Clk(n),信号输出端输出高电平的信号Output(n)。

[0064] 在第二时段t2,上拉控制节点PU的电位从第一有效工作电平变为第二有效工作电平,时钟信号Clk(n)为低电平,信号输出端的信号Output(n)为低电平。例如,第二有效工作电平可以低于第一有效工作电平,但仍能够使得时钟信号端CLK与输出信号端OUTPUT连通。

[0065] 在第三时段t3,复位信号端输入高电平的复位信号Reset(n)。在复位信号的控制下将上拉控制节点的电压PU(n)复位至低电平,时钟信号端与输出信号端断开,信号输出端的信号Output(n)为低电平。根据本公开实施例的驱动方法还包括在第四时段T4,复位信号端为低电平,上拉控制节点的电压PU(n)为低电平,信号输出端的信号Output(n)为低电平。

[0066] 图5C详细示出了图5B中各点电压波形的比较。与图3相类似,图5C中虚线PU(n)表示该移位寄存器的上拉控制节点PU的电压波形,细实线Clk(n)表示输入到该移位寄存器的时钟信号波形,粗实线Output(n)表示第n级移位寄存器的输出信号波形,点划线Reset(n)表示该移位寄存器的复位信号波形。与图3相比较,图5C中的“复位时间”,即移位寄存器的输出信号的下降沿(第二沿)到复位信号的上升沿(第一沿)的时间明显变长,也就是说,图4A所示的栅极驱动电路中各个移位寄存器的复位时间变长。图5C中的“下降时间”为4.2us,与图3中的6.1us相比较明显加快。即,根据本公开实施例的栅极驱动电路的移位寄存器单元的输出信号的“下降时间”变短,信号下降沿波形更加陡峭,避免了闪屏现象的发生。

[0067] 本领域技术人员可以理解,尽管以上实施例中以使用4个时钟信号为例进行描述,本公开实施例可以应用于使用6个时钟或8个时钟的情况。在使用I个时钟信号的情况下,I是大于等于4的偶数,第n级移位寄存器的时钟信号端与第1时钟信号线至第I时钟信号线之一相连,第n级移位寄存器的信号输出端与第(n+I/2)级移位寄存器的信号输入端相连,第n

级移位寄存器的复位信号端与第 $(n+K)$ 级移位寄存器的信号输出端相连, n 是大于等于1且小于 $(N-I/2)$ 的整数, K 是大于 $I/2$ 且小于 I 的整数。第1时钟信号至第 I 时钟信号分别输入至第1时钟信号线至第 I 时钟信号线,每两个相邻的时钟信号之间相差 $1/I$ 个时钟周期。每个时钟信号的占空比为50%,并且 I 可以等于4、6或8。

[0068] 图6A示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了4个时钟信号。图6B示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了6个时钟信号。图6C示出了根据本公开实施例的栅极驱动电路中移位寄存器单元的级联方式示例,其中使用了8个时钟信号。为了便于理解本公开,将结合图6A~图6C来描述根据本公开实施例的栅极驱动电路的示例级联方式。

[0069] 如图6A所示,根据本公开实施例的栅极驱动电路使用了4个时钟信号 $C1k(n) \sim C1k(n+3)$,其中第 n 级移位寄存器单元 $SR(n)$ 的时钟信号端 CLK 接收时钟信号 $C1k(n)$ 。图6A中,第 n 级移位寄存器单元 $SR(n)$ 的 $INPUT$ 端连接至第 $(n-2)$ 级移位寄存器单元 $SR(n-2)$ 的输出信号 $Output(n-2)$,输出端 $OUTPUT$ 的输出信号 $Output(n)$ 输入到第 $n+2$ 级移位寄存器 $SR(n+2)$ 的输入端 $INPUT$,复位端 $RESET$ 连接至第 $n+3$ 级移位寄存器单元 $SR(n+3)$ 的输出信号 $Output(n+3)$ 。

[0070] 为了简明,图6A仅示出了 N 级移位寄存器中的第 n 级移位寄存器单元的连接方式,其中栅极驱动电路包括 N 级移位寄存器单元, n 大于等于3小于等于 $(N-2)$ 。本领域技术人员可以显而易见地设想栅极驱动电路中其他级移位寄存器单元的连接方式。例如,与第 n 级移位寄存器单元不同,第1级和第2级移位寄存器单元的 $INPUT$ 端连接至 STV 信号,且第 $N-1$ 级和第 N 级移位寄存器单元的 $RESET$ 端连接至 STV 信号。

[0071] 如图6B所示,根据本公开实施例的栅极驱动电路使用了6个时钟信号 $C1k(n) \sim C1k(n+5)$,其中第 n 级移位寄存器单元 $SR(n)$ 的时钟信号端 CLK 接收时钟信号 $C1k(n)$ 。图6B中,第 n 级移位寄存器单元 $SR(n)$ 的 $INPUT$ 端连接至第 $(n-3)$ 级移位寄存器单元 $SR(n-3)$ 的输出信号 $Output(n-3)$,输出端 $OUTPUT$ 的输出信号 $Output(n)$ 输入到第 $n+3$ 级移位寄存器 $SR(n+3)$ 的输入端 $INPUT$,复位端 $RESET$ 可以连接至第 $n+4$ 级移位寄存器单元 $SR(n+4)$ 的输出信号 $Output(n+4)$,或复位端 $RESET$ 可以连接至第 $n+5$ 级移位寄存器单元 $SR(n+5)$ 的输出信号 $Output(n+5)$ 。

[0072] 类似地,图6B仅示出了 N 级移位寄存器中的第 n 级移位寄存器单元的连接方式,其中栅极驱动电路包括 N 级移位寄存器单元, n 大于等于4小于等于 $(N-3)$ 。本领域技术人员可以显而易见地设想栅极驱动电路中其他级移位寄存器单元的连接方式。例如,与第 n 级移位寄存器单元不同,第1级、第2级和第3级移位寄存器单元的 $INPUT$ 端连接至 STV 信号,且第 $N-2$ 级、第 $N-1$ 级和第 N 级移位寄存器单元的 $RESET$ 端连接至 STV 信号。

[0073] 如图6C所示,根据本公开实施例的栅极驱动电路使用了8个时钟信号 $C1k(n) \sim C1k(n+7)$,其中第 n 级移位寄存器单元 $SR(n)$ 的时钟信号端 CLK 接收时钟信号 $C1k(n)$ 。图6C中,第 n 级移位寄存器单元 $SR(n)$ 的 $INPUT$ 端连接至第 $(n-4)$ 级移位寄存器单元 $SR(n-4)$ 的输出信号 $Output(n-4)$,输出端 $OUTPUT$ 的输出信号 $Output(n)$ 输入到第 $n+4$ 级移位寄存器 $SR(n+4)$ 的输入端 $INPUT$,复位端 $RESET$ 可以连接至第 $n+5$ 级移位寄存器单元 $SR(n+5)$ 的输出信号 $Output(n+5)$,或复位端 $RESET$ 可以连接至第 $n+6$ 级移位寄存器单元 $SR(n+6)$ 的输出信号 $Output(n+6)$,或复位端 $RESET$ 可以连接至第 $n+7$ 级移位寄存器单元 $SR(n+7)$ 的输出信号 $Output(n+7)$ 。

[0074] 类似地,图6C仅示出了 N 级移位寄存器中的第 n 级移位寄存器单元的连接方式,其中栅极驱动电路包括 N 级移位寄存器单元, n 大于等于5小于等于 $(N-4)$ 。本领域技术人员可

以显而易见地设想栅极驱动电路中其他级移位寄存器单元的连接方式。例如,与第n级移位寄存器单元不同,第1级、第2级、第3级和第4级移位寄存器单元的INPUT端连接至STV信号,且第N-3级、第N-2级、第N-1级和第N级移位寄存器单元的RESET端连接至STV信号。

[0075] 为了便于理解本公开实施例的技术方案,接下来将详细描述根据本公开实施例的移位寄存器单元的具体实现方式示例。本领域技术人员可以理解,本公开不局限于此,本领域技术人员可以使用多种移位寄存器单元来实现根据本公开实施例的栅极驱动电路,只需改进栅极驱动电路中各级移位寄存器单元的级联关系以调整时钟信号和复位信号的相位关系即可。

[0076] 图7A示出了根据本公开实施例的移位寄存器单元的一个示例电路图。如图7A所示,根据本公开实施例的移位寄存器单元71A可以包括输出子电路711、复位子电路712、控制子电路713以及输入子电路714。在图7A的示例中,输出子电路711可以包括输出晶体管T1和第一电容C1。输出晶体管T1的第一极、第一电容C1的第一极共同连接至该级移位寄存器单元的信号输出端OUTPUT。输出晶体管T1的栅极、第一电容C1的第二极共同连接至移位寄存器单元的上拉控制节点PU,输出晶体管T1的第二极连接至移位寄存器单元的时钟信号端CLK。

[0077] 复位子电路712可以包括复位晶体管T2。复位晶体管T2的栅极连接至复位信号端RESET,第一极连接至第一电平端V1,第二极连接至上拉控制节点PU。例如,第一电平端V1可以接收栅极驱动电路的VSS电压信号。

[0078] 控制子电路713可以包括第一晶体管M1,第一晶体管M1的栅极连接至上拉控制节点PU,第一极连接至第一固定电平端Vf1,第二极连接至该级移位寄存器单元的下拉控制节点PD;第二晶体管M2,第二晶体管M2的栅极和第一极共同连接至控制信号端CONT,第二极连接至下拉控制节点PD;第三晶体管M3,第三晶体管M3的栅极连接至下拉控制节点PD,第一极连接至第一固定电平端Vf1,第二极连接至上拉控制节点PU;第四晶体管M4,第四晶体管M4的栅极连接至下拉控制节点PD,第一极连接至第一固定电平端Vf1,第二极连接至输出端OUTPUT;以及第二电容C2,第二电容C2的第一极连接至下拉控制节点PD,第二极连接至第一固定电平端Vf1。例如,在上述示例中第一固定电平端Vf1可以接收栅极驱动电路的VGL电压信号。在图7A的示例中,控制信号端CONT可以接收时钟信号Clk(n+2)。

[0079] 输入子电路714可以包括第五晶体管M5。第五晶体管M5的栅极连接至输入信号端INPUT,第一极连接至第二电平端V2,第二极连接至上拉控制节点PU。例如,第二电平端V2可以接收栅极驱动电路的VDD电压信号。

[0080] 图7B示出了根据本公开实施例的移位寄存器单元的另一个示例电路图。如图7B所示,根据本公开实施例的移位寄存器单元71B可以包括输出子电路711、复位子电路712'、控制子电路713以及输入子电路714。

[0081] 图7B中的实施例与图7A中的实施例不同之处在于,复位子电路712'还具有用于接收总复位信号的总复位信号端TRST。复位子电路712'还包括第八晶体管M8和第九晶体管M9。第八晶体管M8的栅极连接至总复位信号端TRST,第一极连接至第一固定电平端Vf1,第二极连接至所述上拉控制节点PU。第九晶体管M9的栅极连接至总复位信号端TRST,第一极连接至第一固定电平端Vf1,第二极连接至所述输出端OUTPUT。例如,总复位信号端TRST可以接收栅极驱动电路的Trst信号。本领域技术人员可以理解,图7A中实施例与图7B中实施

例的区别在于,在图7B的实施例中,在每一帧显示图像扫描结束时,使用总复位信号Trst对PU点和OUTPUT端的电压进行复位。为了简明,将不再赘述图7B中与图7A相同的电路结构和信号连接。

[0082] 图7C示出了根据本公开实施例的移位寄存器单元的操作时序图。接下来将结合图7C的时序图来描述图7A和7B中移位寄存器单元的具体操作。应注意,与图5B相同,以下描述中以第n级移位寄存器单元使用4个时钟信号为例进行描述。此外,本领域技术人员可以理解,图7C中的各个信号与图5B中的各个信号具有实质上相同的时序,因此为了便于理解,采用相同的附图标记来表示相同的时段。

[0083] 在预充电时段 t_0 ,输入信号端IUPUT为第二电平信号(例如高电平信号),输入信号端为第(n-2)级移位寄存器单元输出信号的Output(n-2)。IUPUT为高电平信号使得第五晶体管M5导通。第二电平V2为高电平,从而通过第五晶体管M5给第一电容C1充电,使得PU点电压被拉高。PU点为高电平使得输出晶体管T1导通,输出端OUTPUT与时钟信号端连通。此时C1k(n)为第一电平(例如低电平),因此信号输出端OUTPUT为低电平。由于Vf1为低电平,将PD点拉为低电平。PD点为低电平使得第三晶体管M3和第四晶体管M4关断,从而保证了信号的稳定性输出。

[0084] 在第一时段 t_1 ,输入信号端INPUT的Output(n-2)为低电平,第五晶体管M5关断。由于自举效应(bootstrapping),PU点的电压升高到第一有效工作电平并保持高电位,输出晶体管T1保持导通状态。此时时钟信号C1k(n)为高电平,因此信号输出端OUTPUT输出高电平的信号作为本级移位寄存器单元的驱动信号。PU点为高电平使得第一晶体管M1仍然导通,PD点保持低电平,从而第三晶体管M3和第四晶体管M4继续关断,保证了信号的稳定性输出。

[0085] 在第二时段 t_2 ,C1k(n)为低电平。此时PU点的电平从第一有效工作电平变为第二有效工作电平。尽管此时PU点的电平低于第一时段 t_1 ,但仍能够导通输出晶体管T1和第一晶体管M1,故Output(n)与C1k(n)均为低电平,并且由于第一晶体管M1导通,PD点仍为低电平。由于无信号上拉,PU点的电位持续下降。

[0086] 在第三阶段 t_3 ,复位信号Reset(即,Output(n+3))为高电平,使得复位晶体管T2处于导通状态,PU点电位被拉低,从而使得输出晶体管T1和第一晶体管M1关断。同时C1k(n+2)为高电平使得第二晶体管M2导通,从而由控制信号端CONT输入的C1k(n+2)对第二电容C2进行充电,使得PD点处于高电位,从而使第三晶体管M3和第四晶体管M4处于导通状态,将PU点的电位拉到第一固定电平Vf1(例如VGL)。输出端OUTPUT保持低电平。

[0087] 在第四时段 t_4 ,由于输入端INPUT端为低电平,第五晶体管M5一直处于关断状态,当C1k(n+2)为高电平时导通第二晶体管M2以便向第二电容C2充电,使得PD点能够保持高电位从而使第三晶体管M3和第四晶体管M4处于导通状态,不断对PU点与OUTPUT端进行放噪,上述可使得由时钟信号产生的Coupling噪声电压得以消除,实现低压输出并保证信号输出的稳定性。

[0088] 在下一帧到来之前,该移位寄存器单元始终处于第四时段 t_4 。在图7B的实施例中,在上一帧结束下一帧到来之前,Trst为高电平,使得第八晶体管M7导通从而对PU点进行放噪,并使得第九晶体管M9导通从而对OUTPUT端进行放噪,保证了下一帧来稳定工作。

[0089] 根据以上实施例,在第四时段 t_4 中,利用第二电容C2来维持PD点的高电压,可以进一步降低电路功耗。

[0090] 图8A示出了根据本公开实施例的移位寄存器单元的另一个示例电路图。如图8A所示,根据本公开实施例的移位寄存器单元81A可以包括输出子电路811、复位子电路812、控制子电路813以及输入子电路814。图8A与图7A的不同之处在于,首先图8A中的控制信号端CONT可以接收第二固定电平Vf2,第二固定电平信号Vf2与第一固定电平Vf1不同。例如,第二固定电平信号可以是栅极驱动电路的VGH信号。此外,与图7B的示例类似,图8A中的复位子电路812还具有用于接收总复位信号的总复位信号端TRST。复位子电路812还包括第八晶体管M8和第九晶体管M9。本领域技术人员可以理解,图8A也可以具有与图7A相同的复位子电路。

[0091] 图8A中的控制子电路813可以包括第一晶体管M1。第一晶体管M1的栅极连接至上拉控制节点PU,第一极连接至第一固定电平端Vf1,第二极连接下拉控制节点PD;第二晶体管M2和第三晶体管M3,第二晶体管M2的栅极和第一极共同连接至控制信号端CONT,第二极连接至第三晶体管M3的栅极,第三晶体管M3的第一极连接至控制信号端CONT,第二极连接至下拉控制节点PD;第四晶体管M4,第四晶体管M4的栅极连接至下拉控制节点PD,第一极连接至第一固定电平端Vf1,第二极连接至输出信号端OUTPUT;第六晶体管M6,第六晶体管M6的栅极连接至上拉控制节点PU,第一极连接至第一固定电平端Vf1,第二极连接至第三晶体管M3的栅极;以及第七晶体管M7,第七晶体管M7的栅极连接至下拉控制节点PD,第一极连接至第一固定电平端Vf1,第二极连接至上拉控制节点PU。

[0092] 为了简明,将不再赘述图8A中与图7A和7B相同的电路结构和信号连接。

[0093] 应注意,图8A中移位寄存器单元的各个信号实质上与图7A和7B的信号波形相同。因此,接下来将参考图7C的时序图来描述图8A中移位寄存器电路的具体操作。同样,以下描述中以第n级移位寄存器单元使用4个时钟信号为例进行描述。

[0094] 在预充电时段t0,输入信号端INPUT为高电平信号,输入信号端为第(n-2)级移位寄存器单元输出信号的Output(n-2)。INPUT为高电平信号使得第五晶体管M5导通。第二电平V2为高电平,从而通过第五晶体管M5给第一电容C1充电,使得PU点电压拉高。PU点为高电平使得输出晶体管T1、第一晶体管M1和第六晶体管M6导通从而使第三晶体管M3关断。此时Clk(n)为低电平,因此信号输出端OUTPUT为低电平。由于Vf1为低电平,从而将PD点拉为低电平。PD点为低电平使得第三晶体管M3和第七晶体管M7关断,从而保证了信号的稳定性输出。

[0095] 在第一时段t1,输入信号端INPUT的Output(n-2)为低电平,第五晶体管M5关断。由于自举效应(bootstrapping),PU点的电压升高到第一有效工作电平并保持高电位,输出晶体管T1保持导通状态。此时时钟信号Clk(n)为高电平,使得输出端OUTPUT输出高电平的信号作为本级移位寄存器单元的驱动信号。此时PU点为高电位,第一晶体管M1和第六晶体管M6仍然导通使得PD点保持低电平,从而第三晶体管M3和第七晶体管M7继续关断,保证了信号的稳定性输出。

[0096] 在第二时段t2,Clk(n)为低电平,PU点的电平从第一有效工作电平变为第二有效工作电平。尽管此时PU点的电平低于第一时段t2,但仍能够导通输出晶体管T1和第一晶体管M1,故Output(n)与Clk(n)均为低电平,并且由于第一晶体管M1导通,PD点仍为低电平。由于无信号上拉,PU点的电压持续下降。

[0097] 在第三时段t3,复位信号Reset(即,Output(n+3))为高电平,使得复位晶体管T2处

于导通状态,PU点电位被拉低,从而使得输出晶体管T1、第一晶体管M1和第六晶体管M6关断。同时VGH为高电平使得第二晶体管M2和第三晶体管M3导通,从而由控制信号端CONT输入的高电平VGH给第二电容C2进行充电,使得PD点处于高电位,从而使第四晶体管M4和第七晶体管M7处于导通状态,将PU点的电位拉到第一固定电平Vf1(例如VGL)。输出端OUTPUT保持低电平。本领域技术人员可以理解,可以通过第二晶体管M2和第六晶体管M6的沟道宽长比的比例来控制第三晶体管的栅极的电压。

[0098] 在第四时段t4,由于输入端INPUT端为低电平,第五晶体管M5一直处于关断状态。VGH为高电平使得PD点保持高电平,第四晶体管M4和第七晶体管M7一直处于导通状态,不断对PU点与OUTPUT端进行放噪,上述可使得由时钟信号产生的Coupling噪声电压得以消除,实现低压输出并保证信号输出的稳定性。

[0099] 在下一帧到来之前,该移位寄存器单元始终处于第四时段t4。在图8A的实施例中,在上一帧结束下一帧到来之前,Trst为高电平,使得第八晶体管M8导通从而对PU点进行放噪,并使得第九晶体管M9导通从而对OUTPUT端进行放噪,保证了下一帧来稳定工作。

[0100] 图8B示出了根据本公开实施例的移位寄存器单元的另一个示例电路图。如图8B所示,根据本公开实施例的移位寄存器单元81B可以包括输出子电路811、复位子电路812'、控制子电路813以及输入子电路814。图8B与图8A的不同之处在于,图8B中的复位子电路812'还包括第十晶体管M10。第十晶体管M10的栅极连接至复位信号端RESET,第一极连接至第二固定电平端Vf2,第二极连接至下拉控制节点PD。

[0101] 为了简明,将不再赘述图8B中与图7A、7B以及图8A相同的电路结构和信号连接。

[0102] 应注意,图8B中移位寄存器单元的各个信号实质上与图7A和7B的信号波形相同。此外,除了第三时段t3以外,图8B中的移位寄存器单元81B在时段t0、t1、t2和t4的操作与图8A中移位寄存器单元81A的操作是相同的,为了简明此处不再赘述。接下来将详细根据本公开实施例的移位寄存器单元81B在第三时段t3的操作。

[0103] 在第三时段t3,复位信号Reset(即,Output(n+3))为高电平,使得复位晶体管T2和第十晶体管M10处于导通状态,PU点电位被拉低,从而使得输出晶体管T1、第一晶体管M1和第六晶体管M6关断。同时VGH为高电平使得第二晶体管M2和第三晶体管M3导通,从而由控制信号端CONT输入的高电平VGH给第二电容C2进行充电,使得PD点处于高电位,从而使第四晶体管M4和第七晶体管M7处于导通状态,将PU点的电位拉到第一固定电平Vf1(例如VGL)。输出端OUTPUT保持低电平。

[0104] 通过设置第十晶体管M10,能够加快PD点的电位上升,使PU点降为低电平所需的时间更少,从而增加输出稳定性。

[0105] 图9示出了根据本公开实施例的显示装置的示意方框图。如图9所示,显示装置90可以包括根据本公开实施例的栅极驱动电路910。根据本公开实施例的显示装置90可以是电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

[0106] 以上所述的具体实施例,对本公开实施例的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本公开实施例的具体实施例而已,并不用于限制本公开,凡在本公开的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

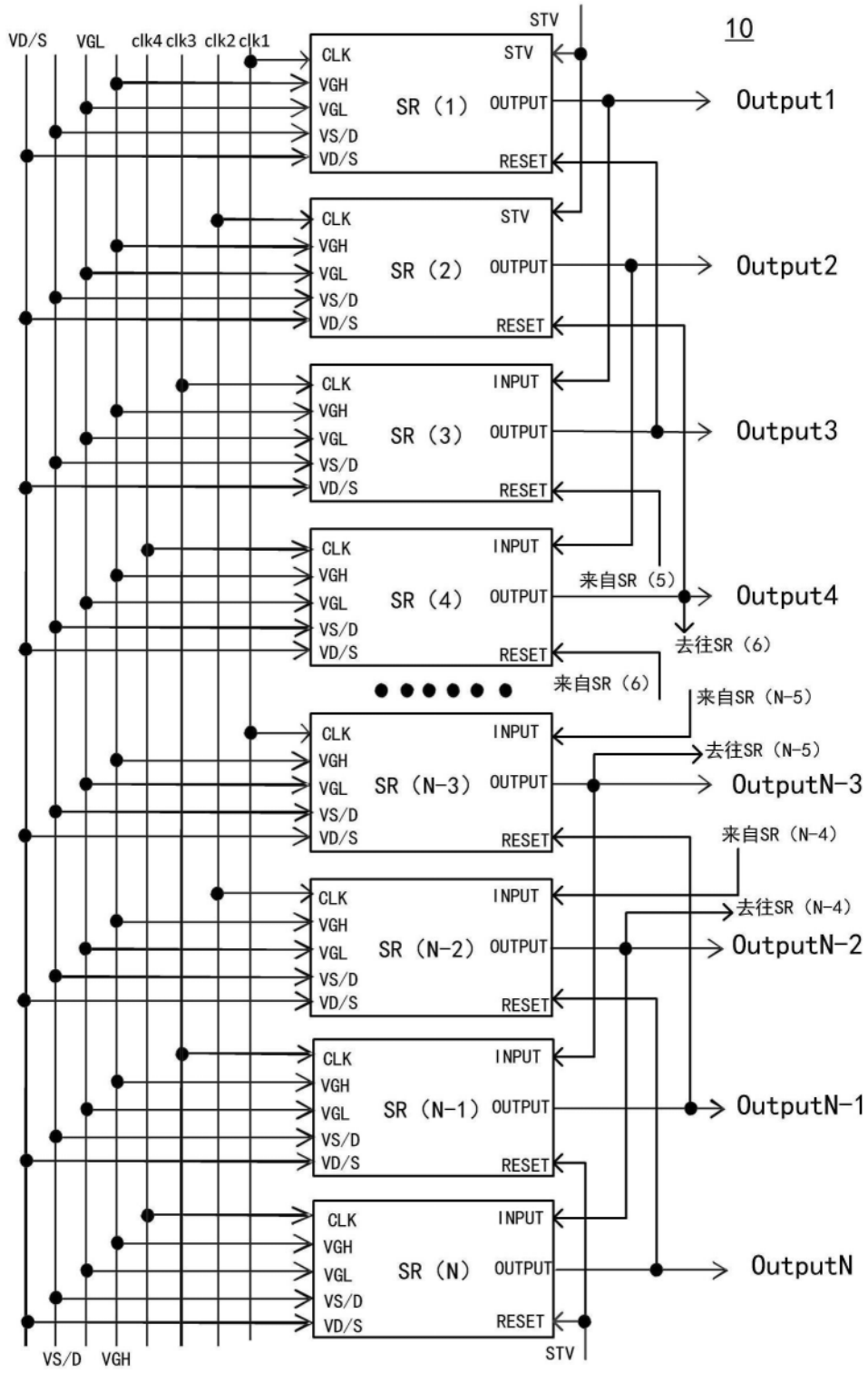


图1

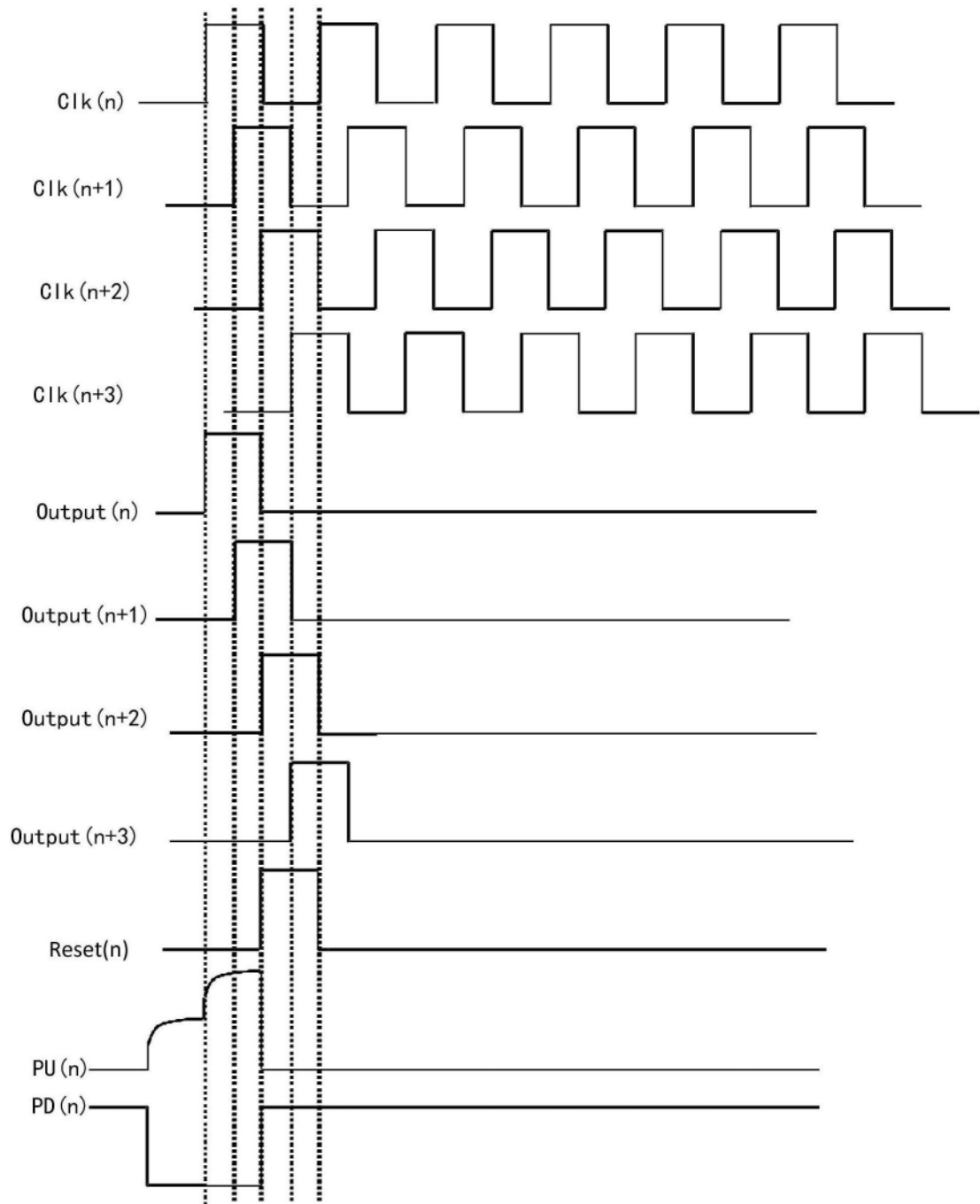


图2

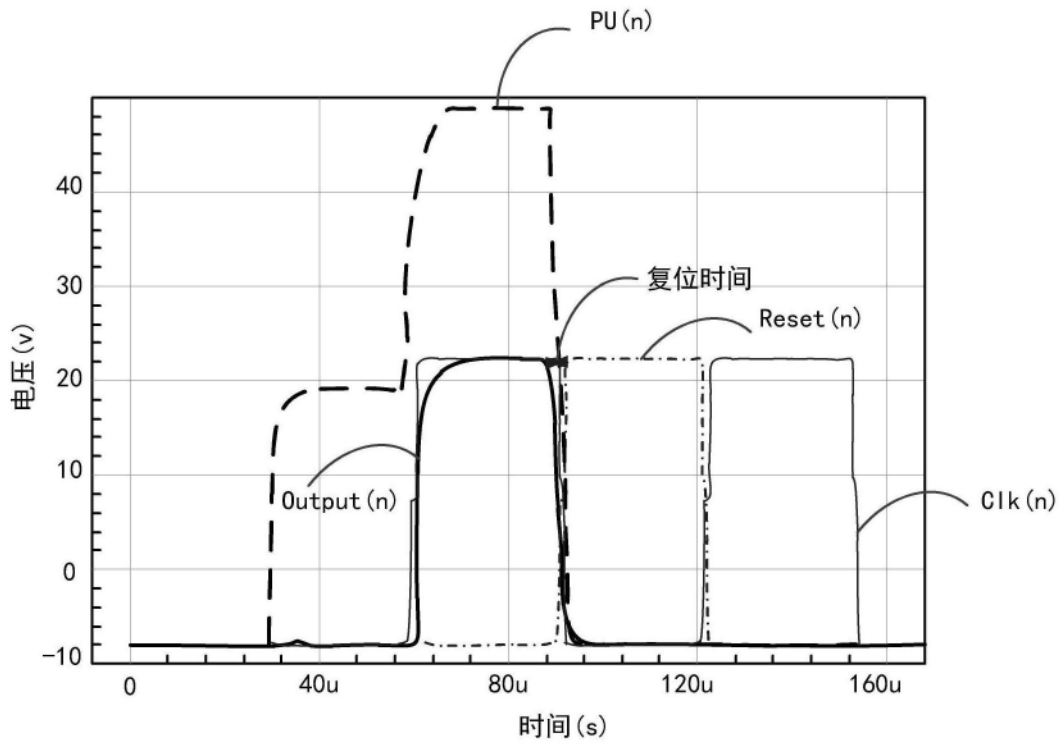


图3

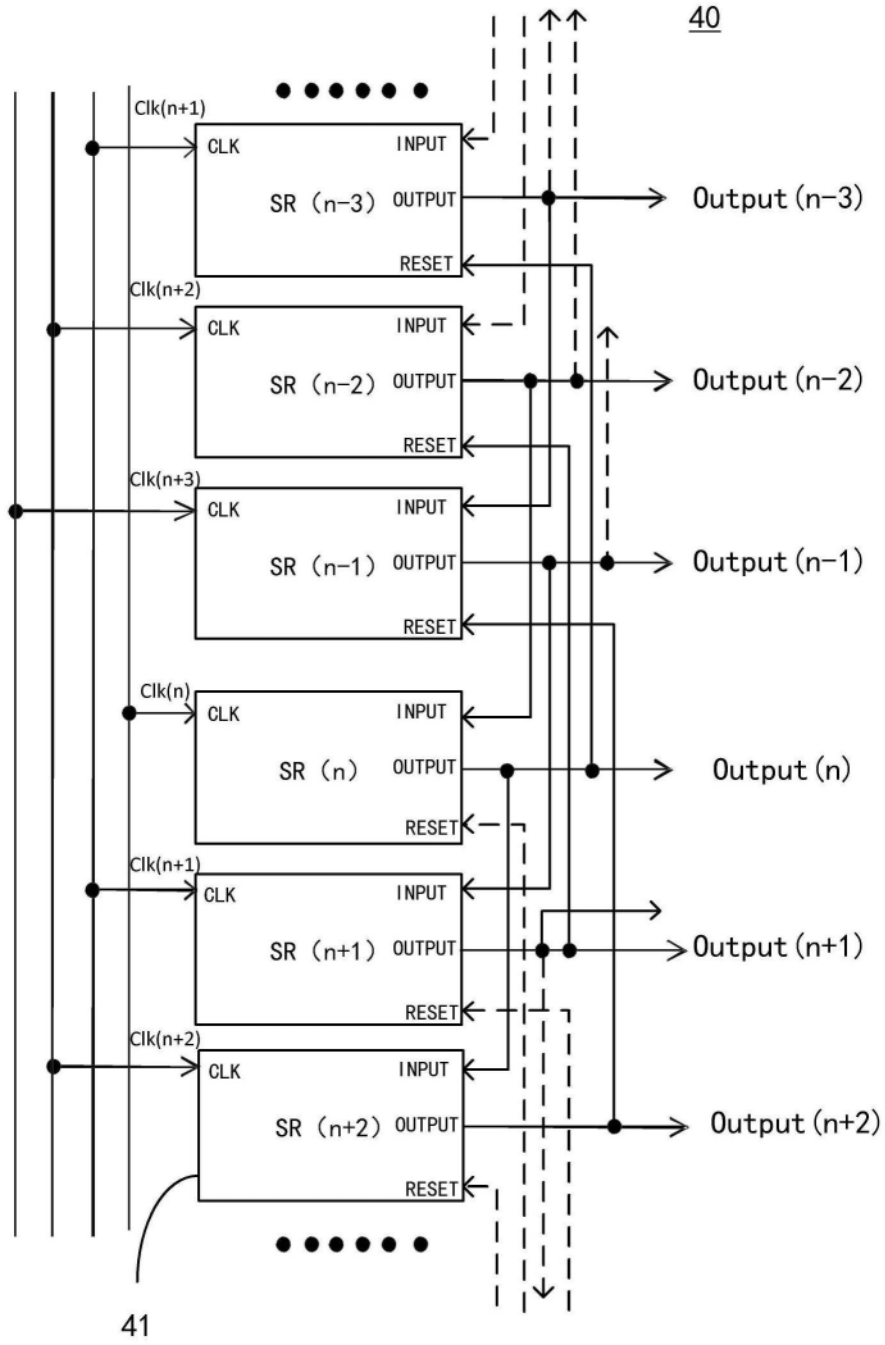


图4A

41

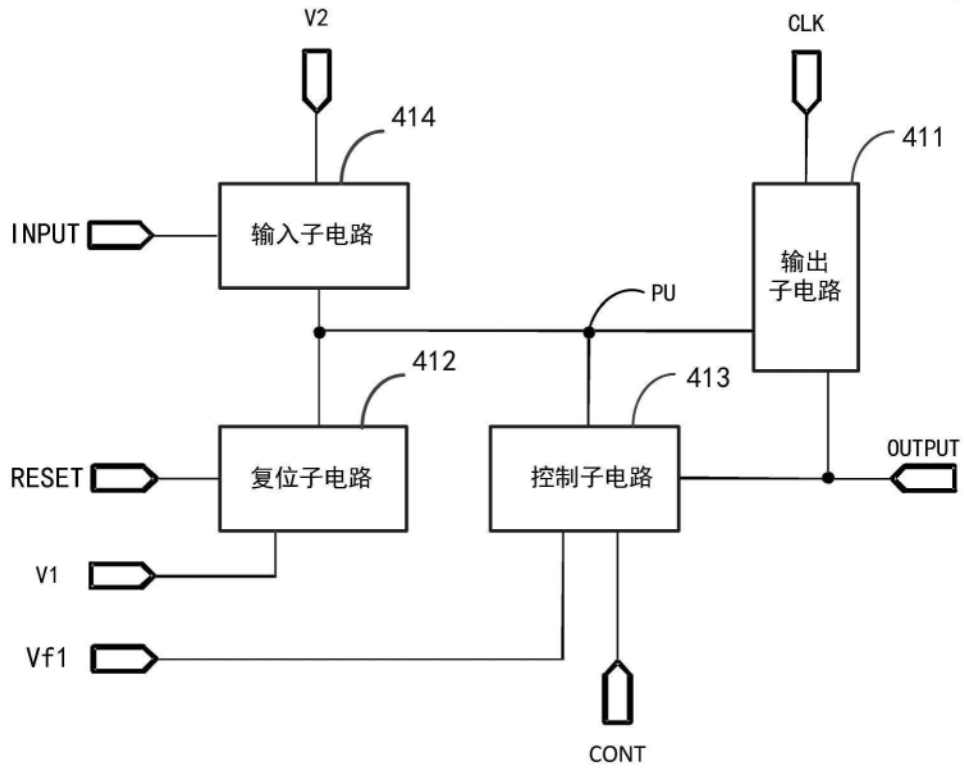


图4B

500

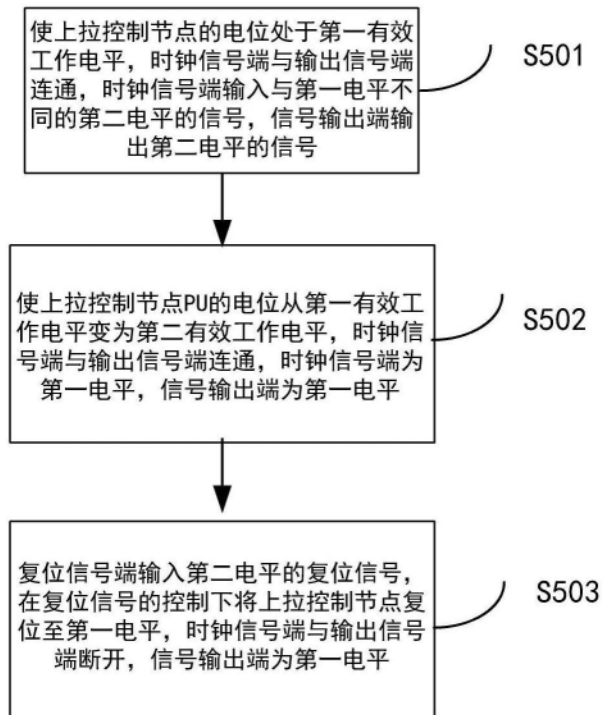


图5A

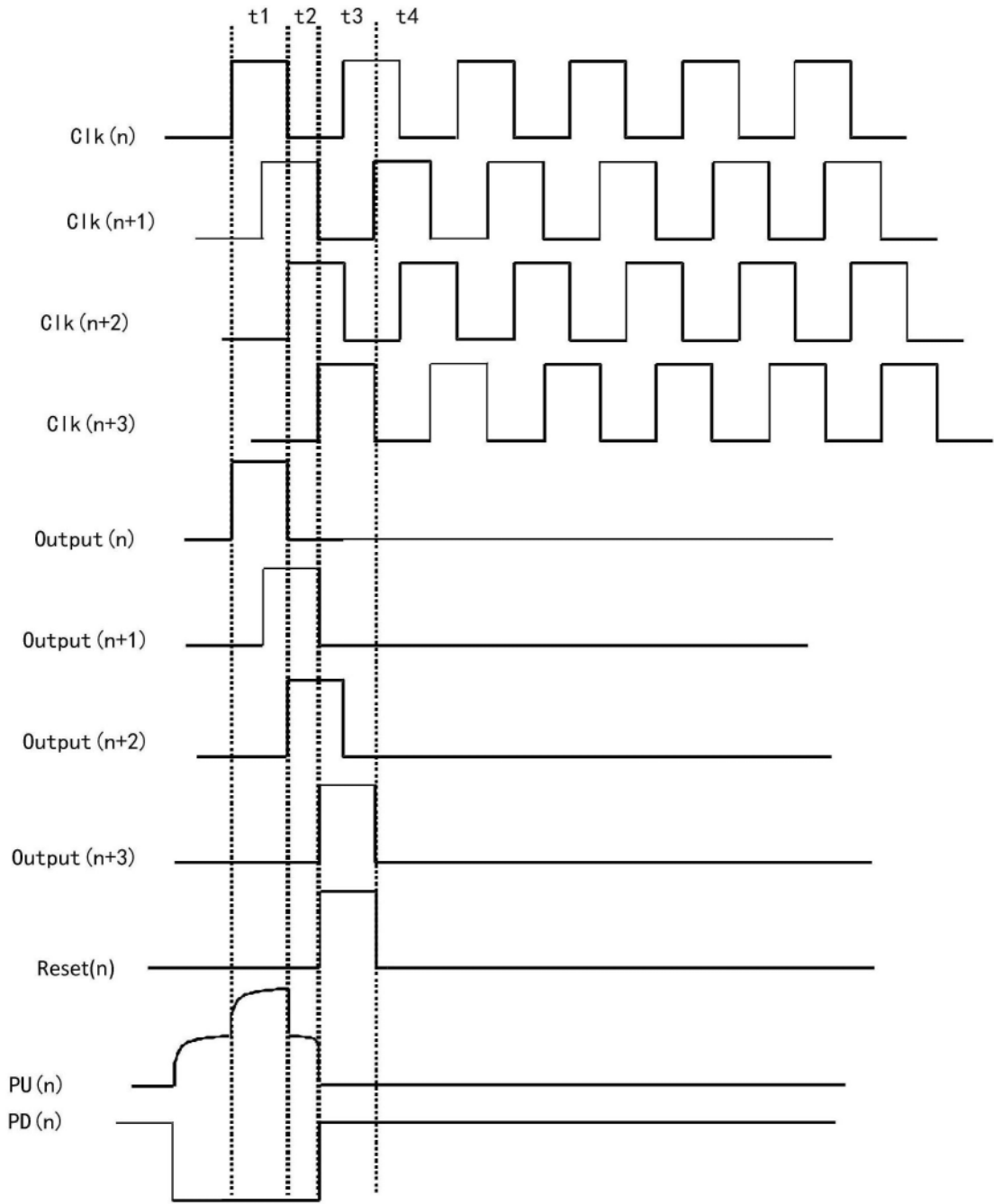


图5B

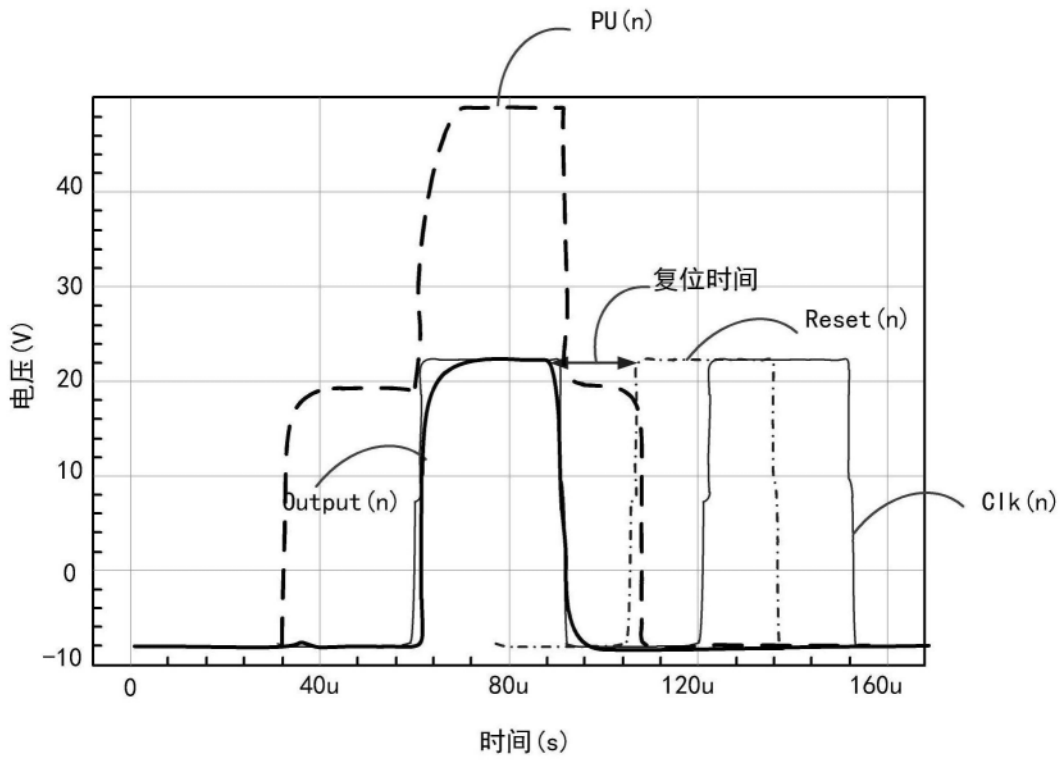


图5C

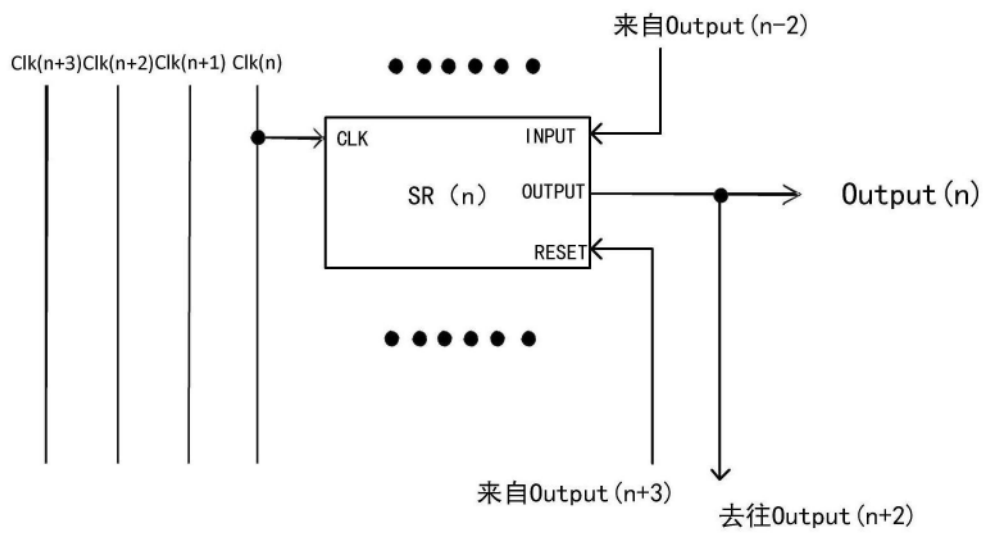


图6A

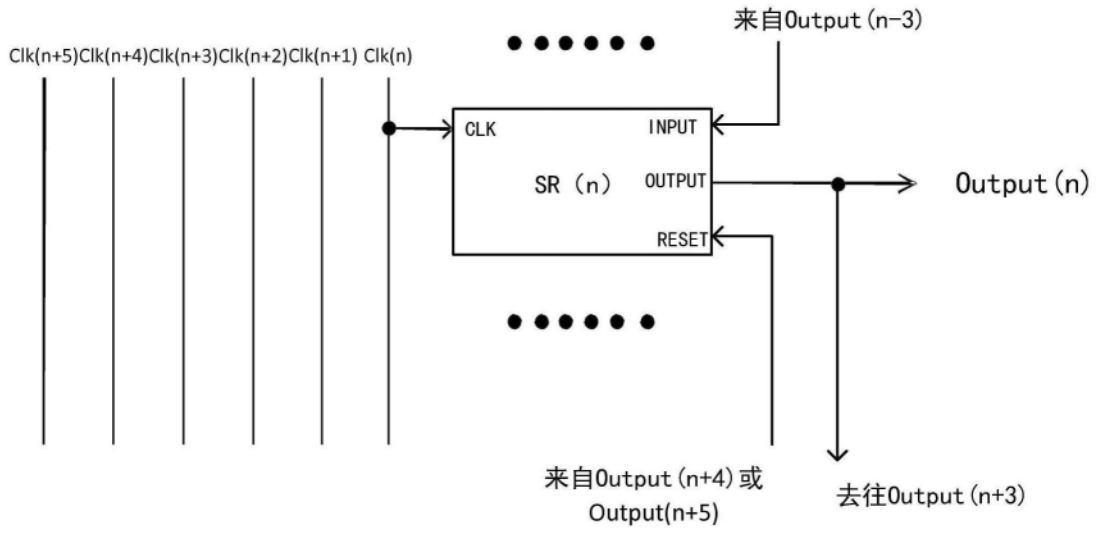


图6B

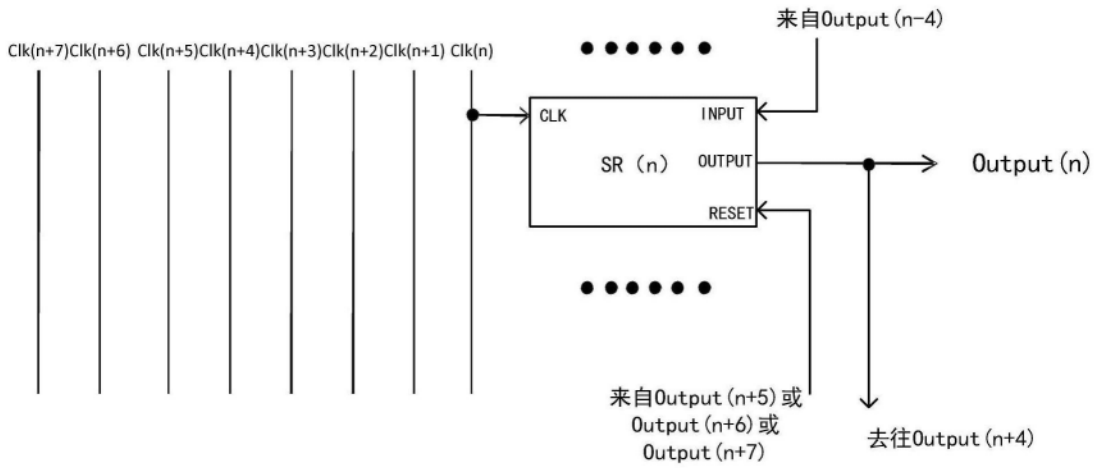


图6C

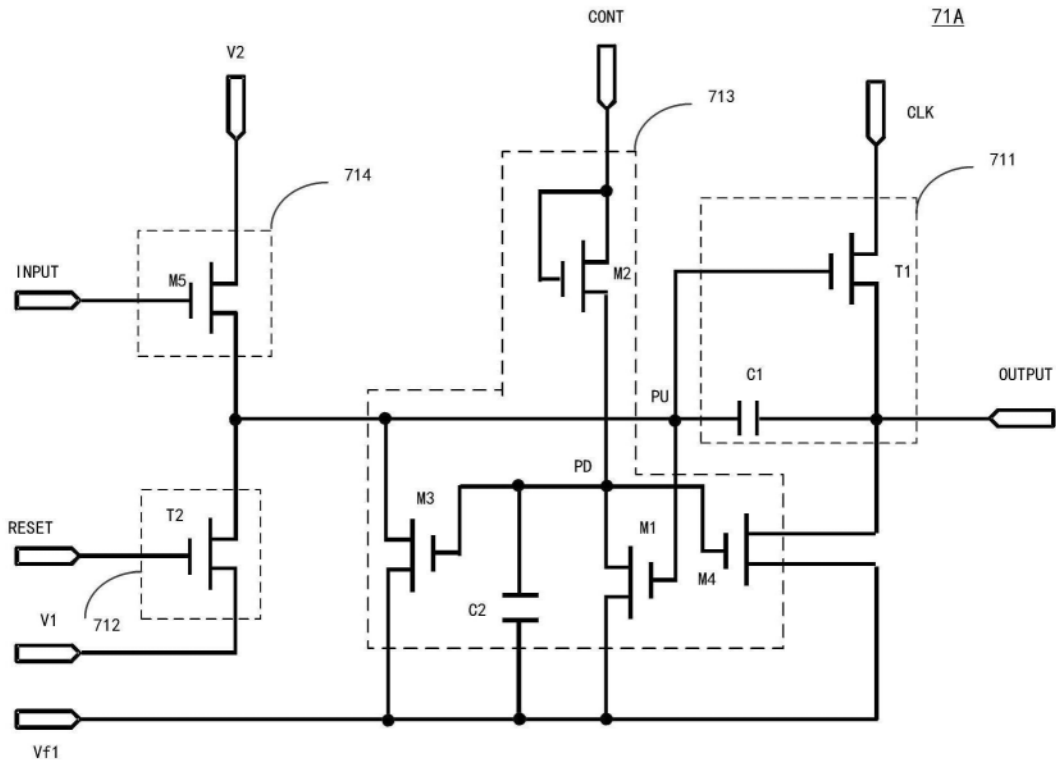


图7A

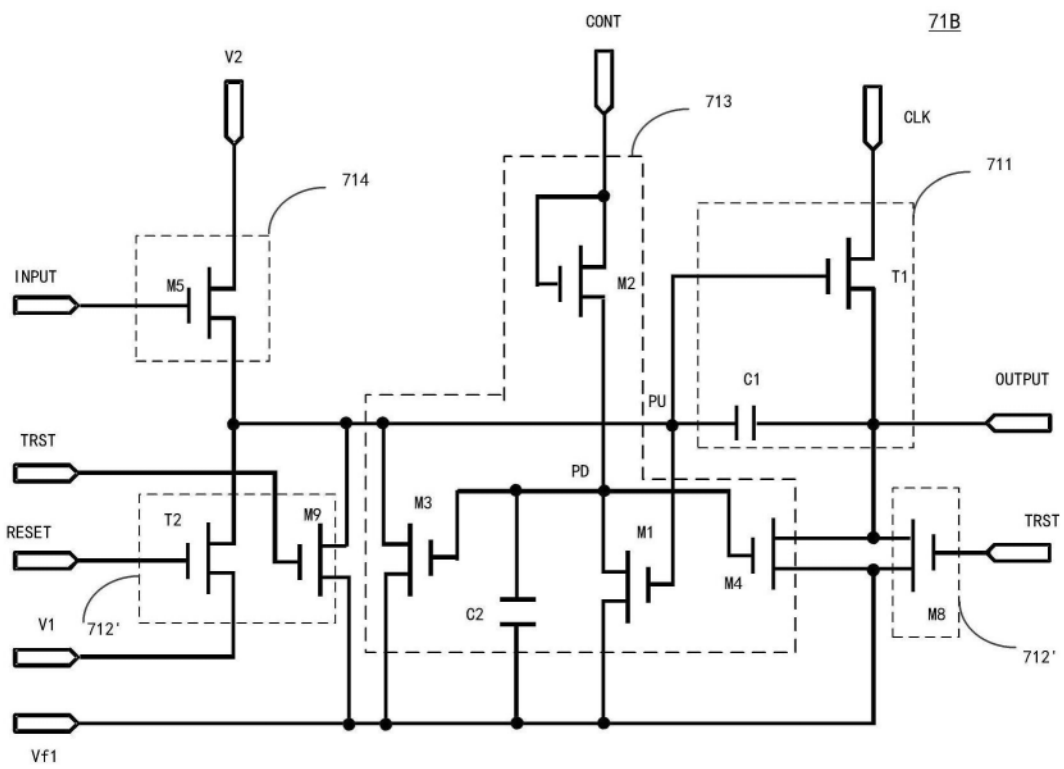


图7B

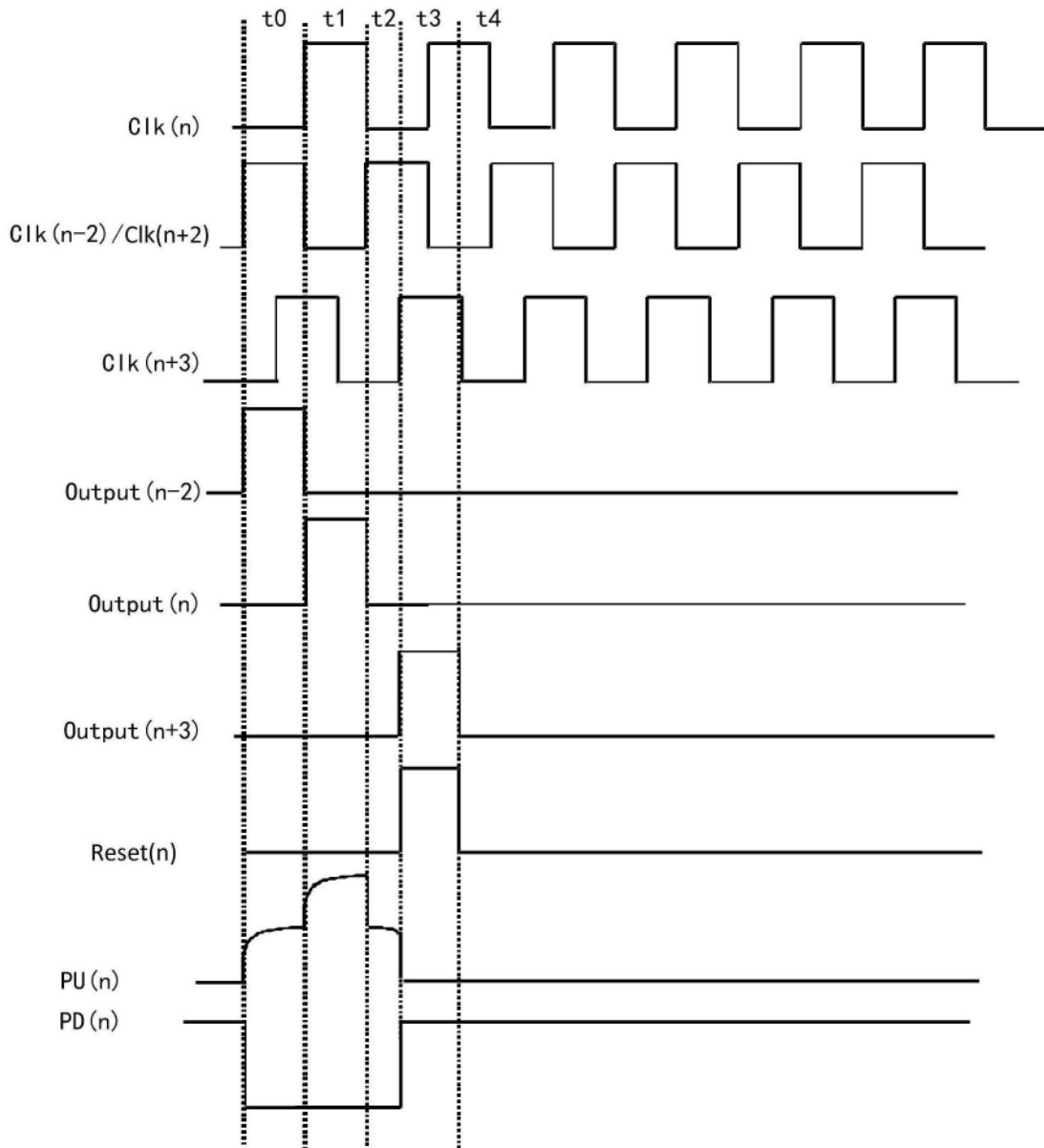


图7C

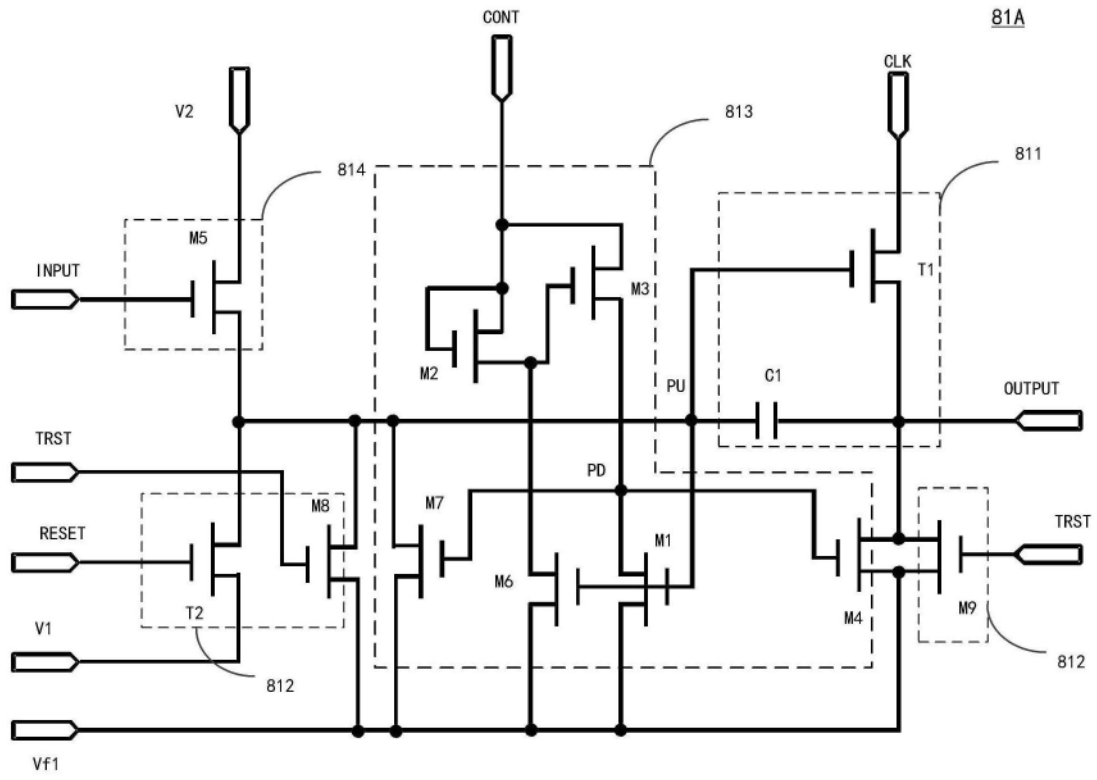


图8A

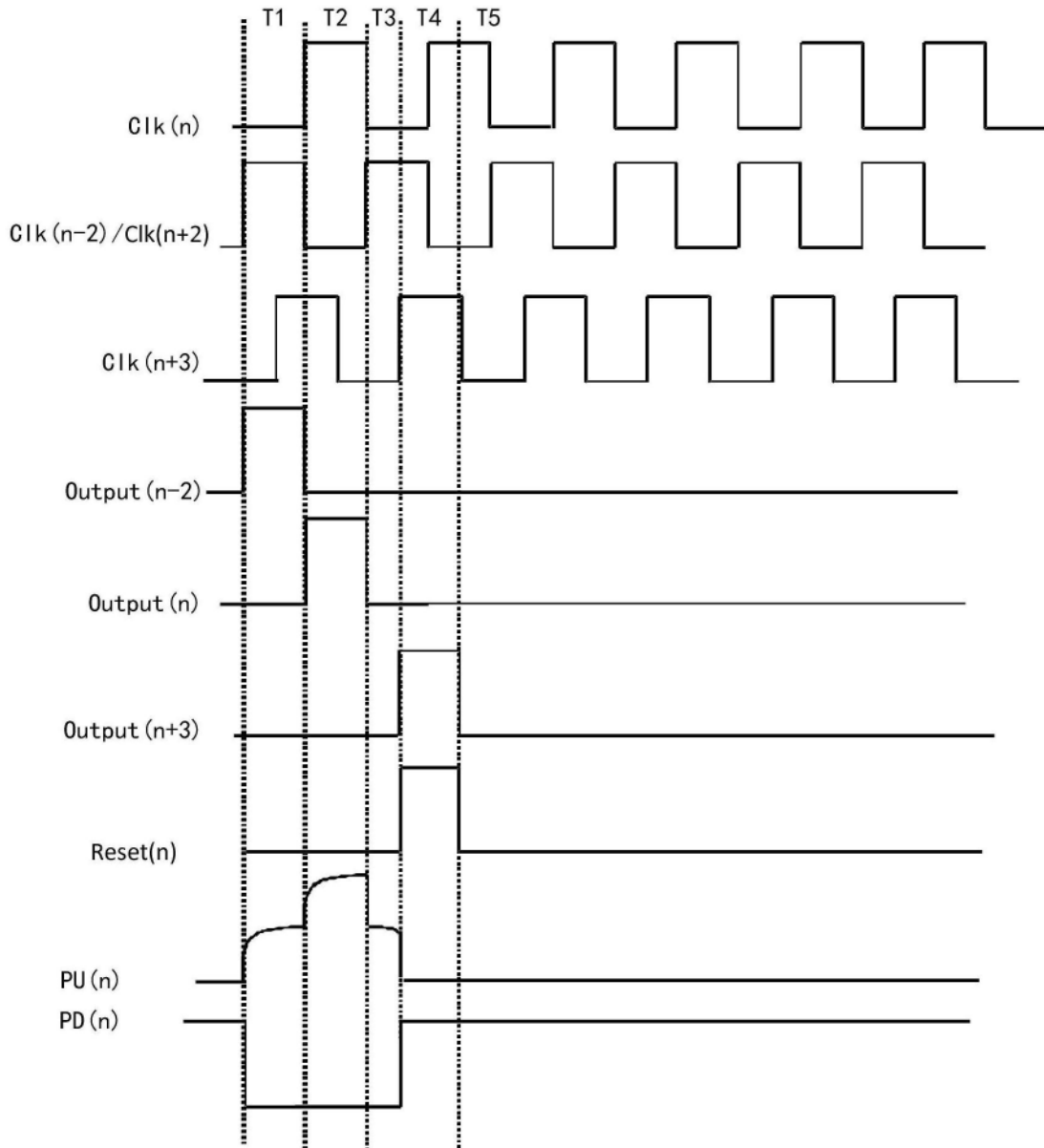


图8B

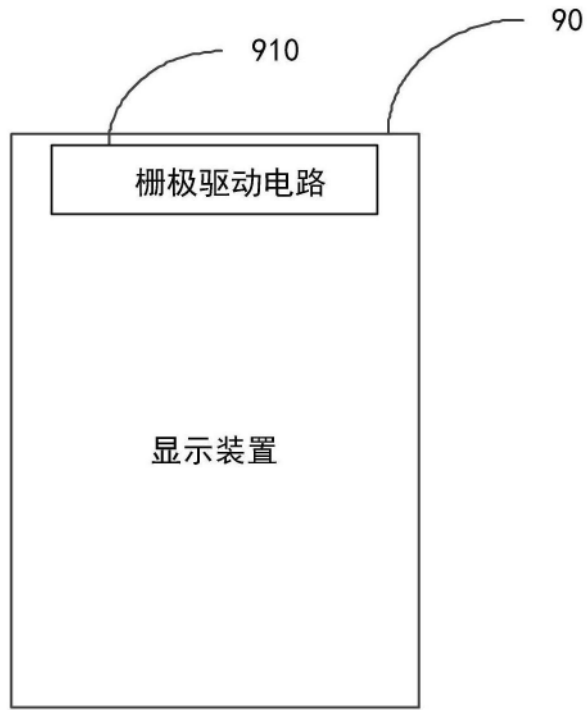


图9