

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-92168

(P2020-92168A)

(43) 公開日 令和2年6月11日(2020.6.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 30 頁)

(21) 出願番号 特願2018-228428 (P2018-228428)  
 (22) 出願日 平成30年12月5日 (2018.12.5)

(71) 出願人 318010018  
 キオクシア株式会社  
 東京都港区芝浦三丁目1番21号  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100103034  
 弁理士 野河 信久  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100153051  
 弁理士 河野 直樹  
 (74) 代理人 100162570  
 弁理士 金子 早苗

最終頁に続く

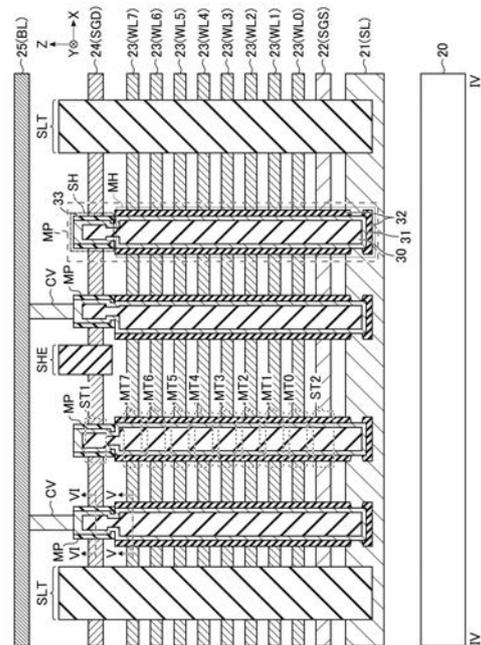
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】半導体記憶装置の製造コストを抑制する。

【解決手段】実施形態の半導体記憶装置1は、複数の第1導電体層23と、第2導電体層24と、第1ピラーMHと、第2ピラーSHと、を含む。第2導電体層24は、複数の第1導電体層23の上方に設けられる。第1ピラーMHは、複数の第1導電体層23を貫通し且つ第1方向に延伸した第1半導体層31の一部分を含む。第2ピラーSHは、第2導電体層24を貫通し且つ第1半導体層31の他の部分を含み、第1ピラーMH上に設けられる。基板20と平行且つ第2導電体層24を含む断面における第2ピラーSHの外径は、基板20と平行且つ第1導電体層23を含む断面における第1ピラーMHの外径よりも小さい。第1半導体層31は、最上層の第1導電体層23に対向する第1部分と、第2導電体層24に対向する第2部分とを含み、少なくとも第1部分から第2部分までは連続膜である。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

基板の上方に設けられ、互いが第 1 方向に離れて積層された複数の第 1 導電体層と、前記複数の第 1 導電体層の上方に設けられた第 2 導電体層と、前記複数の第 1 導電体層を貫通し且つ前記第 1 方向に延伸した第 1 半導体層の一部を含み、前記第 1 導電体層との交差部分がメモリセルトランジスタとして機能する第 1 ピラーと、

前記第 2 導電体層を貫通し且つ前記第 1 半導体層の他の部分を含み、前記第 2 導電体層との交差部分が選択トランジスタとして機能する、前記第 1 ピラー上の第 2 ピラーと、を備え、

前記基板と平行且つ前記第 2 導電体層を含む断面における前記第 2 ピラーの外径は、前記基板と平行且つ前記第 1 導電体層を含む断面における前記第 1 ピラーの外径よりも小さく、

前記第 1 半導体層は、最上層の第 1 導電体層に対向する第 1 部分と、前記第 2 導電体層に対向する第 2 部分とを含み、少なくとも前記第 1 部分から前記第 2 部分までは連続膜である、半導体記憶装置。

## 【請求項 2】

前記第 1 ピラーは、前記第 1 半導体層と前記複数の第 1 導電体層との間の第 1 積層膜をさらに含み、

前記第 2 ピラーは、前記第 1 半導体層と前記第 2 導電体層との間の第 2 積層膜をさらに含み、

前記第 1 積層膜と、前記第 2 積層膜との間は、少なくとも一部分が離れている、請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記第 1 ピラーは、前記第 1 半導体層と前記複数の第 1 導電体層との間の第 1 積層膜をさらに含み、

前記第 2 ピラーは、前記第 1 半導体層と前記第 2 導電体層との間の第 2 積層膜をさらに含み、

前記第 2 積層膜の膜厚は、前記第 1 積層膜の膜厚よりも薄い、請求項 1 又は請求項 2 に記載の半導体記憶装置。

## 【請求項 4】

前記第 1 ピラーは、前記第 1 半導体層と前記複数の第 1 導電体層との間の第 1 積層膜をさらに含み、

前記第 2 ピラーは、前記第 1 半導体層と前記第 2 導電体層との間のゲート絶縁膜をさらに含み、

前記第 1 積層膜は電荷蓄積層を有し、前記ゲート絶縁膜は電荷蓄積層を有していない、請求項 1 に記載の半導体記憶装置。

## 【請求項 5】

前記第 2 導電体層と同じ層に設けられ、前記第 2 導電体層と離れた第 3 導電体層と、前記第 2 導電体層と前記第 3 導電体層との間の絶縁体と、

前記複数の第 1 導電体層を貫通し且つ前記第 1 方向に延伸した第 2 半導体層の一部を含み、前記第 1 導電体層との交差部分がメモリセルトランジスタとして機能する第 3 ピラーと、

前記第 3 導電体層を貫通し且つ前記第 2 半導体層の他の部分を含み、前記第 3 導電体層との交差部分が選択トランジスタとして機能する、前記第 3 ピラー上の第 4 ピラーと、をさらに備え、

前記基板と平行且つ前記第 3 導電体層を含む断面における前記第 4 ピラーの外径は、前記基板と平行且つ前記第 1 導電体層を含む断面における前記第 3 ピラーの外径よりも小さく、

前記第 2 半導体層は、最上層の第 1 導電体層に対向する第 3 部分と、前記第 3 導電体層

10

20

30

40

50

に対向する第 4 部分とを含み、少なくとも前記第 3 部分から前記第 4 部分までは連続膜であり、

前記第 2 ピラーと前記第 4 ピラーとのそれぞれは、前記絶縁体から離れている、請求項 1 乃至請求項 4 のいずれか一項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

データを不揮発に記憶することが可能な NAND 型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2014 - 183224 号公報

【特許文献 2】特開 2014 - 175348 号公報

【特許文献 3】特開 2014 - 011389 号公報

【特許文献 4】特開 2010 - 080561 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体記憶装置の製造コストを抑制する。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置は、複数の第 1 導電体層と、第 2 導電体層と、第 1 ピラーと、第 2 ピラーと、を含む。複数の第 1 導電体層は、基板の上方に設けられ、互いが第 1 方向に離れて積層される。第 2 導電体層は、複数の第 1 導電体層の上方に設けられる。第 1 ピラーは、複数の第 1 導電体層を貫通し且つ第 1 方向に延伸した第 1 半導体層の一部分を含む。第 1 ピラーと第 1 導電体層との交差部分は、メモリセルトランジスタとして機能する。第 2 ピラーは、第 2 導電体層を貫通し且つ第 1 半導体層の他の部分を含み、第 1 ピラー上に設けられる。第 2 ピラーと第 2 導電体層との交差部分は、選択トランジスタとして機能する。基板と平行且つ第 2 導電体層を含む断面における第 2 ピラーの外径は、基板と平行且つ第 1 導電体層を含む断面における第 1 ピラーの外径よりも小さい。第 1 半導体層は、最上層の第 1 導電体層に対向する第 1 部分と、第 2 導電体層に対向する第 2 部分とを含み、少なくとも第 1 部分から第 2 部分までは連続膜である。

【図面の簡単な説明】

【0006】

【図 1】第 1 実施形態に係る半導体記憶装置の構成例を示すブロック図。

【図 2】第 1 実施形態に係る半導体記憶装置の備えるメモリセルアレイの回路構成の一例を示す回路図。

【図 3】第 1 実施形態に係る半導体記憶装置の備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図 4】図 3 の I V - I V 線に沿ったメモリセルアレイの断面構造の一例を示す断面図。

【図 5】図 4 の V - V 線に沿ったメモリピラーの断面構造の一例を示す断面図。

【図 6】図 4 の V I - V I 線に沿ったメモリピラーの断面構造の一例を示す断面図。

【図 7】第 1 実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャート。

【図 8】第 1 実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図 9】第 1 実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

10

20

30

40

50

【図10】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図11】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図12】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図13】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図14】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図15】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図16】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図17】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図18】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図19】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図20】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図21】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図22】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図23】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図24】第1実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図25】第2実施形態に係る半導体記憶装置の備えるメモリセルアレイの断面構造の一例を示す断面図。

【図26】第1実施形態におけるメモリピラーの構造と第2実施形態におけるメモリピラーの構造とを比較するための断面図。

【図27】第2実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャート。

【図28】第2実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図29】第2実施形態に係る半導体記憶装置の製造工程の一例を示すメモリセルアレイの断面図。

【図30】第3実施形態に係る半導体記憶装置の備えるメモリセルアレイの断面構造の一例を示す断面図。

【図31】第4実施形態に係る半導体記憶装置の備えるメモリセルアレイの断面構造の一例を示す断面図。

【図32】図31のXXXII-XXXII線に沿ったメモリピラーの断面構造の一例を示す断面図。

【図33】第1実施形態の変形例に係る半導体記憶装置の備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図34】第1実施形態の変形例に係る半導体記憶装置の備えるメモリセルアレイの断面構造の一例を示す断面図。

【発明を実施するための形態】

10

20

30

40

50

## 【0007】

以下に、実施形態について図面を参照して説明する。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものとは限らない。本発明の技術思想は、構成要素の形状、構造、配置等によって特定されるものではない。

## 【0008】

尚、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素はそれぞれ文字のみを含んだ参照符号により参照される。

10

## 【0009】

## [1] 第1実施形態

以下に、第1実施形態に係る半導体記憶装置1について説明する。

## 【0010】

## [1-1] 半導体記憶装置1の構成

## [1-1-1] 半導体記憶装置1の全体構成

図1は、第1実施形態に係る半導体記憶装置1の構成例を示している。半導体記憶装置1は、データを不揮発に記憶することが可能なNAND型フラッシュメモリであり、外部のメモリコントローラ2によって制御される。半導体記憶装置1とメモリコントローラ2との間の通信は、例えばNANDインターフェイス規格をサポートしている。

20

## 【0011】

図1に示すように、半導体記憶装置1は、例えばメモリセルアレイ10、コマンドレジスタ11、アドレスレジスタ12、シーケンサ13、ドライバモジュール14、ロウデコーダモジュール15、並びにセンスアンプモジュール16を備えている。

## 【0012】

メモリセルアレイ10は、複数のブロックBLK0~BLKn(nは1以上の整数)を含んでいる。ブロックBLKは、データを不揮発に記憶することが可能な複数のメモリセルの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ10には、複数のビット線及び複数のワード線が設けられる。各メモリセルは、例えば1本のビット線と1本のワード線とに関連付けられている。メモリセルアレイ10の詳細な構成については後述する。

30

## 【0013】

コマンドレジスタ11は、半導体記憶装置1がメモリコントローラ2から受信したコマンドCMDを保持する。コマンドCMDは、例えばシーケンサ13に読み出し動作、書き込み動作、消去動作等を実行させる命令を含んでいる。

## 【0014】

アドレスレジスタ12は、半導体記憶装置1がメモリコントローラ2から受信したアドレス情報ADDを保持する。アドレス情報ADDは、例えばブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAを含んでいる。例えば、ブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAは、それぞれブロックBLK、ワード線、及びビット線の選択に使用される。

40

## 【0015】

シーケンサ13は、半導体記憶装置1全体の動作を制御する。例えば、シーケンサ13は、コマンドレジスタ11に保持されたコマンドCMDに基づいてドライバモジュール14、ロウデコーダモジュール15、及びセンスアンプモジュール16等を制御して、読み出し動作、書き込み動作、消去動作等を実行する。

## 【0016】

ドライバモジュール14は、読み出し動作、書き込み動作、消去動作等で使用される電圧を生成する。そして、ドライバモジュール14は、例えばアドレスレジスタ12に保持

50

されたページアドレス P A に基づいて、選択されたワード線に対応する信号線に生成した電圧を印加する。

【 0 0 1 7 】

ロウデコーダモジュール 1 5 は、アドレスレジスタ 1 2 に保持されたブロックアドレス B A に基づいて、対応するメモリセルアレイ 1 0 内の 1 つのブロック B L K を選択する。そして、ロウデコーダモジュール 1 5 は、例えば選択されたワード線に対応する信号線に印加された電圧を、選択されたブロック B L K 内の選択されたワード線に転送する。

【 0 0 1 8 】

センスアンプモジュール 1 6 は、書き込み動作において、メモリコントローラ 2 から受信した書き込みデータ D A T に応じて、各ビット線に所望の電圧を印加する。また、センスアンプモジュール 1 6 は、読み出し動作において、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定結果を読み出しデータ D A T としてメモリコントローラ 2 に転送する。

10

【 0 0 1 9 】

以上で説明した半導体記憶装置 1 及びメモリコントローラ 2 は、それらの組み合わせにより 1 つの半導体装置を構成しても良い。このような半導体装置としては、例えば S D <sup>T</sup> <sup>M</sup> カードのようなメモリカードや、S S D (solid state drive) 等が挙げられる。

【 0 0 2 0 】

[ 1 - 1 - 2 ] メモリセルアレイ 1 0 の回路構成

図 2 は、第 1 実施形態に係る半導体記憶装置 1 の備えるメモリセルアレイ 1 0 の回路構成の一例を、メモリセルアレイ 1 0 に含まれた複数のブロック B L K のうち 1 つのブロック B L K を抽出して示している。図 2 に示すように、ブロック B L K は、例えば 4 つのストリングユニット S U 0 ~ S U 3 を含んでいる。

20

【 0 0 2 1 】

各ストリングユニット S U は、ビット線 B L 0 ~ B L m ( m は 1 以上の整数 ) にそれぞれ関連付けられた複数の N A N D ストリング N S を含んでいる。各 N A N D ストリング N S は、例えばメモリセルトランジスタ M T 0 ~ M T 7、並びに選択トランジスタ S T 1 及び S T 2 を含んでいる。メモリセルトランジスタ M T は、制御ゲート及び電荷蓄積層を含み、データを不揮発に保持する。選択トランジスタ S T 1 及び S T 2 のそれぞれは、各種動作時におけるストリングユニット S U の選択に使用される。

30

【 0 0 2 2 】

各 N A N D ストリング N S において、メモリセルトランジスタ M T 0 ~ M T 7 は、直列接続される。選択トランジスタ S T 1 のドレインは、関連付けられたビット線 B L に接続され、選択トランジスタ S T 1 のソースは、直列接続されたメモリセルトランジスタ M T 0 ~ M T 7 の一端に接続される。選択トランジスタ S T 2 のドレインは、直列接続されたメモリセルトランジスタ M T 0 ~ M T 7 の他端に接続される。選択トランジスタ S T 2 のソースは、ソース線 S L に接続される。

【 0 0 2 3 】

同一のブロック B L K において、メモリセルトランジスタ M T 0 ~ M T 7 の制御ゲートは、それぞれワード線 W L 0 ~ W L 7 に共通接続される。ストリングユニット S U 0 ~ S U 3 内の選択トランジスタ S T 1 のゲートは、それぞれ選択ゲート線 S G D 0 ~ S G D 3 に共通接続される。選択トランジスタ S T 2 のゲートは、選択ゲート線 S G S に共通接続される。

40

【 0 0 2 4 】

以上で説明したメモリセルアレイ 1 0 の回路構成において、ビット線 B L は、各ストリングユニット S U で同一のカラムアドレスが割り当てられた N A N D ストリング N S によって共有される。ソース線 S L は、例えば複数のブロック B L K 間で共有される。

【 0 0 2 5 】

1 つのストリングユニット S U 内で共通のワード線 W L に接続された複数のメモリセルトランジスタ M T の集合は、例えばセルユニット C U と称される。例えば、それぞれが 1

50

ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。

**【0026】**

尚、第1実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST1及びST2の個数は、それぞれ任意の個数に設計され得る。各ブロックBLKが含むストリングユニットSUの個数は、任意の個数に設計され得る。

10

**【0027】**

[1-1-3]メモリセルアレイ10の構造

以下に、実施形態におけるメモリセルアレイ10の構造の一例について説明する。

**【0028】**

尚、以下で参照される図面において、X方向はビット線BLの延伸方向に対応し、Y方向はワード線WLの延伸方向に対応し、Z方向は半導体記憶装置1が形成される半導体基板20の表面に対する鉛直方向に対応している。平面図には、図を見易くするためにハッチングが適宜付加されている。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図では、図を見易くするために絶縁層(層間絶縁膜)、配線、コンタクト等の構成要素が適宜省略されている。

20

**【0029】**

図3は、第1実施形態に係る半導体記憶装置1の備えるメモリセルアレイ10の平面レイアウトの一例であり、ストリングユニットSU0及びSU1に対応する構造体を含む領域を抽出して示している。図3に示すように、メモリセルアレイ10は、例えばスリットSLT及びSHE、メモリピラーMP、コンタクトCV、並びにビット線BLを含んでいる。

**【0030】**

複数のスリットSLTは、それぞれがY方向に延伸し、X方向に配列している。スリットSHEは、Y方向に延伸し、隣り合うスリットSLT間に配置される。スリットSLTの幅は、例えばスリットSHEの幅よりも広い。スリットSLT及びSHEのそれぞれは、絶縁体を含んでいる。スリットSLTは、例えばワード線WLに対応する配線層と、選択ゲート線SGDに対応する配線層と、選択ゲート線SGSに対応する配線層とのそれぞれを分断する。スリットSHEは、選択ゲート線SGDに対応する配線層を分断する。

30

**【0031】**

スリットSLT及びSHEによって区切られた領域が、1つのストリングユニットSUに対応している。具体的には、例えばX方向に隣り合うスリットSLT間に、ストリングユニットSU0及びSU1が設けられる。この場合、ストリングユニットSU0及びSU1間に、スリットSHEが配置される。メモリセルアレイ10には、例えば同様のレイアウトがX方向に繰り返し配置される。

**【0032】**

複数のメモリピラーMPは、例えばストリングユニットSUに対応する領域において、千鳥状に配置される。メモリピラーMPの各々は、メモリホールMH内に形成される部分と、SGDホールSH内に形成される部分とを有している。SGDホールSHは、メモリホールMHよりも上層に設けられ、メモリホールMHよりも径が小さい。対応するメモリホールMHとSGDホールSHとの組は、平面視において重なった部分を有している。平面視において、対応するメモリホールMHの中心とSGDホールSHの中心とは、重なっていても良いし、重なっていても良い。

40

**【0033】**

対応するメモリホールMHの中心とSGDホールSHの中心とが重なっていない場合、重なったメモリホールMHとSGDホールSHとの位置関係は、例えば当該メモリピラー

50

MPとスリットSLT及びSHEとの位置関係に応じて変化する。例えば、スリットSLT近傍におけるメモリピラーMPのSGDホールSHは、スリットSLTから離れるように配置される。同様に、スリットSHE近傍におけるメモリピラーMPのSGDホールSHは、スリットSHEから離れるように配置される。

【0034】

言い換えると、SGDホールSHは、X方向において隣り合うスリットSLT及びSHE間の中間位置に寄るように配置される。メモリホールMHの中心位置とSGDホールSHの中心位置との間の長さは、例えば、対応するメモリピラーMPとスリットSLT及びSHEとの間隔が近くなるほど長くなる。これにより、メモリセルアレイ10は、スリットSHEとSGDホールSHとの接触を避けたレイアウトに設計される。

10

【0035】

複数のビット線BLは、それぞれがX方向に延伸し、Y方向に配列している。各ビット線BLは、ストリングユニットSU毎に少なくとも1つのSGDホールSHと重なるように配置される。例えば、各SGDホールSHには、2本のビット線BLが重なっている。SGDホールSHに重なっている複数のビット線BLのうち1本のビット線BLと、当該SGDホールSHの間には、コンタクトCVが設けられる。SGDホールSH内の構造体は、コンタクトCVを介して対応するビット線BLと電気的に接続される。

【0036】

尚、以上で説明したメモリセルアレイ10の平面レイアウトはあくまで一例であり、これに限定されない。例えば、隣り合うスリットSLT間に配置されるスリットSHEの数は、任意の数に設計され得る。隣り合うスリットSLT間のストリングユニットSUの個数は、スリットSHEの数に基づいて変化する。メモリピラーMPの個数及び配置は、任意の個数及び配置に設計され得る。各メモリピラーMPと重なるビット線BLの本数は、任意の本数に設計され得る。

20

【0037】

図4は、図3のIV-IV線に沿った断面図であり、第1実施形態に係る半導体記憶装置1の備えるメモリセルアレイ10の断面構造の一例を示している。図4に示すように、メモリセルアレイ10は、例えば導電体層21~25をさらに含んでいる。導電体層21~25は、半導体基板20の上方に設けられる。

【0038】

具体的には、半導体基板20の上方に、絶縁体層を介して導電体層21が設けられる。図示が省略されているが、例えば半導体基板20と導電体層21との間の絶縁体層には、センスアンプモジュール16等の回路が設けられる。導電体層21は、例えばXY平面に沿って広がった板状に形成され、ソース線SLとして使用される。導電体層21は、例えばシリコン(Si)を含んでいる。

30

【0039】

導電体層21の上方に、絶縁体層を介して導電体層22が設けられる。導電体層22は、例えばXY平面に沿って広がった板状に形成され、選択ゲート線SGSとして使用される。導電体層22は、例えばシリコン(Si)を含んでいる。

【0040】

導電体層22の上方に、絶縁体層と導電体層23とが交互に積層される。導電体層23は、例えばXY平面に沿って広がった板状に形成される。例えば、積層された複数の導電体層23は、半導体基板20側から順に、それぞれワード線WL0~WL7として使用される。導電体層23は、例えばタングステン(W)を含んでいる。

40

【0041】

最上層の導電体層23の上方に、絶縁体層を介して導電体層24が設けられる。導電体層24は、例えばXY平面に沿って広がった板状に形成され、選択ゲート線SGDとして使用される。最上層の導電体層23と導電体層24とのZ方向における間隔は、隣り合う導電体層23間のZ方向における間隔よりも大きい。言い換えると、最上層の導電体層23と導電体層24との間の絶縁体層の厚さは、隣り合う導電体層23間の絶縁体層の厚さ

50

よりも厚い。導電体層 2 4 は、例えばタングステン ( W ) を含んでいる。

【 0 0 4 2 】

導電体層 2 4 の上方に、絶縁体層を介して導電体層 2 5 が設けられる。例えば導電体層 2 5 は、X 方向に沿って延伸したライン状に形成され、ビット線 B L として使用される。つまり、図示せぬ領域において複数の導電体層 2 5 は、Y 方向に沿って配列している。導電体層 2 5 は、例えば銅 ( C u ) を含んでいる。

【 0 0 4 3 】

メモリピラー M P は、Z 方向に沿って延伸して設けられ、導電体層 2 2 ~ 2 4 を貫通している。具体的には、メモリピラー M P のメモリホール M H に対応する部分は、導電体層 2 2 及び 2 3 を貫通し、底部が導電体層 2 1 に接触している。メモリピラー M P の S G D ホール S H に対応する部分は、メモリホール M H に対応する部分の上に設けられ、導電体層 2 4 を貫通している。メモリホール M H と S G D ホール S H との境界を含む層は、最上層の導電体層 2 3 と導電体層 2 4 との間の層に含まれている。

10

【 0 0 4 4 】

また、メモリピラー M P は、例えばコア部材 3 0、半導体層 3 1、並びに積層膜 3 2 及び 3 3 を含んでいる。コア部材 3 0 及び半導体層 3 1 は、メモリホール M H に対応する部分と S G D ホール S H に対応する部分とのそれぞれに含まれる。積層膜 3 2 は、メモリホール M H に対応する部分に含まれる。積層膜 3 3 は、S G D ホール S H に対応する部分に含まれる。

【 0 0 4 5 】

コア部材 3 0 は、Z 方向に沿って延伸して設けられる。コア部材 3 0 の上端は、例えば導電体層 2 4 が設けられた層よりも上層に含まれ、コア部材 3 0 の下端は、例えば導電体層 2 1 が設けられた層内に含まれる。半導体基板 2 0 の表面と並行な断面におけるコア部材 3 0 の外径は、導電体層 2 3 と対向する部分よりも導電体層 2 4 と対向する部分の方が小さい。また、メモリホール M H と S G D ホール S H との境界部分近傍におけるコア部材 3 0 の外径は、例えばコア部材 3 0 の導電体層 2 4 と対向する部分の外径よりも小さい。コア部材 3 0 は、例えば酸化シリコン ( S i O <sub>2</sub> ) 等の絶縁体を含んでいる。

20

【 0 0 4 6 】

半導体層 3 1 は、コア部材 3 0 を覆っている。つまり、半導体層 3 1 は、例えばメモリホール M H 内で円筒状に設けられた部分と、S G D ホール S H 内で円筒状に設けられた部分とを有している。メモリホール M H 内に設けられた半導体層 3 1 の側面の一部分は、導電体層 2 1 に接触している。半導体基板 2 0 の表面と並行な断面における半導体層 3 1 の外径は、導電体層 2 3 と対向する部分よりも導電体層 2 4 と対向する部分の方が小さい。

30

【 0 0 4 7 】

また、半導体層 3 1 は、メモリホール M H に対応する部分と S G D ホール S H に対応する部分との間で、連続的に設けられている。言い換えると、少なくとも最上層の導電体層 2 3 と対向する半導体層 3 1 の部分と、導電体層 2 4 と対向する半導体層 3 1 の部分との間は、連続的に設けられている。半導体層 3 1 の厚さは、導電体層 2 4 と対向する部分と、導電体層 2 3 と対向する部分とで略等しい。

【 0 0 4 8 】

積層膜 3 2 は、導電体層 2 1 と半導体層 3 1 とが接触している部分を除いて、メモリホール M H 内の半導体層 3 1 の側面及び底面を覆っている。つまり、積層膜 3 2 は、メモリホール M H 内で円筒状に設けられた部分を含んでいる。

40

【 0 0 4 9 】

積層膜 3 3 は、S G D ホール S H 内の半導体層 3 1 の側面を覆っている。つまり、積層膜 3 3 は、S G D ホール S H 内で円筒状に設けられた部分を含んでいる。また、積層膜 3 3 は、メモリホール M H と S G D ホール S H の境界部分近傍において、半導体層 3 1 の下面に沿って設けられた部分を有し得る。

【 0 0 5 0 】

尚、導電体層 2 4 が設けられた層における積層膜 3 3 の外径は、導電体層 2 3 が設けら

50

れた層における積層膜 3 2 の外径よりも小さい。また、積層膜 3 3 の膜厚は、積層膜 3 2 の膜厚より薄く設計され得る。積層膜 3 2 の上面と、積層膜 3 3 の底面とは、少なくとも一部分が離れている。

【 0 0 5 1 】

メモリピラー M P 内の半導体層 3 1 の上面には、柱状のコンタクト C V が設けられる。図示された領域は、4 本のメモリピラー M P のうち、2 本のメモリピラー M P に対応するコンタクト C V を含んでいる。当該領域においてコンタクト C V が接続されていないメモリピラー M P には、図示されない領域においてコンタクト C V が接続される。コンタクト C V の上面には、1 個の導電体層 2 5、すなわち 1 本のビット線 B L が接触している。

【 0 0 5 2 】

スリット S L T は、例えば Y Z 平面に沿って広がった板状に形成され、導電体層 2 2 ~ 2 4 を分断している。スリット S L T の上端は、メモリピラー M P の上面よりも上層且つ導電体層 2 5 よりも下層に含まれている。スリット S L T の下端は、例えば導電体層 2 1 が設けられた層に含まれている。スリット S L T は、例えば酸化シリコン ( S i O <sub>2</sub> ) 等の絶縁体を含んでいる。

10

【 0 0 5 3 】

スリット S H E は、例えば Y Z 平面に沿って広がった板状に形成され、導電体層 2 4 を分断している。スリット S H E の上端は、メモリピラー M P の上面よりも上層且つ導電体層 2 5 よりも下層に含まれている。スリット S H E のそれぞれの下端は、例えば最上層の導電体層 2 3 が設けられた層と導電体層 2 4 が設けられた層との間の層に含まれている。スリット S H E は、例えば酸化シリコン ( S i O <sub>2</sub> ) 等の絶縁体を含んでいる。

20

【 0 0 5 4 】

図 5 は、図 4 の V - V 線に沿った断面図であり、第 1 実施形態に係る半導体記憶装置 1 におけるメモリピラー M P の断面構造の一例を示している。より具体的には、図 5 は、半導体基板 2 0 の表面に平行且つ導電体層 2 3 を含む層における、メモリピラー M P のメモリホール M H に対応する部分における断面構造を示している。

【 0 0 5 5 】

図 5 に示すように、導電体層 2 3 を含む層では、例えばコア部材 3 0 は、メモリピラー M P の中央部に設けられる。半導体層 3 1 は、コア部材 3 0 の側面を囲っている。積層膜 3 2 は、半導体層 3 1 の側面を囲っている。具体的には、積層膜 3 2 は、例えばトンネル絶縁膜 3 4、絶縁膜 3 5、及びブロック絶縁膜 3 6 を含んでいる。

30

【 0 0 5 6 】

トンネル絶縁膜 3 4 は、半導体層 3 1 の側面を囲っている。絶縁膜 3 5 は、トンネル絶縁膜 3 4 の側面を囲っている。ブロック絶縁膜 3 6 は、絶縁膜 3 5 の側面を囲っている。導電体層 2 3 は、ブロック絶縁膜 3 6 の側面を囲っている。トンネル絶縁膜 3 4 及びブロック絶縁膜 3 6 のそれぞれは、例えば酸化シリコン ( S i O <sub>2</sub> ) を含んでいる。絶縁膜 3 5 は、例えば窒化シリコン ( S i N ) を含んでいる。

【 0 0 5 7 】

図 6 は、図 4 の V I - V I 線に沿った断面図であり、第 1 実施形態に係る半導体記憶装置 1 におけるメモリピラー M P の断面構造の一例を示している。より具体的には、図 6 は、半導体基板 2 0 の表面に平行且つ導電体層 2 4 を含む層における、メモリピラー M P の S G D ホール S H に対応する部分における断面構造を示している。

40

【 0 0 5 8 】

図 6 に示すように、導電体層 2 4 を含む層では、例えばコア部材 3 0 は、S G D ホール S H の中央部に設けられる。半導体層 3 1 は、コア部材 3 0 の側面を囲っている。積層膜 3 3 は、半導体層 3 1 の側面を囲っている。具体的には、積層膜 3 3 は、例えばトンネル絶縁膜 3 7、絶縁膜 3 8、及びブロック絶縁膜 3 9 を含んでいる。

【 0 0 5 9 】

トンネル絶縁膜 3 7 は、半導体層 3 1 の側面を囲っている。絶縁膜 3 8 は、トンネル絶縁膜 3 7 の側面を囲っている。ブロック絶縁膜 3 9 は、絶縁膜 3 8 の側面を囲っている。

50

導電体層 2 4 は、ブロック絶縁膜 3 9 の側面を囲っている。トンネル絶縁膜 3 7 及びブロック絶縁膜 3 9 のそれぞれは、例えば酸化シリコン (  $\text{SiO}_2$  ) を含んでいる。絶縁膜 3 8 は、例えば窒化シリコン (  $\text{SiN}$  ) を含んでいる。

【 0 0 6 0 】

以上で説明したメモリピラー M P の構造では、メモリピラー M P と導電体層 2 2 とが交差する部分が、選択トランジスタ S T 2 として機能する。メモリピラー M P と導電体層 2 3 とが交差する部分が、メモリセルトランジスタ M T として機能する。メモリピラー M P と導電体層 2 4 とが交差する部分が、選択トランジスタ S T 1 として機能する。

【 0 0 6 1 】

つまり、半導体層 3 1 は、メモリセルトランジスタ M T 並びに選択トランジスタ S T 1 及び S T 2 のそれぞれのチャンネルとして使用される。絶縁膜 3 5 は、メモリセルトランジスタ M T の電荷蓄積層として使用される。これにより、メモリピラー M P の各々は、例えば 1 つの N A N D ストリング N S として機能する。

10

【 0 0 6 2 】

尚、以上で説明したメモリセルアレイ 1 0 の構造はあくまで一例であり、メモリセルアレイ 1 0 はその他の構造を有していても良い。例えば、導電体層 2 3 の個数は、ワード線 W L の本数に基づいて設計される。選択ゲート線 S G S には、複数層に設けられた複数の導電体層 2 2 が割り当てられても良い。選択ゲート線 S G S が複数層に設けられる場合に、導電体層 2 2 と異なる導電体を使用されても良い。選択ゲート線 S G D には、複数層に設けられた複数の導電体層 2 4 が割り当てられても良い。

20

【 0 0 6 3 】

メモリピラー M P と導電体層 2 5 との間は、2 つ以上のコンタクトを介して電氣的に接続されても良いし、その他の配線を介して電氣的に接続されても良い。スリット S L T 内は、複数種類の絶縁体により構成されても良い。例えば、スリット S L T に酸化シリコンが埋め込まれる前に、スリット S L T の側壁として窒化シリコン (  $\text{SiN}$  ) が形成されても良い。コア部材 3 0 の内側には、空隙が形成されても良い。空隙は、例えばメモリピラー M P のメモリホール M H に対応する部分に形成され得る。

【 0 0 6 4 】

[ 1 - 2 ] 半導体記憶装置 1 の製造方法

以下に、図 7 を適宜参照して、第 1 実施形態に係る半導体記憶装置 1 における、ソース線 S L に対応する積層構造の形成からスリット S H E の形成までの一連の製造工程の一例について説明する。図 7 は、第 1 実施形態に係る半導体記憶装置 1 の製造方法の一例を示すフローチャートである。図 8 ~ 図 2 4 のそれぞれは、第 1 実施形態に係る半導体記憶装置 1 の製造工程における、メモリセルアレイ 1 0 に対応する構造体を含む断面構造の一例を示している。

30

【 0 0 6 5 】

まず、ステップ S 1 0 1 の処理が実行され、ソース線部とワード線部の犠牲部材が積層される。具体的には、図 8 に示すように、半導体基板 2 0 上に、絶縁体層 4 0、導電体層 4 1、犠牲部材 4 2、導電体層 4 3、絶縁体層 4 4、及び導電体層 2 2 が順に形成される。導電体層 2 2 上に、絶縁体層 4 5 及び犠牲部材 4 6 が交互に積層される。最上層の犠牲部材 4 6 上に、絶縁体層 4 7 が形成される。図示が省略されているが、絶縁体層 4 0 内には、センスアンプモジュール 1 6 等に対応する回路が形成される。

40

【 0 0 6 6 】

導電体層 4 1 及び 4 3 並びに犠牲部材 4 2 の組が、ソース線部に対応している。導電体層 4 1 及び 4 3 のそれぞれは、例えばシリコン (  $\text{Si}$  ) を含んでいる。犠牲部材 4 2 は、導電体層 4 1 及び 4 3 のそれぞれに対してエッチング選択比を大きくすることが可能な材料である。絶縁体層 4 4、4 5 及び 4 7 のそれぞれは、例えば酸化シリコン (  $\text{SiO}_2$  ) を含んでいる。各犠牲部材 4 6 が、ワード線部に対応している。例えば、犠牲部材 4 6 が形成される層数が、積層されるワード線 W L の本数に対応している。犠牲部材 4 6 は、例えば窒化シリコン (  $\text{SiN}$  ) を含んでいる。

50

## 【 0 0 6 7 】

次に、ステップ S 1 0 2 の処理が実行され、メモリホール M H が形成される。具体的には、図 9 に示すように、まずフォトリソグラフィ等によって、メモリホール M H に対応する領域が開口したマスクが形成される。そして、形成されたマスクを用いた異方性エッチングによって、メモリホール M H が形成される。

## 【 0 0 6 8 】

本工程で形成されるメモリホール M H は、絶縁体層 4 4、4 5 及び 4 7、犠牲部材 4 2 及び 4 6、並びに導電体層 2 2 及び 4 3 のそれぞれを貫通し、メモリホール M H の底部は、例えば導電体層 4 1 内で停止する。本工程における異方性エッチングは、例えば R I E (Reactive Ion Etching) である。

10

## 【 0 0 6 9 】

次に、ステップ S 1 0 3 の処理が実行され、メモリホール M H 内に積層膜 3 2 が形成される。具体的には、図 1 0 に示すように、メモリホール M H の側面及び底面と、絶縁体層 4 7 の上面とに、積層膜 3 2 が形成される、すなわちブロック絶縁膜 3 6、絶縁膜 3 5、及びトンネル絶縁膜 3 4 が順に形成される。

## 【 0 0 7 0 】

次に、ステップ S 1 0 4 の処理が実行され、メモリホール M H 内に犠牲部材 4 8 が形成される。具体的には、図 1 1 に示すように、まずメモリホール M H 内が埋まるように、犠牲部材 4 8 が形成される。そして、メモリホール M H 外に形成された犠牲部材 4 8 及び積層膜 3 2 が、例えば C M P (Chemical Mechanical Polishing) によって除去される。犠牲部材 4 8 は、例えばアモルファスシリコンである。

20

## 【 0 0 7 1 】

次に、ステップ S 1 0 5 の処理によって選択ゲート線部の犠牲部材が積層され、続けてステップ S 1 0 6 の処理によって S G D ホール S H が形成される。具体的には、図 1 2 に示すように、まず絶縁体層 4 9、犠牲部材 5 0、及び絶縁体層 5 1 が順に積層される。そして、フォトリソグラフィ等によって、S G D ホール S H に対応する領域が開口したマスクが形成される。それから、形成されたマスクを用いた異方性エッチングによって、S G D ホール S H が形成される。

## 【 0 0 7 2 】

本工程で形成される S G D ホール S H は、絶縁体層 4 9 及び 5 1、並びに犠牲部材 5 0 のそれぞれを貫通し、S G D ホール S H の底部は、例えば絶縁体層 4 7 が形成された層内で停止する。S G D ホール S H は、少なくとも底部が最上層の犠牲部材 4 6 よりも上層に位置し、且つ対応するメモリホール M H 内の犠牲部材 4 8 が露出するように加工される。本工程における異方性エッチングは、例えば R I E (Reactive Ion Etching) である。

30

## 【 0 0 7 3 】

次に、ステップ S 1 0 7 の処理が実行され、S G D ホール S H 内に積層膜 3 3 が形成される。具体的には、図 1 3 に示すように、S G D ホール S H の側面及び底面と、絶縁体層 5 1 の上面とに、積層膜 3 3 が形成される、すなわちブロック絶縁膜 3 9、絶縁膜 3 8、及びトンネル絶縁膜 3 7 が順に形成される。

## 【 0 0 7 4 】

次に、ステップ S 1 0 8 の処理が実行され、S G D ホール S H の底部が開口される。具体的には、まず図 1 4 に示すように、積層膜 3 3 の表面に保護膜 5 2 が形成される。保護膜 5 2 は、例えばアモルファスシリコンである。続けて図 1 5 に示すように、例えば S G D ホール S H 外に形成された積層膜 3 3 及び保護膜 5 2 と、S G D ホール S H 底部に形成された積層膜 3 3 及び保護膜 5 2 とが除去される。本工程では、少なくともメモリホール M H 内の犠牲部材 4 8 が S G D ホール S H の底部で露出するように加工される。本工程には、例えば R I E 等の異方性エッチングが使用される。

40

## 【 0 0 7 5 】

次に、ステップ S 1 0 9 の処理が実行され、メモリホール M H 内の犠牲部材 4 8 が除去される。具体的には、図 1 6 に示すように、例えばウェットエッチングによって、メモリ

50

ホールMH内の犠牲部材48が除去される。犠牲部材48に使用される材料と保護膜52に使用される材料によっては、本工程で保護膜52も併せて除去され得る。

【0076】

次に、ステップS110の処理が実行され、半導体層31及びコア部材30が形成される。具体的には、まず図17に示すように、半導体層31がメモリホールMH及びSGDホールSH内に連続的に形成され、メモリホールMH及びSGDホールSH内が絶縁体(コア部材30)によって埋め込まれる。続けて図18に示すように、まずエッチバックによってSGDホールSHの上部に形成されたコア部材30が除去され、コア部材30が除去された領域に半導体層31と同様の半導体部材が埋め込まれる。そして、絶縁体層51よりも上層に形成された半導体層31及びコア部材30が、例えばCMPによって除去される。その結果、コア部材30が半導体層31によって覆われた構造が形成される。

10

【0077】

次に、ステップS111の処理が実行され、スリットSLTが形成される。具体的には、図19に示すように、まず絶縁体層51及びSGDホールSH内の構造体上に、絶縁体層53が形成される。そして、フォトリソグラフィ等によって、スリットSLTに対応する領域が開口したマスクが形成される。それから、形成されたマスクを用いた異方性エッチングによって、スリットSLTが形成される。

【0078】

本工程で形成されるスリットSLTは、絶縁体層44、45、47、49、51及び53、犠牲部材42、46及び50、並びに導電体層22及び43のそれぞれを分断し、スリットSLTの底部は、例えば導電体層41が設けられた層内で停止する。尚、スリットSLTの底部は、少なくとも犠牲部材42が形成された層に達していれば良い。本工程における異方性エッチングは、例えばRIEである。

20

【0079】

次に、ステップS112の処理が実行され、ソース線部の置換処理が実行される。具体的には、まず図20に示すように、スリットSLTを介したウェットエッチングにより犠牲部材42が選択的に除去される。このとき、犠牲部材42が除去された領域を介して積層膜32の一部分が除去され、半導体層31の側面の一部分が露出する。犠牲部材42が除去された構造体は、複数のメモリピラーMP等によってその立体構造が維持される。

【0080】

続けて図21に示すように、例えばCVD(Chemical Vapor Deposition)によって、犠牲部材42が除去された空間に導電体層54が埋め込まれる。導電体層54としては、例えばリングドープされたポリシリコンが形成される。そして、エッチバック処理によって、スリットSLT内部と絶縁体層53の上面とに形成された導電体層54が除去される。

30

【0081】

本工程によって、メモリピラーMP内の半導体層31と、導電体層41、54及び43の組との間が電氣的に接続される。導電体層41、54及び43の組は、図4を用いて説明した導電体層21に対応し、ソース線SLとして使用される。

【0082】

次に、ステップS113の処理が実行され、ワード線部と選択ゲート線部の置換処理が実行される。具体的には、図22に示すように、まずスリットSLT内で露出した導電体層41、54及び43の表面が酸化され、図示されない酸化保護膜が形成される。その後、例えば熱リン酸によるウェットエッチングによって、犠牲部材46及び50が選択的に除去される。犠牲部材46及び50が除去された構造体は、複数のメモリピラーMP等によってその立体構造が維持される。

40

【0083】

そして、例えばCVDによって、犠牲部材46及び50が除去された空間に導電体が埋め込まれる。それから、エッチバック処理によって、スリットSLT内部と絶縁体層53の上面に形成された当該導電体が除去される。これにより、ワード線WL0~WL7にそ

50

れぞれ対応する複数の導電体層 2 3 と、選択ゲート線 S G D に対応する導電体層 2 4 とが形成される。本工程において形成される導電体層 2 3 及び 2 4 は、バリアメタルを含んでも良い。この場合、犠牲部材 4 6 及び 5 0 の除去後の導電体の形成では、例えば、バリアメタルとして窒化チタン ( T i N ) が成膜された後に、タングステン ( W ) が形成される。また、積層膜 3 2 及び 3 3 中のブロック絶縁膜 3 6 及び 3 9 とともに、メモリセルトランジスタ M T 又は選択トランジスタ S T 1 のブロック絶縁膜となる絶縁体を介して、犠牲部材 4 6 及び 5 0 が除去された空間に導電体が埋め込まれても良い。

#### 【 0 0 8 4 】

次に、ステップ S 1 1 4 の処理が実行され、スリット S L T 内に絶縁体 5 5 が形成される。具体的には、図 2 3 に示すように、まず絶縁体層 5 3 上に絶縁体 5 5 が形成され、スリット S L T 内が絶縁体 5 5 によって埋め込まれる。その後スリット S L T 外に形成された絶縁体 5 5 が、例えば C M P によって除去される。その結果、スリット S L T が絶縁体 5 5 によって埋め込まれた構造が形成される。絶縁体 5 5 は、例えば酸化シリコン ( S i O <sub>2</sub> ) を含んでいる。

10

#### 【 0 0 8 5 】

次に、ステップ S 1 1 5 の処理が実行され、スリット S H E が形成される。具体的には、図 2 4 に示すように、まずフォトリソグラフィ等によって、スリット S H E に対応する領域が開いたマスクが形成される。そして、形成されたマスクを用いた異方性エッチングによって、スリット S H E が形成される。

20

#### 【 0 0 8 6 】

本工程で形成されるスリット S H E は、導電体層 2 4 を分断し、スリット S H E の底部は、例えば絶縁体層 4 9 が形成された層内で停止する。スリット S H E の底部は、N A N D ストリング N S の特性に影響が無い範囲で、絶縁体層 4 7 に達していても良い。本工程における異方性エッチングは、例えば R I E である。

#### 【 0 0 8 7 】

その後、絶縁体層 5 3 上に絶縁体 5 6 が形成され、スリット S H E 内が絶縁体 5 6 によって埋め込まれる。スリット S H E 外に形成された絶縁体 5 6 は、例えば C M P によって除去される。その結果、スリット S H E が絶縁体 5 6 によって埋め込まれた構造が形成される。絶縁体 5 6 は、例えば酸化シリコン ( S i O <sub>2</sub> ) を含んでいる。

30

#### 【 0 0 8 8 】

以上で説明した第 1 実施形態に係る半導体記憶装置 1 の製造工程によって、メモリピラー M P と、メモリピラー M P に接続されるソース線 S L 、ワード線 W L 、並びに選択ゲート線 S G S 及び S G D とのそれぞれが形成される。尚、以上で説明した製造工程はあくまで一例であり、各製造工程の間にはその他の処理が挿入されても良いし、製造工程の順番が問題が生じない範囲で入れ替えられても良い。

#### 【 0 0 8 9 】

##### [ 1 - 3 ] 第 1 実施形態の効果

以上で説明した第 1 実施形態に係る半導体記憶装置 1 に依れば、半導体記憶装置 1 の製造コストを抑制することが出来る。以下に、第 1 実施形態に係る半導体記憶装置 1 の詳細な効果について説明する。

40

#### 【 0 0 9 0 】

メモリセルが三次元に積層された半導体記憶装置では、例えばワード線 W L として使用される板状の配線が積層され、当該積層配線を貫通するメモリピラー内に、メモリセルトランジスタ M T として機能するための構造体が形成される。また、半導体記憶装置では、例えばワード線 W L と同様に、メモリピラーが貫通した板状の選択ゲート線 S G D が形成され、選択ゲート線 S G D が適宜分割されることによってページ単位の動作が実現される。このような半導体記憶装置の単位面積当たりの記憶容量を大きくするためには、メモリピラーの配置密度を上げることが好ましい。

#### 【 0 0 9 1 】

しかしながら、メモリピラーの配置密度を単純に上げていく場合、選択ゲート線 S G D

50

を分割するためのスリットSHEを、高密度に配列されたメモリピラーMPと重ならず形成することが困難になる。スリットSHEとメモリピラーMPとが接触した場合、選択トランジスタST1の特性ばらつきが大きくなり、動作が不安定になり得る。このため、スリットSHEとメモリピラーMPとは、離れて配置することが好ましい。

【0092】

これに対して、第1実施形態に係る半導体記憶装置1は、メモリピラーMPが2つの部分（メモリホールMHに対応する部分とSGDホールSHに対応する部分）に分けて形成された構造を有している。そして、第1実施形態に係る半導体記憶装置1では、SGDホールSHの径がメモリホールMHの径よりも小さく設計され、スリットSLT及びSHEとの位置関係に応じて、対応するメモリホールMHとSGDホールSHとの間の位置関係が変えられている。

10

【0093】

これにより、第1実施形態に係る半導体記憶装置1では、メモリホールMHに対応する構造が高密度に配置され、且つSGDホールSHに対応する構造がスリットSHEから離れた構造を形成することが出来る。その結果、第1実施形態に係る半導体記憶装置1は、単位面積当たりの記憶容量を大きくすることが出来、例えば1枚のシリコンウエハに対してより多くの半導体記憶装置1を形成することが可能となる。従って、第1実施形態に係る半導体記憶装置1は、半導体記憶装置1の製造コストを抑制することが出来る。

【0094】

また、第1実施形態に係る半導体記憶装置1の製造工程では、メモリホールMH内の積層膜32と、SGDホールSH内の積層膜33とが別工程で形成される。つまり、第1実施形態に係る半導体記憶装置1では、メモリセルトランジスタMTに使用される絶縁膜の層構造と、選択トランジスタST1に使用される絶縁膜の層構造とを異なる構造にすることが出来る。例えば、選択トランジスタST1は、データの記憶に使用されないため、積層膜33に含まれる各絶縁膜（トンネル絶縁膜37、絶縁膜38、及びブロック絶縁膜39）の膜厚を、積層膜32よりも薄くすることが出来る。

20

【0095】

その結果、第1実施形態に係る半導体記憶装置1では、SGDホールSHの径を小さくすることが出来、メモリホールMH及びSGDホールSHのレイアウトの自由度を上げることが出来る。そして、第1実施形態に係る半導体記憶装置1では、積層膜33の形成コストを抑制することも出来る。

30

【0096】

さらに、第1実施形態に係る半導体記憶装置1の製造工程では、メモリホールMH内の半導体層31と、SGDホールSH内の半導体層31とが、同じ製造工程によって一括で形成される。つまり、第1実施形態に係る半導体記憶装置1では、メモリホールMH内の半導体層31と、SGDホールSH内の半導体層31とが連続的に形成される。

【0097】

これにより、第1実施形態に係る半導体記憶装置1は、メモリホールMH内の半導体層31とSGDホールSH内の半導体層31とを別工程で形成する場合よりも、NANDストリングNSのチャンネル抵抗を小さくすることが出来る。また、第1実施形態に係る半導体記憶装置1は、メモリホールMH内の半導体層31とSGDホールSH内の半導体層31とを別工程で形成した場合に生じ得る不良の発生を無くすることも出来る。

40

【0098】

以上のように、第1実施形態に係る半導体記憶装置1は、メモリピラーMP起因の不良の発生を抑制することが出来、且つ製造工程の増加を抑制することが出来る。従って、第1実施形態に係る半導体記憶装置1の製造方法は、半導体記憶装置1の歩留まりを向上することが出来、且つ製造コストを抑制することが出来る。

【0099】

[2] 第2実施形態

第2実施形態に係る半導体記憶装置1は、第1実施形態に係る半導体記憶装置1に対し

50

て、メモリピラーMP内の半導体層31の構造が異なる。以下に、第2実施形態に係る半導体記憶装置1について、第1実施形態と異なる点を説明する。

【0100】

[2-1]メモリセルアレイ10の構造

図25は、第2実施形態に係る半導体記憶装置1の備えるメモリセルアレイ10の断面構造の一例を示している。図25に示すように、第2実施形態におけるメモリセルアレイ10の構造は、第1実施形態で図4を用いて説明したメモリセルアレイ10の構造に対して、メモリピラーMPの構造が異なっている。

【0101】

具体的には、第2実施形態におけるメモリピラーMPでは、メモリホールMHとSGDホールSHとの境界部分におけるコア部材30及び半導体層31の構造が異なっている。第2実施形態における半導体層31は、SGDホールSH内の積層膜33の底面に設けられた部分を有している。また、対応するメモリホールMHとSGDホールSHとの位置関係によっては、半導体層31がメモリホールMH内の積層膜32の上面に接し得る。

10

【0102】

以下に、図26を用いて、第1実施形態におけるメモリピラーMPの構造と第2実施形態におけるメモリピラーMPの構造との詳細な差異について説明する。図26は、第1実施形態及び第2実施形態のメモリピラーMPの詳細な断面構造をそれぞれ示している。尚、以下では、SGDホールSH内の構造体の底部のことを接続部BPと称する。

【0103】

図26に示すように、第1実施形態におけるメモリピラーMPでは、接続部BPの積層膜33(トンネル絶縁膜37、絶縁膜38、及びブロック絶縁膜39)は、SGDホールSH内の中央部に向かって延伸した部分を有している。そして、メモリピラーMP内の半導体層31は、当該部分に沿って括れた部分を有している。本構造における積層膜33の底部は、ブロック絶縁膜39、絶縁膜38、トンネル絶縁膜37の順に積層された構造であり、積層膜33の底部ではブロック絶縁膜39のみが半導体層31と接触している。

20

【0104】

一方で、第2実施形態におけるメモリピラーMPでは、接続部BPの積層膜33は、例えばSGDホールSH内の中央部に向かって延伸した部分を有さない。このため、メモリピラーMP内の半導体層31は、第1実施形態と比較して、接続部BPで括れた部分を有さない。本構造における積層膜33の底部は、例えばトンネル絶縁膜37、絶縁膜38、及びブロック絶縁膜39のそれぞれが半導体層31に接触している。

30

【0105】

これに限定されず、第2実施形態におけるメモリピラーMPでは、少なくとも半導体層31が、接続部BPにおいて括れた部分を有していなければ良い。また、第2実施形態におけるメモリピラーMPでは、メモリホールMH内の積層膜32とSGDホールSH内の積層膜33との間は、離れていることが好ましい。

【0106】

以上で説明した積層膜33及び半導体層31の構造に基づいて、例えば第1実施形態におけるコア部材30は、接続部BPの積層膜33に沿って括れた部分を有する構造が形成される。一方で、第2実施形態におけるコア部材30は、接続部BPの積層膜33に沿って括れた部分を有さない構造が形成される。第2実施形態に係る半導体記憶装置1のその他の構成は、第1実施形態に係る半導体記憶装置1の構成と同様のため、説明を省略する。

40

【0107】

[2-2]半導体記憶装置1の製造方法

以下に、図27を適宜参照して、第2実施形態に係る半導体記憶装置1における、ソース線SLに対応する積層構造の形成からスリットSHEの形成までの一連の製造工程の一例について説明する。図27は、第2実施形態に係る半導体記憶装置1の製造方法の一例を示すフローチャートである。図28及び図29のそれぞれは、第2実施形態に係る半導

50

体記憶装置 1 の製造工程における、メモリセルアレイ 10 に対応する構造体を含む断面構造の一例を示している。

【0108】

図 27 に示すように、第 2 実施形態に係る半導体記憶装置 1 の製造方法は、第 1 実施形態で図 7 を用いて説明した製造方法におけるステップ S 109 の処理が、ステップ S 201 及び S 202 の処理に置き換えられている。

【0109】

具体的には、まず第 1 実施形態と同様に、ステップ S 101 ~ S 108 の処理が順に実行される。その結果、第 1 実施形態で参照した図 15 と同様に、SGD ホール SH の底部が開口した構造体が形成される。

10

【0110】

次に、ステップ S 201 の処理が実行され、積層膜 33 のリセス処理が実行される。具体的には、図 28 に示すように、例えば CDE (Chemical Dry Etching) によって、露出している積層膜 33 の一部が除去される。本工程では、保護膜 52 の底面よりも下層に設けられた積層膜 33 が除去されることが好ましく、少なくとも保護膜 52 の底部に設けられた積層膜 33 が除去されていれば良い。

【0111】

次に、ステップ S 202 の処理が実行され、メモリホール MH 内の犠牲部材 48 が除去される。具体的には、図 29 に示すように、例えばウェットエッチングによってメモリホール MH 内の犠牲部材 48 が除去される。第 1 実施形態と同様に、犠牲部材 48 に使用される材料と保護膜 52 に使用される材料によっては、本工程で保護膜 52 も併せて除去され得る。本工程では、絶縁体層 49 に対するエッチング選択比が低い条件が使用される。

20

【0112】

そして、第 1 実施形態と同様に、ステップ S 110 ~ S 115 の処理が順に実行される。その結果、図 25 及び図 26 に示された第 2 実施形態における導電体層 21 ~ 24、メモリピラー MP、並びにスリット SLT 及び SHE の構造が形成される。その他の第 2 実施形態に係る半導体記憶装置 1 の製造方法の詳細は、第 1 実施形態に係る半導体記憶装置 1 の製造方法と同様のため、説明を省略する。

【0113】

[2-3] 第 2 実施形態の効果

30

以上のように、第 2 実施形態に係る半導体記憶装置 1 では、メモリピラー MP 内の半導体層 31 が括れた構造を有さないように形成される。つまり、第 2 実施形態に係る半導体記憶装置 1 では、接続部 BP における半導体層 31 の曲率の大幅な変化が抑制される。

【0114】

これにより、第 2 実施形態に係る半導体記憶装置 1 は、第 1 実施形態よりも安定して半導体層 31 を形成することが出来る。従って、第 2 実施形態に係る半導体記憶装置 1 は、第 1 実施形態よりも歩留まりを向上することが出来、半導体記憶装置 1 の製造コストを抑制することが出来る。

【0115】

[3] 第 3 実施形態

40

第 3 実施形態に係る半導体記憶装置 1 は、第 1 実施形態に係る半導体記憶装置 1 に対して、メモリホール MH 内の半導体層 31 と導電体層 21 との接続構造が異なる。以下に、第 3 実施形態に係る半導体記憶装置 1 について、第 1 実施形態と異なる点を説明する。

【0116】

[3-1] メモリセルアレイ 10 の構造

図 30 は、第 3 実施形態に係る半導体記憶装置 1 の備えるメモリセルアレイ 10 の断面構造の一例を示している。図 30 に示すように、第 3 実施形態におけるメモリセルアレイ 10 の構造は、第 1 実施形態で図 4 を用いて説明したメモリセルアレイ 10 の構造に対して、メモリピラー MP の構造が異なっている。

【0117】

50

具体的には、第1実施形態におけるメモリピラーMPでは、導電体層21が半導体層31の側面と接触していたのに対して、第3実施形態におけるメモリピラーMPでは、導電体層21が半導体層31の底面と接触している。このため、第3実施形態におけるメモリピラーMPの製造工程では、積層膜32の底部の一部が除去され、積層膜32が除去された部分に半導体層31が形成される。第3実施形態に係る半導体記憶装置1のその他の構成は、第1実施形態に係る半導体記憶装置1の構成と同様のため、説明を省略する。

【0118】

[3-2] 第3実施形態の効果

以上のように、第3実施形態に係る半導体記憶装置1では、メモリピラーMPの底部において半導体層31と導電体層21との間が電氣的に接続される。このような構造においても、半導体記憶装置1は、第1実施形態と同様にNANDストリングNSの電流経路を形成することが出来る。第4実施形態に係る半導体記憶装置1のその他の効果は、第1実施形態に係る半導体記憶装置1と同様である。

10

【0119】

[4] 第4実施形態

第4実施形態に係る半導体記憶装置1は、第1実施形態に係る半導体記憶装置1に対して、選択トランジスタST1の構造が異なる。以下に、第4実施形態に係る半導体記憶装置1について、第1実施形態と異なる点を説明する。

【0120】

[4-1] メモリセルアレイ10の構造

図31は、第4実施形態に係る半導体記憶装置1の備えるメモリセルアレイ10の断面構造の一例を示している。図31に示すように、第4実施形態におけるメモリセルアレイ10の構造は、第1実施形態で図4を用いて説明したメモリセルアレイ10の構造に対して、メモリピラーMPの構造が異なっている。

20

【0121】

具体的には、第1実施形態におけるメモリピラーMPでは、SGDホールSH内に積層膜33が形成されていたのに対して、第4実施形態におけるメモリピラーMPでは、積層膜33の代わりに単層のゲート絶縁膜60が形成されている。ゲート絶縁膜60は、選択トランジスタST1のゲート絶縁膜60として使用される。ゲート絶縁膜60の膜厚は、第1実施形態における積層膜33の膜厚と同様でも良いし、メモリホールMH内の積層膜32の膜厚より薄くても良い。

30

【0122】

図32は、図31のXXII-XXII線に沿った断面図であり、第4実施形態に係る半導体記憶装置1におけるメモリピラーMPの断面構造の一例を示している。より具体的には、図32は、半導体基板20の表面に平行且つ導電体層24を含む層における、メモリピラーMPのSGDホールSHに対応する部分における断面構造を示している。

【0123】

図32に示すように、導電体層24を含む層では、例えばコア部材30は、SGDホールSHの中央部に設けられる。半導体層31は、コア部材30の側面を囲っている。ゲート絶縁膜60は、半導体層31の側面を囲っている。ゲート絶縁膜60は、例えば積層膜32におけるトンネル絶縁膜34と同じ材料を用いて形成される。ゲート絶縁膜60は、例えば酸化シリコン(SiO<sub>2</sub>)を含んでいる。第4実施形態に係る半導体記憶装置1のその他の構成は、第1実施形態に係る半導体記憶装置1の構成と同様のため、説明を省略する。

40

【0124】

[4-2] 第4実施形態の効果

以上のように、第4実施形態に係る半導体記憶装置1では、SGDホールSH内にゲート絶縁膜60が単層で設けられている。このように、SGDホールSH内のゲート絶縁膜60が電荷蓄積層を有していない構造においても、SGDホールSH内の構造体と選択ゲート線SGDとの交差部分は、データの記憶に使用されない選択トランジスタST1とし

50

て動作することが出来る。第4実施形態に係る半導体記憶装置1のその他の効果は、第1実施形態に係る半導体記憶装置1と同様である。

【0125】

[5]その他の変形例等

実施形態の半導体記憶装置は、複数の第1導電体層と、第2導電体層と、第1ピラーと、第2ピラーと、を含む。複数の第1導電体層は、基板の上方に設けられ、互いが第1方向に離れて積層される。第2導電体層は、複数の第1導電体層の上方に設けられる。第1ピラーは、複数の第1導電体層を貫通し且つ第1方向に延伸した第1半導体層の一部分を含む。第1ピラーと第1導電体層との交差部分は、メモリセルトランジスタとして機能する。第2ピラーは、第2導電体層を貫通し且つ第1半導体層の他の部分を含み、第1ピラー上に設けられる。第2ピラーと第2導電体層との交差部分は、選択トランジスタとして機能する。基板と平行且つ第2導電体層を含む断面における第2ピラーの外径は、基板と平行且つ第1導電体層を含む断面における第1ピラーの外径よりも小さい。第1半導体層は、最上層の第1導電体層に対向する第1部分と、第2導電体層に対向する第2部分とを含み、少なくとも第1部分から第2部分までは連続膜である。これにより、半導体記憶装置の製造コストを抑制することが出来る。

10

【0126】

上記実施形態は、適宜組み合わせることが可能である。例えば、第2実施形態は、第3実施形態及び第4実施形態のそれぞれと組み合わせることが可能である。第3実施形態は、第4実施形態と組み合わせることが可能である。

20

【0127】

上記実施形態では、対応するメモリホールMHとSGDホールSHとの位置関係がスリットSLT及びSHEとの位置関係に応じて変化する場合について例示したが、これに限定されない。図33は、第1実施形態の変形例に係る半導体記憶装置1の備えるメモリセルアレイ10の平面レイアウトの一例を示している。図33に示すように、メモリセルアレイ10の平面レイアウトにおいて、対応するメモリホールMHの中心とSGDホールSHの中心とはずれていなくても良い。

【0128】

第1実施形態の変形例に係る半導体記憶装置1では、SGDホールSHの径がメモリホールMHの径よりも小さく形成されることによって、スリットSLT及びSHEと、SGDホールSHとの間が離れた構造が形成され得る。半導体記憶装置1は、第1実施形態の変形例のような構造であっても、上記実施形態と同様の効果を得ることが出来る。

30

【0129】

上記実施形態では、SGDホールSHが貫通する導電体層24が1層である場合について例示したが、これに限定されない。図34は、第1実施形態の変形例に係る半導体記憶装置1の備えるメモリセルアレイ10の断面構造の一例を示している。図34に示すように、メモリセルアレイ10の断面構造において、SGDホールSHは複数の導電体層24を貫通していても良い。より具体的には、各メモリピラーMPのSGDホールSHに対応する部分が、例えば4層の導電体層24を貫通している。

【0130】

これらの導電体層24は、下層から順に、例えば選択ゲート線SGDa、SGDb、SGDc及びSGDdとして使用される。例えば、各メモリピラーMPにおいて、SGDホールSHと選択ゲート線SGDaとが交差する部分が選択トランジスタST1aとして機能し、SGDホールSHと選択ゲート線SGDbとが交差する部分が選択トランジスタST1bとして機能し、SGDホールSHと選択ゲート線SGDcとが交差する部分が選択トランジスタST1cとして機能し、SGDホールSHと選択ゲート線SGDdとが交差する部分が選択トランジスタST1dとして機能する。選択ゲート線SGDa、SGDb、SGDc及びSGDdは、独立して制御されても良いし、一括で制御されても良い。このように、半導体記憶装置1において選択ゲート線SGDは、複数層設けられても良い。

40

【0131】

50

上記実施形態において、メモリセルアレイ 10 の構造はその他の構造であっても良い。例えば、メモリピラー MP は、複数のピラーが Z 方向に連結された構造であっても良い。この場合に、メモリピラー MP は、例えば導電体層 24 (選択ゲート線 SGD) 及び複数の導電体層 23 (ワード線 WL) を貫通するピラーと、複数の導電体層 23 (ワード線 WL) 及び導電体層 22 (選択ゲート線 SGS) を貫通するピラーとが連結された構造であっても良い。また、メモリピラー MP には、複数の導電体層 23 を貫通するピラーが複数含まれていても良い。

#### 【0132】

上記実施形態では、半導体記憶装置 1 がメモリセルアレイ 10 下にセンスアンプモジュール 16 等の回路が設けられた構造を有する場合を例に説明したが、これに限定されない。例えば、半導体記憶装置 1 は、半導体基板 20 上にメモリセルアレイ 10 及びセンスアンプモジュール 16 が形成された構造であっても良い。この場合に、メモリピラー MP は、例えば第 3 実施形態で説明した構造に形成される。また、半導体記憶装置 1 は、センスアンプモジュール 16 等が設けられたチップと、メモリセルアレイ 10 が設けられたチップとが貼り合わされた構造であっても良い。

10

#### 【0133】

上記実施形態では、ワード線 WL と選択ゲート線 SGS とが隣り合い、ワード線 WL と選択ゲート線 SGD とが隣り合う構造について説明したが、これに限定されない。例えば、最上層のワード線 WL と選択ゲート線 SGD との間には、ダミーワード線が設けられても良い。同様に、最下層のワード線 WL と選択ゲート線 SGS との間には、ダミーワード線が設けられても良い。また、複数のピラーが連結された構造である場合には、連結部分近傍の導電体層がダミーワード線として使用されても良い。

20

#### 【0134】

上記実施形態で説明に使用した図面では、メモリホール MH や SGD ホール SH 等の外径が積層位置に依らず一定である場合が例示されているが、これに限定されない。例えば、メモリホール MH や SGD ホール SH は、テーパ形状を有していても良いし、中間部分が膨らんだ形状を有していても良い。同様に、スリット SLT 及び SHE がテーパ形状を有していても良いし、中間部分が膨らんだ形状を有していても良い。

#### 【0135】

本明細書において“接続”とは、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。“連続的に設けられる”とは、同じ製造工程によって形成されることを示している。ある構成要素において連続的に設けられた部分には、境界が形成されない。“連続的に設けられる”は、ある膜又は層における第 1 部分から第 2 部分まで連続膜であることと同義である。“膜厚”は、例えばメモリホール MH や SGD ホール SH 内に形成された構成要素の内径及び外径間の差のことを示している。“内径”及び“外径”は、それぞれ半導体基板 20 と平行な断面における内径及び外径のことを示している。

30

#### 【0136】

本明細書において“対向する部分”とは、半導体基板 20 の表面に平行な方向において近接している 2 つの構成要素の部分に対応している。例えば、導電体層 23 と対向する半導体層 31 の部分は、当該導電体層 23 が形成された層に含まれた半導体層 31 の部分に対応している。“厚さが略等しい”は、同じ製造工程によって形成された層(膜)であることを示しており、成膜位置に基づいたばらつきも含んでいる。

40

#### 【0137】

本明細書において“柱状”は、半導体記憶装置 1 の製造工程において形成されたホール内に設けられた構造体であることを示している。メモリホール MH 及び SGD ホール SH 内に形成された構造体は、それぞれ“ピラー”と称されても良い。つまり、上記実施形態においてメモリピラー MP は、メモリホール MH に対応するピラー上に、SGD ホール SH に対応するピラーが形成された構造を有している。

#### 【0138】

50

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

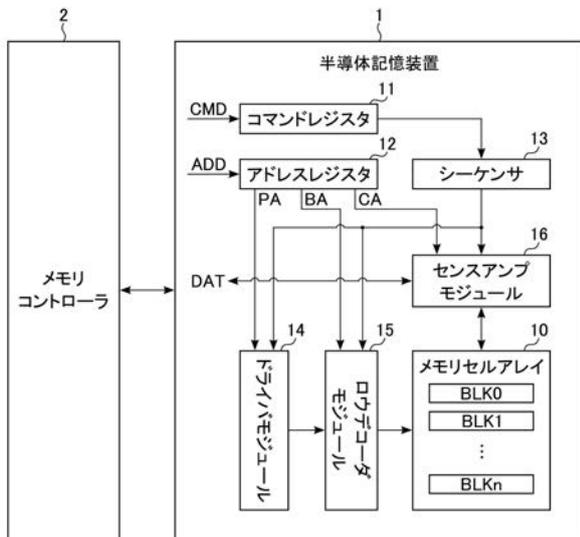
【符号の説明】

【0139】

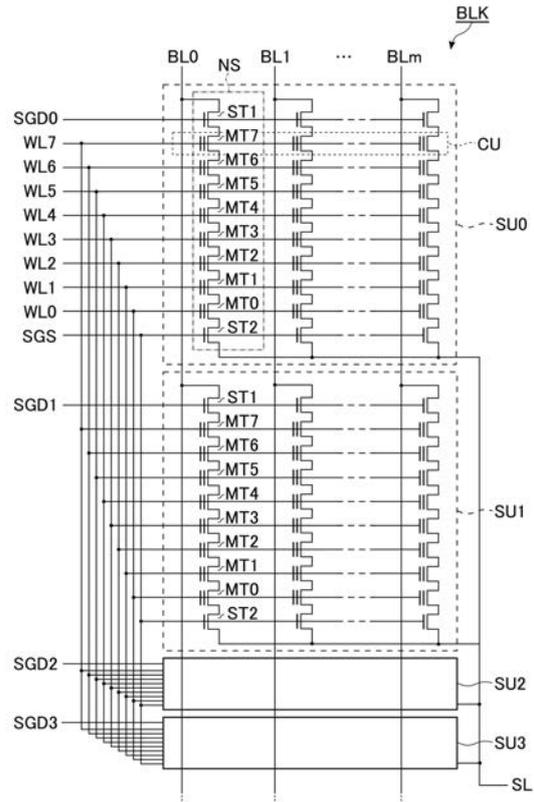
1 ... 半導体記憶装置、2 ... メモリコントローラ、10 ... メモリセルアレイ、11 ... コマンドレジスタ、12 ... アドレスレジスタ、13 ... シーケンサ、14 ... ドライバモジュール、15 ... ロウデコーダモジュール、16 ... センスアンプモジュール、20 ... 半導体基板、21 ~ 25 ... 導電体層、30 ... コア部材、31 ... 半導体層、32, 33 ... 積層膜、34, 37 ... トンネル絶縁膜、35, 38 ... 絶縁膜、36, 39 ... ブロック絶縁膜、BLK ... ブロック、SU ... スtringユニット、MT ... メモリセルトランジスタ、ST1, ST2 ... 選択トランジスタ、BL ... ビット線、WL ... ワード線、SGD ... 選択ゲート線

10

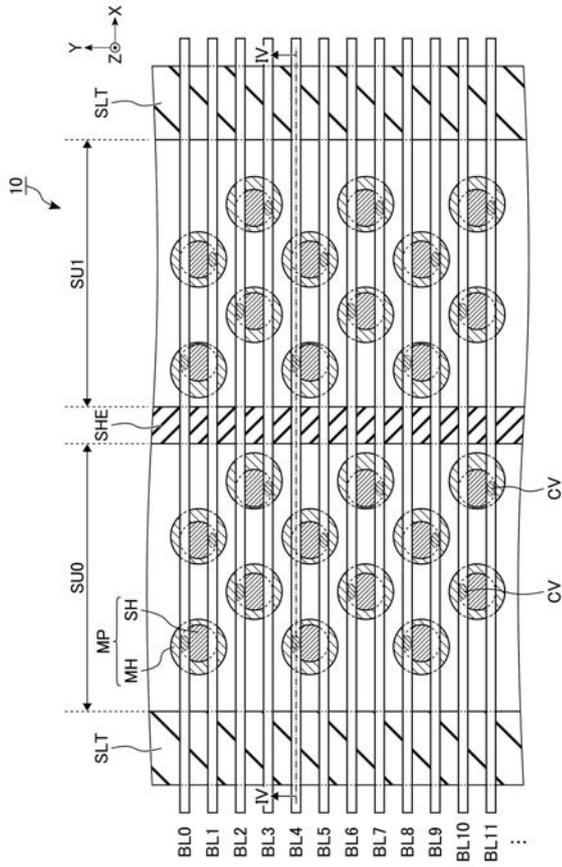
【図1】



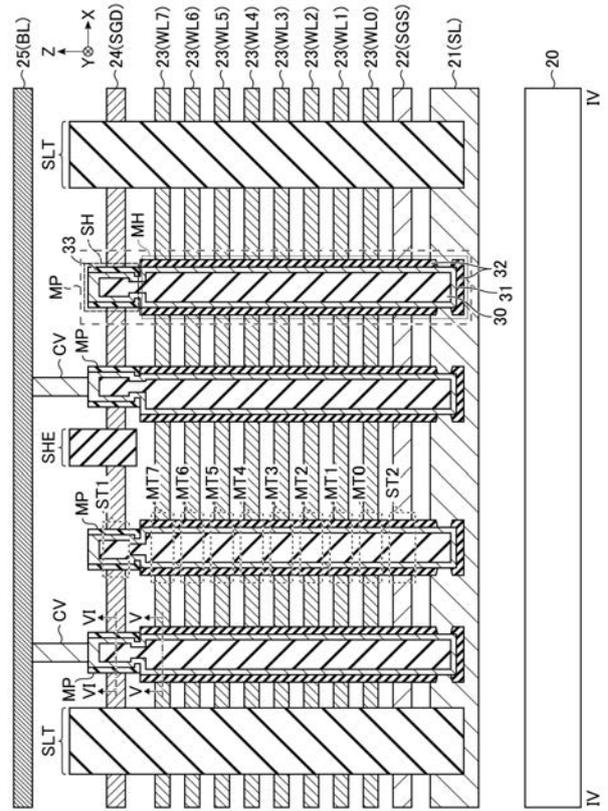
【図2】



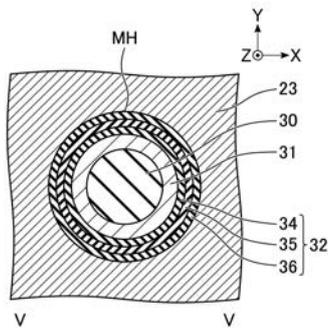
【 図 3 】



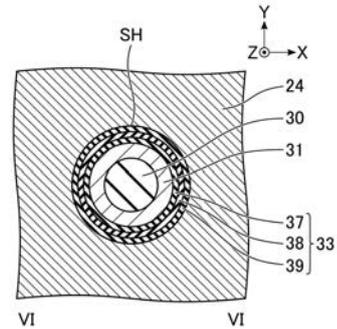
【 図 4 】



【 図 5 】

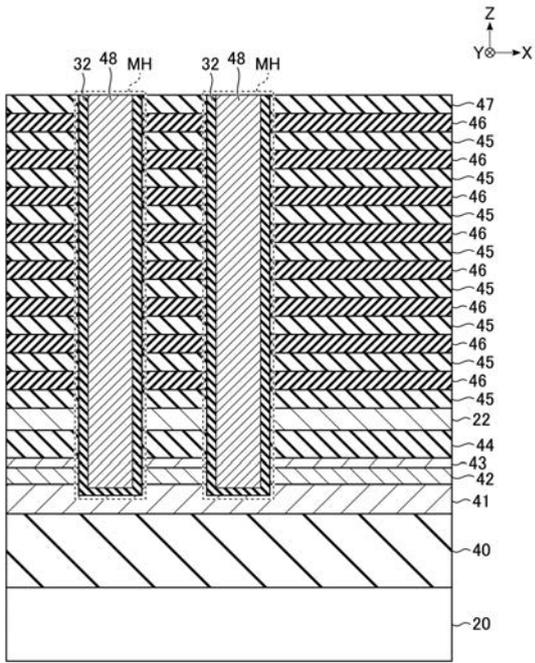


【 図 6 】

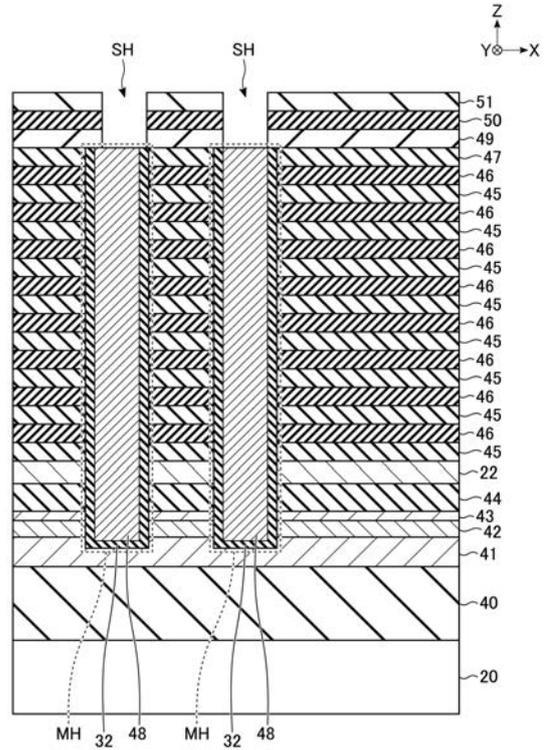




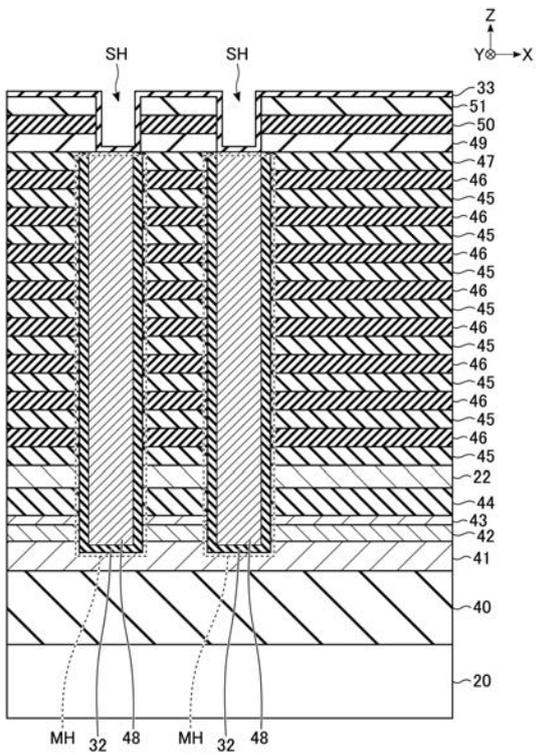
【 図 1 1 】



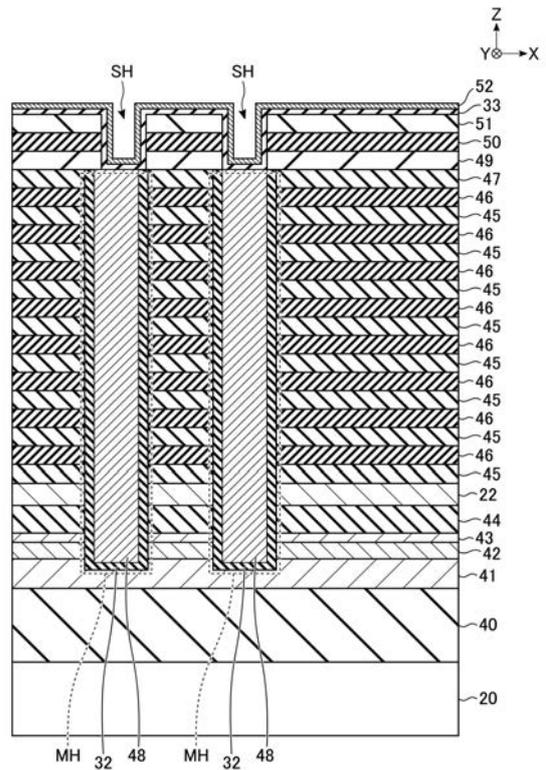
【 図 1 2 】



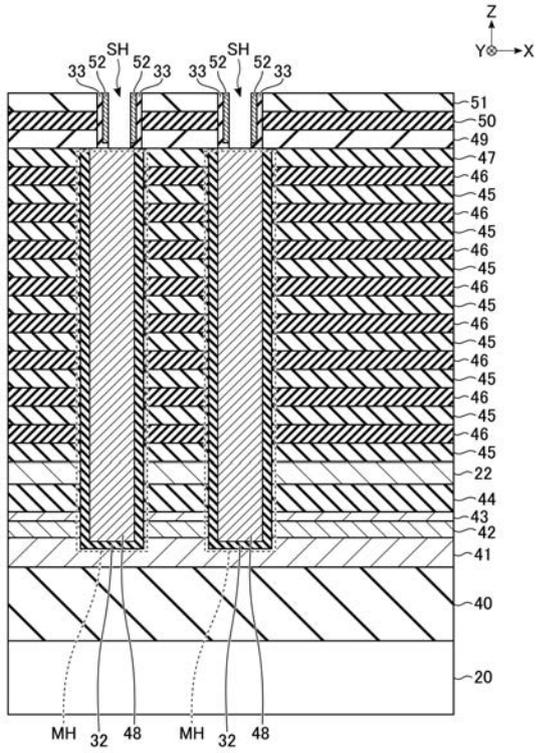
【 図 1 3 】



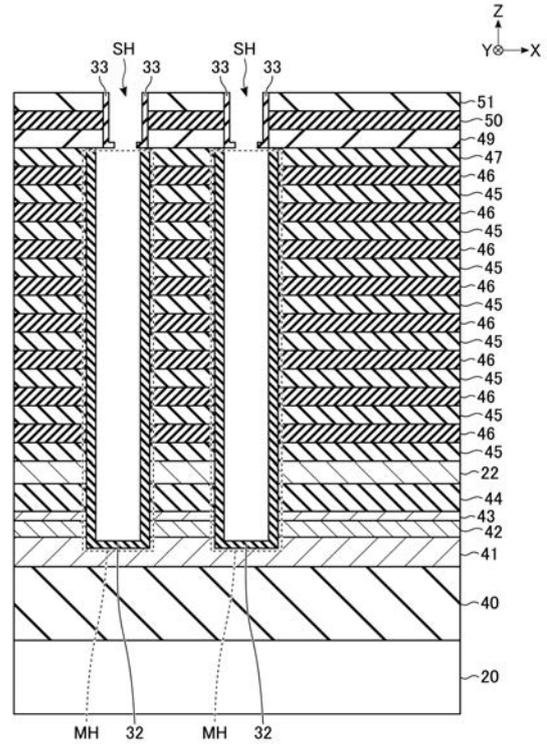
【 図 1 4 】



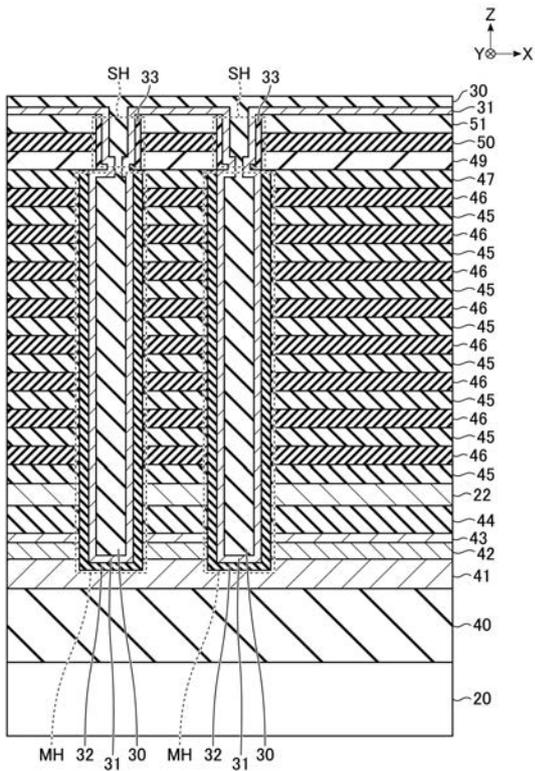
【 図 1 5 】



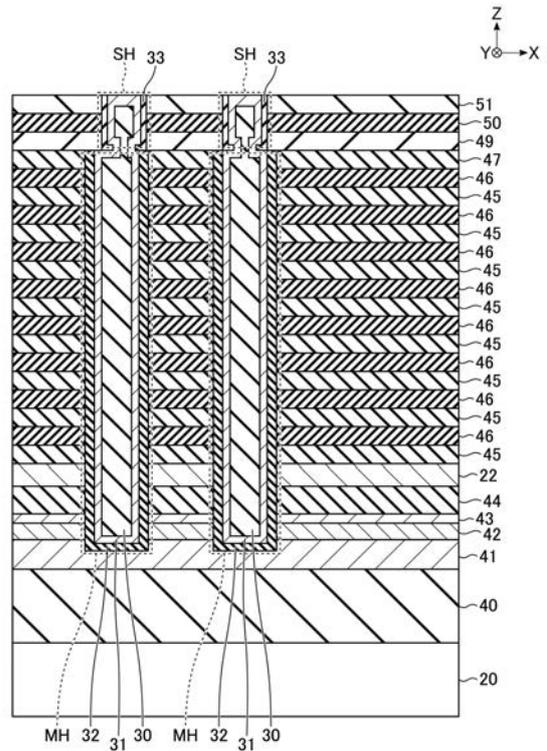
【 図 1 6 】



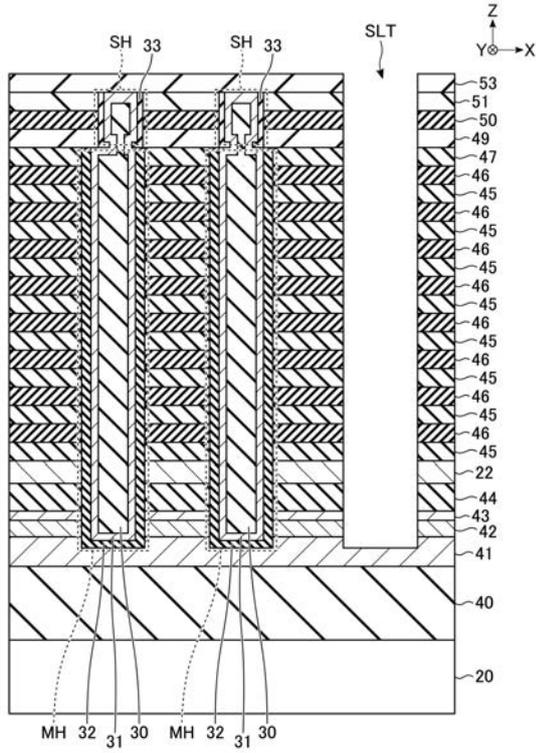
【 図 1 7 】



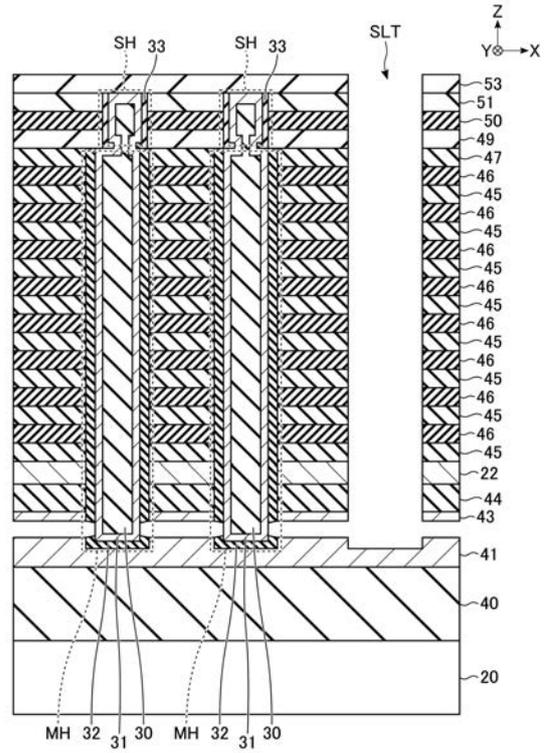
【 図 1 8 】



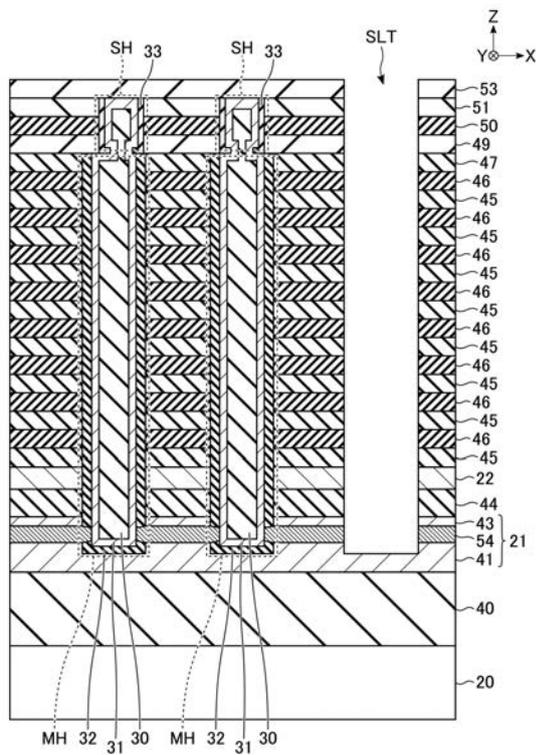
【図 19】



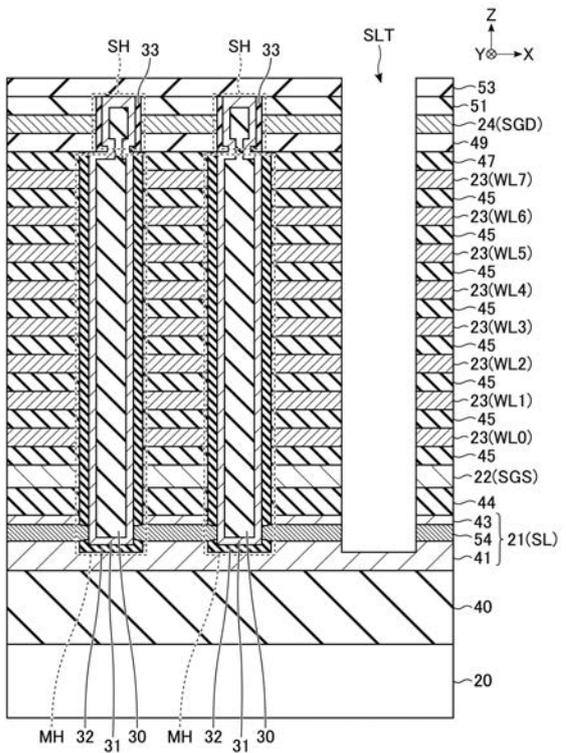
【図 20】



【図 21】



【図 22】

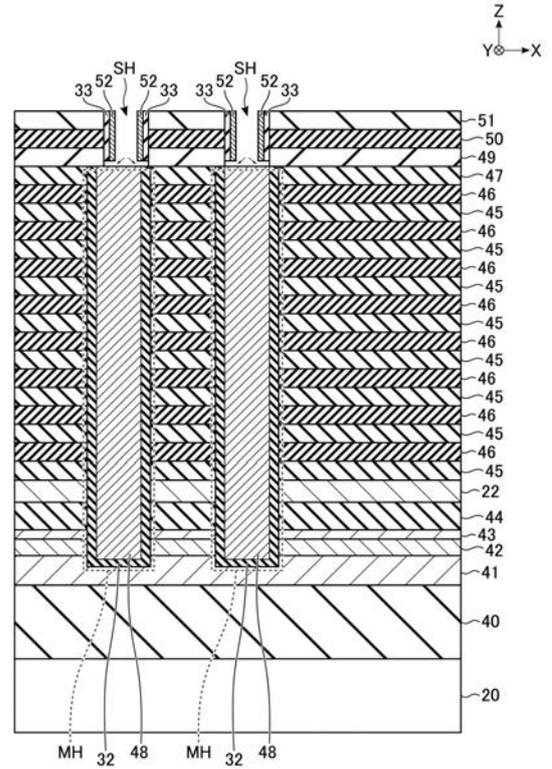




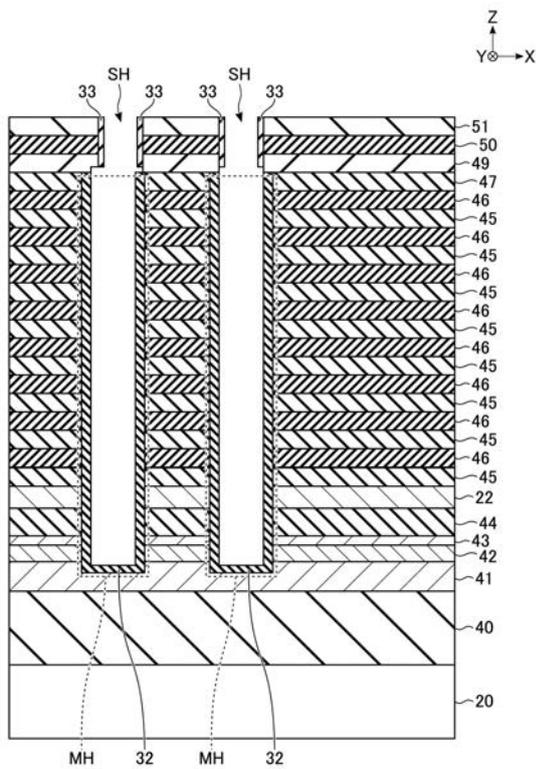
【図 27】



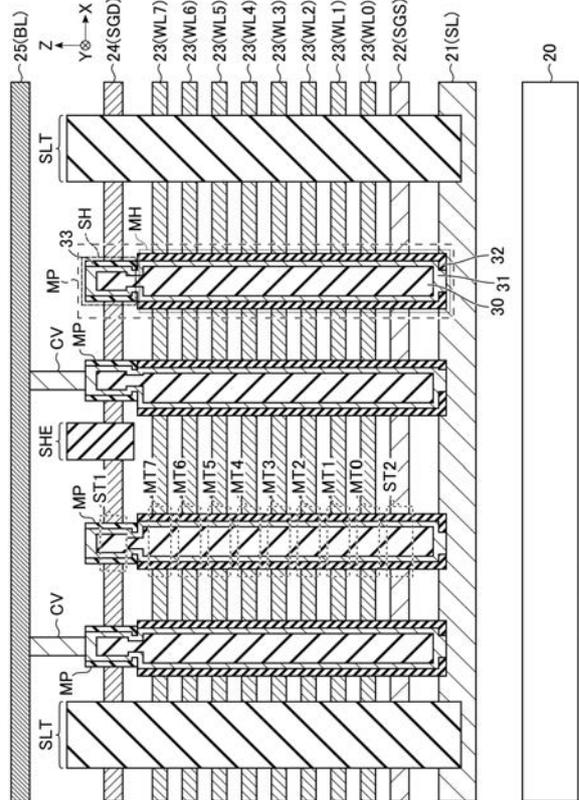
【図 28】



【図 29】



【図 30】





---

フロントページの続き

(72)発明者 乳井 浩平

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 鹿嶋 孝之

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5F083 EP18 EP22 EP32 EP76 ER21 GA02 GA09 GA10 GA11 JA02  
JA04 JA19 JA37 JA39 JA40 JA56 MA05 MA06 MA20 PR03  
PR05 PR21 PR40  
5F101 BA45 BB02 BD22 BD30 BD34 BH02 BH14 BH15