



(12) 发明专利申请

(10) 申请公布号 CN 113474668 A

(43) 申请公布日 2021. 10. 01

(21) 申请号 201980091681.8

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

(22) 申请日 2019.12.30

代理人 李英

(30) 优先权数据

62/786,460 2018.12.30 US

(51) Int.Cl.

G01R 31/317(2006.01)

(85) PCT国际申请进入国家阶段日

G01R 31/28(2006.01)

2021.08.10

(86) PCT国际申请的申请数据

PCT/IL2019/051436 2019.12.30

(87) PCT国际申请的公布数据

WO2020/141516 EN 2020.07.09

(71) 申请人 普罗泰克斯公司

地址 以色列海法

(72) 发明人 E·法尼 E·兰德曼 S·科恩

G·雷德勒 I·温特罗布

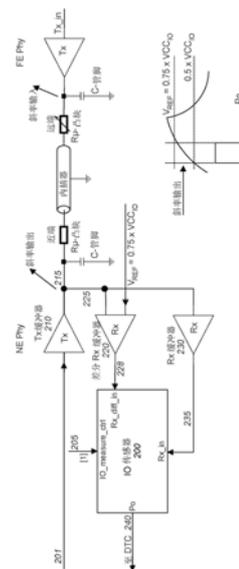
权利要求书4页 说明书16页 附图23页

(54) 发明名称

集成电路I/O完整性和退化监测

(57) 摘要

一种用于半导体集成电路(IC)的输入/输出(I/O)块,其包括:至少一个I/O缓冲器,其被配置成关于经由通信信道到远端I/O块的连接来定义至少一条信号路径,每条信号路径导致相应的信号边缘斜率;以及I/O传感器,其耦合到所述至少一条信号路径并且被配置成生成指示以下一项或两项的输出信号:(a)针对第一信号路径的信号边缘和针对第二信号路径的信号边缘之间的时序差,以及(b)用于所述至少一条信号路径中的一条或多条信号路径的眼图参数。



1. 一种用于半导体集成电路即半导体IC的输入/输出块即I/O块,所述I/O块包括:
至少一个I/O缓冲器,其被配置成关于经由通信信道到远程I/O块的连接来定义至少一条信号路径,每条信号路径导致相应的信号边缘斜率;和
I/O传感器,其耦合到所述至少一条信号路径,并且被配置成生成指示以下至少一个的输出信号:
 - (a) 针对所述至少一条信号路径的第一信号路径的信号边缘斜率和针对所述至少一条信号路径的第二不同信号路径的信号边缘斜率之间的时序差,以及
 - (b) 针对所述至少一条信号路径中的一条或更多条信号路径的眼图参数。
2. 根据权利要求1所述的I/O块,其中所述至少一个I/O缓冲器包括发送缓冲器,所述至少一条信号路径包括耦合到所述发送缓冲器的输出的第一信号路径,所述发送缓冲器耦合到所述通信信道。
3. 根据权利要求2所述的I/O块,其中所述第一信号路径经由至少一个连接凸块进一步耦合到所述远程I/O块,所述I/O传感器的输出信号进一步指示所述至少一个连接凸块的质量。
4. 根据权利要求3所述的I/O块,其中所述至少一条信号路径包括:第三信号路径,所述第三信号路径经由第二连接凸块耦合到所述远程I/O块;以及第四信号路径,所述I/O传感器耦合到所述第三信号路径和/或所述第四信号路径并且被配置成生成进一步指示以下一项或两项的输出信号:针对所述第三信号路径的信号边缘和针对所述第四信号路径的信号边缘之间的时序差,使得所述I/O传感器的输出信号指示所述第一连接凸块和所述第二连接凸块的质量;以及针对所述第三信号路径和/或所述第四信号路径的眼图参数。
5. 根据权利要求2至4中任一权利要求所述的I/O块,其中所述至少一条信号路径包括耦合到所述发送缓冲器的输入的信号路径和/或经由互连和连接凸块耦合到所述远程I/O块的信号路径,所述连接凸块在所述发送缓冲器和所述互连之间,所述I/O传感器的输出信号进一步指示所述连接凸块的质量。
6. 根据任何前述权利要求所述的I/O块,还包括:
差分缓冲器,其被配置成输出在耦合到所述通信信道的路径上接收的差分缓冲器输入信号和固定电平信号之间的差,所述至少一条信号路径中的一条信号路径耦合到所述差分缓冲器的输出。
7. 根据权利要求6所述的I/O块,其中所述固定电平信号是固定在针对所述IC的直流电源电压的预定比例处的电压,可选地,其中所述预定比例被动态调整和/或所述预定比例是75%。
8. 根据任何前述权利要求所述的I/O块,其中所述至少一个I/O缓冲器包括接收缓冲器,所述接收缓冲器具有耦合到所述通信信道的输入,所述至少一条信号路径中的一条信号路径耦合到所述接收缓冲器的输出。
9. 根据权利要求8所述的I/O块,其中所述接收缓冲器的输入经由互连和连接凸块耦合到所述远程I/O块,所述连接凸块在所述互连与远程I/O块之间,所述I/O传感器的输出信号进一步指示所述连接凸块的质量。
10. 根据任何前述权利要求所述的I/O块,其中所述通信信道被配置成经由两条信号线传送差分信号,所述至少一条信号路径的第一信号路径耦合到第一信号线,所述至少一条

信号路径的第二信号路径耦合到第二信号线。

11. 根据权利要求10所述的I/O块,其中所述至少一个I/O缓冲器包括发送缓冲器,所述发送缓冲器被配置成经由所述两条信号线提供差分输出,所述第一信号路径耦合到所述发送缓冲器的耦合到所述第一信号线的第一输出,并且所述第二信号路径耦合到所述发送缓冲器的耦合到所述第二信号线的第二输出。

12. 根据权利要求11所述的I/O块,其中所述第一信号线包括经由第一近侧连接凸块耦合到所述发送缓冲器的第一互连,并且所述第二信号线包括经由第二近侧连接凸块耦合到所述发送缓冲器的第二互连,所述I/O传感器的所述输出信号进一步指示所述第一近侧连接凸块和所述第二近侧连接凸块的质量。

13. 根据权利要求10至12中任一权利要求所述的I/O块,其中所述第一信号线包括经由第一远侧连接凸块耦合到所述远程I/O块的第一互连,并且所述第二信号线包括经由第二远侧连接凸块耦合到所述远程I/O块的第二互连,所述I/O传感器的所述输出信号进一步指示所述第一远侧连接凸块和所述第二远侧连接凸块的质量。

14. 根据任何前述权利要求所述的I/O块,其中所述I/O传感器包括:

耦合到用于第一信号路径的第一选项的第一输入端口;

耦合到用于所述第一信号路径的第二选项的第二输入端口;

耦合到第二信号路径的第三输入端口;和

选择器,其被配置成响应于接收的选择信号来选择所述第一输入端口或所述第二输入端口,使得所述I/O传感器的所述输出信号选择性地指示针对所述第二信号路径的信号边缘和针对用于所述第一信号路径的所述第一选项或用于所述第一信号路径的所述第二选项的信号边缘之间的时序差。

15. 根据权利要求14所述的I/O块,还包括差分缓冲器,所述差分缓冲器被配置成输出在耦合到所述通信信道的信号路径上接收的第一信号和第二固定电平信号之间的差,所述第三输入端口耦合到所述差分缓冲器的输出。

16. 根据权利要求14或15所述的I/O块,其中所述至少一个I/O缓冲器包括以下一项或两项:

发送缓冲器,所述第一输入端口耦合到所述发送缓冲器的输出,所述发送缓冲器的输出耦合到所述通信信道;以及

接收缓冲器,所述接收缓冲器具有耦合到所述通信信道的输入,所述第二输入端口耦合到所述接收缓冲器的输出。

17. 根据任何前述权利要求所述的I/O块,其中所述眼图参数包括以下一个或更多个:眼宽、眼高、眼宽抖动和眼高波动。

18. 根据任何前述权利要求所述的I/O块,其中所述输出信号包括脉冲,所述脉冲的宽度指示:针对所述第一信号路径的所述信号边缘和针对所述第二信号路径的所述信号边缘之间的时序差;或者所述眼图参数。

19. 根据任何前述权利要求所述的I/O块,还包括:

性能优化器,其被配置成基于所述I/O传感器的输出信号来调整所述至少一个I/O缓冲器的参数;和/或

修复控制器,其被配置成基于所述I/O传感器的输出信号来调整所述I/O缓冲器的配

置。

20. 根据权利要求19所述的I/O块,其中所述修复控制器被配置成响应于所述I/O传感器的输出信号执行以下一项或更多项:禁用所述IC的一部分或全部;导致所述IC的至少部分的通道重新映射;以及调整所述IC内的发送缓冲器强度。

21. 根据权利要求19或20所述的I/O块,其中所述修复控制器被配置成在所述IC的初始操作时操作和/或在所述IC的正常操作期间操作和/或其中所述调整进一步基于所述IC的瞬时温度和/或所述IC的电压来进行。

22. 根据任何前述权利要求所述的I/O块,还包括:

时间-数字转换器,其被配置成接收从所述I/O传感器的输出信号导出的时序信号,并基于所述时序信号提供数字时间信号。

23. 一种半导体集成电路即半导体IC,包括根据任何前述权利要求所述的I/O块。

24. 根据权利要求23所述的半导体IC,其中所述I/O传感器被配置成在所述IC外部传送所述输出信号。

25. 根据权利要求23或24所述的半导体IC,其进一步包括:

滤波计数器块,其被配置成基于I/O传感器的输出信号接收时间信号,将接收的时间信号与阈值进行比较,并基于比较来识别来自所述I/O传感器的反常或异常读数。

26. 根据权利要求25所述的半导体IC,其中所述滤波计数器块进一步被配置成对来自所述I/O传感器的正常读数的数量和/或来自所述I/O传感器的反常或异常读数的数量进行计数。

27. 一种半导体IC系统,其包括根据权利要求23至26中任一项所述的半导体IC,且进一步包括以下至少一项:

I/O归档部件,其被配置成基于所述I/O传感器的输出信号生成I/O简档和/或分类;和

嵌入式虚拟示波器部件即EVS部件,其进一步被配置成基于所述I/O传感器的输出信号来确定和/或表征针对所述半导体IC的引脚的信号幅度和/或信号摆率。

28. 根据权利要求27所述的半导体IC系统,其中所述至少一条信号路径中的一条或更多条信号路径经由至少一个连接凸块进一步耦合到所述远程I/O块,并且所述I/O简档和/或分类基于随时间对所述I/O传感器的输出信号的监测。

29. 根据权利要求28所述的半导体IC系统,其中所述I/O归档部件进一步被配置成执行以下一项或更多项:

将所述I/O简档和/或分类与针对所述半导体IC的族数据进行比较;

基于所述I/O简档和/或分类检测系统偏移;以及

基于测试器数据检测异常。

30. 一种用于监测半导体集成电路即半导体IC的输入/输出块即I/O块的方法,其中,所述I/O块包括至少一个I/O缓冲器,所述I/O缓冲器定义关于经由通信信道到远程I/O块的连接的至少一条信号路径,每条信号路径导致相应的信号边缘斜率,所述方法包括:

在I/O传感器处生成输出信号,所述输出信号指示以下之一或两者:(a) 针对第一信号路径的信号边缘和针对第二不同信号路径的信号边缘之间的时序差;以及(b) 针对所述至少一条信号路径中的一条或更多条信号路径的眼图参数。

31. 根据权利要求30所述的方法,其中所述I/O块符合权利要求2至25中的任一项。

32. 根据权利要求30或31所述的方法,其进一步包括:

基于所述I/O传感器的输出信号调整所述至少一个I/O缓冲器的参数;和/或

基于所述I/O传感器的输出信号调整所述I/O缓冲器的配置。

33. 根据权利要求32所述的方法,还包括以下一项或更多项:响应于所述I/O传感器的输出信号,禁用所述IC的一部分或全部;响应于所述I/O传感器的输出信号,导致至少部分所述IC的通道重新映射;以及响应于所述I/O传感器的输出信号来调整发送缓冲器强度。

34. 根据权利要求32至33中任一项所述的方法,其中所述调整的步骤进一步基于所述IC的瞬时温度和/或该IC的电压。

35. 根据权利要求30至34中任一项所述的方法,其进一步包括:

基于所述I/O传感器的输出信号生成I/O简档和/或分类。

36. 根据权利要求35所述的方法,其中所述至少一条信号路径中的一条或更多条信号路径经由至少一个连接凸块进一步耦合到所述远程I/O块,并且所述I/O简档和/或分类基于随时间对所述I/O传感器的输出信号的监测。

37. 根据权利要求35或36所述的方法,其进一步包括以下一项或更多项:

将所述I/O简档和/或分类与针对所述半导体IC的族数据进行比较;

基于所述I/O简档和/或分类检测系统偏移;和

基于测试器数据检测异常。

38. 根据权利要求30至37中任一项所述的方法,其进一步包括:

将基于所述I/O传感器的输出信号的时间信号与阈值进行比较;和

基于比较来识别来自所述I/O传感器的反常或异常读数。

39. 根据权利要求38所述的方法,还包括:对来自所述I/O传感器的正常读数的数量和/或来自所述I/O传感器的反常或异常读数的数量进行计数。

40. 一种非暂时性计算机可读介质,所述非暂时性计算机可读介质上存储有指令,当所述指令由处理器执行时,执行根据权利要求30至39中任一项所述的方法。

集成电路I/O完整性和退化监测

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年12月30日提交的美国临时专利申请号62/786,460的优先权,其标题为“INTEGRATED CIRCUIT PAD FAILURE DETECTION”,其全部内容通过引用并入本文。

技术领域

[0003] 本发明涉及集成电路领域。

背景技术

[0004] 集成电路(IC)可包括平坦半导体衬底(例如硅晶片)上的模拟和数字电子电路。利用光刻技术将微型晶体管印刷在衬底上,以在非常小的面积内制造出数十亿个晶体管的复杂电路,使得使用IC的现代电子电路设计既具有低成本又具有高性能。IC是在称为代工厂的工厂装配线上生产的,这些代工厂已经商品化了IC的生产,例如互补金属氧化物半导体(CMOS)IC的生产。数字IC包括以功能和/或逻辑单元布置在晶片上的数十亿个晶体管,并且封装在金属、塑料、玻璃或陶瓷外壳中。外壳或封装诸如通过使用焊料连接到电路板。封装类型可包括引线框架(通孔、表面贴装、芯片载体等)、引脚栅极阵列、芯片级封装、球栅阵列等,以在IC管脚(IC pad)和电路板之间进行连接。如本文所使用的,术语IC是指包括封装的集成电路。

[0005] 在2008年的IEEE Aerospace Conference,Hofmeister等人的“Ball Grid Array (BGA) Solder Joint Intermittency Detection: SJ BIST”讨论了一种用于检测焊点网络中故障的感测方法,焊点网络属于现场可编程门阵列(FPGA)的输入/输出(I/O)块,特别是在球栅阵列封装中。这涉及到将一个小电容器尽可能靠近封装的角落附接到两个未使用的I/O端口。这种方法可能适用于监测特殊凸块(bump),以检测间歇性故障,但可能不适用于监测功能性凸块。

[0006] 相关技术的前述示例以及与之相关的限制旨在说明性而非排他性。在阅读说明书和研究附图之后,相关技术的其他限制对于本领域技术人员将变得明显。

发明内容

[0007] 结合系统、工具和方法来描述和说明以下实施例及其方面,这些实施例和方面是示例性和说明性的,而不限制范围。

[0008] 根据一个实施例,提供一种用于半导体集成电路(IC)的输入/输出(I/O)块,该I/O块包括:至少一个I/O缓冲器,其被配置成关于经由通信信道到远程I/O块的连接来定义至少一条信号路径,每条信号路径导致相应的信号边缘斜率(或形状);以及I/O传感器,其耦合到所述至少一条信号路径并且被配置成生成指示以下一项或两项的输出信号:(a)针对第一信号路径的信号边缘和针对第二信号路径的信号边缘之间的时序差,以及(b)用于至少一条信号路径中的一条或更多条信号路径的眼图(eye pattern)参数。

[0009] 在实施例中,至少一个I/O缓冲器包括发送缓冲器,并且至少一条信号路径包括耦

合到发送缓冲器的输出的第一信号路径,该发送缓冲器的输出耦合到通信信道。

[0010] 在实施例中,第一信号路径经由至少一个连接凸块进一步耦合到远程I/O块,I/O传感器的输出信号进一步指示至少一个连接凸块的质量。

[0011] 在实施例中,至少一条信号路径包括:第三信号路径,该第三信号路径经由第二连接凸块耦合到远程I/O块;以及第四信号路径,I/O传感器耦合到第三信号路径和/或第四信号路径并且被配置成生成进一步指示以下一项或两项的输出信号:针对第三信号路径的信号边缘和针对第四信号路径的信号边缘之间的时序差,使得I/O传感器的输出信号指示第一连接凸块和第二连接凸块的质量;以及用于第三信号路径和/或第四信号路径的眼图参数。

[0012] 在实施例中,至少一条信号路径包括耦合到发送缓冲器的输入的信号路径和/或经由互连(例如内插器或桥接器)和发送缓冲器与互连之间的连接凸块耦合到远程I/O块的信号路径,I/O传感器的输出信号进一步指示连接凸块的质量。

[0013] 在实施例中,I/O块还包括:差分缓冲器,该差分缓冲器被配置成输出在耦合到通信信道的路径上接收的差分缓冲器输入信号和固定电平信号之间的差,至少一条信号路径中的信号路径耦合到差分缓冲器的输出。

[0014] 在实施例中,固定电平信号是固定在针对IC的DC电源电压的预定比例处的电压,可选地,其中预定比例被动态调整和/或该预定比例是75%。

[0015] 在实施例中,至少一个I/O缓冲器包括接收缓冲器,接收缓冲器具有耦合到通信信道的输入,至少一条信号路径中的信号路径耦合到该接收缓冲器的输出。

[0016] 在实施例中,接收缓冲器的输入经由互连(例如内插器或桥接器)和互连与远程I/O块之间的连接凸块耦合到远程I/O块,I/O传感器的输出信号进一步指示连接凸块的质量。

[0017] 在实施例中,通信信道被配置成通过两条信号线传送差分信号,至少一条信号路径的第一信号路径耦合到第一信号线,所述至少一条信号路径的第二信号路径耦合到第二信号线。

[0018] 在实施例中,至少一个I/O缓冲器包括发送缓冲器,该发送缓冲器被配置成经由两条信号线提供差分输出,第一信号路径耦合到发送缓冲器的耦合到第一信号线的第一输出,第二信号路径耦合到发送缓冲器的耦合到第二信号线的第二输出。

[0019] 在实施例中,第一信号线包括经由第一近侧连接凸块耦合到发送缓冲器的第一互连(诸如内插器或桥接器),并且第二信号线包括经由第二近侧连接凸块耦合到发送缓冲器的第二互连(诸如内插器或桥接器),I/O传感器的输出信号进一步指示第一近侧连接凸块和第二近侧连接凸块的质量。

[0020] 在实施例中,第一信号线包括经由第一远侧连接凸块耦合到远程I/O块的第一互连(例如内插器或桥接器),第二信号线包括经由第二远侧连接凸块耦合到远程I/O块的第二互连(例如内插器或桥接器),I/O传感器的输出信号进一步指示第一远侧连接凸块和第二远侧连接凸块的质量。

[0021] 在实施例中,I/O传感器包括:耦合到针对第一信号路径的第一选项的第一输入端口;耦合到针对第一信号路径的第二选项的第二输入端口;耦合到第二信号路径的第三输入端口;以及选择器,该选择器被配置成响应于接收的选择信号来选择第一输入端口或第二输入端口,使得I/O传感器的输出信号选择性地指示针对第二信号路径的信号边缘和针

对用于第一信号路径的第一选项或用于第一信号路径的第二选项的信号边缘之间的时序差。

[0022] 在实施例中，I/O块还包括差分缓冲器，该差分缓冲器被配置成输出在耦合到通信信道的信号路径上接收的第一信号和第二固定电平信号之间的差，第三输入端口耦合到差分缓冲器的输出。

[0023] 在实施例中，至少一个I/O缓冲器包括以下之一或两者：发送缓冲器，第一输入端口，其耦合到发送缓冲器的耦合到通信信道的输出；以及具有耦合到通信信道的输入的接收缓冲器，第二输入端口耦合到接收缓冲器的输出。

[0024] 在实施例中，眼图参数包括以下一项或更多项：眼宽、眼高、眼宽抖动以及眼高波动。

[0025] 在实施例中，输出信号包括脉冲，脉冲具有的宽度指示：针对第一信号路径的信号边缘和针对第二信号路径的信号边缘之间的时序差；或者眼图参数。

[0026] 在实施例中，I/O块还包括：性能优化器，该性能优化器被配置成基于I/O传感器的输出信号来调整至少一个I/O缓冲器的参数；和/或修复控制器，该修复控制器被配置成基于I/O传感器的输出信号来调整I/O缓冲器的配置。

[0027] 在实施例中，修复控制器被配置成响应于I/O传感器的输出信号，禁用IC的部分或全部，和/或响应于I/O传感器的输出信号，导致IC的至少一部分的通道重新映射，和/或响应于I/O传感器的输出信号，调整IC内的发送缓冲器强度。

[0028] 在实施例中，修复控制器被配置成在IC的初始操作时和/或在IC的正常操作期间来操作和/或其中基于IC的瞬时温度和/或IC的电压进一步进行调整。

[0029] 在实施例中，I/O块还包括：时间-数字转换器，其被配置成接收从I/O传感器的输出信号导出的时序信号，并基于该时序信号提供数字时间信号。

[0030] 可提供一种半导体集成电路(IC)，包括如本文所描述的I/O块。

[0031] 在实施例中，I/O传感器被配置成在IC外部传送输出信号。

[0032] 在实施例中，半导体IC还包括：滤波计数器块，其被配置成基于I/O传感器的输出信号接收时间信号，将接收的时间信号与阈值进行比较，并基于比较，识别来自I/O传感器的反常(exceptional)或异常(outlier)读数。

[0033] 在实施例中，滤波计数器块进一步被配置成对来自I/O传感器的正常读数的数量和/或来自I/O传感器的反常或异常读数的数量进行计数。

[0034] 可以提供一种半导体IC系统，包括本文描述的半导体IC。半导体IC还可以包括：I/O归档部件，该I/O归档部件被配置成基于I/O传感器的输出信号生成I/O简档和/或分类；和/或嵌入式虚拟示波器(EVS)部件，该EVS进一步被配置成基于I/O传感器的输出信号来确定和/或表征针对半导体IC的引脚的信号幅度和/或信号摆率。

[0035] 在实施例中，至少一条信号路径中的一条或更多条信号路径经由至少一个连接凸块进一步耦合到远程I/O块，并且I/O简档和/或分类基于对I/O传感器的输出信号的随时间的监测。

[0036] 在实施例中，I/O归档部件进一步被配置成执行以下一项或更多项：将I/O简档和/或分类与对于半导体IC的族数据进行比较；基于I/O简档和/或分类检测系统偏移；以及基于测试器数据的异常检测。

[0037] 根据一个实施例,提供了一种用于监控半导体集成电路(IC)的输入/输出(I/O)块的方法,其中I/O块包括至少一个I/O缓冲器,该缓冲器关于经由通信信道到远程I/O块的连接定义至少一条信号路径,每条信号路径导致相应的信号边缘斜率(或形状),该方法包括:在I/O传感器处生成指示以下一项或两项的输出信号:针对第一信号路径的信号边缘和针对第二不同信号路径的信号边缘之间的时序差;以及针对至少一条信号路径中的一条或更多条信号路径的眼图参数。在这种方法实施例中,可以任选地提供方法步骤以包括参考I/O块实施例讨论的任何特征。

[0038] 在实施例中,该方法还包括:基于I/O传感器的输出信号调整至少一个I/O缓冲器的参数;和/或基于I/O传感器的输出信号调整I/O缓冲器的配置。

[0039] 在实施例中,该方法还包括以下一项或两项:响应于I/O传感器的输出信号,禁用IC的一部分或全部;以及响应于I/O传感器的输出信号,引起IC的至少一部分的通道重新映射。

[0040] 在实施例中,调整步骤进一步基于IC的瞬时温度和/或IC的电压。

[0041] 在实施例中,该方法还包括:基于I/O传感器的输出信号生成I/O简档和/或分类。

[0042] 在实施例中,至少一条信号路径中的一条或更多条信号路径通过至少一个连接凸块进一步耦合到远程I/O块,并且I/O简档和/或分类基于I/O传感器的输出信号的随时间的监测。

[0043] 在实施例中,该方法还包括以下一项或更多项:将I/O简档和/或分类与半导体IC的族数据进行比较;基于I/O简档和/或分类检测系统偏移;以及基于测试器数据检测异常。

[0044] 在实施例中,该方法还包括:将基于I/O传感器的输出信号的时间信号与阈值进行比较;并基于比较识别来自I/O传感器的反常或异常读数。

[0045] 在实施例中,该方法还包括:对来自I/O传感器的正常读数的数量和/或来自I/O传感器的反常或异常读数的数量进行计数。

[0046] 在一些实施例中,可以考虑计算机可读介质,该计算机可读介质上存储有指令,当该指令由处理器执行时,用于执行本文公开的任何方法实施例。

[0047] 除了上述示例性方面和实施例之外,通过参考附图和研究以下详细描述,进一步的方面和实施例将变得明显。本领域技术人员将认识到,即使未明确描述,也可以提供本文公开的特定特征的组合和子组合。

附图说明

[0048] 参考附图中示出了示例性实施例。附图中所示的组件和特征的尺寸通常是为了方便和清楚地表示而选择的,并且不一定按比例显示。下面列出了这些附图。

[0049] 图1示意性地示出了用于检测IC管脚完整性的计算机化系统;

[0050] 图2示意性地示出了高级异质封装解决方案(2.5D IC封装)示例的焊料凸块;

[0051] 图3示出了根据本公开的输入/输出(I/O)块的第一实施例,输入/输出(I/O)块包括I/O传感器;

[0052] 图4示出了根据图3的I/O传感器的示例性实施方式;

[0053] 图5示出了根据本公开的I/O块的第二实施例的电气示意图,用于测量双向通信信道上的近端凸块退化;

- [0054] 图6示出了根据本公开的I/O块的第三实施例的电气示意图,用于测量双向通信信道上的远端凸块退化;
- [0055] 图7示出了根据本公开的I/O块的第四实施例的电气示意图,用于测量差分通信信道上的近端凸块退化;
- [0056] 图8示出了根据本公开的I/O块的第五实施例的电气示意图,用于测量差分通信信道上的远端凸块退化;
- [0057] 图9示出了根据本公开的I/O块的第六实施例的电气示意图,用于测量双向通信信道上的近端凸块退化,实现终端电阻器;
- [0058] 图10示出了根据本公开的I/O块的第七实施例的电气示意图,用于测量双向通信信道上的远端凸块退化,实现终端电阻器;
- [0059] 图11示出了根据图3所示实施例的变型的I/O传感器的另一示例性实施方式;
- [0060] 图12示出了测量的近端脉冲持续时间的曲线图;
- [0061] 图13示出了测量的远端脉冲持续时间的曲线图;
- [0062] 图14示出了眼宽相对于缓冲器强度的曲线图;
- [0063] 图15示出了模拟近端脉冲宽度相对于缓冲器强度的曲线图;
- [0064] 图16示出了反映近端和远端完整性离线分析的实硅数据 (real-Si data) 的示例;
- [0065] 图17示出了反映近端完整性离线分析对发射器驱动器强度的灵敏度的实硅数据的示例;
- [0066] 图18示出了反映弱引脚(异常)分析的实硅数据的示例;
- [0067] 图19A和图19B示出了反映接收器性能分布的实硅数据的示例;
- [0068] 图20示出了反映使用嵌入式虚拟示波器 (EVS) 能力的远端信号分析的实硅数据的示例;
- [0069] 图21A和图21B示出了反映离线分析与眼睛张开的远端相关性的实硅数据的示例;以及
- [0070] 图22示出了基于固件的滤波器的示意框图。

具体实施方式

[0071] 本文公开了用于检测输入/输出 (I/O) 完整性和/或退化监测和/或优化凸块阵列的功率/性能的装置、系统和方法。通过测量第一路径上的去往或来自I/O缓冲器的信号与第二路径上的去往或来自I/O缓冲器的信号之间的时序差,可以识别完整性和/或退化。例如,这可以通过基于IC或I/O块的校准数据、参考数据或历史数据将测量的时序或斜率差与期望值进行比较来实现。这可能允许监测以下一项或多项:凸块或微凸块电阻完整性或退化;近端处和/或远端处的I/O缓冲器退化;互连/内插器分级、完整性或退化;双向引脚 (pin) 或信号的完整性或退化;单向引脚或信号的完整性或退化;差分引脚或信号的完整性或退化;间歇性故障检测;不同的退化速率场景。

[0072] 此外或替代地,它可以进一步允许I/O归档 (profiling) 和/或分类。分类或归档可理解为将管芯组合 (binning) 成硅筒档 (Si-profile) 的过程,其中每个组合 (筒档) 包括IC设计参数和产生的器件级参数 (例如高覆盖参数) 的集群。在硅前 (Pre-Si) 期间,IC设计参数和器件工艺参数可以用作归档过程的输入。在硅后 (Post-Si) 期间,传感器值和/或某些

高覆盖测量值可被用作归档过程的输入。在这种情况下,简档可以被视为可应用于现场性能(规格、缺陷等)的签名(数据)值和分布的特定集群,例如,可应用于现场性能(规格、缺陷等)的制造空间(数据)值和分布的特定集群。

[0073] I/O归档和/或分类可与IC族(family)数据相结合,允许系统偏移检测和/或允许基于测试仪数据的异常检测。为此,可提供片上I/O传感器。在这种情况下,族可以指被分类为具有相近值的公共参数的IC组。例如,这可以是具有相同硅简档/分类的一组物理管芯。此外,族可以包括一组蒙特卡洛(Monte-Carlo,MC)样本,对于这些样本,模拟的IC设计模拟值和器件过程模拟值具有与那些物理族成员相同的硅简档/分类。关于IC族分类的更多细节在2019年4月16日提交的,题为“Integrated Circuit Profiling and Anomaly Detection”共同未决PCT专利申请公开号W0 2019/202595中描述,该专利申请的内容通过引用以其整体并入本文。

[0074] 在实施例中,这允许优化I/O功率和/或性能。例如,每个传输(Tx)缓冲器的功率可以基于期望或所需的性能来调节,从而允许优化整个阵列的功率。

[0075] 在实施例中,可以提供I/O修复功能。例如,这可能包括禁用所有IC的一部分。另一示例可包括通道重新映射。另一个示例包括调整发送缓冲器的强度(例如,当通道重新映射或修复不可能时增加发送缓冲器的强度)。此类修复功能可在测试仪上或现场提供。修复功能可能基于I/O归档和/或异常检测过程。进一步的实施例可以提供I/O任务生成。

[0076] 在实施例中,这允许优化I/O缓冲器(Tx)摆率(slew-rate),以控制每个缓冲器的电流消耗速率(dI/dT)的幅度,并根据EMI/RFI(电磁干扰或射频干扰)需求或需要优化整个阵列。

[0077] 片上I/O传感器和任何辅助硬件和/或软件的组合可称为代理。这种代理的效果可允许以下一项或多项:增加产量;功率和/或频率优化和组合;现场校正动作(诸如通道修复或重新映射,如上文讨论的);I/O特性、验证和/或调试;以及提高的质量和可靠性。

[0078] 根据本公开的示例可应用于存储器IC,例如高带宽存储器(HBM)或基于动态随机存取存储器(DRAM)的其它存储器。也可以应用于其他类型的存储器或其他类型的IC。

[0079] 现在参考图1,其示意性地示出用于检测管脚完整性的计算机化系统100。计算机化系统100包括具有I/O传感器(例如131、132、133等)的IC 150,每个I/O传感器被电连接(141、42、143等),用于测量由连接到IC管脚的至少一个I/O缓冲器(151、52、153等)定义的信号之间的时序延迟。在近端(NE)情况下(I/O缓冲器在Tx模式下操作),时序延迟指示I/O缓冲器上的负载和/或I/O缓冲器强度。在远端(FE)情况下(I/O缓冲器在Rx模式下操作),时序延迟指示信道退化和/或FE处的Tx缓冲器的强度。在NE情况下,I/O传感器的输出可以包括脉冲,该脉冲的长度可以指示I/O缓冲器负载的变化和/或I/O缓冲器强度的变化。在FE情况下,I/O传感器的输出可以包括脉冲,该脉冲的长度可以指示信道性能的变化和/或FE处的Tx缓冲器的强度的变化。I/O传感器可以向时间-数字转换器(TDC,其可选地形成I/O传感器的一部分)提供输入,使得输出可以包括数字时间测量值。

[0080] I/O传感器输出可以通过数据网络140在IC 150的数据接口111与计算机101A的数据接口110之间进行通信。计算机101A包括一个或多个硬件处理器101B、用户接口120和非暂时的计算机可读存储介质102。存储介质102在其上编码了程序代码模块(102A、102B、102C等),当程序代码模块在硬件处理器101B上执行时,执行用于测量和/或控制IC的方法

的动作,如本文所公开的。可选地,I/O输出信号由执行该方法的动作的IC上的处理组件(未示出)接收。例如,数据接收器102A接收I/O输出信号值。例如,IC分析器102B分析I/O输出信号值,例如以确定操作中的IC的基线行为,检测任何异常,例如凸块故障、管脚故障、显著故障、未来故障等,将I/O缓冲器或IC归档并对其进行分类,或调谐IC的性能。IC分析器102B可进一步例如基于机器学习和/或数据分析来提供基于平台的分析和警报。IC修复功能102C然后可以例如通过以下一项或多项来减轻任何预测的或实际的故障:禁用所有IC的一部分;在IC内的通道重映射;以及调整IC中的发送缓冲器强度。优化器102D可执行参数优化以改进性能和/或调整功率。

[0081] 现在参考图2,图2示出了高级异质封装解决方案示例的焊料凸块。示出了IC封装内以及IC封装、内插器和电路板之间的一些不同级别的焊料接点。例如,I/O缓冲器可以驱动焊接到将IC连接到内插器管芯的微凸块的管脚。然后,内插器芯片是2.5D/3D封装技术的一个示例。

[0082] 例如,I/O缓冲器可以驱动倒装芯片管脚的I/O,例如连接到管脚的受控塌陷芯片连接(C4)凸块。C4凸块是普通封装技术的一个示例,在一般情况下,本发明适用于任何封装技术,或者任何芯片到芯片的封装技术。在该示例(图2)中,两个管芯通过微凸块和内插器芯片彼此连接。这是在两端的发送器(Tx)和接收器(Rx)之间的双向I/O链路。倒装芯片C4凸块用于将封装连接到内插器管芯。BGA将封装连接到电路板。如上所述,I/O缓冲器可以驱动倒装芯片凸块,但是这在图2的示例中没有示出。

[0083] 可选地,通过电子封装和/或电路的一个或多个焊料连接(例如微凸块)、通过硅通孔凸块、C4凸块、封装凸块(例如BGA球)等检测电连接完整性。

[0084] 现在参考图3,图3示出了根据本公开的输入/输出(I/O)块的第一实施例,包括I/O传感器200。I/O传感器200耦合在I/O缓冲器布置内,包括:发送(Tx)缓冲器210;伪差分接收(Rx)缓冲器220;以及接收(Rx)缓冲器230。传输输入201被提供为对Tx缓冲器210的输入,并且也是对I/O传感器220的第一输入(经由第一端口)。然后Tx缓冲器210向通信信道提供输出215。通信信道还向差分Rx缓冲器220和Rx缓冲器230提供输入225。Rx缓冲器230(经由第二端口)向I/O传感器200提供输出235作为第二输入。差分Rx缓冲器220的第二输入是参考电压223。参考电压223被设置为IC电源电压(V_{cc})的一定比例,在这种情况下该比例为75%(尽管该值可以是可调的)。差分Rx缓冲器220然后基于输入225和参考电压223之间的差提供输出228。差分Rx缓冲器220的输出228被提供作为到I/O传感器200的第三输入(经由第三端口)。差分Rx缓冲器使能信号225被提供给差分Rx缓冲器220,以使差分Rx缓冲器220能够操作,并且Rx缓冲器使能信号235被提供给Rx缓冲器230,以使Rx缓冲器能够操作。

[0085] 还向I/O传感器提供I/O传感器控制信号205。基于I/O传感器控制信号205(其可以采取两个逻辑状态之一),I/O传感器的输出基于:第一输入(传输输入201)和第三输入(差分Rx缓冲器220的输出228);或者第二输入(Rx缓冲器230的输出235)和第三输入(差分Rx缓冲器220的输出228)。换句话说,I/O传感器基于第三输入和第一输入或第二输入产生输出。然后,I/O传感器生成输出P_o 240,其取决于所使用的两个输入中的每一个上的相应信号的信号边缘(通常是上升边缘,但是这也可以在下降边缘或在下降边缘和上升边缘二者上操作)之间的时序差。两个信号之间的时序差有利地对应于I/O缓冲器负载,如下面将进一步讨论的。在具体实施例中,输出P_o 240被生成为具有指示时序(例如斜率)差的宽度的脉冲。

输出Po 240可以提供给TDC(如上所述),以提供指示脉冲宽度的数字输出。

[0086] 如下文将进一步讨论的,该输出可允许监测凸块退化,更一般地监测一个或多个凸块阵列。尤其是在I/O块内嵌入(或集成)的I/O传感器200允许对管芯上的该测量进行控制。此外,可以在功能操作期间收集数据。该数据可以上传到分析平台(例如,在图1中的计算机101A上操作)。利用这些监测数据,可以进行分析(线上或离线)。这可以在不干扰IC或系统的功能操作的情况下进行。也不需要特殊的测试模式或停止IC操作。

[0087] 现在参考图4,其示出了根据图3的I/O传感器的示例性实施方式。这里,可以看到I/O传感器控制信号在选择Rx缓冲器230的传输输入201或输出235中的作用。示出了用于产生脉冲的示例数字电路,该脉冲的宽度取决于所比较的信号的上升沿之间的时序差。然而,本领域技术人员将认识到,这可以以其他方式实现。

[0088] 一般而言,可考虑半导体集成电路(IC)的输入/输出(I/O)块。I/O块可以包括:至少一个I/O缓冲器,其被配置成关于经由通信信道到远程I/O块的连接来定义至少一条信号路径,特别是第一信号路径和第二不同的信号路径,每条信号路径导致相应的信号边缘斜率;以及I/O传感器,其耦合到至少一条信号路径(特别是第一信号路径和第二信号路径),并且被配置成生成指示第一信号路径的信号边缘(斜率)和第二信号路径的信号边缘(斜率)之间的时序差的输出信号。

[0089] 也可考虑包括I/O块的半导体IC。然后,I/O传感器可被配置成例如使用通信接口或网络端口在IC外部传送输出信号。还可以提供配置成基于I/O传感器的输出信号生成I/O简档和/或分类的I/O归档部件。部分或全部后处理可以在IC上执行,尽管在其他实施例中,所有后处理可以在单独的平台执行。在实施例中,至少一条信号路径(例如,第一信号路径)经由至少一个连接凸块耦合到远程I/O块,并且I/O简档和/或分类可以基于随时间对I/O传感器的输出信号的监测。优选地,可以这样监测多个凸块(凸块阵列)。I/O简档和/或分类可以是以下一项或多项:与半导体IC的族数据相比;用于基于I/O简档和/或分类检测系统偏移;以及用于基于测试器数据检测异常。

[0090] 在实施例中,I/O传感器包括:耦合到针对第一信号路径的第一选项的第一输入端口;耦合到针对第一信号路径的第二选项的第二输入端口;耦合到第二信号路径的第三输入端口;以及选择器,该选择器被配置成响应于接收的选择信号来选择第一输入端口或第二输入端口,使得I/O传感器的输出信号选择性地指示第二信号路径的信号边缘斜率和针对第一信号路径的第一选项或针对第一信号路径的第二选项中的任一者的信号边缘斜率之间的时序差。例如,I/O块还可以包括差分缓冲器,其被配置成输出在耦合到通信信道的信号路径上接收的第一信号(差分缓冲器输入信号)与第二固定电平信号之间的差。然后,第三输入端口优选地耦合到伪差分缓冲器的输出。第二固定电平信号可以是预设的或动态可调的和/或有利地是固定在用于IC的DC电源电压的预定比例的电压。例如,预定比例可以高于50%和/或低于100%,更优选地高于60%且低于90%,并且最优选地处于75%或大约75%。至少一个I/O缓冲器可以包括其中一个或两个:发送缓冲器,耦合到发送缓冲器的输出的第一输入端口,发送缓冲器耦合到通信信道;以及具有耦合到通信信道的输入的接收缓冲器,耦合到接收缓冲器的输出的第二输入端口。

[0091] 现在参考图5,其示出了根据本公开的I/O块的第二实施例的电气示意图,用于测量双向通信信道上的近端(NE)凸块退化。换句话说,这是用于感测NE信号完整性。通信信道

通过下列项表示为:管脚电容 (Cpad); μ -凸块电阻 (Ru-凸块);以及内插器。

[0092] 可以看出,I/O传感器控制信号205被设置为逻辑“1”(例如,根据图4的实施例)。通过这样做,I/O传感器200在输出Po 240处生成脉冲,该脉冲的宽度与传输输入201 (Tx-in)和伪差分Rx缓冲器220的输出228 (Rx-diff_in)之间的延迟差成正比。Tx-in到Rx-diff_in延迟差表示传输输入201的信号边缘和伪差分Rx缓冲器220的输出228的信号边缘之间的延迟 (Tx缓冲器210的延迟和伪差分Rx缓冲器220的延迟之和)。此延迟与有效缓冲负载成正比。有效缓冲负载的任何变化都将改变Tx缓冲输出信号215的斜率,并将影响输出Po 240处的脉冲宽度。例如,如果NE μ -凸块电阻将增加,则有效缓冲负载将减小,Tx缓冲器输出信号215的斜率将减小,因此输出Po 240处的脉冲的宽度也将减小。通过TDC测量输出Po 240处的信号的脉冲宽度。TDC生成表示脉冲宽度的数字读数。脉冲宽度的任何变化都将改变TDC读数,并将指示测量的NE μ -凸块性能的变化。

[0093] 该方法可用于在IC的整个寿命期间感测接收和/或传输延迟。因此,它还可以检测 μ -凸块电阻随时间的退化和/或检测 μ -凸块间歇性断开。

[0094] 附加地或替代地,该方法可用于扫描Rx缓冲器230的参考电压 (VREF),例如用于表征或测量管脚 (Tx缓冲器输出) 处的摆率。它可以用来检测和限制由缓冲电流消耗速率幅度dI/dT引起的EMI/RFI现象。这将在下面进一步讨论。

[0095] 在实施例中,第二信号可由具有耦合到通信信道的输入的基于CMOS的接收缓冲器生成。通过这样做,I/O传感器200在输出Po 240处生成脉冲,其宽度与传输输入201 (Tx_in)和基于CMOS的Rx缓冲器的输出之间的延迟差成正比。在这种情况下,Tx_in到Rx输出的延迟差表示传输输入201的信号边缘和基于CMOS的Rx缓冲器的输出的信号边缘之间的环路延迟 (Tx缓冲器210的延迟和基于CMOS的Rx缓冲器的延迟之和)。该延迟也与有效缓冲负载成正比。

[0096] 现在参考图6,图6示出了根据本公开的I/O块的第三实施例的电气示意图,用于测量双向通信信道上的远端 (FE) 凸块退化。这里,I/O传感器控制信号205被设置为逻辑“0”(例如,根据图4的实施例)。这样,I/O传感器200在输出Po 240处生成脉冲,该脉冲的宽度与Rx缓冲器230的输出235 (Rx-in)和伪差分Rx缓冲器220的输出228 (Rx-diff_in)之间的延迟差成正比。Rx_in到Rx-diff-in延迟的表示Rx缓冲器230的输出235的信号边缘和差分Rx缓冲器220的输出228的信号边缘之间的时序差 (延迟)。该延迟差与Rx缓冲器230的输入斜率 (管脚信号) 成正比。Rx缓冲器230的输入斜率的任何变化都将影响输出Po 240处的脉冲宽度。例如,如果FE μ -凸块电阻增加,则Rx_in斜率增大,因此,输出Po 240处的脉冲宽度也将增大。输出Po 240处的信号脉冲宽度由TDC测量。TDC生成表示脉冲宽度的数字读数。脉冲宽度的任何变化都将改变TDC读数,并且将指示测量的FE μ -凸块性能的变化。

[0097] 以上讨论了I/O缓冲器被配置成通过通信信道进行双向接口的实施例。然而,单向通信的测量也是可能的。单向信号是仅NE信号或仅FE信号。相同的I/O传感器220与I/O传感器控制信号205的固定配置一起使用。根据图4的实施例,通过将I/O传感器控制信号205设置为逻辑“1”来执行仅感测近端 (NE) 信号完整性。通过将I/O传感器控制信号205设置为逻辑“0”来执行仅感测远端 (FE) 信号完整性。

[0098] 返回上面讨论的通用术语,可以考虑进一步的可选特征和/或通用实施方式细节。例如,至少一个I/O缓冲器可以包括发送缓冲器。然后,至少一条信号路径 (例如,第一信号

路径)可以耦合到发送缓冲器的耦合到通信信道的输出。可选地,至少一条信号路径(例如,第一信号路径)经由至少一个连接凸块进一步耦合到远程I/O块。然后,I/O传感器的输出信号可以进一步指示至少一个连接凸块的质量。在实施例中,至少一条信号路径(例如,第二信号路径)耦合到发送缓冲器的输入。然后,第一信号路径经由互连以及发送缓冲器和互连之间的连接凸块耦合到远程I/O块。在这种情况下,I/O传感器的输出信号可以进一步指示连接凸块的质量。

[0099] 优选地,I/O块还包括:伪差分缓冲器,其被配置成输出在耦合到通信信道的信号路径上接收的差分缓冲器输入信号和固定电平信号之间的差,至少一条信号路径(例如,第二信号路径)耦合到差分缓冲器的输出。伪差分缓冲器可以如上所述。这样,I/O传感器输出然后可以表示第一信号路径和差分缓冲器的输出之间的时间差。

[0100] 在这样的实施例中(其中至少一条信号路径(例如第二信号路径)耦合到差分缓冲器的输出),可以考虑两个选项。在第一选项(如上所述)中,至少一条信号路径的另一信号路径(例如第一信号路径)耦合到发送缓冲器的耦合到通信信道(并且因此通常经由至少一个连接凸块耦合到远程I/O块)的输入。在第二选项中,至少一个I/O缓冲器包括具有耦合到通信信道的输入接收缓冲器。然后,至少一条信号路径的另一信号路径(例如第一信号路径)耦合到接收缓冲器的输出。到接收缓冲器的输入可选地经由互连和互连与远程I/O块之间的连接凸块耦合到远程I/O块。然后,I/O传感器的输出信号可以进一步指示连接凸块的质量。

[0101] 在实施例中,I/O缓冲器可以跨通信信道使用差分信令。现在参考图7,其示出了根据本公开的I/O块的第四实施例的电气示意图,用于测量差分通信信道上的近端凸块退化。发送缓冲器301产生两个差分输出:第一输出310(outp);以及第二输出320(outn)。在这种情况下,通过将I/O传感器控制信号205设置为逻辑“1”来执行近端(NE)差分信号完整性感测。I/O传感器220在输出Po 240处生成脉冲,脉冲的宽度与经由第一接收缓冲器(Rx_CMOS)315(在I/O传感器220的Tx_in或cp端口上提供)的第一输出310与经由第二接收缓冲器(Rx_CMOS)325(在I/O传感器220的Rx-diff_in或cn上提供)的第二输出320之间的延迟差成正比。Tx-in到Rx-diff_in延迟差与第一差分缓冲器输出310(outp)和第二差分缓冲器输出320(outn)的有效负载之间的失配成正比。这两个有效负载之间失配的任何变化都将影响输出Po 240处的脉冲宽度。例如,如果连接到第一个输出310(outp)的NE μ -凸块的电阻增加,则第一输出310(outp)的有效负载相对于第二输出320(outn)的有效负载减小,并且它将改变输出Po 240处的脉冲的宽度。Po处的信号的脉冲宽度由TDC测量。TDC生成表示脉冲宽度的数字读数。脉冲宽度的任何变化都将改变TDC读数,并且将指示测量的NE差分 μ -凸块性能的变化。

[0102] 现在参考图8,图8示出了根据本公开的I/O块的第五实施例的电气示意图,用于测量差分通信信道上的远端凸块退化。远端(FE)差分信号完整性感测通过将I/O传感器控制信号205设置为逻辑“1”来执行。从远端经由通信信道提供两个差分输入:第一输入311(padp);以及第二输入321(padn)。I/O传感器200将在输出Po 240处生成脉冲,该脉冲的宽度与第一输入311(Tx_in或cp)和第二输入321(Rx-diff_in或cn)之间的延迟差成正比。Tx-in到Rx-diff_in延迟差与第一差分缓冲器输入311(padp)和第二差分缓冲器输入321(padn)的信号斜率之间的失配成正比。第一差分缓冲器输入311和第二差分缓冲器输入321

处的信号斜率之间的失配的任何变化将影响输出Po 240处的脉冲宽度。例如,如果连接到第一差分缓冲器输入311 (padp) 的FE μ -凸块的电阻增大,则第一差分缓冲器输入311 (padp) 处的信号斜率相对于第二差分缓冲器输入321 (padn) 处的信号斜率增大。这改变了输出Po 240处的脉冲的宽度。通过TDC测量输出Po 240处的信号的脉冲宽度。TDC生成表示脉冲宽度的数字读数。脉冲宽度的任何变化都将改变TDC读数,并将指示测量的NE差分 μ -凸块性能的变化。

[0103] 再次提及上述广义术语。在实施例中,通信信道被配置成经由两条信号线传送差分信号。然后,第一信号路径可以耦合到第一信号线,并且第二信号路径可以耦合到第二信号线。在这种情况下,至少一个I/O缓冲器可以包括发送缓冲器,该发送缓冲器被配置成经由两条信号线提供差分输出。然后,第一信号路径可以耦合到发送缓冲器的耦合到第一信号线的第一输出,并且第二信号路径可以耦合到发送缓冲器的耦合到第二信号线的第二输出。在实施例中,第一信号线包括经由第一近侧连接凸块耦合到发送缓冲器的第一互连,并且第二信号线包括经由第二近侧连接凸块耦合到发送缓冲器的第二互连。然后,I/O传感器的输出信号可以进一步指示第一近侧连接凸块和第二近侧连接凸块的质量。在实施例中,第一信号线包括经由第一远侧连接凸块耦合到远程I/O块的第一互连,第二信号线包括经由第二远侧连接凸块耦合到远程I/O块的第二互连。然后,I/O传感器的输出信号可以进一步指示第一远侧连接凸块和第二远侧连接凸块的质量。

[0104] 表征和/或验证可以基于许多特征。对于NE性能,可以使用功率/性能优化(例如,通过其针对NE驱动器强度的表征)和/或用于通道修复的边缘引脚的检测。对于FE性能,可以考虑眼图参数,例如以下一项或多项:每个引脚的眼宽开口;每个引脚的眼高开口;和每个引脚的眼宽抖动(最小-最大)。还可以执行FE边缘引脚检测,包括考虑以下一项或多项:检测针对通道修复的弱引脚;由设计或制造引起的系统性问题;以及基于大样本数据的异常检测。

[0105] 上述实施方式非常适合于无终端的存储器IC的测量和/或分析,例如HBM2。然而,诸如HBM3之类的较新存储器设计包括终端,例如具有伪开漏极驱动器(pseudo open drain driver)。结果是,低逻辑电平可能高于0V。因此,这种集成电路的设计中没有使用基于CMOS的Rx缓冲器。I/O块内的I/O传感器可利用这种设计进行替代d FE测量和/或分析。

[0106] 现在参考图9,图9示出了根据本公开的I/O块的第六实施例的电气示意图,用于测量双向通信信道上的近端凸块退化,实现了终端电阻器。该实施例包括:传输输入201;NE Tx缓冲器501;NE差分Rx缓冲器515;以及FE Rx缓冲器530。在FE Rx缓冲器530处示出附加的端接电阻器535。I/O代理(传感器)500的操作类似于上文参考图5所述的I/O代理200。I/O传感器500生成输出Po 540,这取决于所使用的两个输入中的每一个(来自NE Tx缓冲器501的输入和NE差分Rx缓冲器515的输出)上的相应信号的信号边缘之间的时序差。此输出被提供给TDC(未显示)。

[0107] 现在参考图10,其示出了根据本公开的I/O块的第七实施例的电气示意图,用于测量双向通信信道上的远端凸块退化,实现了终端电阻器。在这种情况下,I/O传感器500的近端充当接收器。附加端接电阻器525示出在NE Tx缓冲器501和NE差分Rx缓冲器515处。I/O传感器500测量VREF处的眼图,特别是两只眼睛:从上升到下降;以及从下降到上升。特别地,可以直接测量每个眼图的眼宽和/或眼高。I/O传感器500生成输出Po 540,其指示所测量的

眼图参数(例如,通过脉冲宽度)。再次,输出540被提供给TDC(未示出)。

[0108] 参考图11,其示出了I/O传感器500的另一示例性实施方式,如图9和图10所示。因此,I/O传感器500被提供有两个输入:Tx缓冲器501的输入以及来自差分Rx缓冲器515的输出。差分Rx缓冲器515还具有使能信号(En_Rx_Diff)。I/O传感器500可以测量:两条输入路径上的信号之间的时序差(对于NE性能);和/或由差分Rx缓冲器的输出提供的输入的眼图参数(针对FE性能)。眼图参数可以是以下一项或多项:眼宽、眼宽抖动以及眼高。输出信号540指示所测量的参数。性能可根据驱动器强度和/或VREF(特别是针对FE性能)进行表征。

[0109] 在一般意义上,可以考虑半导体集成电路(IC)的输入/输出(I/O)块,I/O块包括:至少一个I/O缓冲器,其被配置成关于经由通信信道到远程I/O块的连接定义至少一条信号路径(每条信号路径导致相应的信号边缘斜率);以及I/O传感器,其耦合到至少一条信号路径(例如,第一信号路径和/或第二信号路径),并且被配置成生成指示至少一条信号路径的眼图参数的输出信号。眼图参数可以包括以下一项或多项:眼宽、眼高、眼宽抖动以及眼高波动。这可以与本文公开的任何其它方面、实施例或特征相结合,并且还扩展到任何其它实施例(例如,使用差分通信信道的那些实施例)。

[0110] 现在参考图12,图12示出了测量的近端脉冲持续时间相对于NE μ -凸块电阻和FE眼宽(EW)的曲线图。在这种情况下,x轴表示远端EW,y轴表示脉冲宽度变化,并且曲线图中的点表示0-100欧姆的近端 μ -凸块电阻。不同的曲线显示在Tx缓冲器210的不同强度下的结果。然后参考图13,其示出了测量的远端脉冲持续时间的曲线图。这里,x轴表示FE μ -凸块电阻,y轴表示脉冲宽度。从图12和图13可以看出,本发明的方法允许监测耦合IC的I/O的功能性凸块,这允许在实施例中随时间检测、分析并减轻退化。

[0111] I/O传感器的输出可用于多种用途,例如:NE引脚监测,其中每个引脚测量的NE脉冲宽度随时间进行分析;FE引脚监测,包括随时间分析每个引脚的测量的FE脉冲宽度;监测和/或数据处理;改变缓冲驱动强度;禁用部分或全部IC;以及启动针对边缘引脚的通道修复功能。其中一些可被视为I/O修复功能,并可作为初始测试和/或现场测试的一部分执行。

[0112] 例如,基于软件的“通道修复”或“通道重新映射”机制可以用备用通道替换故障通道(例如数据路径)。通道重新映射可以通过写入寄存器(软)或通过剪切电容丝eFuse(硬)来实现。通道修复和功率优化可以一起工作。例如,当已经使用了所有冗余引脚时(由于通道修复和/或重新映射),可以增加Tx缓冲器强度以允许继续操作,从而增加可用时间,直到可以进行离线修复。

[0113] 特别是,I/O传感器的输出可用于凸块阵列监测和/或测量(和监测)功能操作期间多个引脚的退化。这在不干扰系统的功能操作的情况下,有利地实现,可有利地在管芯上控制测量。在功能操作期间收集数据,然后上传到分析平台(如上所述)。这可能允许在线和/或离线分析测量数据,例如通过分析平台上的机器学习算法(或其他数据分析技术)。分析平台可以使用其他数据,例如瞬时温度和/或电压用于分析。特别地,不需要特殊的测试模式或停止IC操作。

[0114] 在实施例中,I/O块包括时间-数字转换器,该时间-数字转换器被配置成接收从I/O传感器的输出信号导出的时序信号(这可以可选地包括I/O传感器本身的输出信号),并基于时序信号提供数字时间信号。

[0115] 在另一个实施例中,I/O传感器的输出可用于确定和/或表征引脚处的信号幅度

和/或信号摆率。此功能可启用嵌入式虚拟示波器 (EVS) 部件, 该部件可应用于IC的每个引脚。参考下面讨论的图19至图21描述EVS能力。

[0116] 现在参考图14和图15, 图14示出了眼宽相对于缓冲器强度的曲线图, 图15示出了模拟近端脉冲宽度相对于缓冲器强度的曲线图。现有的I/O缓冲器设计可能会使用过多的驱动强度。所公开的技术可允许驱动强度的优化。例如, 可以理解, 眼宽与信号质量成比例, 脉冲宽度与眼宽相关。因此, 可以在不同缓冲器强度下测量脉冲宽度, 并且如果可用, 将其与引脚测量的误码率 (BER) 相关联。该数据可基于族信息与过程角 (process corner) 相关联和/或与历史相关联。然后, 可以提取信道特征, 并且使用这些特征, 可以区分好的性能和坏的性能 (需要修复)。然后可以设置一个最佳的缓冲器强度, 可以在IC的整个生命周期内对该强度进行监控 (如果需要, 还可以提供警报)。

[0117] 现在参考图16到图21, 图16到图21示出了对反映实硅数据的示例的分析。用于解释这些图时使用的术语“完整性洞察”是指对分别无论是在近端还是远端的测量的脉冲持续时间的离线分析。所示示例中的分析由IC分析器 (相当于图1的IC分析器102B) 执行, 其提供例如基于机器学习和/或数据分析的基于平台的分析和警报。

[0118] 参考图16, 其示出了四个I/O块的近端完整性洞察401和远端完整性洞察402。每个块由46个活动引脚组成。该图示出了近端和远端完整性洞察的分布。参考近端完整性洞察401, 该图示出了每组和组内每个引脚的近端传输 (Tx) 驱动图。可以观察到弱组 (W) 和强组 (S)。通过均衡驱动图 (每个组或每个引脚), 可以优化总I/O功率。在该示例中, 通过使强组 (S) 的驱动器强度均衡为与弱组 (W) 相等, 可以节省功率。该图还示出了对异常引脚403的观察, 异常引脚403是具有位于分布边缘的近端洞察值的引脚。参考远端完整性洞察402, 该图示出接收性能 (Rx性能) 图。在某些块中可以观察到远端洞察的较大变化; 这是数据相关符号间干扰 (ISI) 的结果。

[0119] 现在参考图17, 示出了近端完整性洞察对块X和块Y的驱动器强度的平均灵敏度。近端洞察的灵敏度约为0.5LSB。也观察到绝对值。

[0120] 现在参考图18, 图18示出了真实芯片的弱引脚 (异常) 分析。将弱引脚的行为与正常引脚的行为在统计上和电学上进行比较, 其中两者都能识别异常。

[0121] 现在参考图19A-图19B, 示出了来自真实芯片的Rx性能洞察数据的分布。Rx性能洞察是对引脚处接收信号的摆率 (ps/V) 的度量。测量灵敏度等于1-LSB/50mV, 给出1-LSB为10ps。

[0122] 现在参考图20, 图20示出了使用嵌入式虚拟示波器 (EVS) 能力的远端信号分析。该图示出了真实芯片的远端完整性洞察。可以观察到由引脚处的低幅度接收信号引起的不正常值 (deviant value)。可通过将VREF降低到清除不正常值的点来测量接收信号幅度。此时, 接收信号振幅等于VREF值。VREF分辨率由设计决定。因此, 这种不正常或反常值可能会对VREF的分析和设置产生影响。如下文所述, 可以校正这种影响。

[0123] 现在参考图21A-图21B, 示出了远端洞察与眼开的相关性。可以看到线性相关性。

[0124] 如上所述, 不正常或反常值可能会对分析产生影响。例如, FE灵敏度可能受到孤立位 (lone-bit) 可检测性的限制。在观察眼图测量, 例如眼宽和/或眼高时, 这种效果尤其明显。移除由孤立位导致的反常读数可能允许增大VREF并提高FE灵敏度。某些数据模式中的许多反常读数可能会影响平均性能值, 并使任何计算的统计信息 (如平均值) 偏移。这可能

会影响随着时间的推移检测退化的能力。在高传输速率下,例如3.2GT/s,可以看到这种效应。有利地,可以从结果中过滤这种反常读数,特别是在后TDC求和时。这可以减轻平均值偏移的影响和/或改进在寿命期操作时对平均值变化的检测。

[0125] 现在参考图22,示出了基于固件的滤波器的示意框图。如上所述,这种滤波器可用作读出求和的一部分,特别是后TDC求和。滤波器的输入由TDC 400提供,TDC 400提供数字输出410。滤波器包括:比较器(CMP) 420;求和块430;反常读数计数器450;以及正常读数计数器460。

[0126] 比较器420具有包括阈值电平425的第一输入。TDC 400的数字输出410作为第二输入被提供给比较器420。当TDC输出超过阈值电平425时,将高逻辑电平输出提供给异常读数计数器450。该高逻辑电平还作为使能信号440提供给求和块430。求和块430还接收TDC 400的数字输出410作为输入,并通过反馈将其输出提供给正常读数计数器460。这样,可以获得正常读数和反常(异常)读数的计数。

[0127] 作为测试阶段的一部分,系统可在低频下操作,以测量平均PW。低频运行时,不期望出现反常读数。作为数据分析的一部分,可以在平台上确定(计算)阈值并随后将其下载到IC。阈值可以融合到IC或在每次系统启动时下载。在较不优选的方法中,阈值可以基于模拟来确定并硬编码到IC中。

[0128] 可能存在多种类型的异常。例如,关于CMOS VREF和关于差分比较器VREF可能存在单独的异常。这些可以通过使用多个阈值来解释。

[0129] 在一般意义上,可以考虑滤波计数器块(例如在IC上的固件中),其被配置成基于I/O传感器的输出信号(例如经由TDC)接收时间信号,将接收的时间信号与阈值进行比较,并基于比较,识别来自I/O传感器的反常或异常读数。滤波计数器块还可被配置成对来自I/O传感器的正常读数的数量和/或来自I/O传感器的反常或异常读数的数量进行计数。阈值可以从IC外部的平台接收和/或可以例如在IC初始化时动态地更新。一种监测IC上的I/O块的方法可以包括:将基于I/O传感器的输出信号的时间信号与阈值进行比较;并基于比较结果识别来自I/O传感器的反常或异常读数。有利地,该方法还可以包括:对来自I/O传感器的正常读数的数量和/或来自I/O传感器的反常或异常读数的数量进行计数。

[0130] 通过以下操作可以获得进一步的益处:检测Phy输入处的逻辑路径和通过硅通孔(TSV)延迟退化;检测热应力;测量每个引脚的I/O任务,以与引脚性能退化相关;生成I/O族;异常检测;识别系统偏移;以及检测或区分不同的退化机制。任务归档可以是在线过程,使用平台可用的所有信息和可以收集的任何额外信息(例如,客户、设计、版本控制等)。正确的分析可以生成完整的曲线图,以方便用于不同用途的保护带,并且优化材料的使用。例如,系统偏移可被识别为试验条件中的意外参数偏移。

[0131] 在本申请中,本发明的各种实施例可以以范围格式呈现。应当理解,范围格式的描述仅仅是为了方便和简洁,不应当被解释为对本发明范围的不灵活限制。因此,应当认为范围的描述已经具体地公开了所有可能的子范围以及该范围内的各个数值。例如,诸如从1到6的范围的描述应被认为具有具体公开的子范围,例如从1到3、从1到4、从1到5、从2到4、从2到6、从3到6等,以及该范围内的单个数字,例如,1、2、3、4、5和6。无论范围的宽度如何都适用。

[0132] 无论何时在本文中指出一个数字范围时,它意味着包括所指范围内的任何引用的

数字(分数或整数)。短语在第一指示数和第二指示数“之间的范围(ranging/ranges between)”和“从”第一指示数“到”第二指示数的范围在本文中可互换使用,并且意指包括第一指示数和第二指示数以及它们之间的所有分数和整数。

[0133] 在本申请的说明书和权利要求书中,词语“包括”、“包含”和“具有”中的每一个及其形式不一定局限于与这些词语相关联的列表中的成员。此外,如果本申请与通过引用并入的任何文件之间存在不一致之处,特此说明以本申请为准。

[0134] 为了澄清本公开中的参考文献,需要注意的是,将名词作为普通名词、专有名词、命名名词等的使用并不意味着本发明的实施例仅限于单个实施例,并且所公开的组件的许多配置可用于描述本发明的一些实施例,而其他配置可在不同配置中从这些实施例导出。

[0135] 为了清楚起见,并不是本文所描述的实施方式的所有常规特征都被示出和描述。当然,应该认识到,在任何此类实际实施方式的开发中,必须做出许多实施方式特定的决策,以实现开发人员的特定目标,例如遵守应用相关和业务相关的约束,这些具体的目标在不同的实施方式和不同的开发人员之间会有所不同。此外,应当认识到,这样的开发努力可能是复杂和耗时的,但是对于受益于本公开的本领域普通技术人员来说,这将是工程的常规任务。

[0136] 基于本公开的教导,预期本领域的普通技术人员可以很容易地实践本发明。本文提供的各种实施例的描述被认为提供了本发明的充分的洞察力和细节,以使普通技术人员能够实践本发明。此外,上文所描述的本发明的各种特征和实施例被具体设想为单独使用以及以各种组合使用。

[0137] 传统和/或当代电路设计和布局工具可用于实现本发明。本文所描述的具体实施例,尤其是各种层的各种厚度和组成,是示例性实施例的说明,并且不应被视为将本发明限制于这种具体实现选择。因此,可以为本文描述的组件提供多个实例作为单个实例。

[0138] 虽然通常假定电路和物理结构,但众所周知,在现代半导体设计和制造中,物理结构和电路可以以计算机可读的描述形式体现,以适用于后续设计,测试或制造阶段以及由此制造的半导体集成电路。因此,针对传统电路或结构的权利要求可以与传统电路或结构的特定语言一致,在计算机可读编码(可以称为程序)及其表示上进行读取,无论是以介质形式体现还是与合适的读取器设备相结合,以允许相应电路和/或结构的制造、测试或设计改进。在示例性配置中作为离散组件呈现的结构和功能可以实现为组合结构或组件。预期本发明包括电路、电路系统、相关方法以及此类电路、系统和方法的计算机可读(介质)编码,所有这些如本文所述,并且如所附权利要求中所定义。如本文所使用的,计算机可读介质至少包括磁盘、磁带或其它磁、光、半导体(例如闪存卡、ROM)或电子介质以及网络、有线、无线或其它通信介质。

[0139] 前面的详细描述仅描述了本发明的许多可能实现中的几个。因此,此详细描述旨在作为说明,而不是限制。在不脱离本发明的范围和精神的情况下,可以基于本文所述的描述来对本文所公开的实施例进行变化和修改。仅以下权利要求(包括所有等同物)旨在限定本发明的范围。特别地,即使在存储器IC的背景下描述优选实施例,本发明的教导被认为对于与使用I/O电路的其他类型的半导体IC一起使用是有利的。此外,本文所描述的技术还可应用于其它类型的电路应用。因此,其他变化、修改、添加和改进可以落在如下面的权利要求中所限定的本发明的范围内。

[0140] 尽管上面讨论了一个或多个内插器,但可以理解,其他类型的互连是可能的,例如互连桥。一个这样的桥是由英特尔公司可销售的嵌入式多管芯互连桥(EMIB)。

[0141] 本发明的实施例可用于制造、生产和/或组装集成电路和/或基于集成电路的产品。

[0142] 本文参考根据本公开实施例的方法、装置(系统)和计算机程序产品的流程图图示和/或框图来描述本发明的各个方面。应当理解,流程图图示和/或方框图的每个块以及流程图图示和/或方框图中的块的组合可以通过计算机可读的程序指令来实现。

[0143] 附图中的流程图和框图图示了根据本发明的各种实施例的系统、方法和计算机程序产品的可能实施方式的架构、功能和操作。就此而言,流程图或框图中的每个块可以表示模块、段或部分指令,其包括用于实现(一个或多个)指定逻辑功能的一个或多个可执行指令。在一些替代实施方式中,块中标注的功能可能并非以附图中标注的顺序发生。例如,连续示出的两个块实际上可以基本上同时执行,或者有时可以根据所涉及的功能以相反顺序执行这些块。还应注意,方框图和/或流程图图示的每个方框,以及方框图和/或流程图图示中的方框组合,可以由基于专用硬件的系统来实现,这些系统执行特定的功能或动作,或执行专用硬件和计算机指令的组合。

[0144] 本发明的各种实施例的描述是为了说明的目的而呈现,但并非旨在详尽的或局限于所公开的实施例。在不脱离所描述的实施例的范围和精神的情况下,许多修改和变化对于本领域的普通技术人员将是明显的。选择本文中使用的术语是为了最好地解释实施例的原理、实际应用或相对于市场中找到的技术的技术改进,或者使本领域的其他普通技术人员能够理解本文中公开的实施例。

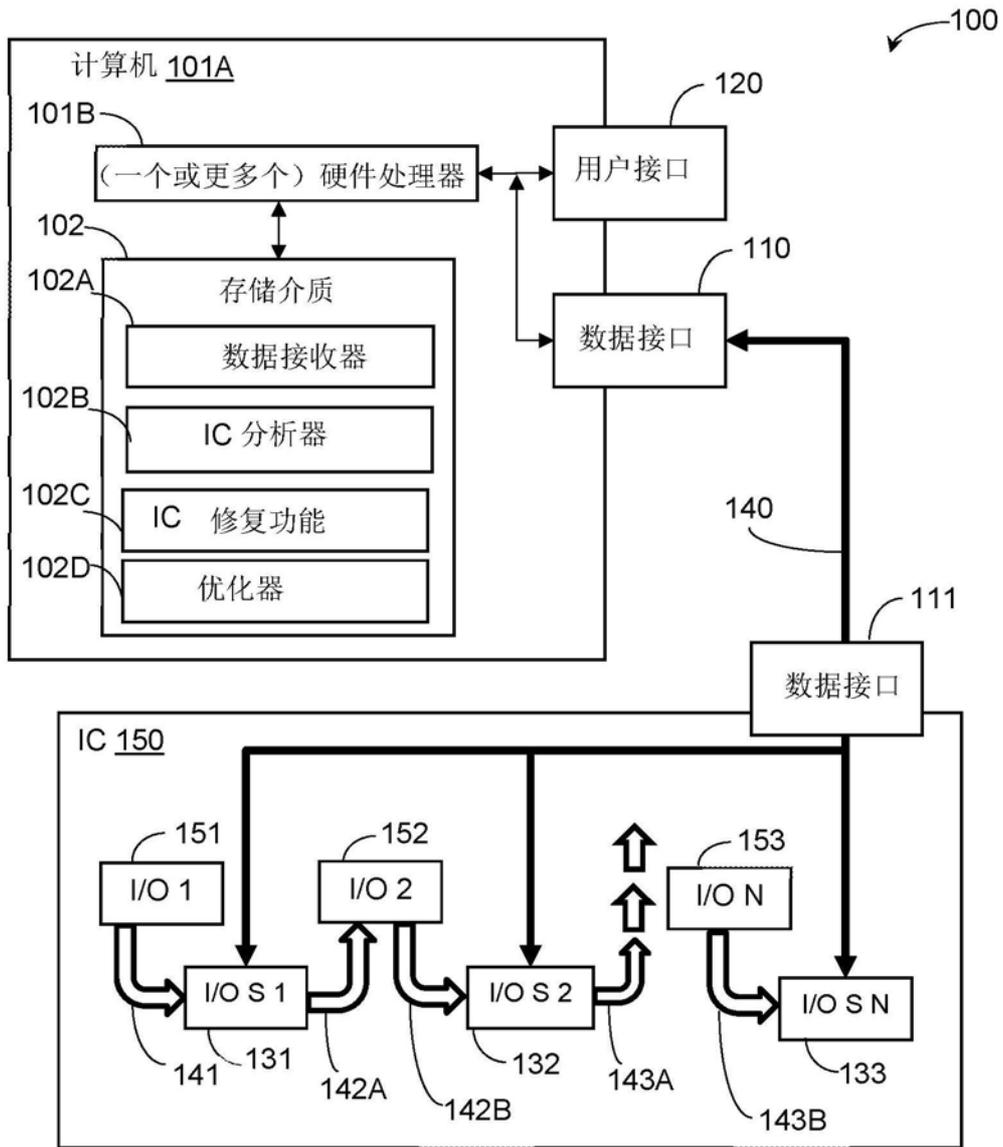


图1

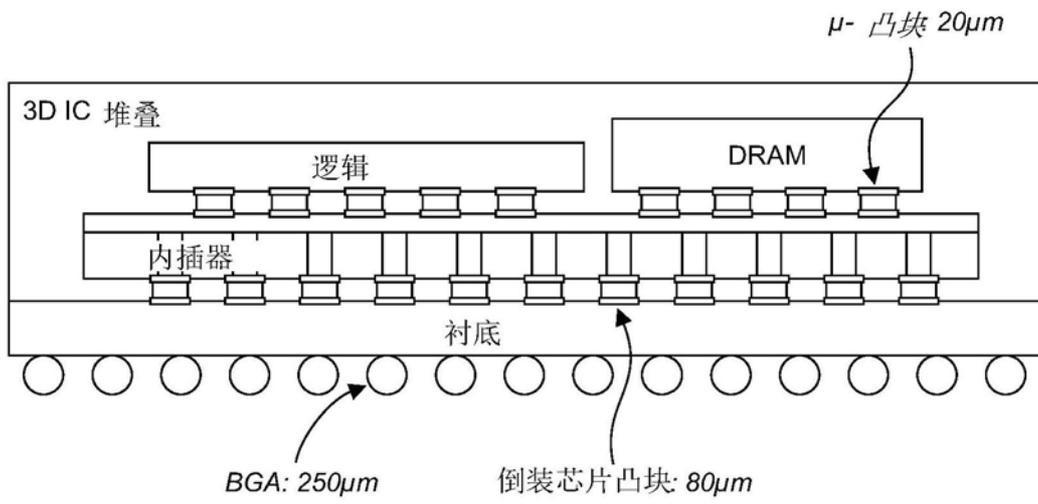


图2

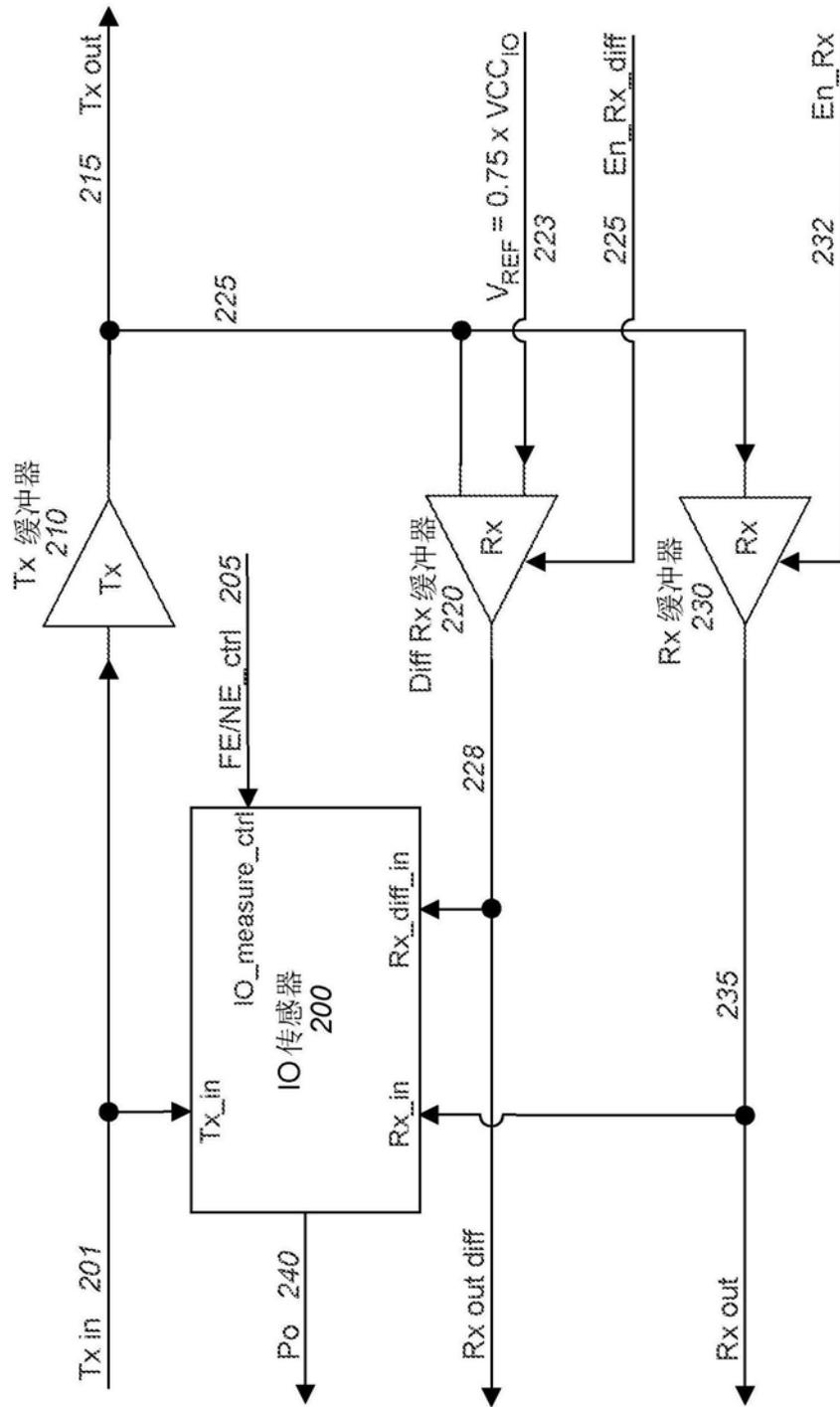


图3

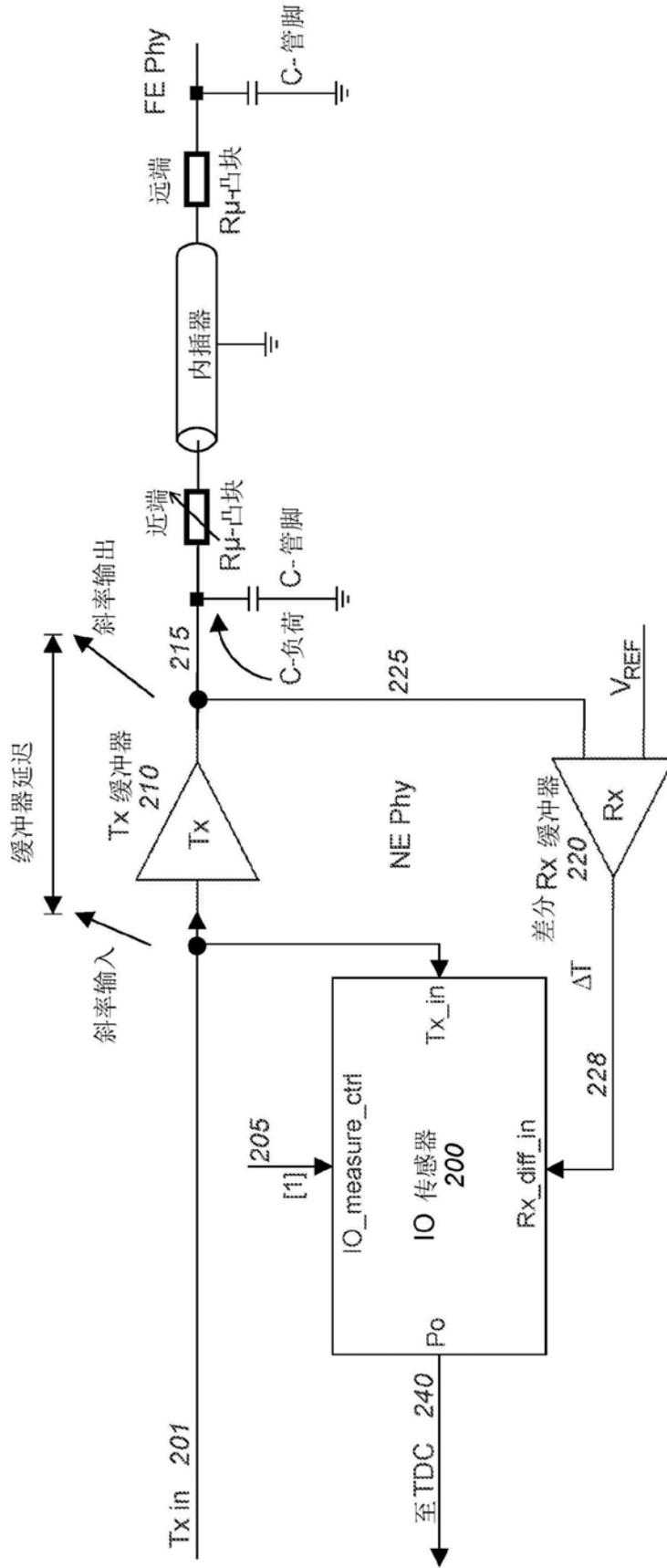


图5

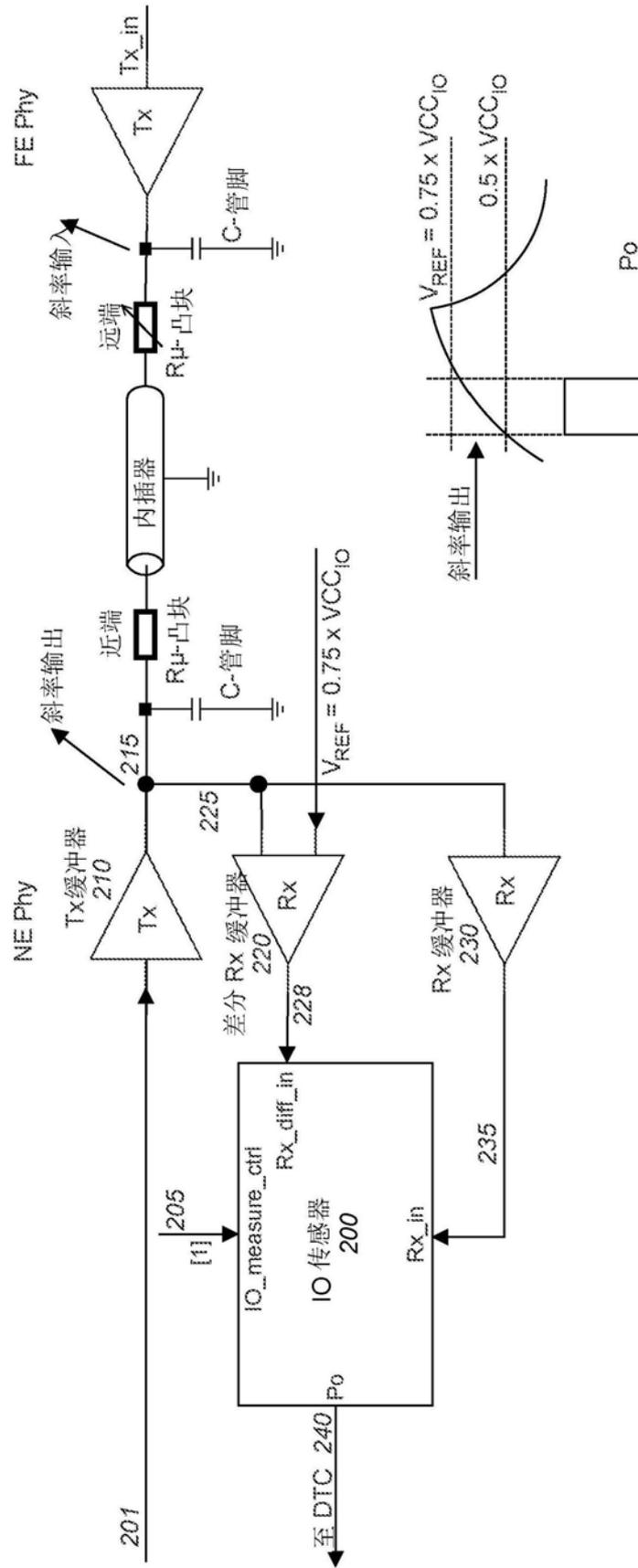


图6

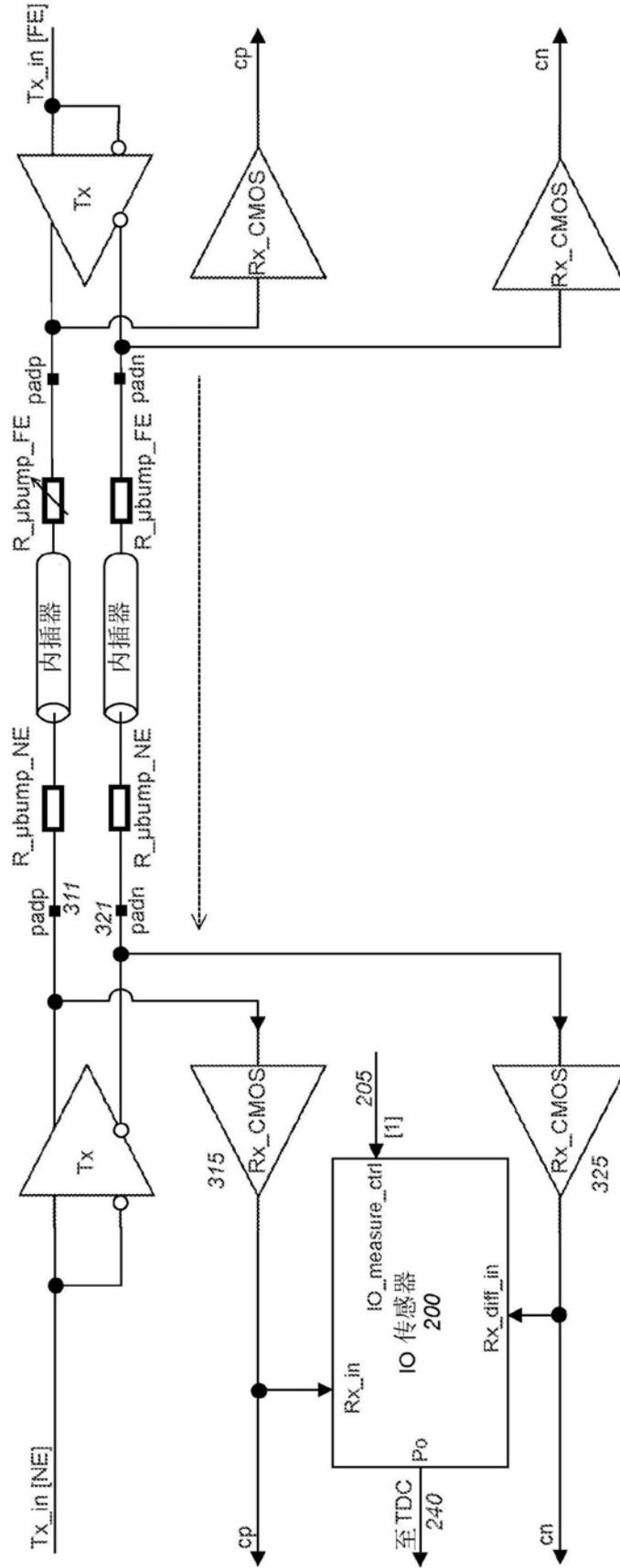


图8

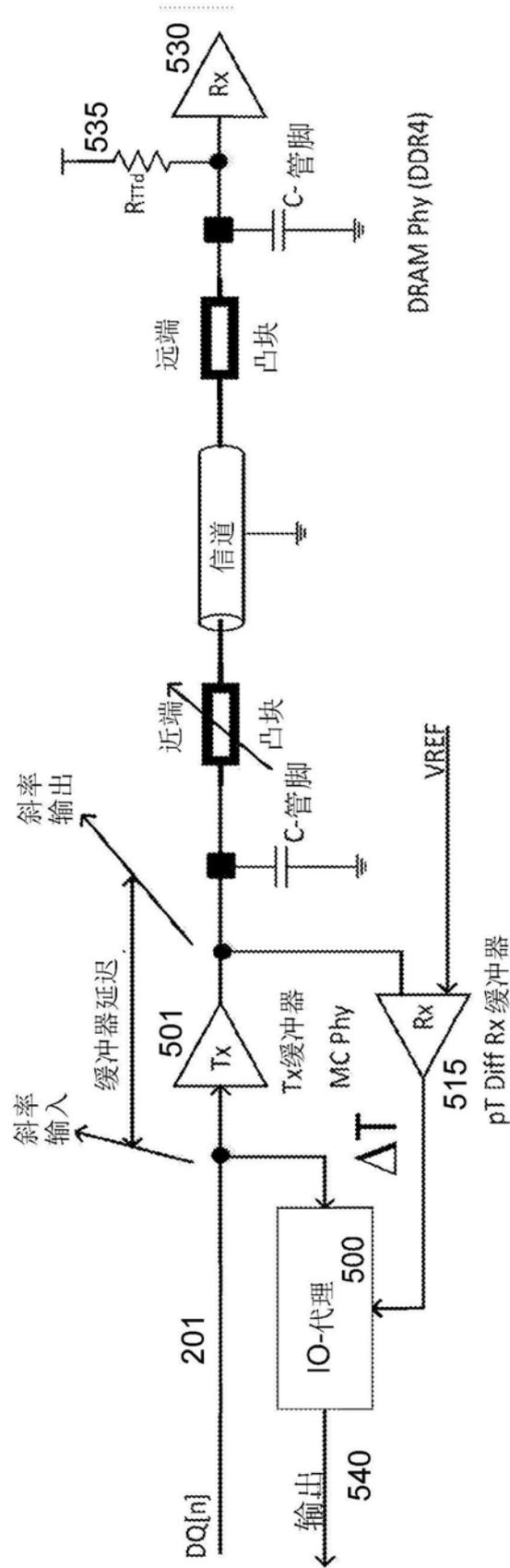


图9

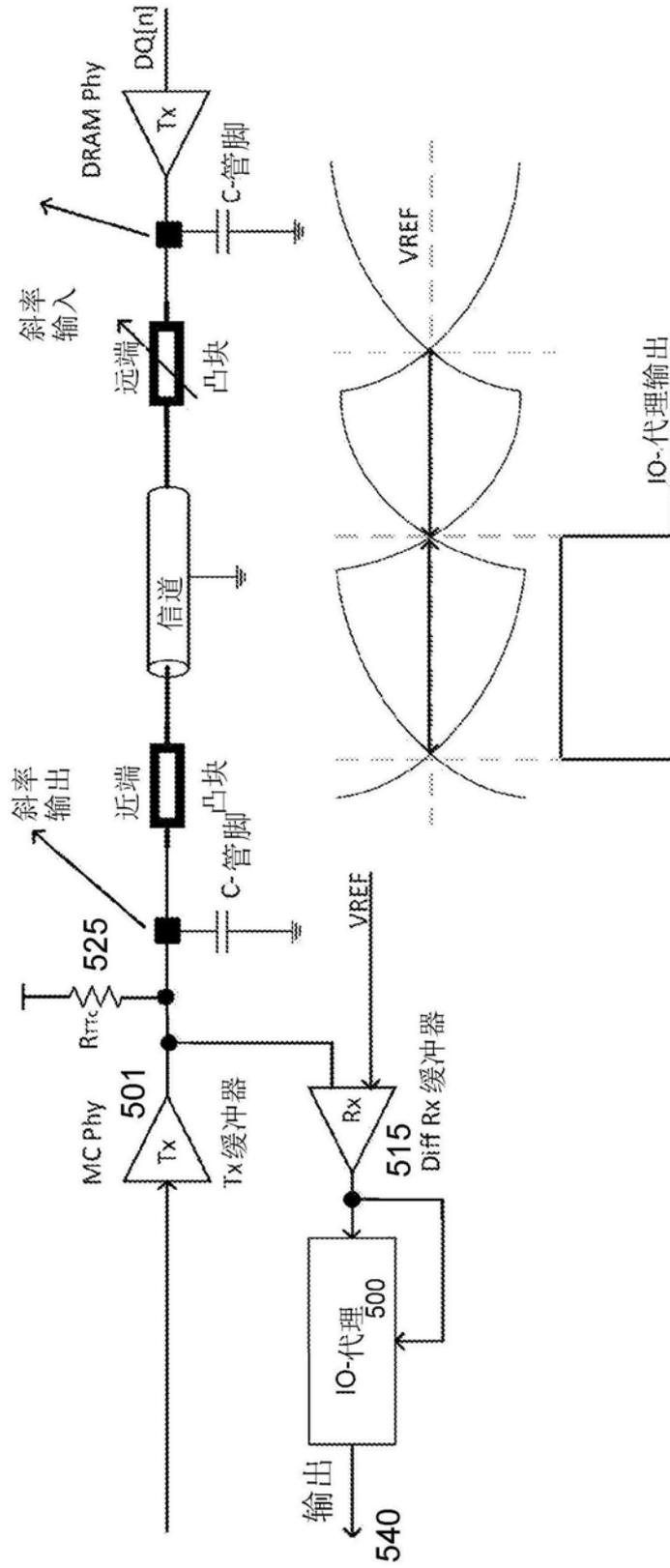


图10

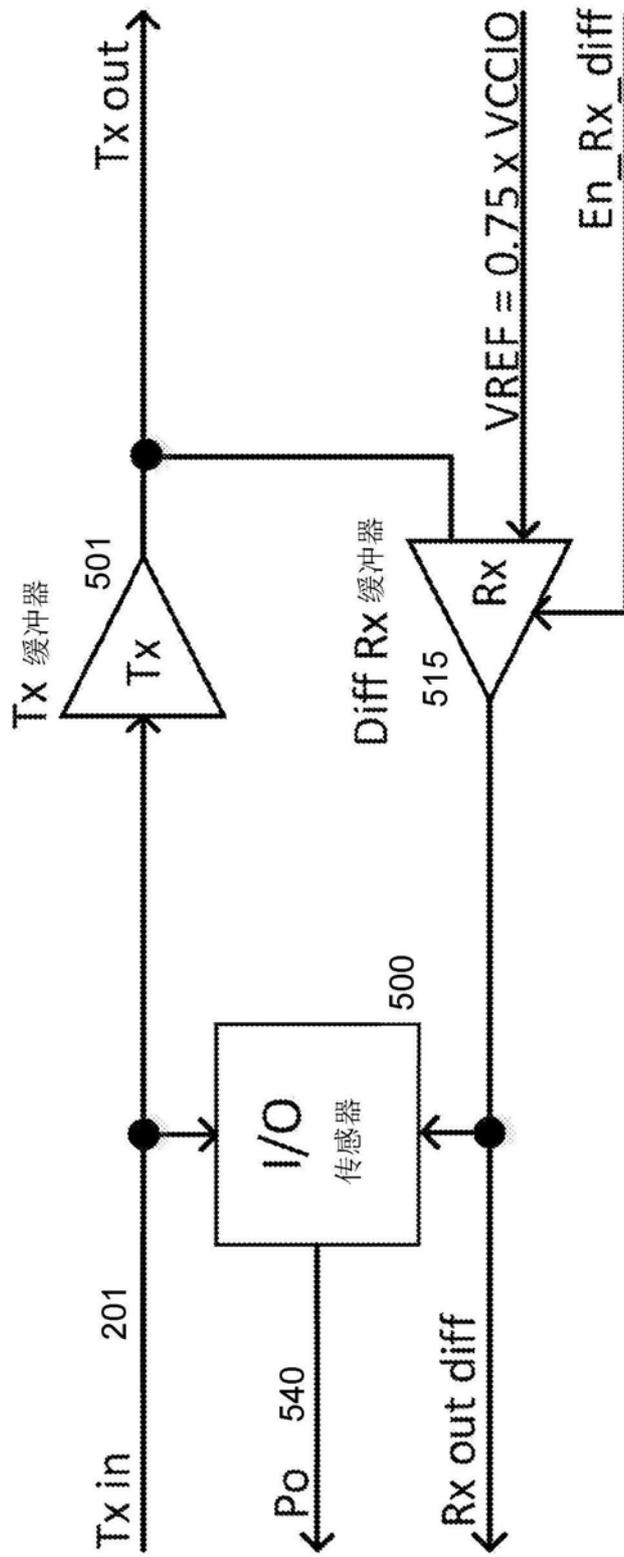


图11

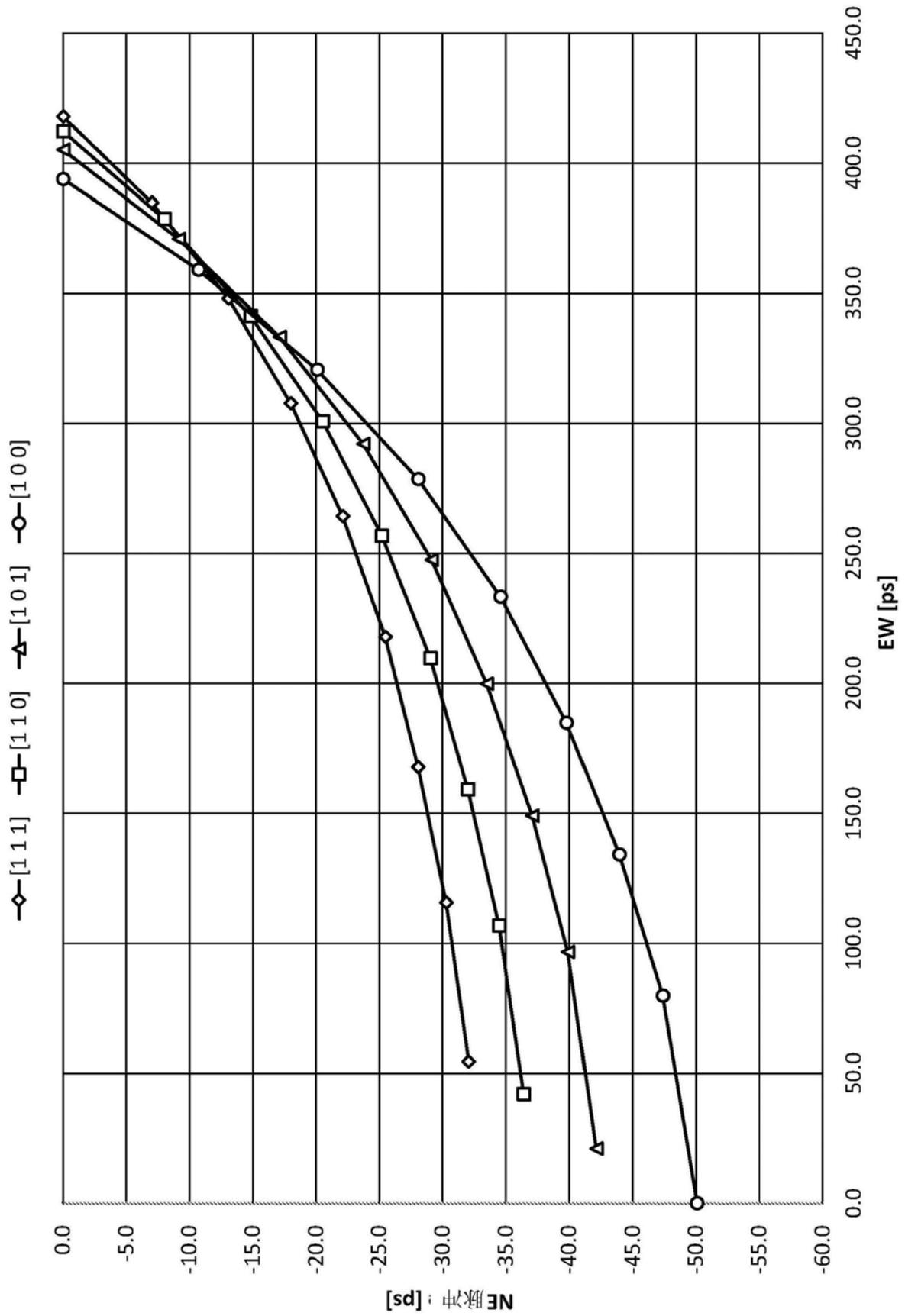


图12

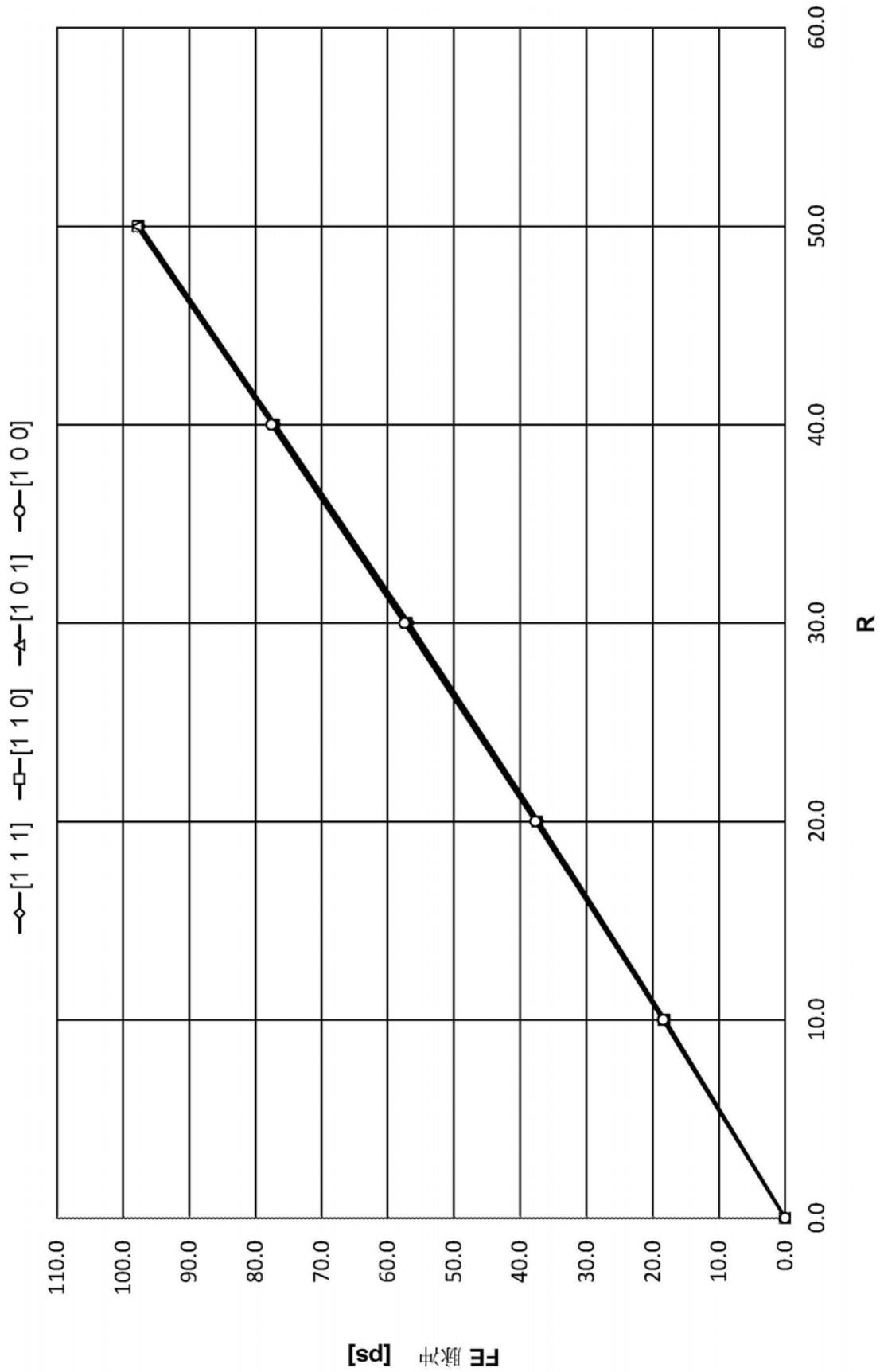


图13

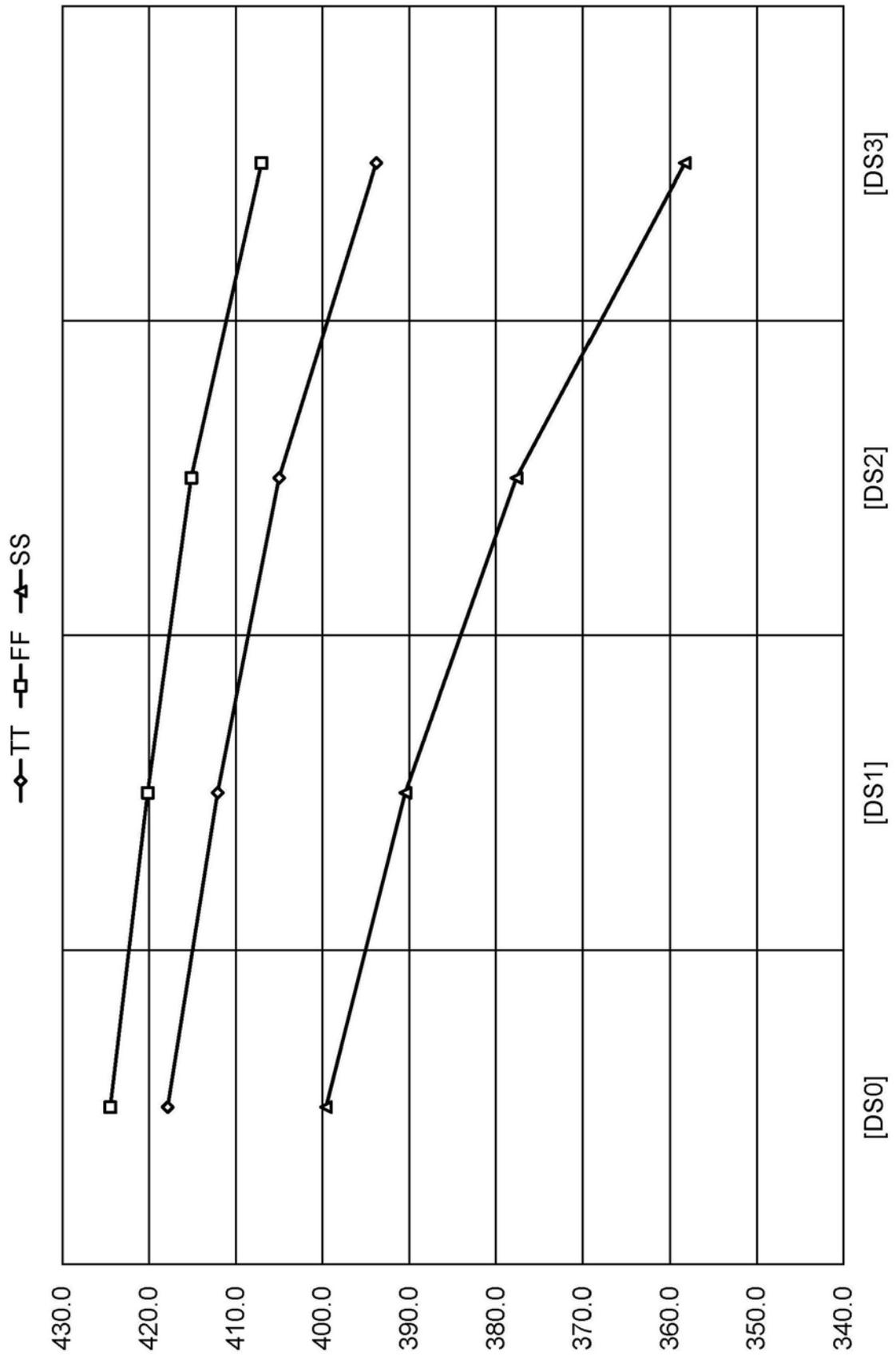


图14

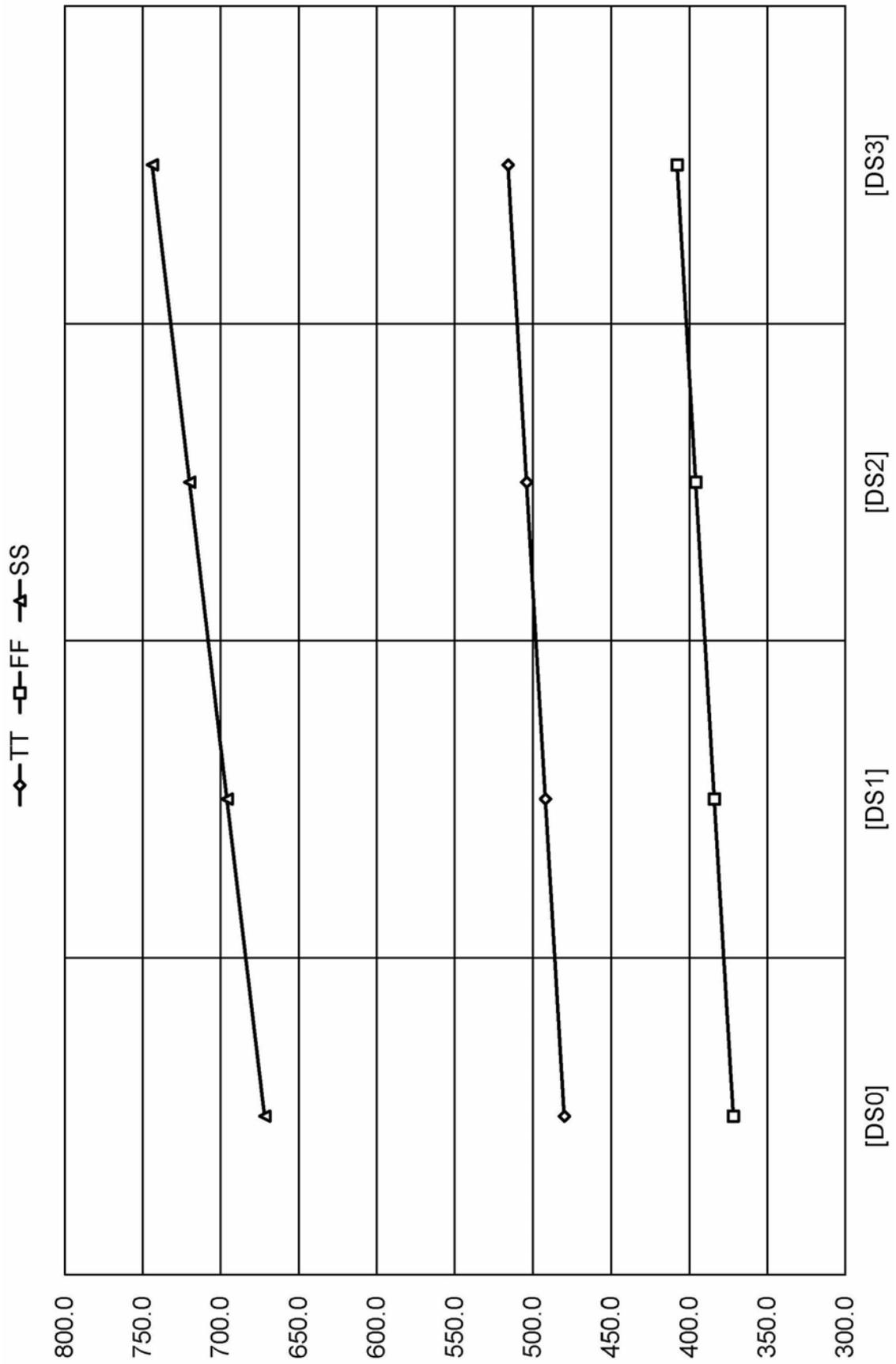
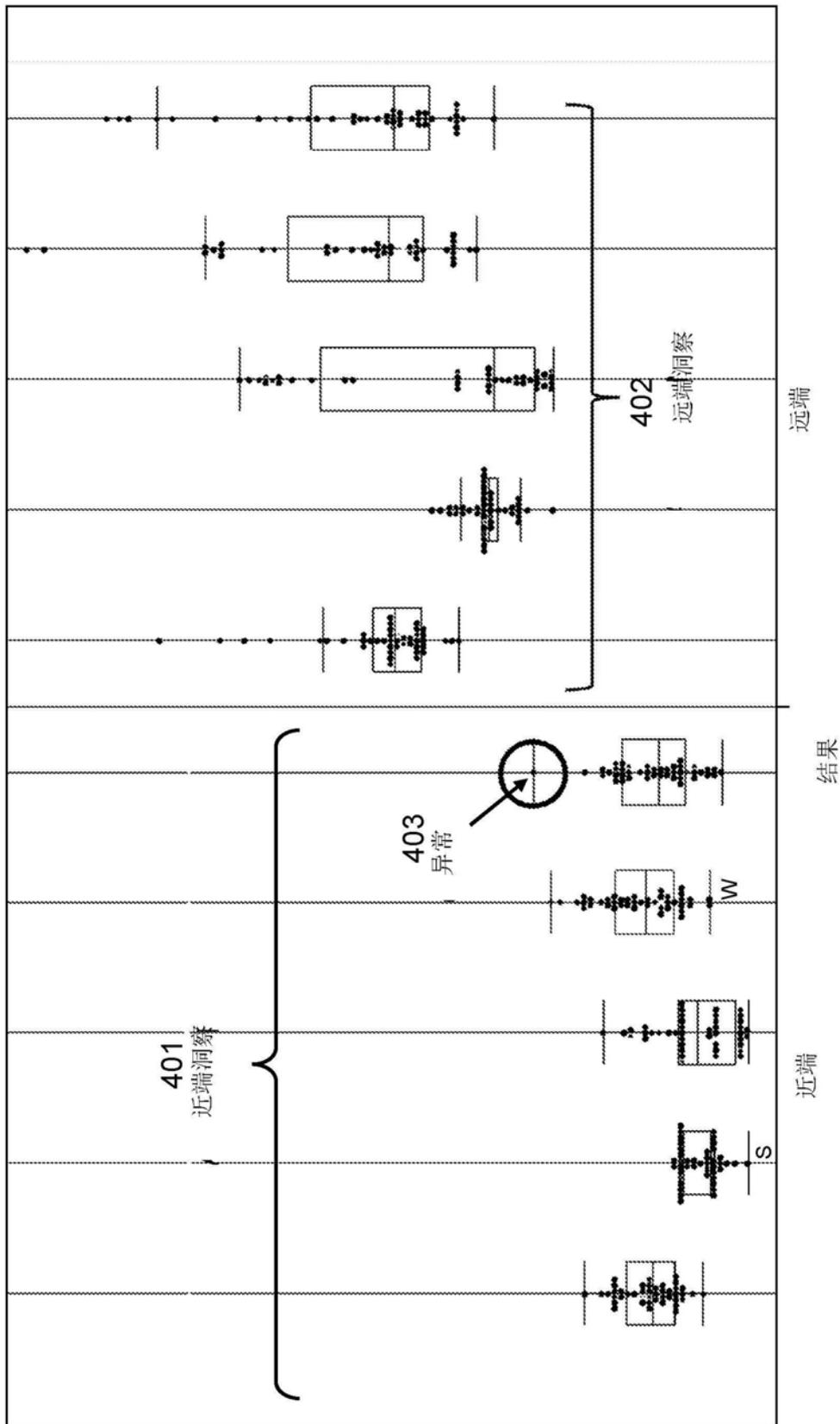


图15



结果

图16

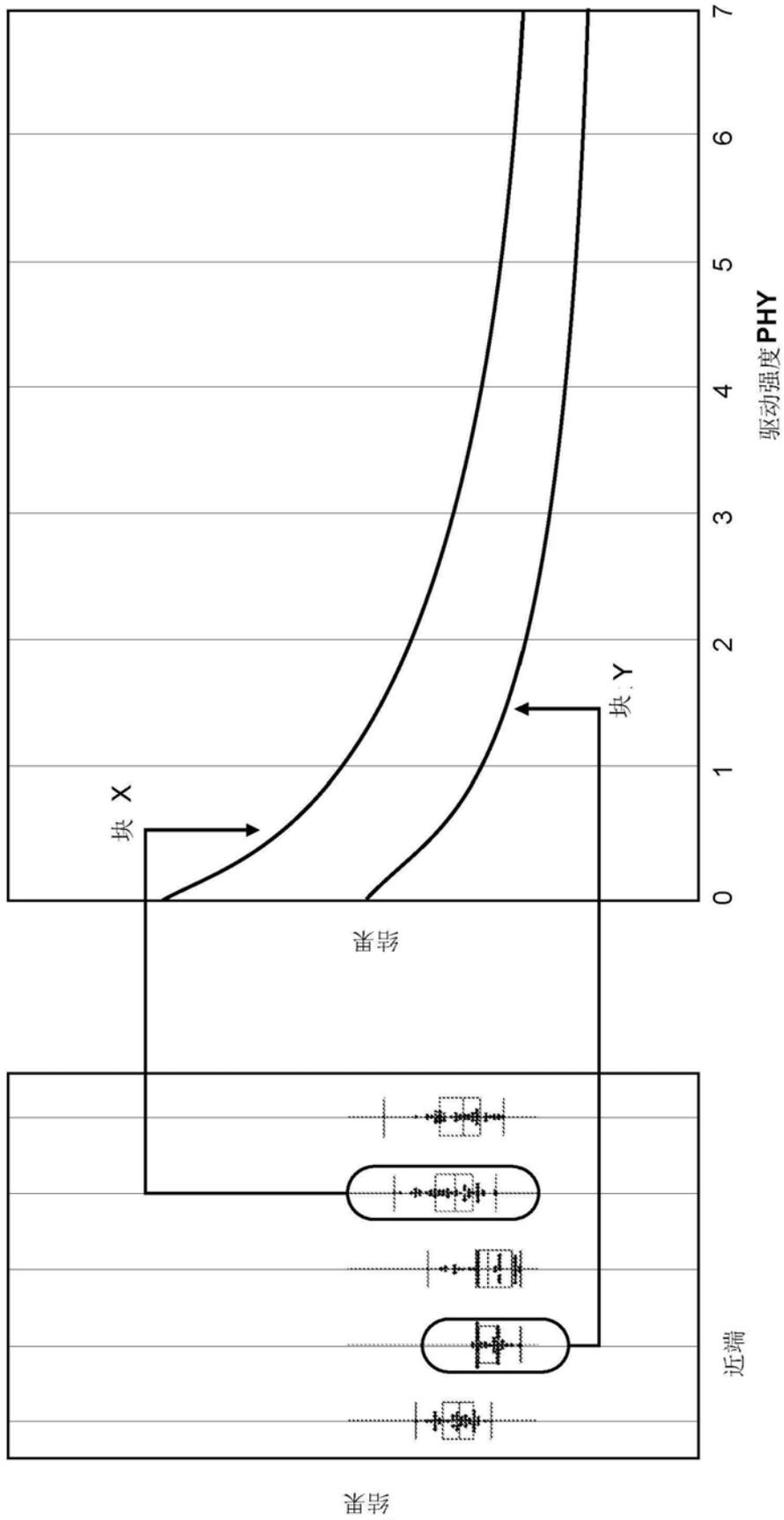
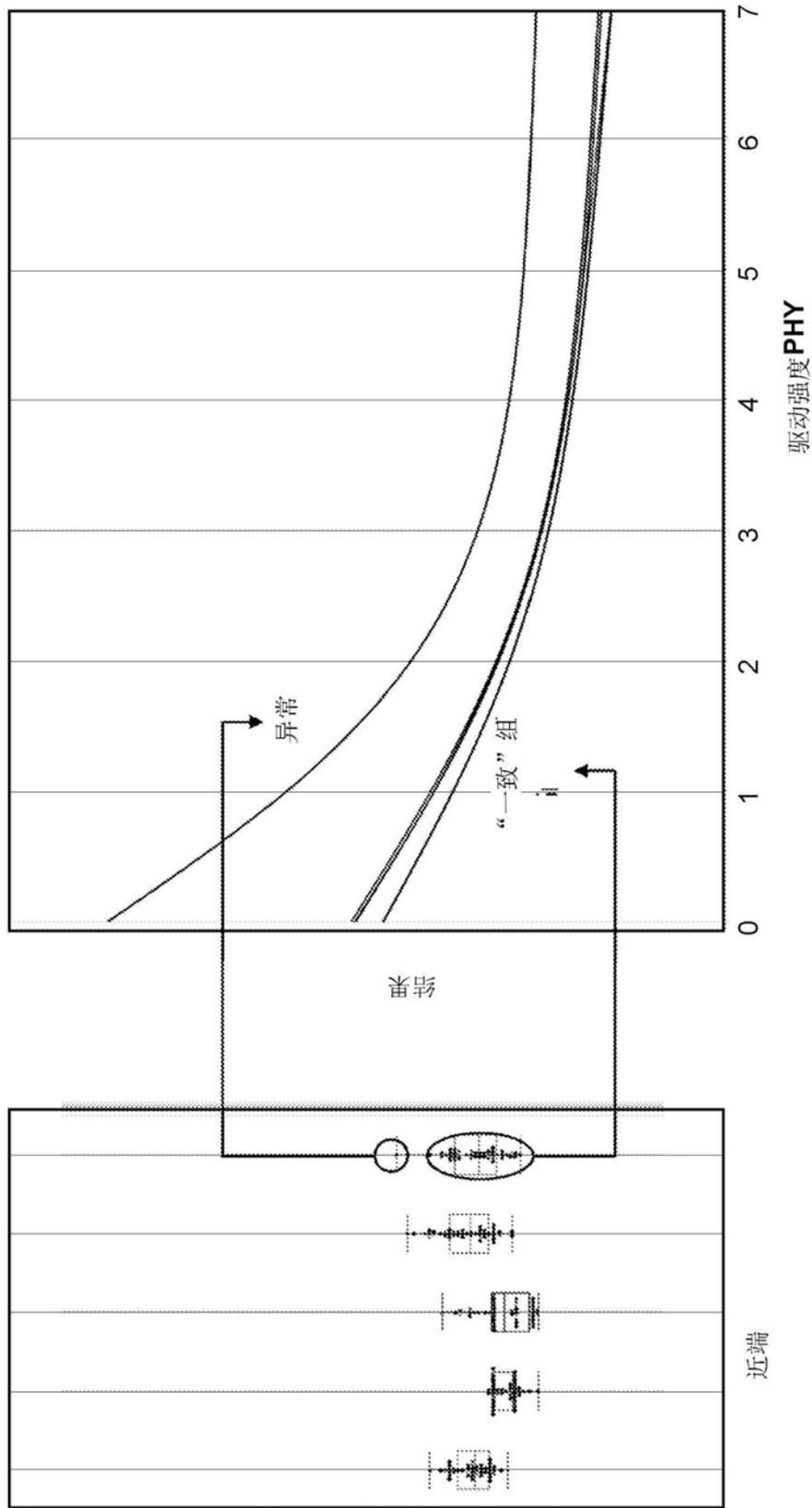


图17



结果

图18

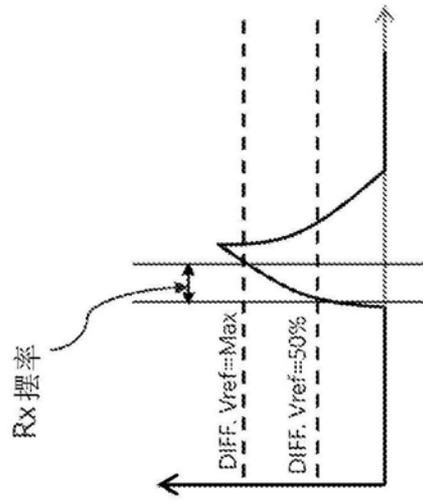


图19A

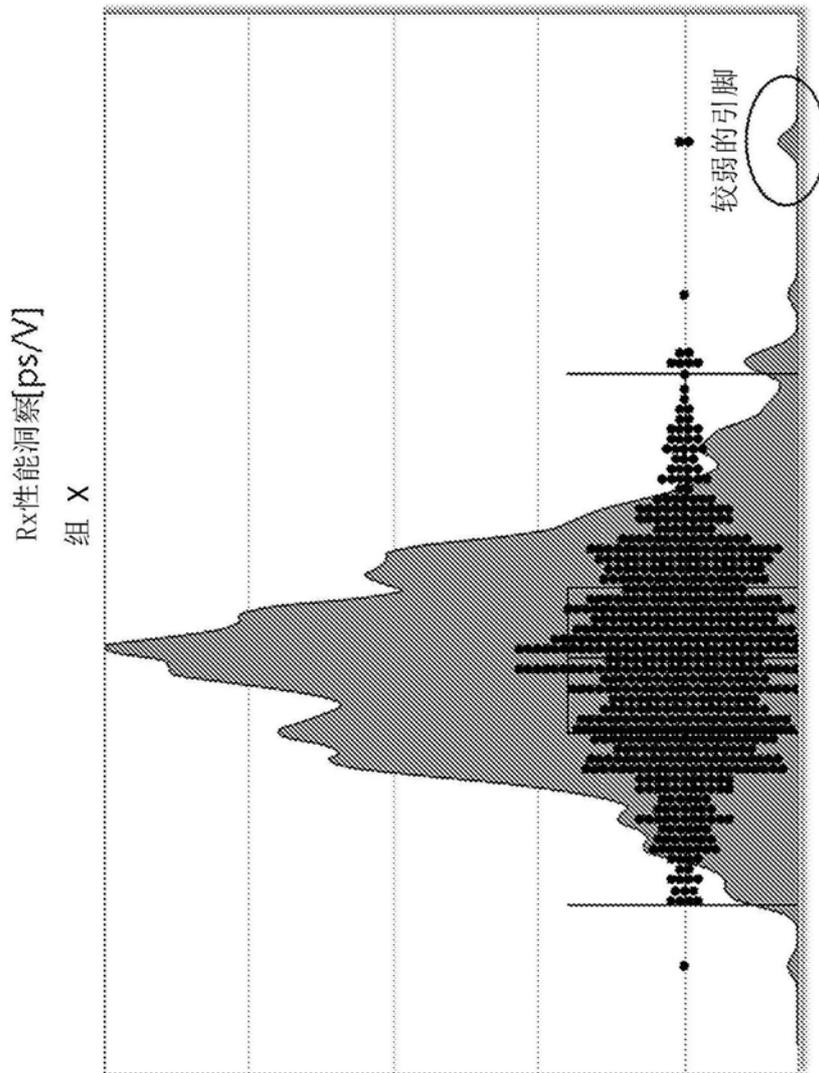
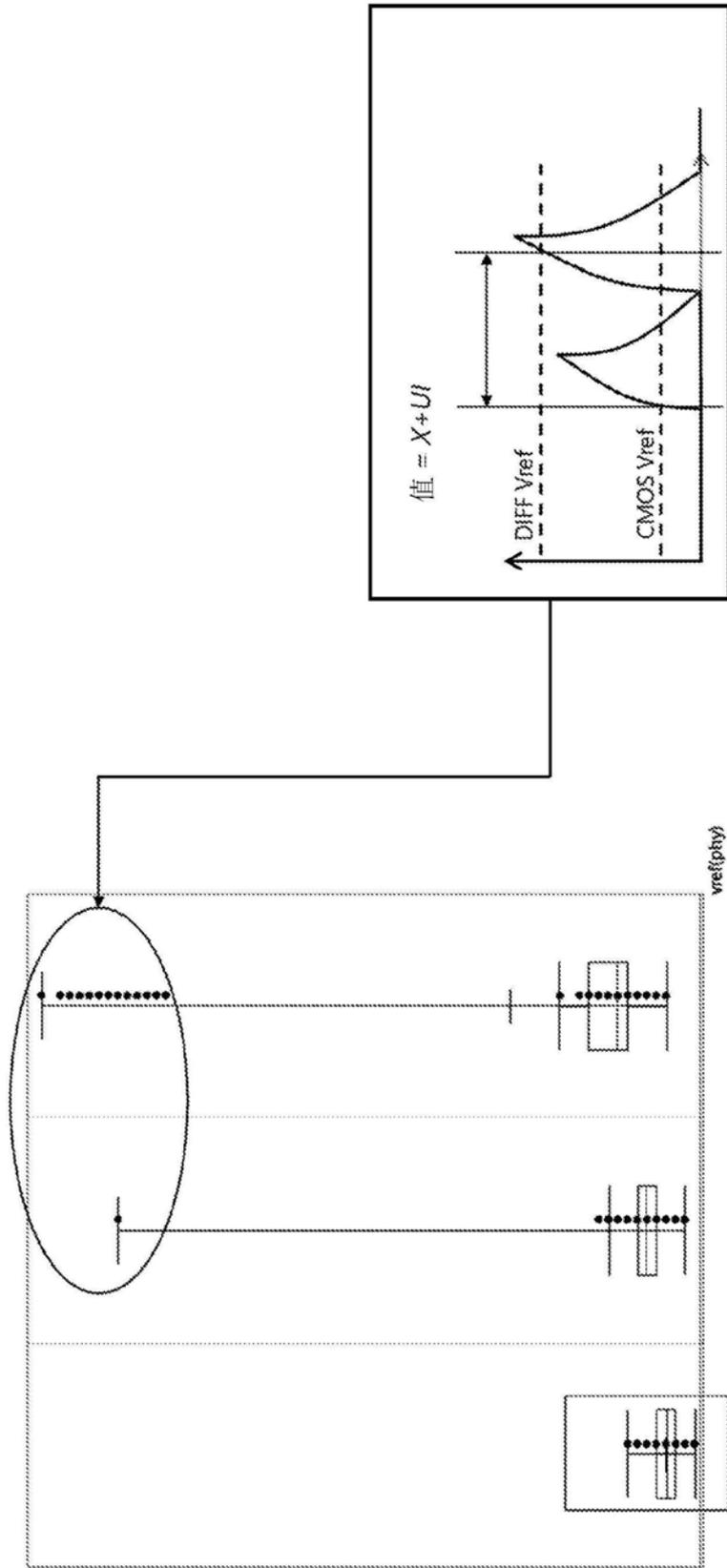


图19B



结果

图20

与眼开相关的Rx性能洞察

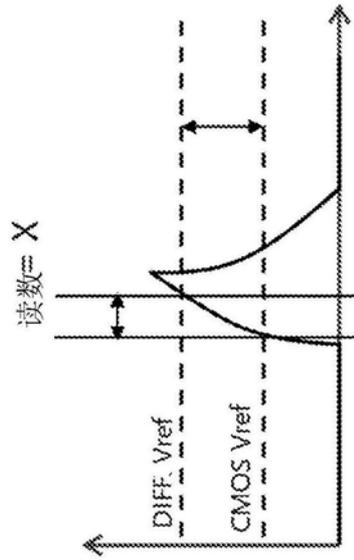


图21A

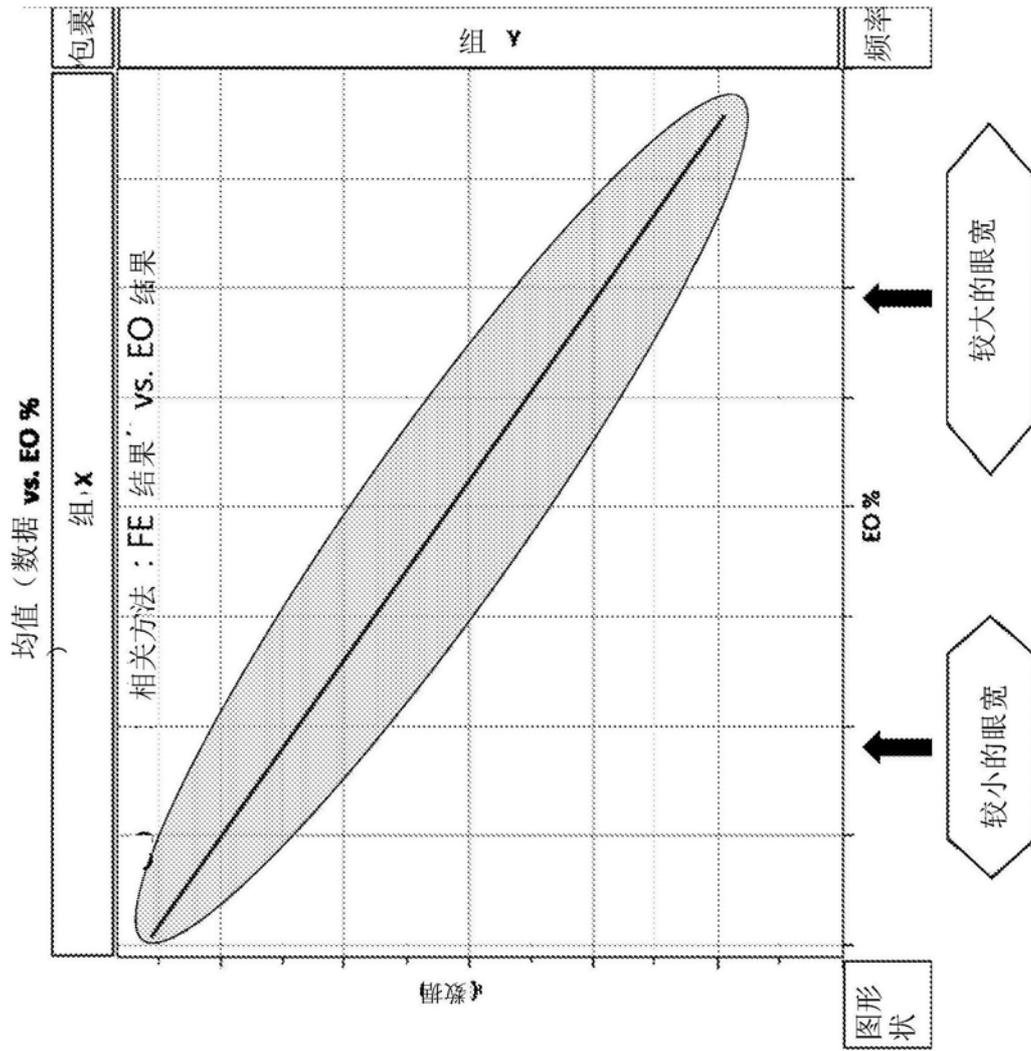


图21B

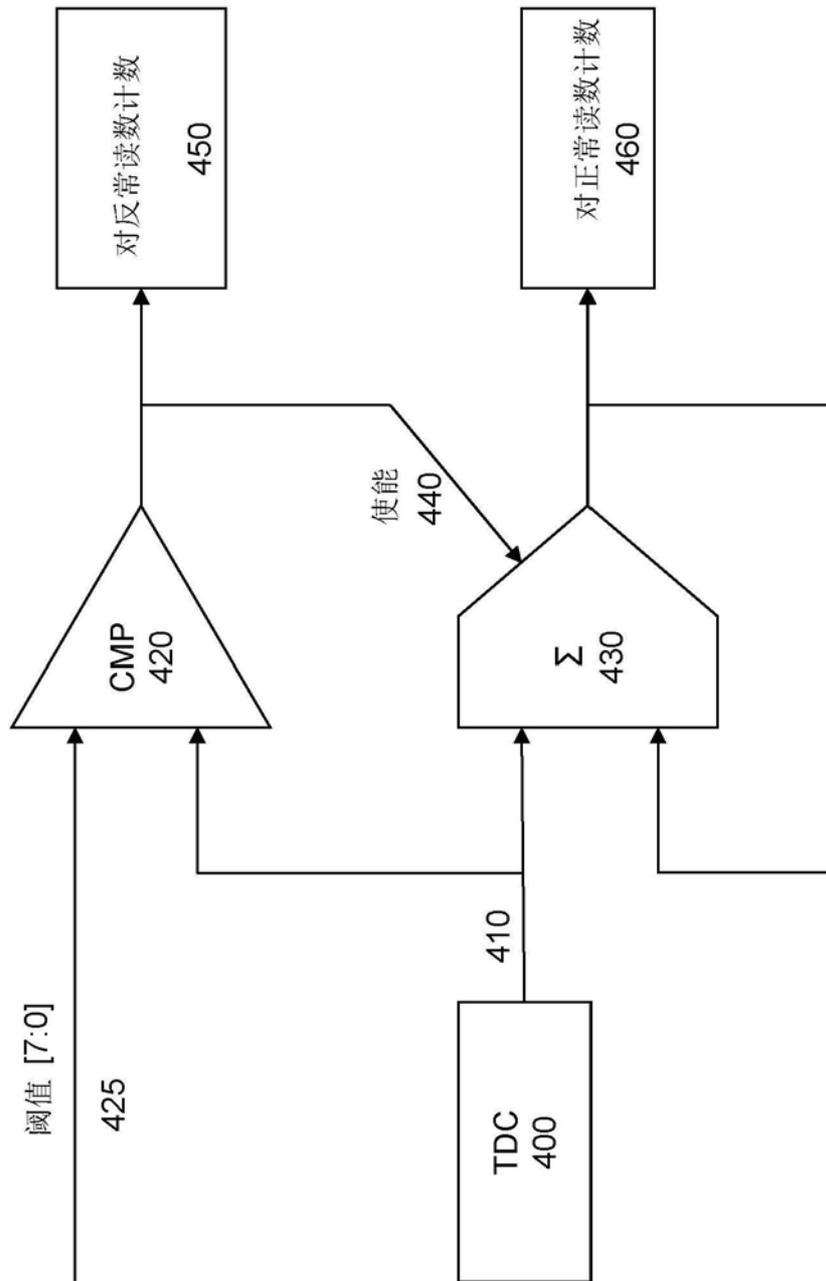


图22