



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0091092
 (43) 공개일자 2008년10월09일

- | | |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) Int. Cl.
 HO4M 1/73 (2006.01) HO4B 1/40 (2006.01)
 G06F 1/26 (2006.01) G06F 1/32 (2006.01)</p> <p>(21) 출원번호 10-2008-7013241
 (22) 출원일자 2008년05월30일
 심사청구일자 2008년06월17일
 번역문제출일자 2008년05월30일</p> <p>(86) 국제출원번호 PCT/US2006/060410
 국제출원일자 2006년10월31일</p> <p>(87) 국제공개번호 WO 2007/053839
 국제공개일자 2007년05월10일</p> <p>(30) 우선권주장
 11/286,087 2005년11월22일 미국(US)
 60/732,228 2005년10월31일 미국(US)</p> | <p>(71) 출원인
 쉘컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775</p> <p>(72) 발명자
 엘제벨리 모하메드
 미국 92122 캘리포니아주 샌디에고 토스카나 웨이 5325 넘버 613
 말릭 쿠람 자카
 미국 95054 캘리포니아주 산타 클라라 릭밀 블러바드 3901 넘버229
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인코리아나</p> |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

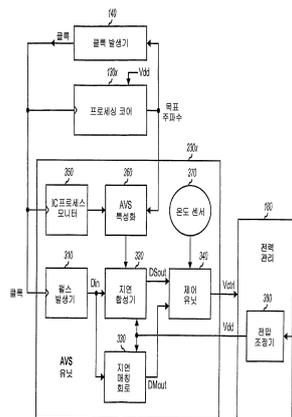
전체 청구항 수 : 총 45 항

(54) 전자 디바이스를 위한 적응형 전압 스케일링

(57) 요약

프로세싱 코어에 대한 전압을 적응적으로 스케일링하는 기술들이 여기에 설명된다. 하나의 방식에서, 프로세싱 코어에 대한 로직 스피드 및 와이어 스피드가 예를 들어 상이한 회로 컴포넌트들로 구성된 다수의 신호 경로들을 갖는 링 발진기를 사용하여 특성화된다. 프로세싱 코어에 대한 목표 클럭 주파수는 예를 들어 코어에 대한 계산상의 요건들에 기초하여 결정된다. 복제된 크리티컬 신호 경로는 특성화된 로직 스피드 및 와이어 스피드와 목표 클럭 주파수에 기초하여 형성된다. 이러한 복제된 크리티컬 경로는 프로세싱 코어 내의 실제의 크리티컬 경로를 에뮬레이션하고 상이한 임계 전압들을 갖는 로직 셀들, 다이내믹 셀들, 비트 라인 셀들, 와이어들, 상이한 임계 전압들 및/또는 팬-아웃들 등과 같은 회로 컴포넌트들의 상이한 형태들을 포함할 수도 있다. 프로세싱 코어 및 복제된 크리티컬 경로에 대한 공급 전압은 양쪽이 원하는 성능을 달성하도록 조정된다.

대표도 - 도3



(72) 발명자

최-에오안 류 지

미국 92009 캘리포니아주 칼스배드 랜초 밀아그로
3246

정성욱

미국 92127 캘리포니아주 샌디에고 크로스 스톤 드
라이브 15015

특허청구의 범위

청구항 1

프로세싱 코어 내의 신호 경로를 에뮬레이팅 (emulating) 하도록 구성되고 적어도 두 개의 임계 전압들을 갖는 트랜지스터 디바이스들을 포함하는 지연 합성기; 및

상기 지연 합성기에 커플링되고 상기 지연 합성기의 출력에 기초하여 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 2

제 1 항에 있어서,

상기 제어 유닛은 상기 제어를 제공하여 상기 프로세싱 코어에 대한 공급 전압을 조정하도록 구성된, 집적 회로.

청구항 3

제 1 항에 있어서,

상기 지연 합성기는 상기 적어도 두 개의 임계 전압들의 각각에 대한 선택가능한 수의 트랜지스터 디바이스들을 포함하는, 집적 회로.

청구항 4

제 1 항에 있어서,

상기 적어도 두 개의 임계 전압들은 높은 임계 전압 (HVT) 및 낮은 임계 전압 (LVT) 을 포함하는, 집적 회로.

청구항 5

제 4 항에 있어서,

상기 지연 합성기는 선택가능한 수의 HVT 트랜지스터 디바이스들 및 선택가능한 수의 LVT 트랜지스터 디바이스들을 포함하는, 집적 회로.

청구항 6

제 1 항에 있어서,

상기 지연 합성기는 상기 적어도 두 개의 임계 전압들을 갖는 상기 트랜지스터 디바이스들에 의해 형성된 로직 셀들을 포함하는, 집적 회로.

청구항 7

제 1 항에 있어서,

상기 지연 합성기는 상기 적어도 두 개의 임계 전압들을 갖는 상기 트랜지스터 디바이스들에 의해 형성된 구동기들을 포함하는, 집적 회로.

청구항 8

프로세싱 코어 내의 신호 경로를 에뮬레이팅하도록 구성되고 적어도 하나의 로직 셀, 적어도 하나의 와이어, 및 상이한 전기적 특성들을 갖는 적어도 두 개의 구동기들 중에서 선택된 적어도 하나의 구동기를 포함하는 지연 합성기; 및

상기 지연 합성기에 커플링되고 상기 지연 합성기의 출력에 기초하여 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 9

제 8 항에 있어서,

상기 적어도 두 개의 구동기들은 상이한 임계 전압들을 갖는, 집적 회로.

청구항 10

제 8 항에 있어서,

상기 적어도 두 개의 구동기들은 상이한 팬-아웃들 (fan-outs) 을 갖는, 집적 회로.

청구항 11

제 8 항에 있어서,

상기 지연 합성기는 선택가능한 수의 로직 셀들 및 선택가능한 수의 와이어들을 포함하는, 집적 회로.

청구항 12

제 8 항에 있어서,

상기 적어도 하나의 로직 셀은 상이한 임계 전압들을 갖는 적어도 두 개의 로직 셀들 중에서 선택되는, 집적 회로.

청구항 13

제 8 항에 있어서,

상기 제어 유닛은 상기 제어를 제공하여 상기 프로세싱 코어에 대한 공급 전압을 조정하도록 구성되는, 집적 회로.

청구항 14

프로세싱 코어 내의 신호 경로를 에뮬레이팅하도록 구성되고 상기 프로세싱 코어 내의 확산 커패시턴스를 모델링하는 데 사용된 적어도 하나의 다이내믹 셀을 포함하는 지연 합성기; 및

상기 지연 합성기에 커플링되고 상기 지연 합성기의 출력에 기초하여 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 15

제 14 항에 있어서,

상기 지연 합성기는 선택가능한 수의 다이내믹 셀들을 포함하는, 집적 회로.

청구항 16

제 14 항에 있어서,

각각의 다이내믹 셀은 상기 확산 커패시턴스를 모델링하는 적어도 하나의 트랜지스터와 상기 적어도 하나의 트랜지스터를 충전 및 방전하도록 구성된 제 1 트랜지스터 및 제 2 트랜지스터를 포함하는, 집적 회로.

청구항 17

프로세싱 코어 내의 신호 경로를 에뮬레이팅하도록 구성되고 메모리 액세스 지연들을 모델링하는 데 사용된 적어도 하나의 비트 라인 셀을 포함하는 지연 합성기; 및

상기 지연 합성기에 커플링되고 상기 지연 합성기의 출력에 기초하여 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 18

제 17 항에 있어서,

상기 지연 합성기는 선택가능한 수의 비트 라인 셀들을 포함하는, 집적 회로.

청구항 19

제 17 항에 있어서,

각각의 비트 라인 셀은 적어도 하나의 메모리 셀 및 상기 적어도 하나의 메모리 셀에 커플링된 감지 증폭기를 포함하는, 집적 회로.

청구항 20

프로세싱 코어 내의 신호 경로를 에플레이팅하도록 구성되고, 지연 합성기를 프로그래밍하기 위한 적어도 하나의 멀티플렉서를 포함하는, 상기 지연 합성기;

상기 지연 합성기 내의 상기 적어도 하나의 멀티플렉서의 지연을 추정하도록 구성된 지연 매칭 회로; 및

상기 지연 합성기 및 상기 지연 매칭 회로에 커플링되고 상기 지연 합성기 및 상기 지연 매칭 회로의 출력들에 기초하여 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 21

제 20 항에 있어서,

상기 제어 유닛은 상기 제어를 제공하여 상기 프로세싱 코어에 대한 공급 전압을 조정하도록 구성된, 집적 회로.

청구항 22

제 20 항에 있어서,

상기 지연 합성기는 적어도 하나의 지연 라인을 포함하고,

각각의 지연 라인은 적어도 하나의 셀을 포함하고 상기 지연 라인 내의 구성가능한 수의 셀들을 선택하도록 동작하는 멀티플렉서에 커플링되는, 집적 회로.

청구항 23

제 22 항에 있어서,

각각의 지연 라인에 대한 멀티플렉서는 상기 지연 라인 내의 적어도 하나의 셀을 선택하도록 동작하는, 집적 회로.

청구항 24

제 20 항에 있어서,

상기 지연 매칭 회로는 상기 지연 합성기 내의 상기 적어도 하나의 멀티플렉서를 위해 적어도 하나의 부분 멀티플렉서를 포함하고,

각각의 부분 멀티플렉서는 연관된 멀티플렉서에 대한 하나의 입력 및 출력 간의 신호 경로를 포함하는, 집적 회로.

청구항 25

프로세싱 코어에 대해 상이한 위치들에 배치된 적어도 두 개의 지연 합성기들로서, 각각의 지연 합성기는 상기 프로세싱 코어 내의 크리티컬 (critical) 신호 경로를 에플레이팅하도록 구성되는, 상기 적어도 두 개의 지연합성기들; 및

상기 적어도 두 개의 지연 합성기들에 커플링되고, 상기 적어도 두 개의 지연 합성기들의 출력들을 수신하고 상기 프로세싱 코어에 대한 공급 전압을 조정하기 위해 제어를 제공하도록 구성된 제어 유닛을 포함하는, 집적 회로.

청구항 26

제 25 항에 있어서,

상기 적어도 두 개의 지연 합성기들은 상기 프로세싱 코어의 상이한 코너들에 배치되는, 집적 회로.

청구항 27

로직 또는 로직 및 와이어 양쪽 모두에 기초하여 발진기 신호를 발생시키도록 구성된 발진기; 및
 상기 발진기 신호에 기초하여 제 1 출력 및 제 2 출력을 제공하도록 구성된 제어 유닛으로서, 상기 제 1 출력은 로직 스피드를 나타내고 상기 제 2 출력은 와이어 스피드 또는 로직 스피드와 와이어 스피드 양쪽 모두를 나타내는, 상기 제어 유닛을 포함하는, 집적 회로.

청구항 28

제 27 항에 있어서,
 상기 발진기는 적어도 하나의 지연 유닛을 포함하고,
 각각의 지연 유닛은 로직으로 구성된 제 1 신호 경로 및 로직 및 와이어 양쪽 모두로 구성된 제 2 신호 경로를 포함하는, 집적 회로.

청구항 29

제 27 항에 있어서,
 상기 제어 유닛은 로직에 대한 제 1 주파수 카운트를 획득하고, 로직 및 와이어 양쪽 모두에 대한 제 2 주파수 카운트를 획득하고, 상기 제 1 및 제 2 주파수 카운트에 기초하여 상기 제 1 출력 및 상기 제 2 출력을 발생시키도록 구성된, 집적 회로.

청구항 30

프로세싱 코어 내의 크리티컬 (critical) 신호 경로를 규명하도록 구성된 특성화 유닛 (characterization unit); 및
 상기 특성화 유닛에 커플링되고, 상기 특성화 유닛에 의해 규명된 상기 크리티컬 신호 경로를 에뮬레이팅하도록 구성되고, 상이한 임계 전압들을 갖는 로직, 와이어들, 상이한 팬-아웃들을 갖는 구동기들, 또는 이들의 조합을 포함하는 지연 합성기를 포함하는, 장치.

청구항 31

제 30 항에 있어서,
 상기 프로세싱 코어에 대한 로직 스피드 및 와이어 스피드를 결정하도록 구성된 모니터 유닛을 더 포함하는, 장치.

청구항 32

제 30 항에 있어서,
 상기 특성화 유닛은 상기 프로세싱 코어에 대한 목표 클럭 주파수를 수신하고 상기 목표 클럭 주파수에 기초하여 상기 크리티컬 신호 경로를 규명하도록 구성된, 장치.

청구항 33

제 32 항에 있어서,
 상기 목표 클럭 주파수는 상기 프로세싱 코어에 대한 성능 요건들에 기초하여 동적으로 선택되는, 장치.

청구항 34

제 30 항에 있어서,
 상기 특성화 유닛은 상기 프로세싱 코어에 대한 로직 스피드 및 와이어 스피드를 수신하고 상기 로직 스피드 및 와이어 스피드에 기초하여 상기 크리티컬 신호 경로를 규명하도록 구성되는, 장치.

청구항 35

제 34 항에 있어서,

상기 특성화 유닛은 로직 스피드 및 와이어 스피드의 복수의 조합들에 대한 복수의 룩업 테이블들을 포함하고, 각각의 룩업 테이블은 로직 스피드 및 와이어 스피드의 상이한 조합에 대한 상기 크리티컬 신호 경로를 나타내는, 장치.

청구항 36

제 35 항에 있어서,

각각의 상기 룩업 테이블은 복수의 클록 주파수들에 대한 복수의 신호 경로들을 포함하고,

상기 특성화 유닛은 상기 크리티컬 신호 경로로서 상기 특성화 유닛에 의해 수신된 상기 로직 스피드 및 상기 와이어 스피드와 연관된 룩업 테이블 호출에서의 목표 클록 주파수에 대한 신호 경로를 제공하도록 구성되는, 장치.

청구항 37

제 30 항에 있어서,

상기 지연 합성기에 커플링되고, 상기 지연 합성기로부터의 출력을 수신하고 상기 프로세싱 코어에 대한 공급 전압을 조정하기 위해 제어를 제공하도록 구성된 제어 유닛을 더 포함하는, 장치.

청구항 38

상이한 임계 전압들을 갖는 로직, 와이어들, 상이한 팬-아웃들을 갖는 구동기들, 또는 이들의 조합을 사용하여 프로세싱 코어에 대한 크리티컬 신호 경로를 복제하는 단계; 및

상기 복제된 크리티컬 신호 경로의 지연들에 기초하여 상기 프로세싱 코어에 대한 공급 전압을 조정하는 단계를 포함하는, 방법.

청구항 39

제 38 항에 있어서,

상기 프로세싱 코어에 대한 목표 클록 주파수를 결정하는 단계를 더 포함하고,

상기 복제된 크리티컬 신호 경로는 상기 목표 클록 주파수에 기초하여 형성되는, 방법.

청구항 40

제 38 항에 있어서,

상기 프로세싱 코어의 로직 스피드 및 와이어 스피드를 특성화하는 단계를 더 포함하고,

상기 복제된 크리티컬 신호 경로는 상기 로직 스피드 및 상기 와이어 스피드에 기초하여 형성되는, 방법.

청구항 41

제 38 항에 있어서,

상기 복제된 크리티컬 신호 경로 내의 멀티플렉서들의 지연들을 추정하는 단계를 더 포함하고,

상기 공급 전압은 상기 멀티플렉서들의 상기 추정된 지연들에 또한 기초하여 조정되는, 방법.

청구항 42

상이한 임계 전압들을 갖는 로직, 와이어들, 상이한 팬-아웃들을 갖는 구동기들, 또는 이들의 조합을 사용하여 프로세싱 코어에 대한 크리티컬 신호 경로를 복제하는 수단; 및

상기 복제된 크리티컬 신호 경로의 지연에 기초하여 상기 프로세싱 코어에 대한 공급 전압을 조정하는 수단을 포함하는, 장치.

청구항 43

제 42 항에 있어서,

상기 프로세싱 코어에 대한 목표 클럭 주파수를 결정하는 수단을 더 포함하고,

상기 복제된 크리티컬 신호 경로는 상기 목표 클럭 주파수에 기초하여 형성되는, 장치.

청구항 44

제 42 항에 있어서,

상기 프로세싱 코어의 로직 스피드 및 와이어 스피드를 특성화하는 수단을 더 포함하고,

상기 복제된 크리티컬 신호 경로는 상기 로직 스피드 및 상기 와이어 스피드에 기초하여 형성되는, 장치.

청구항 45

제 42 항에 있어서,

상기 복제된 크리티컬 신호 경로 내의 멀티플렉서들의 지연들을 추정하는 수단을 더 포함하고,

상기 공급 전압은 상기 멀티플렉서들의 상기 추정된 지연들에 또한 기초하여 조정되는, 장치.

명세서

<1> **배경**

<2> **I. 관련 출원**

<3> 본 출원은 2005년 10월 31일자로 출원되고, 본 출원의 양수인에게 양도되고, 모든 목적을 위해 그 전체가 참조로 여기에 포함된, 그 명칭이 "ADAPTIVE VOLTAGE SCALING FOR AN ELECTRONICS DEVICE" 인 미국 가출원 번호 제 60/732,228 호의 이익을 주장한다.

<4> **II. 분야**

<5> 본 개시는 일반적으로 회로에 관한 것으로서, 특히, 전자 디바이스를 위해 배터리 전력을 보존하는 기술에 관한 것이다.

<6> **III. 배경**

<7> 무선 디바이스들 (예를 들어, 셀룰러 전화) 은 무선 통신, 메시징, 비디오, 게임 등과 같은 다양한 애플리케이션을 위해 널리 사용된다. 무선 디바이스들에 대한 애플리케이션들 및 기능들은 증가하는 소비자 수요를 충족시키기 위해 계속해서 확장하고 있다. 결과적으로, 더욱 세련된 무선 디바이스들이 소형 디바이스 사이즈를 갖는 더욱 많은 애플리케이션들 및 기능들을 지원하기 위해 더욱 높은 레벨의 집적도 및 더욱 빠른 동작 속도를 갖도록 계속해서 설계되고 있다.

<8> 고도로 집적된 무선 디바이스들은 더욱 많은 전력을 소비할 수도 있다. 이것은 높은 클럭에서의 동작시에 특히 사실일 수도 있다. 더욱 높은 전력 소비는 배터리 수명을 단축시키며, 이것은 긴 배터리 수명이 휴대용 무선 디바이스들에 대한 중요한 설계 및 마케팅 파라미터이기 때문에 매우 바람직하지 않다. 이리하여, 많은 양의 설계 노력이 종종 양호한 성능을 달성하면서 배터리 수명을 연장하는데 기울여진다. 예를 들어, 무선 디바이스들은 종종 전력을 보존하기 위해 아이들 모드에서의 동작시 가능한 한 많은 회로를 파워 다운 (power down) 하도록 설계된다. 활성 모드에서의 동작시 전력 소비를 감소시키는 효과적인 방법은, 전력 소비가 대략 공급 전압의 2차 함수이므로 공급 전압을 스케일링하거나 조정하는 것이다. 예를 들어, 공급 전압을 10 퍼센트 만큼 줄이는 것은 전력 소비를 거의 20 퍼센트 만큼 절약할 수도 있다.

<9> 공급 전압 스케일링의 목적은 요구된 성능을 유지하면서 공급 전압을 가능한 한 많이 감소시키는 것이다. 이것은 집적 회로 (IC) 내의 크리티컬 신호 경로, 예를 들어 가장 긴 지연을 갖는 신호 경로를 식별하고, 그 크리티컬 신호 경로가 타이밍 요건을 충족시키도록 공급 전압을 조정함으로써 달성될 수도 있다. 이러한 기준은 몇 가지 이유들로 인해 현대의 VLSI 회로에서 확립하기가 어렵다. 첫째, 크리티컬 신호 경로는 공급 전압이 변화함에 따라 변경될 수 있다. 하나의 신호 경로는 하나의 공급 전압에서 중요할 수도 있는 반면 또 다른 신호 경로는 또 다른 공급 전압에서 중요할 수도 있다. 둘째, 주어진 공급 전압에서, 크리티컬 신호

경로는 IC 프로세서 및 온도 변화에 기초하여 다이마다 변할 수도 있다. 종래에, 이들 변화는 모든 조건들에서 적절한 동작을 보장하기 위해 큰 안전성 마진을 추가하는 것에 의해 설명된다. 이러한 큰 안전성 마진은 통상 많은 시간에 더욱 높은 전력 소비를 초래한다.

<10> 따라서, 본 기술분야에서 무선 디바이스를 위한 배터리 전력을 더욱 효과적으로 보존하는 기술들에 대한 필요가 존재한다.

<11> **요약**

<12> 전자 디바이스들 (예를 들어, 셀룰러 전화) 에 대한 공급 전압을 적응적으로 스케일링하는 기술들이 여기에 설명된다. 특정의 실시형태에서, 프로세싱 코어에 대한 로직 스피드 및 와이어 스피드는, 예를 들어 링 발진기를 사용하여 특성화된다. 프로세싱 코어에 대한 목표 클럭 주파수는, 예를 들어 그 코어에 대한 계산상의 요건에 기초하여 결정된다. 복제된 크리티컬 경로 (critical path) 가 특성화된 로직 스피드 및 와이어 스피드 및 목표 클럭 주파수에 기초하고 프로그램가능한 지연 라인들의 세트를 사용하여 형성된다. 이러한 복제된 크리티컬 경로는 프로세싱 코어 내의 실제의 크리티컬 경로를 에뮬레이팅 (emulating) 하고, 이하에 설명되는 바와 같이, 상이한 임계 전압들을 갖는 로직 셀들, 다이내믹 셀들, 비트 라인 셀들, 와이어들, 상이한 임계 전압 및/또는 팬-아웃을 갖는 구동기 등과 같은 상이한 형태의 회로 컴포넌트들을 포함할 수도 있다. 프로세싱 코어 및 복제된 크리티컬 경로에 대한 공급 전압은 양자 모두가 원하는 성능을 달성하도록 조정된다.

<13> 본 발명의 다양한 양태들 및 실시형태들이 이하에 더욱 상세히 기술된다.

<14> **도면의 간단한 설명**

<15> 본 발명의 특징 및 특성은 명세서에 걸쳐 동일한 참조부호가 동일한 요소에 사용되는 도면을 참조하여 취해진 상세한 설명으로부터 더욱 명백해질 것이다.

<16> 도 1은 무선 디바이스의 블록 다이어그램을 도시한다.

<17> 도 2는 적응형 전압 스케일링 (adaptive voltage scaling: AVS) 을 갖는 ASIC 을 도시한다.

<18> 도 3은 프로세싱 코어를 위한 AVS 유닛을 도시한다.

<19> 도 4a 및 도 4b 는 AVS 유닛 내의 지연 합성기를 도시한다.

<20> 도 5a, 도 5b 및 도 5c 는 각각 지연 합성기 내의 로직 셀, 다이내믹 셀, 비트 라인 셀을 도시한다.

<21> 도 6은 최소의 수를 갖는 셀들을 갖는 복제된 크리티컬 경로를 도시한다.

<22> 도 7은 AVS 유닛 내의 지연 매칭 회로를 도시한다.

<23> 도 8은 AVS 유닛 내의 제어 유닛을 도시한다.

<24> 도 9는 AVS 유닛 내의 IC 프로세스 모니터 유닛을 도시한다.

<25> 도 10a 및 도 10b 는 AVS 유닛 내의 AVS 특성화 유닛을 도시한다.

<26> 도 11은 두 개의 신호 경로들의 성능에 대한 플롯을 도시한다.

<27> 도 12는 적응형 전압 스케일링을 수행하는 프로세스를 도시한다.

<28> **상세한 설명**

<29> 용어 "예시적인" 은 여기서 "예, 예시 또는 설명으로서 작용하는"을 의미하는데 사용된다. "예시적인"으로서 여기에 기재된 실시형태나 설계는 다른 실시형태들이나 설계들에 비해 반드시 바람직하다거나 이롭다라고 이해해서는 않된다.

<30> 여기에 기술된 적응형 전압 스케일링 기술들은 다양한 형태의 집적회를 위해 사용될 수도 있다. 예를 들어, 이들 기술들은 주문형 반도체 (ASIC), 디지털 신호 프로세서 (DSP), 디지털 신호 프로세싱 디바이스 (DSPD), 프로그래머블 로직 디바이스 (PLD), 필드 프로그래머블 게이트 어레이 (FPGA), 프로세서, 제어기, 마이크로프로세서 등을 위해 사용될 수도 있다. 이들 기술들은 또한 무선 통신 디바이스, 셀룰러 전화, 개인용 휴대정보단말 (PDA), 휴대용 컴퓨터 등과 같은 다양한 전자 디바이스들을 위해 사용될 수도 있다. 명확성을 위해, 그 기술들이 무선 디바이스, 예를 들어 셀룰러 전화 내의 ASIC 에 대해 이하에 기술된다.

<31> 도 1은 하나 이상의 무선 통신 시스템들을 모니터링 및/또는 그 무선 통신 시스템들과 통신할 수도 있는 무선

디바이스 (100) 의 블록 다이어그램을 도시한다. 수신 경로 상에서, 안테나 (112) 는 기지국들 및/또는 위성들에 의해 송신된 신호들을 수신하고 수신된 신호를 수신기 (RCVR) (114) 에 제공한다. 수신기 (114) 는 수신된 신호를 프로세싱 (예를 들어, 필터링, 증폭, 주파수 다운컨버팅 및 디지털화) 하고 또 다른 프로세싱을 위해 샘플들을 ASIC (120) 에 제공한다. 송신 경로 상에서, ASIC (120) 은 송신될 데이터를 프로세싱하고 데이터 칩들을 송신기 (TMTR) (116) 에 제공한다. 송신기 (116) 는 데이터 칩들을 프로세싱 (예를 들어, 아날로그로 변환, 필터링, 증폭 및 주파수 업컨버팅) 하고 안테나 (112) 를 통해 송신되는 변조된 신호를 발생시킨다.

<32> ASIC (120) 은 하나 이상의 통신 시스템들을 모니터링 및/또는 그 통신 시스템들과의 통신을 지원하는 다양한 프로세싱 유닛들을 포함한다. 도 1에 도시된 실시형태에서, ASIC (120) 은 DSP 코어 (130a 및 130b), 프로세서 코어 (130c 및 130d), 클럭 발생기 (140), 내부 메모리 (150), 외부 인터페이스 유닛 (160) 및 다른 회로 (170) 를 포함한다. DSP 코어 (130a 및 130b) 는 수신 경로에 대한 프로세싱 (예를 들어, 복조 및 디코딩), 송신 경로에 대한 프로세싱 (예를 들어, 인코딩 및 변조), 및/또는 다른 애플리케이션 및 기능들에 대한 프로세싱을 수행한다. 각각의 DSP 코어는 하나 이상의 송신-및-누산 (MAC) 유닛, 하나 이상의 산술 논리 연산 유닛 (ALU) 등을 포함할 수도 있다. 프로세서 코어 (130c 및 130d) 는 비디오, 오디오, 그래픽, 게임 등과 같은 다양한 기능들을 지원한다.

<33> 클럭 발생기 (140) 는 ASIC (120) 내의 프로세싱 유닛들에 의해 사용되는 클럭들을 발생시키고 크리스탈, 인덕터, 커패시터 등을 포함할 수도 있는 외부 회로 (142) 에 커플링할 수도 있다. 클럭 발생기 (140) 는 클럭들을 발생시키는데 사용되는 발진기들을 제어하는 하나 이상의 위상 고정 루프 (PLL) 를 포함할 수도 있다. 내부 메모리 (150) 는 ASIC (120) 내부의 프로세싱 유닛들에 의해 사용되는 데이터 및 프로그램 코드들을 저장한다. 외부 인터페이스 유닛 (160) 은 ASIC (120) 에 대해 외부에 있는 다른 유닛들과 인터페이싱한다. 다른 회로 (170) 는 ASIC (120) 내의 다양한 프로세싱 유닛들, 수신기 (114) 및 송신기 (116) 를 위한 PLL 들, 및/또는 다른 회로로의 전력을 제어하는 전력 제어 유닛을 포함할 수도 있다.

<34> 도 1에 도시된 실시형태에서, ASIC (120) 은 또한 전력 관리 유닛 (180), 휘발성 메모리 (190), 및 비휘발성 메모리 (192) 와 커플링할 수 있다. 전력 관리 유닛 (180) 은 배터리 (182) 와 커플링하고 전력 커넥터를 통해 외부 전력을 수신한다. 전력 관리 유닛 (180) 은 수신된 전력 공급을 컨디셔닝하고 조정된 공급 전압을 ASIC (120) 내의 프로세싱 유닛들에 제공한다. 휘발성 메모리 (190) 는 ASIC (120) 에 의해 사용되는 데이터 및 프로그램 코드들에 대한 벌크 저장을 제공한다. 비휘발성 메모리 (192) 는 벌크 비휘발성 저장을 제공한다.

<35> 일반적으로, 무선 디바이스 (100) 는 도 1에 도시된 것들보다 더 적은, 더 많은 및/또는 상이한 집적회로들을 포함할 수도 있다. 또한, ASIC (120) 은 도 1에 도시된 것들보다 더 적은, 더 많은 및/또는 상이한 프로세싱 유닛들을 포함할 수도 있다. 일반적으로, ASIC (120) 은 임의의 수의 DSP 코어들 및 임의의 수의 프로세서 코어들을 포함할 수도 있다. ASIC (120) 내에 포함된 프로세싱 유닛들의 수 및 프로세싱 유닛들의 형태는 통상 통신 시스템, 애플리케이션, 및 무선 디바이스 (100) 에 의해 지원되는 기능과 같은 다양한 팩터들에 의존한다.

<36> 도 2는 적응형 전압 스케일링 (AVS) 을 갖는 ASIC (120) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 하나의 AVS 유닛 (230) 이 각각의 프로세싱 코어에 제공되고 그 코어에 대한 공급 전압을 적응적으로 스케일링 하는데 사용된다. 특히, AVS 유닛 (230a 및 230b) 은 각각 DSP 코어 (130a 및 130b) 에 대해 적응형 전압 스케일링을 수행하고, AVS 유닛 (230c 및 230d) 은 각각 프로세서 코어 (130c 및 130d) 에 대해 적응형 전압 스케일링을 수행한다.

<37> 각각의 프로세싱 코어 (130) 는 그 코어 내의 동기 회로들을 트리거하는 데 사용되는 클럭을 클럭 발생기 (140) 로부터 수신한다. 각각의 코어 (130) 는 그것의 클럭에 대한 목표 주파수를 클럭 발생기 (140) 및 그것이 AVS 유닛 (230) 에 제공한다. 이러한 목표 주파수는 코어에 대한 계산상의 요건 및 프로세싱 부하에 기초하여 선택될 수도 있다. 각각의 프로세싱 코어 (130) 에 대하여, 클럭 발생기 (140) 는 목표 주파수의 클럭을 발생시키고 이 클럭을 연관된 AVS 유닛 (230) 뿐 아니라 그 코어에도 제공한다. 각각의 프로세싱 코어 (130) 및 그것의 연관된 AVS 유닛 (230) 은 또한 전력 관리 유닛 (180) 으로부터 조정된 공급 전압 (Vdd) 을 수신한다. 각각의 프로세싱 코어 (130) 에 대한 공급 전압은 연관된 AVS 유닛 (230) 에 의해 그 코어가 목표 클럭 주파수에서 동작할 수 있도록 설정된다.

<38> 도 2에 도시된 실시형태에서, 각각의 프로세싱 코어 (130) 에 대한 클럭은 클럭 발생기 (140) 에 의해 독립적으

로 설정될 수도 있고, 각각의 프로세싱 코어 (130) 에 대한 공급 전압은 전력 관리 유닛 (180) 에 의해 독립적으로 설정될 수도 있다. 다른 실시형태에 있어서, 다수의 프로세싱 코어들은 이들 코어들에 대해 공동으로 설정될 수도 있는 공통의 클럭 및/또는 공통의 공급 전압을 공유할 수도 있다.

<39> 적응형 전압 스케일링은 목표 주파수에서의 적절한 동작에 의해 양자화될 수도 있는, 성능 요건을 만족시키는 레벨로 공급 전압을 조정하는 페루프 시스템이다. 일반적으로, 더욱 높은 공급 전압은 더욱 적은 지연에 대응하며, 이것은 더욱 빠른 클럭을 갖는 더욱 높은 주파수에서의 동작을 허용한다. 피크 공급 전압은 가장 짧은 지연 및 가장 높은 성능 레벨을 제공할 수 있다. 그러나, 이러한 가장 높은 성능 레벨은 상당한 또는 많은 시간 동안 요구되는 것은 아니다. 그러한 예시에서, 공급 전압은 감소될 수도 있다. 적응형 전압 스케일링은 따라서 요구된 성능을 유지하면서 평균 전력 소비를 감소시키고 공급 전압을 스케일링하기 위해 계산상의 요건들의 변화를 활용한다. 따라서, 배터리 수명이 연장될 수 있으며, 이것은 매우 바람직하다.

<40> 각각의 프로세싱 코어 (130) 에 대한 AVS 유닛 (230) 은 코어가 그 성능 요건을 충족시키도록 공급 전압을 조정한다. 일 실시형태에서, 각각의 AVS 유닛은 IC 프로세스, 온도 및 전압 변화에 걸쳐 연관된 코어의 실제 성능을 시뮬레이션한다. 각각의 AVS 유닛은 연관된 코어에 대한 크리티컬 경로를 에뮬레이션하고, 이러한 크리티컬 경로의 성능을 추적하고, 그 크리티컬 경로가 목표 성능을 달성하도록 허용하는 가장 낮은 가능한 레벨로 공급 전압을 조정한다. 상이한 조건들에 대해 실제의 크리티컬 경로를 근접하게 추적하는 능력은 고효율의 적응형 전압 스케일링을 초래한다.

<41> 각각의 AVS 유닛 (230) 은 연관된 프로세싱 코어 (130) 내의 크리티컬 경로의 성능을 추적한다. 일 실시형태에 있어서, 이것은 연관된 코어 내의 크리티컬 경로에 대한 회로 블렌드 (circuit blend) 를 근접하게 매칭하는 회로 컴포넌트들의 블렌드를 갖는 지연 합성기를 사용하여 달성된다. 이들 회로 컴포넌트들은 이하에 설명되는, 로직 셀, 상이한 임계 전압을 갖는 트랜지스터 디바이스, 다이내믹 셀, 비트 라인 셀, 와이어, 상이한 임계 전압 및/또는 팬-아웃을 갖는 구동기 등을 포함할 수도 있다. 이들 상이한 회로 컴포넌트들은 IC 프로세스, 온도 및 전압 변화에 걸쳐 상이한 방식으로 변화할 수도 있는 전기적 특성들 (예를 들어, 지연들) 을 갖는다.

<42> 로직 셀은 인버터들 및/또는 다른 로직 게이트들로 형성될 수도 있다. 인버터들 및 로직 게이트들은 P-채널 전계 효과 트랜지스터 (P-FET), N-채널 FET (N-FET) 등일 수도 있는 트랜지스터들로 구현된다. 각각의 FET 디바이스는 디바이스가 턴온되는 전압인 특성의 임계 전압을 갖도록 설계된다. 낮은 임계 전압 (LVT) 은 FET 디바이스를 통해 적은 지연을 초래하지만 높은 누설 전류를 초래하고, 이것은 FET 디바이스가 턴오프될 때 FET 디바이스를 통과하는 전류이다. 역으로, 높은 임계 전압 (HVT) 은 더욱 낮은 누설전류를 초래하지만 더욱 많은 지연을 초래한다. LVT 및 HVT 디바이스들의 조합은 필요한 경우 양호한 성능을 달성하고 요구되는 경우 낮은 누설을 달성하기 위해 사용될 수도 있다. LVT 및 HVT 디바이스들의 전기적 특성은 IC 프로세스, 온도 및 전압과 상이한 방식으로 변화할 수도 있다. 컴퓨터 시뮬레이션은 구동 용량 또는 4 의 팬-아웃을 갖는 HVT 인버터가 다른 HVT 로직 게이트들의 지연과 함께 잘 추적하는 지연을 갖는다는 것을 나타낸다. 그러나, 이러한 HVT 의 지연은 LVT 인버터의 지연으로부터 큰 편차를 갖는다.

<43> 와이어들은 IC 다이 상의 회로 컴포넌트들을 상호 접속하기 위해 IC 다이 상에 에칭된 비교적 긴 자취이다. 와이어의 지연은 그 와이에 대한 구동기의 팬-아웃 뿐만 아니라 와이어의 길이, 넓이 및 높이에 의해 영향을 받는다. 와이어의 길이 및 넓이는 통상 설계에 의해 선택되고, 와이어의 두께는 통상 IC 제조 프로세스에 의해 고정된다. 2 밀리미터 와이어의 지연은 소정의 전압 범위에 대해 4의 팬-아웃을 갖는 HVT 인버터의 지연에 대해 크기의 2 차수까지에 의해 변화할 수도 있다. 구동기의 지연은 구동기의 팬-아웃이 증가함에 따라 HVT 인버터의 지연에 대해 더욱 많이 변화한다. 와이어들은 기술 피쳐/트랜지스터 사이즈가 축소됨에 따라, IC 다이 영역 대 피쳐 사이즈 비가 증가함에 따라, 더욱 많은 로직 셀들이 하나의 IC 다이에 패키징됨에 따라 크리티컬 경로 성능에 더욱 큰 영향을 준다. 이것은 집적의 레벨이 증가함에 따라 로직 셀들을 접속하는데 더욱 많은 와이어들이 사용되기 때문이다. 더욱이, 와이어 저항 및 커패시턴스는 또한 지오메트리가 축소됨에 따라 증가한다. 따라서, 대부분 로직 셀들로 구성되는 종래의 지연 합성기 또는 종래의 링 발진기는 와이어들을 포함하는 크리티컬 경로의 성능을 정확하게 추적하지 않는다.

<44> 도 3은 연관된 프로세싱 코어 (130x) 에 대한 AVS 유닛 (230x) 의 실시형태를 도시한다. AVS 유닛 (230x) 은 도 2의 AVS 유닛 (230a 내지 230d) 의 각각에 대해 사용될 수도 있고, 프로세싱 코어 (130x) 는 코어 (130a 내지 130d) 중 임의의 코어일 수도 있다.

<45> AVS 유닛 (230x) 내에서, 펄스 발생기 (310) 는 클럭 발생기 (140) 로부터 클럭을 수신한다. 도 3에 도시되

지 않은 일 실시형태에서, 펄스 발생기 (310) 는 지연 합성기 (320) 를 위한 제 1 입력 신호 (DSin) 및 지연 매칭 회로 (330) 를 위한 제 2 입력 신호 (DMin) 를 발생시킨다. DSin 및 DMin 신호들은 각각 클록 내의 각각의 리딩 에지에 대한 펄스를 포함할 수도 있다. DMin 신호 상의 펄스는 DSin 신호 상의 펄스에 대해 고정된 양만큼 지연될 수도 있다. 이하에 설명되지 않는 다른 실시형태에서, 펄스 발생기 (310) 는 지연 합성기 (320) 및 지연 매칭 회로 (330) 의 양쪽에 제공되는 단일의 입력 신호 (Din) 를 발생시킨다. Din 신호 상의 펄스는 지연 합성기 (320) 를 통해 전파하고 제어 유닛 (340) 의 제 1 입력을 통해 수신된다. Din 신호 상의 펄스는 또한 지연 매칭 회로 (330) 를 통해 전파하고 제어 유닛 (340) 의 제 2 입력을 통해 수신된다. 지연 합성기 (320) 는 프로세싱 코어 (130x) 에 대한 크리티컬 경로를 모델링한다. 지연 합성기 (320) 는 지연 합성기의 유연한 프로그래밍을 허용하는 멀티플렉서들을 포함한다. 그러나, 이들 멀티플렉서들은 복제되는 크리티컬 경로의 총 지연에 대해 실질적일 수도 있는 추가적인 지연을 도입한다. 지연 매칭 회로 (330) 는 지연 합성기 (320) 내의 멀티플렉서 지연들을 설명한다.

- <46> 제어 유닛 (340) 은 지연 합성기 (320) 및 지연 매칭 회로 (330) 로부터 펄스들을 수신하고, 수신된 펄스들에 기초하여 지연 합성기 (320) 내의 복제된 크리티컬 경로의 "순수한(pure)" 지연을 측정한다. 제어 유닛 (340) 은 측정된 크리티컬 경로 지연 및 아마도 온도 센서 (370) 로부터의 온도 측정에 기초하여 전압 제어 (Vctrl) 를 발생시킨다. 전력 관리 유닛 (180) 내의 전압 조정기 (380) 는 제어 유닛 (340) 으로부터 전압 제어를 수신하고, 전압 제어에 기초하여 조정된 공급 전압 (Vdd) 를 조정하고, 그 조정된 공급 전압을 프로세싱 코어 (130x), 지연 합성기 (320), 및 지연 매칭 회로 (330) 에 제공한다.
- <47> IC 프로세스 모니터 유닛 (350) 은 ASIC (120) 에 대한 로직 및 와이어 지연들을 결정하고 이러한 정보를 AVS 특성화 유닛 (360) 에 제공한다. AVS 특성화 유닛 (360) 은 또한 프로세싱 코어 (130x) 에 대한 목표 클록 주파수를 수신하고 지연 합성기 (320) 내의 복제된 크리티컬 경로를 위해 회로 컴포넌트들의 적당한 블렌드를 선택하는 Mux Sel 신호들 (도 3에 도시됨) 을 제공한다. AVS 유닛 (230x) 내의 다양한 블록들이 이하에 상세히 설명된다.
- <48> 도 3에 도시된 바와 같이, AVS 유닛 (230x) 은 프로세싱 코어 (130x) 내의 크리티컬 경로에 대한 원하는 성능을 달성하기 위해 공급 전압을 스케일링하는 페루프 시스템의 일부이다. 지연 합성기 (320) 는 프로세싱 코어 (130x) 내의 실제의 크리티컬 경로와 매칭하는 회로 컴포넌트들의 블렌드를 갖는 복제된 크리티컬 경로를 획득하도록 프로그램될 수도 있다. 또한, 지연 합성기 (320) 는 IC 프로세스 및/또는 다른 변화로 인한 실제의 크리티컬 경로에 있어서의 변화를 추적하기 위해 회로 컴포넌트들의 상이한 블렌드들로 프로그램될 수도 있다. 이것은 실제의 크리티컬 경로의 근접한 추적을 가능하게 하고 높은 효율을 초래한다.
- <49> 도 4a 및 도 4b 는 도 3 의 AVS 유닛 (230x) 내의 지연 합성기 (320) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 지연 합성기 (320) 는 다수의 지연 라인들을 포함하며, 각각의 지연 라인은 상이한 형태의 회로 컴포넌트로 구성된다.
- <50> 지연 합성기 (320) 내에서, 펄스 발생기 (310) 으로부터의 Din 신호는 K 개의 직렬 접속된 로직 셀 (412a 내지 412k) (예를 들어, K=32) 로 구성된 지연 라인 (410) 의 입력에 제공된다. 각각의 로직 셀 (412) 은 HVT 디바이스들로 형성된 로직 게이트 및/또는 인버터들로써 구현될 수도 있다. K 개의 로직 셀 (412a 내지 412k) 의 출력들은 멀티플렉서 (Mux) (418) 의 K 개의 입력들에 제공된다. 멀티플렉서 (418) 는 Mux1 Sel 제어에 기초하여 멀티플렉서 출력으로서 K 개의 입력들 중 하나를 제공한다.
- <51> 멀티플렉서 (418) 의 출력은 L개의 직렬 접속된 로직 셀 (422a 내지 422l) (예를 들어, L=32) 로 구성된 지연 라인 (420) 의 입력에 제공된다. 각각의 로직 셀 (422) 은 LVT 디바이스들로 형성된 로직 게이트 및/또는 인버터들로써 구현될 수도 있다. L 개의 로직 셀 (422a 내지 422l) 의 출력들은 멀티플렉서 (428) 의 L 개의 입력들에 제공된다. 멀티플렉서 (428) 는 Mux2 Sel 제어에 기초하여 멀티플렉서 출력으로서 L 개의 입력들 중 하나를 제공한다.
- <52> 멀티플렉서 (428) 의 출력은 M개의 직렬 접속된 다이내믹 셀 (432a 내지 432m) (예를 들어, M=32) 로 구성된 지연 라인 (430) 의 입력에 제공된다. 다이내믹 셀 (432) 은 확산 커패시턴스를 모델링하는 데 사용된다. 확산 커패시턴스는 지연 라인 (410 및 420) 에 의해 모델링되는 게이트 커패시턴스와 상이한 드레인-대-웰 역방향 바이어스된 접합의 용량성 효과 (capacitive effect) 의 결과이다. 각각의 다이내믹 셀은 이하에 설명된 바와 같이 구현될 수도 있다. M 개의 다이내믹 셀 (432a 내지 432m) 의 출력들은 멀티플렉서 (438) 의 M 개의 입력들에 제공된다. 멀티플렉서 (438) 는 Mux3 Sel 제어에 기초하여 멀티플렉서 출력으로서 M 개의 입력들 중 하나를 제공한다.

- <53> 멀티플렉서 (438)의 출력은 N개의 직렬 접속된 비트 라인 셀 (442a 내지 442n) (예를 들어, N=4)로 구성된 지연 라인 (440)의 입력에 제공된다. 비트 라인 셀 (442)은 메모리 액세스 지연들을 추적하는 데 사용되고 이하에 설명된 바와 같이 구현될 수도 있다. N개의 비트 라인 셀 (442a 내지 442n)의 출력들은 멀티플렉서 (448)의 N개의 입력들에 제공된다. 멀티플렉서 (448)는 Mux4 Sel 제어에 기초하여 멀티플렉서 출력 (DSint)으로서 N개의 입력들 중 하나를 제공한다.
- <54> 도 4b를 참조하면, 멀티플렉서 (448)의 출력 (DSint)은 네 개의 지연 라인 (450, 460, 470 및 480)의 입력들에 제공된다. 지연 라인 (450, 460, 470 및 480)의 각각은 P개의 직렬 접속된 와이어 셀 (예를 들어, P=8)로 구성된다. 각각의 와이어 셀은 구동기 및 와이어를 포함한다. 지연 라인 (450)에서, 구동기 (452a 내지 452p)는 HVT 디바이스들로 구현되고 F0a (예를 들어, F0a=8)의 팬-아웃들을 갖는다. 지연 라인 (460)에서, 구동기 (462a 내지 462p)는 HVT 디바이스들로 구현되고 F0b (예를 들어, F0b=16)의 팬-아웃들을 갖는다. 지연 라인 (470)에서, 구동기 (472a 내지 472p)는 LVT 디바이스들로 구현되고 F0a의 팬-아웃들을 갖는다. 지연 라인 (480)에서, 구동기 (482a 내지 482p)는 LVT 디바이스들로 구현되고 F0b의 팬-아웃들을 갖는다. 각각의 와이어는 그 와이어의 길이, 넓이 및 두께에 의해 결정되는 기생 캐패시턴스 및 직렬 저항을 갖는다. 지연 라인 (450, 460, 470 및 480)에 대한 와이어들은 동일하거나 상이한 길이 (예를 들어, 1 mm의 동일한 길이)를 갖도록 설계될 수도 있다.
- <55> 지연 라인 (450)에서, 구동기 (452a 내지 452p)는 각각 와이어 (454a 내지 454p)를 구동하고, 이것은 또한 멀티플렉서 (458)의 P개의 입력들에 커플링한다. 멀티플렉서 (458)는 Mux5 Sel 제어에 기초하여 멀티플렉서 출력으로서 P개의 입력들 중 하나를 제공한다. 지연 라인 (460)에서, 구동기 (462a 내지 462p)는 각각 와이어 (464a 내지 464p)를 구동하고, 이것은 또한 멀티플렉서 (468)의 P개의 입력들에 커플링한다. 멀티플렉서 (468)는 Mux5 Sel 제어에 기초하여 멀티플렉서 출력으로서 P개의 입력들 중 하나를 제공한다. 지연 라인 (470)에서, 구동기 (472a 내지 472p)는 각각 와이어 (474a 내지 474p)를 구동하고, 이것은 또한 멀티플렉서 (478)의 P개의 입력들에 커플링한다. 멀티플렉서 (478)는 Mux5 Sel 제어에 기초하여 멀티플렉서 출력으로서 P개의 입력들 중 하나를 제공한다. 지연 라인 (480)에서, 구동기 (482a 내지 482p)는 각각 와이어 (484a 내지 484p)를 구동하고, 이것은 또한 멀티플렉서 (488)의 P개의 입력들에 커플링한다. 멀티플렉서 (488)는 Mux5 Sel 제어에 기초하여 멀티플렉서 출력으로서 P개의 입력들 중 하나를 제공한다. 멀티플렉서 (498)는 멀티플렉서 (458, 468, 478 및 488)의 출력들을 수신하고, Mux6 Sel 제어에 기초하여 지연 합성기 출력 (DSout)이든 네 개의 멀티플렉서들 중 하나의 출력을 제공한다.
- <56> 도 4a 및 도 4b에 도시된 실시형태에 대해, Din 신호는 각각의 지연 라인 내의 적어도 하나의 셀을 통과한다. 또 다른 실시형태에서, 각각의 지연 라인에 대한 입력 신호는 그 지연 라인의 멀티플렉서의 하나의 입력에 제공될 수도 있다. 이러한 실시형태에 대해, Din 신호는 멀티플렉서를 직접 통과할 수 있고 그 지연 라인 내의 모든 셀들을 바이패스할 수 있다.
- <57> 도 4a 및 도 4b에 도시된 지연 합성기 구조에서, 지연 라인 (410)은 HVT 디바이스들에 대한 로직 지연들을 에플레이팅하고, 지연 라인 (420)은 LVT 디바이스들에 대한 로직 지연들을 에플레이팅하고, 지연 라인 (430)은 확산 지연들을 에플레이팅하고, 지연 라인 (440)은 메모리 액세스 지연들을 에플레이팅하고, 지연 라인 (450)은 F0a의 팬-아웃들을 갖는 HVT 구동기들로서 와이어 지연을 에플레이팅하고, 지연 라인 (460)은 F0b의 팬-아웃들을 갖는 HVT 구동기들로서 와이어 지연들을 에플레이팅하고, 지연 라인 (470)은 F0a의 팬-아웃들을 갖는 LVT 구동기들로서 와이어 지연을 에플레이팅하고, 지연 라인 (480)은 F0b의 팬-아웃들을 갖는 LVT 구동기들로서 와이어 지연을 에플레이팅한다.
- <58> 도 4a 및 도 4b에 도시된 지연 합성기는 회로 컴포넌트들의 원하는 블렌드를 갖는 크리티컬 경로를 유연하게 복제할 수 있다. 각각의 지연 라인은 상이한 형태의 회로 컴포넌트에 대해 다수의 직렬 접속된 셀들로 구성된다. 각각의 지연 라인에 대한 멀티플렉서는 복제된 크리티컬 경로 내의 그 지연 라인에 대한 선택가능한 수의 셀들을 포함할 수 있다. 동일한 지연 합성기 구조가 각각 코어 (130a 내지 130d)에 대해 AVS 유닛 (230a 내지 230d)에서 사용될 수도 있다. 각각의 코어에 대한 복제된 크리티컬 경로는 그 코어에 대한 지연 합성기 내의 멀티플렉서들을 적절히 제어함으로써 개별적으로 및 유연하게 형성될 수도 있다. 또한, 복제된 크리티컬 경로는 연관된 코어 내의 실제의 크리티컬 경로의 성능을 매칭하도록 용이하게 변화될 수도 있다.
- <59> 일반적으로, 지연 합성기 구조는 임의의 수의 지연 라인들을 포함할 수도 있고, 각각의 지연 라인은 임의의 형태의 회로를 에플레이팅할 수도 있고 임의의 수의 셀들을 포함할 수도 있다. 그러한 구조는 크리티컬 경로

를 복제하는데 있어서 큰 유연성을 제공한다. 또 다른 실시형태에서, 지연 합성기 구조는 다수의 가정된 크리티컬 경로들을 포함할 수도 있으며, 각각의 가정된 크리티컬 경로는 회로 컴포넌트들의 상이한 블렌드를 포함한다. 가정된 크리티컬 경로들 중 하나가 복제된 크리티컬 경로로서 선택될 수도 있다.

<60> 도 5a 는 도 4a 의 각각의 로직 셀 (412a 내지 412k 및 422a 내지 422i) 을 위해 사용될 수도 있는 로직 셀 (412x) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 로직 셀 (412x) 은 Q 개의 직렬 접속된 인버터들 (512a 내지 512q)(여기서, $Q \geq 1$) 로 구성된다. Q 는 로직 셀 (412x) 이 IC 프로세스, 온도 및 전압 변화에 걸쳐 원하는 지연량을 제공할 수 있도록 선택될 수도 있다. 각각의 인버터 (512) 는 HVT 또는 LVT 디바이스들로써 구현될 수도 있다. 도 4a 의 지연 라인 (410) 에 대한 로직 셀 (412a 내지 412k) 은 동일하거나 상이한 수의 인버터들을 포함할 수도 있다. 지연 라인 (420) 에 대한 로직 셀 (422a 내지 422i) 은 또한 동일하거나 상이한 수의 인버터들을 포함할 수도 있다. 각각의 로직 셀은 또한 다른 로직 게이트들 (예를 들어, AND, NAND, OR, NOR, 배타적-OR, 또는 몇몇 다른 로직 게이트) 또는 임의의 로직 게이트들의 조합으로써 구현될 수도 있다.

<61> 도 5b 는 도 4a 의 각각의 다이내믹 셀 (432a 내지 432m) 을 위해 사용될 수도 있는 다이내믹 셀 (432x) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 다이내믹 셀 (432x) 은 P-FET (530 및 538), R 개 (여기서 $R \geq 1$) 의 병렬 커플링된 N-FET (532a 내지 532r), N-FET (534), 및 인버터 (536) 로 구성된다. P-FET (530) 은 공급 전압에 커플링된 소스, 다이내믹 셀 입력을 형성하는 게이트, 및 N-FET (532a 내지 532r) 의 드레인들에 커플링된 드레인을 갖는다. N-FET (532a) 의 게이트는 공급 전압에 커플링되고, N-FET (532b 내지 532r) 의 게이트들은 회로 접지에 커플링된다. N-FET (534) 는 회로 접지에 커플링된 소스, 다이내믹 셀 입력에 커플링된 게이트, 및 N-FET (532a 내지 532r) 의 소스들에 커플링된 드레인을 갖는다. P-FET (538) 은 공급 전압에 커플링된 소스, 인버터 (536) 의 출력에 커플링된 게이트, 및 N-FET (532a 내지 532r) 의 드레인들에 커플링된 드레인을 갖는다. P-FET (538) 은 N-FET (532a 내지 532r) 가 모두 턴오프될 때 그것들 내의 전하 누설을 복구시키기 위해 피드백을 제공한다.

<62> Din 신호는 지연 라인 (430) 내의 다이내믹 셀 (432a 내지 432m) 을 통해 전파한다. 다이내믹 셀 (432x) 의 입력의 Din 신호가 로직 로우에 있을 때, P-FET (530) 는 턴오프되고 노드 A 를 로직 하이로 프리차지하고, N-FET (534) 는 턴오프되고, 인버터 (536) 의 출력은 로직 로우에 있다. 펄스가 Din 신호 상에 나타나는 경우, P-FET (530) 은 턴오프되고, N-FET (534) 은 턴오프되고 노드 A 를 N-FET (532a) 를 통해 로직 로우로 끌어당기고, 인버터 (536) 의 출력은 로직 하이로 전이한다. N-FET (532a) 는 평가되고, N-FET (532b 내지 532r) 은 평가되지 않는다. 다이내믹 셀 (432x) 을 통한 지연은 N-FET (532a 내지 532r) 의 확산 커패시턴스에 의해 결정된다.

<63> 도 5c 는 도 4a 의 비트 라인 셀 (442a 내지 442n) 의 각각에 대해 사용될 수도 있는 비트 라인 셀 (442x) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 비트 라인 셀 (442x) 은 프리차지 회로 (540), 더미 칼럼 (542), S 개의 메모리 셀 (544a 내지 544s) (여기서 $S \geq 1$), 및 감지 증폭기 (546) 을 포함한다. 비트 라인 셀 입력의 Din 신호 상의 펄스를 수신하는 경우, 프리차지 회로 (540) 는 비트 라인 (BL) 및 상보성 비트 라인 (BLb) 의 양쪽을 로직 하이로 프리차지하고, 더미 칼럼 (542) 은 감지 증폭기 (546) 를 위한 인에이블 신호를 발생시킨다. Din 펄스는 또한 간단성을 위해 도 5c 에 도시되지 않은 작은 지연 후의 메모리 셀 (544a) 를 선택한다. 메모리 셀 (544a) 은 로직 하이 ('1') 를 저장하고, 인에이블되는 경우, BLb 라인을 로직 로우로 끌어당긴다. 감지 증폭기 (546) 는 BL 라인 및 BLb 라인 간의 전압 차이를 감지하고, BLb 라인의 방전 레이트에 의해 결정된 짧은 지연 후에, 멀티플렉서 (448) 의 하나의 입력 및 (만일 존재한다면) 다음의 비트 라인 셀의 입력에 로직 하이로 제공한다. 비트 라인 셀 (442x) 은 예를 들어 SRAM, 캐시, 및 다른 메모리들에 대한 메모리 액세스 지연들을 추적할 수 있다.

<64> 도 6은 도 4a 및 도 4b 에 도시된 지연 합성기 (320) 에 대한 각각의 지연 라인 내의 최소 수의 셀들로 구성된 복제된 크리티컬 경로를 도시한다. 이러한 복제된 크리티컬 경로에서, Din 신호는 6 개의 멀티플렉서 (418, 428, 438, 448, 458 및 498) 을 통과한다. 각각의 멀티플렉서는 통상 추가적인 지연들을 도입하는 로직 게이트들의 다수의 레벨들을 포함한다. 이리하여, 복제된 크리티컬 경로에 대한 Din 신호에 의해 관측된 총 지연은 (1) 실제의 크리티컬 경로를 에뮬레이션하는 데 사용된 셀들에 의해 도입된 지연들 및 (2) 복제된 크리티컬 경로를 형성하는 데 사용된 멀티플렉서들에 의해 도입된 지연들로 구성된다. 멀티플렉서 지연들은 멀티플렉서들의 수 및 각각의 멀티플렉서의 입력들의 수에 따라 증가한다. 멀티플렉서 지연들은 특히 예를 들어 1 GHz 이상과 같은 높은 속도에서, 복제된 크리티컬 경로에 대한 총 지연의 꽤 상당한 부분을 나타낼 수도

있다.

- <65> 멀티플렉서 지연들은 다양한 방식으로 핸들링될 수도 있다. 일 실시형태에서, 멀티플렉서 지연들은 로직 지연들의 일부로서 다루어진다. 다른 회로 형태들 (예를 들어, 와이어, 확산 등) 로부터의 지연들은 지연들의 원하는 블렌드 (예를 들어, 20% 의 로직 지연들 및 80 % 의 와이어 지연들) 를 획득하도록 충분히 길어야 한다. 이러한 실시형태에 대해, 멀티플렉서들은 연관된 코어 내의 대부분의 로직과 동일한 디바이스 형태로써 구현될 수도 있다. 예를 들어, 만일 연관된 코어가 대부분 LVT 디바이스들로써 구현된다면, 멀티플렉서들은 또한 LVT 디바이스들로써 구현될 수도 있다. 다른 회로 형태들의 지연들은 지연들의 원하는 블렌드를 획득하기 위해 필요하다면 연장될 수도 있다.
- <66> 또 다른 실시형태에서, 지연 매칭 회로 (330) 는 멀티플렉서 지연들을 추정하는 데 사용된다. 그 후, 추정된 멀티플렉서 지연들은 지연 합성기 내의 복제된 크리티컬 경로의 "순수한" 지연을 획득하기 위해 지연 합성기 (320) 의 총 지연으로부터 공제될 수도 있다.
- <67> 도 7은 도 3의 AVS 유닛 (230x) 내의 지연 매칭 회로 (330) 의 일 실시형태를 도시한다. 이러한 실시형태에 대해, 지연 매칭 회로 (330) 는 지연 합성기 (320) 와 동일한 수의 지연 라인들과 동일한 수의 멀티플렉서들을 포함한다.
- <68> 지연 매칭 회로 (330) 내에서, 펄스 발생기 (310) 로부터의 Din 신호는 두 개의 직렬 접속된 로직 셀 (712a 및 712b) 로 구성된 지연 라인의 입력에 제공된다. 로직 셀 (712b) 은 로직 셀 (712a) 에 대한 로딩 (loading) 을 시뮬레이션하고 도 7에 도시된 지연 매칭 회로 (330) 내에 포함될 수도 있거나 생략될 수도 있다. 로직 셀 (712a) 의 출력은 멀티플렉서 (418) 의 하나의 입력과 출력 간의 신호 경로를 모델링하는 부분 멀티플렉서 (718) 의 입력에 제공된다. 멀티플렉서 (718) 는 K' 개의 직렬 접속된 NAND 게이트 (716a 내지 716k') 를 포함하며, 여기서 $K' \approx 2 \cdot \log_2(K)$ 이고 K 는 멀티플렉서 (418) 에 대한 입력들의 수이다.
- <69> 멀티플렉서 (718) 의 출력은 두 개의 직렬 접속된 로직 셀 (722a 내지 722b) 로 구성된 지연 라인의 입력에 제공된다. 부분 멀티플렉서 (728) 는 로직 셀 (722a) 의 출력을 수신하고 두 개의 직렬 접속된 다이내믹 셀 (732a 및 732b) 로 구성된 지연 라인의 입력에 그것의 출력을 제공한다. 부분 멀티플렉서 (738) 는 다이내믹 셀 (732a) 의 출력을 수신하고 두 개의 직렬 접속된 비트 라인 셀 (742a 및 742b) 로 구성된 지연 라인의 입력에 그것의 출력을 제공한다. 부분 멀티플렉서 (748) 는 비트 라인 셀 (742a) 의 출력을 수신하고 네 개의 와이어 지연 라인들 입력들에 그것의 출력을 제공한다. 제 1 와이어 지연 라인은 구동기 (752a) 및 와이어 (754a) 로 구성된 전체 와이어 셀 및 구동기 (752b) 로 구성된 부분 와이어 셀을 포함한다. 제 2 와이어 지연 라인은 구동기 (762a) 및 와이어 (764a) 로 구성된 전체 와이어 셀 및 구동기 (762b) 로 구성된 부분 와이어 셀을 포함한다. 제 3 와이어 지연 라인은 구동기 (772a) 및 와이어 (774a) 로 구성된 전체 와이어 셀 및 구동기 (772b) 로 구성된 부분 와이어 셀을 포함한다. 제 4 와이어 지연 라인은 구동기 (782a) 및 와이어 (784a) 로 구성된 전체 와이어 셀 및 구동기 (782b) 로 구성된 부분 와이어 셀을 포함한다. 와이어 (754a, 764a, 774a 및 784a) 의 다른 단부들은 각각, 멀티플렉서 (798) 의 네 개의 입력들에 그들의 출력들을 제공하는, 부분 멀티플렉서 (758, 768, 778 및 788) 의 입력들에 커플링한다. 멀티플렉서 (798) 는 또한 Mux6 Sel 제어를 수신하고 지연 매칭 회로 출력 (DMout) 으로서 멀티플렉서 (758, 768, 778 및 788) 중 하나의 출력을 제공한다.
- <70> 로직 셀 (712a, 712b, 722a 및 722b) 은 도 4a 의 지연 합성기 (320) 내에서, 각각 로직 셀 (412a, 412b, 422a 및 422b) 과 동일한 방식으로 구현될 수도 있다. 다이내믹 셀 (732a 및 732b) 은 각각 다이내믹 셀 (432a 및 432b) 과 동일한 방식으로 구현될 수도 있다. 비트 라인 셀 (742a 및 742b) 은 각각 비트 라인 셀 (442a 및 442b) 과 동일한 방식으로 구현될 수도 있다. 구동기 (752a, 762a, 772a 및 782a) 는 각각 구동기 (452a, 462a, 472a 및 482a) 와 동일한 방식으로 구현될 수도 있고, 와이어 (754a, 764a, 774a 및 784a) 는 각각 와이어 (454a, 464a, 474a 및 484a) 와 동일한 방식으로 구현될 수도 있다. 부분 멀티플렉서 (718, 728, 738, 748, 758, 768, 778 및 788) 는 각각 멀티플렉서 (418, 428, 438, 448, 458, 468, 478 및 488) 의 하나의 입력과 출력 간의 단일의 경로를 모델링한다. 멀티플렉서 (798) 는 멀티플렉서 (498) 과 동일한 방식으로 구현될 수도 있다.
- <71> 지연 매칭 네트워크 (330) 는 지연 합성기 (320) 내의 멀티플렉서들의 지연들을 흡수하는데 사용될 수도 있다. 이것은 AVS 유닛 (230x) 가 높은 주파수에서 크리티컬 경로를 정확히 모델링하도록 허용한다.
- <72> 도 8은 도 3의 AVS 유닛 (230x) 내의 제어 유닛 (340) 의 일 실시형태를 도시한다. 이러한 실시형태에서,

지연 합성기 (320) 로부터의 DSout 신호는 D 플립-플롭 (814a) 의 데이터 (D) 입력 및 지연 셀 (812a) 의 입력에 제공된다. 지연 셀 (812a) 의 출력은 D 플립-플롭 (814b) 의 데이터 입력 및 지연 셀 (812b) 의 입력에 커플링한다. 지연 셀 (812b) 의 출력은 D 플립-플롭 (814c) 의 데이터 입력에 커플링한다. 지연 매칭 회로 (330) 로부터의 DMout 신호는 D 플립-플롭 (814a, 814b 및 814c) 의 클록 입력들에 제공된다. 각각의 D 플립-플롭 (814) 은 DMout 신호에 기초하여 그것의 데이터 입력을 래치하고 그것의 출력 (Q) 을 인코더 (816) 에 제공한다. 인코더 (816) 는 플립-플롭 (814a, 814b 및 814c) 의 출력 및 아마도 온도 센서 (370) 로부터의 온도 측정에 기초하여 전력 관리 유닛 (180) 에 대한 전압 제어 (Vctrl) 를 발생시킨다.

<73> 각각의 지연 셀 (812a 및 812b) 은 미리 결정된 지연량, 예를 들어 가장 높은 클록 주파수에서 클록 주기의 5% 를 제공하도록 설계될 수도 있다. 각각의 플립-플롭 (814) 은 그것의 데이터 입력 상의 펄스가 그것의 클록 입력 상의 펄스보다 더 일찍 도착하는 경우 로직 하이를 제공하고, 그렇지 않은 경우 로직 로우를 제공한다.

플립-플롭 (814a) 은 DSout 신호 상의 펄스가 DMout 신호 상의 펄스 이전에 도착하는 경우 로직 하이를 제공한다. 플립-플롭 (814b) 은 지연 셀 (812a) 로부터의 지연된 펄스가 DMout 신호 상의 펄스 이전에 도착하는 경우 로직 하이를 제공한다. 플립-플롭 (814c) 은 지연 셀 (812b) 로부터의 지연된 펄스가 DMout 신호 상의 펄스 이전에 도착하는 경우 로직 하이를 제공한다. 만일 공급 전압이 너무 낮으면, 복제된 크리티컬 경로의 총 지연은 길고 모든 세 개의 플립-플롭은 로직 로우를 제공할 수도 있다. 그 후, 인코더 (816) 는 공급 전압이 증가되도록 전압 제어를 발생시킨다. 역으로, 만일 공급 전압이 너무 높으면, 복제된 크리티컬 경로의 총 지연은 목표 주파수 보다 작고 모든 세 개의 플립-플롭들은 로직 하이를 제공할 수도 있다. 그 후, 인코더 (816) 는 공급 전압이 감소되도록 전압 제어를 발생시킨다.

<74> 제어 유닛 (340) 은 측정된 크리티컬 경로 지연에 기초하여 공급 전압을 조정하도록 전압 제어를 발생시킨다.

크리티컬 경로 지연은 도 8 에 도시된 세 개의 플립-플롭들으로써 측정될 수도 있고 더욱 큰 지연 해상도를 달성하기 위해서 세 개 이상의 플립-플롭들으로써 측정될 수도 있다. 전압 제어는 현재의 공급 전압을 유지할지 여부 또는 소정의 양만큼 공급 전압을 증가시키거나 감소시킬 것을 나타내는 2-비트 제어일 수도 있다. 전압 제어는 또한 증가시키거나 감소시킬 전압의 양을 나타내는 멀티-비트 제어일 수도 있다. 제어 유닛 (340) 은 또한 만일 온도 측정이 공칭 온도 범위의 밖에 있다면, 플립-플롭 (814a, 814b 및 814c) 의 출력들을 무시하고 미리 결정된 전압 제어들을 제공할 수도 있다. 제어 유닛 (340) 은 또한 전압 제어를 발생시키기 위해 다른 방식으로 온도 측정을 사용할 수도 있다.

<75> 온도는 IC 다이에 걸친 능동 및 수동 디바이스들의 상이한 조성으로 인해 IC 다이에 걸쳐 변화할 수도 있다.

IC 다이에 걸친 온도 구배는 IC 다이 전체에 걸쳐 다수의 지연 합성기들을 배치시키는 것에 의해 설명된다. 예를 들어, 다수 (예를 들어, 네 개) 의 지연 합성기들은 프로세싱 코어의 상이한 코너들에 배치될 수도 있다. 그 프로세싱 코어에 대한 AVS 유닛은 모든 지연 합성기들로부터의 출력들을 수신할 수도 있고 가장 늦은 지연 합성기에 기초하여 공급 전압을 조정할 수도 있다.

<76> 상이한 회로 컴포넌트들 (예를 들어, 로직 및 와이어) 에 대한 지연들은 통상 IC 프로세스 변화에 종속한다.

예를 들어, 빠른 IC 프로세스 코너는 더욱 빠른 로직을 초래하고 따라서 더욱 적은 로직 지연들을 초래하는 반면, 느린 IC 프로세스 코너는 더욱 느린 로직을 초래하고 따라서 더욱 많은 로직 지연들을 초래한다. 와이어의 기생 저항 및 커패시턴스는 또한 IC 프로세스 변화로 인하여 변화할 수도 있고, 이것은 그 후 상이한 와이어 지연들을 초래할 것이다. ASIC (120) 에 대한 로직 셀들 및 와이어들의 지연들은 전압 스케일링을 위해 특성화 및 사용될 수도 있다.

<77> 도 9 는 도 3의 AVS 유닛 (230x) 내의 IC 프로세스 모니터 유닛 (350) 의 일 실시형태를 도시한다. 이러한

실시형태에서, 링 발진기 (910) 는 T 개의 지연 유닛 (912a 내지 912t) 및 NAND 게이트 (940) 로써 형성되고, 여기서 $T \geq 1$ 이다. 각각의 지연 유닛 (912) 내에서, 디멀티플렉서 (Demux) (920) 는 NAND 게이트 (940) 또는 선행 지연 유닛 중 어느 하나의 출력에 커플링된 입력과 버퍼 (922 및 932) 의 입력들에 커플링된 두 개의 출력들을 갖는다. 버퍼 (922) 는 버퍼 (926) 의 입력에 또한 커플링하는 와이어 (924) 를 구동한다. 버퍼 (932) 는 버퍼 (936) 를 구동한다. 멀티플렉서 (938) 는 그것의 두 개의 입력에서 버퍼 (926 및 936) 의 출력들을 수신하고 그 두 개의 입력들 중 하나를 지연 유닛 출력으로서 제공한다. 각각의 지연 유닛 (912) 에서, 버퍼 (922 및 926) 및 와이어 (924) 는 로직 및 와이어로 구성된 제 1 신호 경로를 형성하고, 버퍼 (932 및 936) 는 단지 로직으로만 구성된 제 2 신호 경로를 형성한다. 제 2 신호 경로 내의 버퍼 (932 및 936) 는, 와이어 (924) 가 두 개의 신호 경로들 간에 유일한 차이이도록, 제 1 신호 경로 내의 버퍼 (922 및 926) 와 동일한 방식으로 구현될 수도 있다. 제 1 신호 경로 또는 제 2 신호 경로 중 어느 하나가 디멀티플

렉서 (920) 및 멀티플렉서 (938) 에 적당한 Mux/Demux 제어를 제공함으로써 선택될 수도 있다.

- <78> NAND 게이트 (940) 는 하나의 입력상에서 마지막 지연 유닛 (912t) 의 출력을 및 다른 입력상에서 제어 유닛 (950) 으로부터의 인에이블 (Enb) 신호를 수신한다. NAND 게이트 (940) 의 출력은 제 1 지연 유닛 (912a) 의 입력에 제공된다. 링 발진기 (910) 는 인에이블 신호가 로직 하이에 있을 때 동작가능하고, (1) 지연 유닛 (912a 내지 912t) 내의 선택된 신호 경로 및 (2) IC 프로세스에 의존하는, 선택된 신호 경로 내의 회로 컴포넌트들의 특성들에 의해 결정되는 주파수를 갖는 발진기 신호를 제공한다. 카운터 (960) 는 그 발진기 신호를 수신하고 제어 유닛 (950) 으로부터의 제 1 제어에 기초하여 발진기 사이클들의 수를 카운트한다. 레지스터 (970) 는 제어 유닛 (950) 으로부터의 제 2 제어에 기초하여 카운터 (960) 의 출력을 래치하고 주파수 카운트를 제공한다. 제어 유닛 (950) 은 클록을 수신하고 지연 유닛 (912a 내지 912t), NAND 게이트 (940), 카운터 (960) 및 레지스터 (970) 를 위한 제어들을 발생시킨다. 제어 유닛 (950) 은 또한 레지스터 (970) 로부터 주파수 카운트를 수신하고 AVS 특성화 유닛 (360) 에 로직 스피드 출력 및 와이어 스피드 출력을 제공한다.
- <79> 로직 스피드 및 와이어 스피드는 다음과 같이 결정될 수도 있다. 먼저, 링 발진기 (910) 는 Mux/Demux 제어를 로직 하이로 설정함으로써 모든 지연 유닛 (912a 내지 912t) 내의 제 2 신호 경로를 사용하여 동작하도록 구성된다. 그 후, 카운터 (960) 는 제 1 시간 윈도우 내의 발진기 사이클들의 수를 카운팅함으로써 링 발진기 (910) 의 주파수를 샘플링한다. 레지스터 (970) 는 제 1 시간 윈도우의 끝에서 카운터 출력을 래치하고, 로직 스피드를 나타내는 제 1 주파수 카운트를 제공한다. 다음에, 링 발진기 (910) 는 Mux/Demux 제어를 로직 로우로 설정함으로써 모든 지연 유닛 (912a 내지 912t) 내의 제 1 신호 경로를 사용하여 동작하도록 구성된다. 그 후, 카운터 (960) 는 제 1 시간 윈도우와 동일한 지속기간의 제 2 시간 윈도우 내의 링 발진기 (910) 의 주파수를 샘플링한다. 레지스터 (970) 는 제 2 시간 윈도우의 끝에서 카운터 출력을 래치하고 로직 및 와이어 스피드를 나타내는 제 2 주파수 카운트를 제공한다. 제 1 및 제 2 주파수 카운트들 간의 차이는 와이어 스피드를 나타낸다.
- <80> 제어 유닛 (940) 에 의해 제공된 로직 스피드 및 와이어 스피드는 IC 프로세스에 의존한다. 일 실시형태에서, IC 프로세서 모니터 유닛 (350) 은 미리 결정된 공급 전압에서의 로직 스피드 및 와이어 스피드를 획득하기 위해 (예를 들어, 무선 디바이스 (100) 의 교정 동안) 한번 동작된다. 다른 실시형태들에서, IC 프로세서 모니터 유닛 (350) 은 필요에 따라 그리고 상이한 동작 조건들에 대한 로직 스피드 및 와이어 스피드를 획득하기 위해 상이한 공급 전압 및/또는 온도에 대해 동작될 수도 있다. 로직 스피드 및 와이어 스피드는 이하에 설명되는 바와 같이, 복제된 크리티컬 경로를 형성하는 데 사용된다.
- <81> 도 10a 는 도 3 의 AVS 유닛 (230x) 내의 AVS 특성화 유닛 (360) 의 일 실시형태를 도시한다. 이러한 실시형태에서, 룩업 테이블 (LUT) (1010) 은 상이한 로직 특성화에 대한 공칭 로직 스피드 값들의 세트를 저장하고, 룩업 테이블 (1020) 은 상이한 와이어 특성화에 대한 공칭 와이어 스피드 값들의 세트를 저장한다. 일반적으로, 공칭 로직 스피드 및 공칭 와이어 스피드는, 통상 IC 프로세스 변화 (예를 들어, 빠름, 공칭, 느림 등) 에 의존하는, 각각 로직 및 와이어 특성화들의 임의의 수에 대해 저장될 수도 있다. 룩업 테이블 (1010 및 1020) 에 저장된 값들은 컴퓨터 시뮬레이션, 실험상의 측정치들 등에 의해 결정될 수도 있다. 로직 스피드 및 와이어 스피드를 개별적으로 특성화함으로써, 단지 두 개의 룩업 테이블 (1010 및 1020) 이 상이한 특성화들에 대한 공칭 로직 스피드 및 공칭 와이어 스피드를 저장하는 데 사용될 수도 있다.
- <82> 비교 유닛 (1012) 은 IC 프로세서 모니터 유닛 (350) 으로부터 측정된 로직 스피드를 수신하고 프로세싱 코어 (130x) 에 대한 로직 특성화를 결정하기 위해 룩업 테이블 (1010) 내에 저장된 값들에 대해 측정된 로직 스피드를 비교한다. 유사하게, 비교 유닛 (1022) 은 IC 프로세서 모니터 유닛 (350) 으로부터 측정된 와이어 스피드를 수신하고 프로세싱 코어 (130x) 에 대한 와이어 특성화를 결정하기 위해 룩업 테이블 (1020) 내에 저장된 값들에 대해 측정된 와이어 스피드를 비교한다. 예를 들어, 룩업 테이블 (1010) 은 빠름, 공칭 및 느림의 세 개의 로직 특성화들에 대해 x 값 및 y 값을 저장할 수도 있으며, 여기서 $x > y$ 이다. 비교 유닛 (1012) 은 측정된 로직 스피드 (s) 를 저장된 값들에 대해 비교하고, $s \geq x$ 인 경우에는 빠른 프로세스를, $x > s \geq y$ 인 경우에는 공칭 프로세스를, 및 $s < y$ 인 경우에는 느린 프로세스를 나타낼 수도 있다.
- <83> 메모리 (1030) 는 Mux 제어 룩업 테이블 (1040aa 내지 1040yx) 의 매트릭스를 저장한다. 그 매트릭스의 각각의 행은 룩업 테이블 (1010) 내에 저장된 상이한 로직 특성화에 대한 것이다. 그 매트릭스의 각각의 열은 룩업 테이블 (1020) 내에 저장된 상이한 와이어 특성화에 대한 것이다. 각각의 Mux 제어 룩업 테이블 (1040) 은 도 4a 및 도 4b 의 지연 합성기 (320) 내의 멀티플렉서 (418, 428, 438, 448, 458, 468, 478, 488

및 498) 에 대한 Mux Sel 제어들에 대한 값들을 저장한다. 이들 Mux Sel 제어들은 프로세싱 코어 (130x) 에 적용가능한 특성화들에 대해 실제 크리티컬 경로를 근접하게 닮아야 하는 복제된 크리티컬 경로를 정의한다.

각각의 Mux 제어 룩업 테이블 (1040) 에 저장된 값들은 컴퓨터 시뮬레이션, 실험상의 측정치 등에 의해 결정될 수도 있다. 비교기 유닛 (1012) 에 의해 지시된 행 및 비교기 유닛 (1022) 에 의해 지시된 열에서의 Mux 제어 룩업 테이블이 사용을 위해 선택된다.

<84> 도 10b 는 메모리 (1030) 내의 하나의 Mux 제어 룩업 테이블 (1040ij) 의 실시형태를 도시한다. 룩업 테이블 (1040ij) 는 V 개의 상이한 클록 주파수들에 대한 지연 합성기 (320) 내의 멀티플렉서 (418, 428, 438, 448, 458, 468, 478, 488 및 498) 에 대한 Mux Sel 제어 값들의 V 개의 세트들을 저장한다. 프로세싱 코어 (130x) 에 대한 목표 주파수에 대응하는 Mux Sel 제어 값들의 세트가 룩업 테이블 (1040ij) 로부터 검색되고 지연 합성기 (320) 내의 멀티플렉서들에 제공된다.

<85> 도 11은 프로세싱 코어 내의 두 개의 예시적인 신호 경로들의 성능에 대한 플롯을 도시한다. 공급 전압에 대한 각각의 신호 경로의 지연이 플로팅되어 있다. 도 11에 도시된 예에서, 신호 경로 (1) 는 Vx 볼트 아래에서 더욱 긴 지연을 갖고 크리티컬 경로이고, 신호 경로 (2) 는 Vx 볼트 위에서 더욱 긴 지연을 갖고 크리티컬 경로이다. 도 11에 도시된 바와 같이, 상이한 신호 경로들은 상이한 조건들에서 크리티컬 경로가 될 수 있다. 이것은 각각의 신호 경로가 전압, 온도 및 IC 프로세스 변화에 걸쳐 상이한 방식으로 변화할 수도 있는 회로 컴포넌트들의 상이한 블렌드로 구성될 수도 있기 때문이다. 크리티컬 경로의 지연은 그 경로에 대한 가장 높은 클록 주파수를 결정하며, 따라서 주파수에 반비례한다. 주어진 목표 주파수에 대해, 그 주파수에 대한 크리티컬 경로는 복제될 수도 있고, AVS 유닛 (230) 은 원하는 성능이 그 목표 주파수에 대해 달성될 수 있도록 공급 전압을 조정한다. 예를 들어, 만일 목표 주파수가 Freq 2 라면, 신호 경로 (2) 가 선택될 수 있고, AVS 유닛은 공급 전압을 Vz 볼트로 조정한다.

<86> 도 12 는 프로세싱 코어에 대한 적응형 전압 스케일링을 수행하는 프로세스 (1200) 의 일 실시형태를 도시한다. 그 프로세싱 코어에 대한 로직 스피드 및 와이어 스피드는 특성화된다 (블록 1210). 이러한 특성화는 도 9에 대해 위에서 설명된 바와 같이, 예를 들어, 무선 디바이스의 교정 동안, 한번 수행될 수도 있다. 그 프로세싱 코어에 대한 목표 클록 주파수가 결정된다 (블록 1212). 목표 클록 주파수는 예를 들어 프로세싱 코어에 대한 계산상의 요건들에 기초하여 동적으로 변화될 수도 있다. 복제된 크리티컬 경로는, 예를 들어 도 10a 및 도 10b 에 대해 위에서 설명된 바와 같이, 특성화된 로직 스피드 및 와이어 스피드와 목표 클록 주파수에 기초하여 형성된다 (블록 1214). 복제된 크리티컬 경로는 HVT 로직, LVT 로직, 다이내믹 셀, 비트 라인 셀, 와이어, 상이한 임계 전압을 갖는 구동기 및/또는 팬-아웃 등과 같은 상이한 형태의 회로 컴포넌트들을 포함할 수도 있다. 그 후, 프로세싱 코어 및 복제된 크리티컬 경로에 대한 공급 전압은 양자 모두가 원하는 성능을 달성하도록 조정된다 (블록 1216). 그 후, 프로세스 (1200) 는 주기적으로 목표 클록 주파수를 결정하기 위해 블록 (1212) 로 리턴할 수도 있다.

<87> 여기에 설명된 복제 크리티컬 경로는 실제의 크리티컬 경로를 에뮬레이션하는 회로 컴포넌트들의 블렌드를 사용한다. 이러한 복제 크리티컬 경로는 일반적으로 모두 로직 게이트들 또는 대부분이 로직 게이트들로 구성된 지연 라인 또는 링 발진기로 구현되는 종래의 복제된 크리티컬 경로보다 더욱 정확하다. 또한, 여기에 기술된 복제된 크리티컬 경로는 멀티플렉서들을 상이한 조건들에 대해 상이한 크리티컬 경로들을 유연하게 모델링하도록 프로그래밍함으로써 용이하게 변화될 수도 있다.

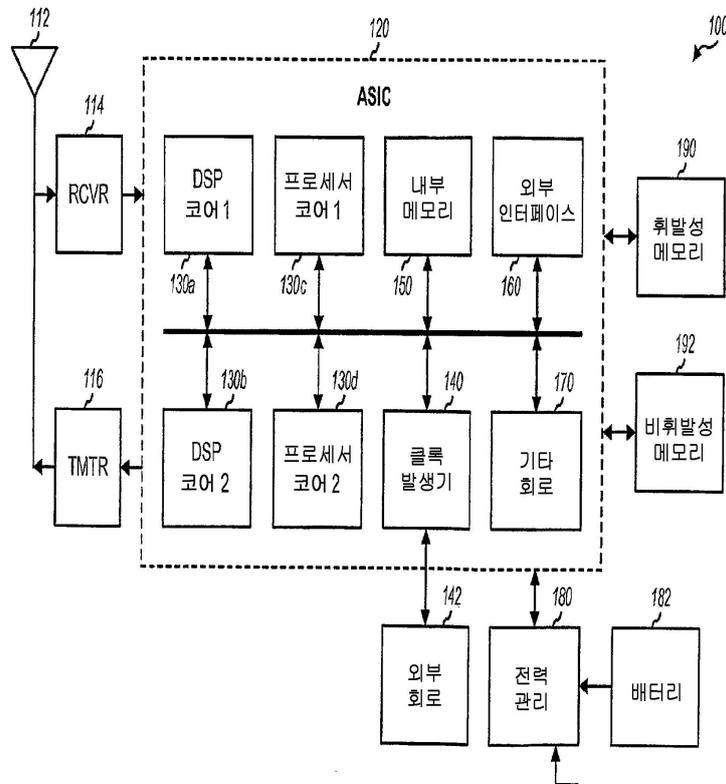
<88> 여기에 설명된 적응형 전압 스케일링 기술들은 다음의 바람직한 특성들을 갖는다:

- <89> • 크리티컬 경로를 변경하는 것을 추적하기 위한 지연 라인들의 매끈한 프로그래밍 (도 4a 및 도 4b).
- <90> • 고효율 추적을 가능하게 하는 IC 프로세서 모니터 유닛 (350) 을 사용하는 온-칩 로직 및 와이어 binning (binning) (도 9).
- <91> • 상이한 스폿들에 다수의 AVS 유닛들을 배치하는 것에 의한 온도 구배 추적.
- <92> • 멀티 임계값 로직 지연 라인들 (도 4a).
- <93> • 와이어 지연 라인들을 위한 멀티 임계값, 멀티 팬-아웃 구동기들 (도 4b).
- <94> • 다이내믹 셀들을 사용하는 확산 지배 (diffusion dominated) 경로 추적 (도 4a 및 도 5b).

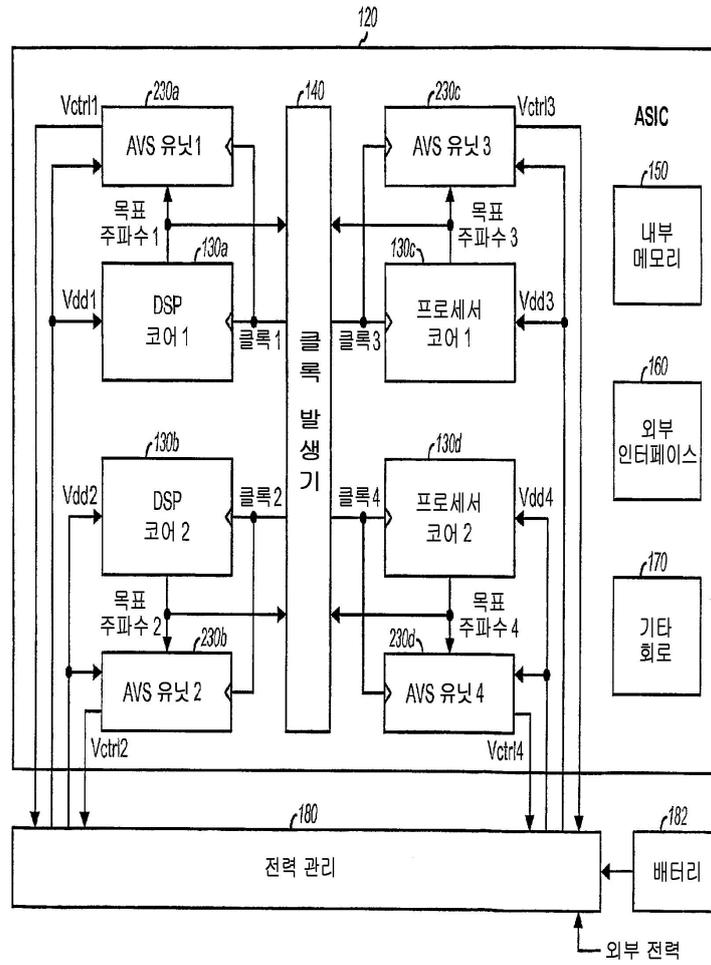
- <95> • 비트 라이 셀들을 사용하는 메모리 액세스 지연 추적 (도 4a 및 도 5c).
- <96> • 멀티플렉서 지연들을 총 로직 지연의 일부로서 고려, 및 멀티플렉서 지연들을 수용하기 위해 (예를 들어, 와이어 및 확산에 대한) 다른 형태들의 지연을 연장.
- <97> • 고스피드 동작을 가능하게 하도록 멀티플렉서 지연들을 흡수하는 지연 매칭 회로.
- <98> 여기에 기술된 적응형 전압 스케일링 기술들은 다양한 수단들에 의해 구현될 수도 있다. 예를 들어, 이들 기술들은 하드웨어, 펌웨어, 소프트웨어, 또는 이들의 조합으로 구현될 수도 있다. 하드웨어 구현의 경우, 적응형 전압 스케일링은 ASIC, DSP, 프로세서, 제어기, 마이크로제어기, 마이크로프로세서, 전자 디바이스, 여기에 기술된 기능들을 수행하도록 설계된 다른 전자 유닛, 또는 이들의 조합 내에서 구현될 수도 있다.
- <99> 적응형 전압 스케일링의 소정 부분들은 여기에 기술된 기능들을 수행하는 소프트웨어 모듈들 (예를 들어, 프로시저들, 함수들 등) 을 사용하여 구현될 수도 있다. 소프트웨어 코드들은 메모리 (예를 들어, 도 1의 메모리 (150, 190 또는 192)) 내에 저장되고 프로세서 (예를 들어, 프로세서 코어 (130c 또는 130d)) 에 의해 실행될 수도 있다. 메모리는 프로세서 내에서 또는 프로세서의 외부에서 구현될 수도 있다.
- <100> 개시된 실시형태들의 상기의 설명은 당업자가 본 발명을 행하거나 사용하는 것을 가능하도록 제공된다. 이들 실시형태들에 대한 다양한 변경들은 당업자에게는 매우 분명하며, 여기에 정의된 일반 원리들은 본 발명의 사상 및 범위를 이탈하지 않고 다른 실시형태들에 적용될 수도 있다. 따라서, 본 발명은 여기에 도시된 실시형태들에 제한되는 것이 아니라 여기에 기술된 원리들 및 신규한 특징들과 일관된 가장 넓은 범위와 일치된다.

도면

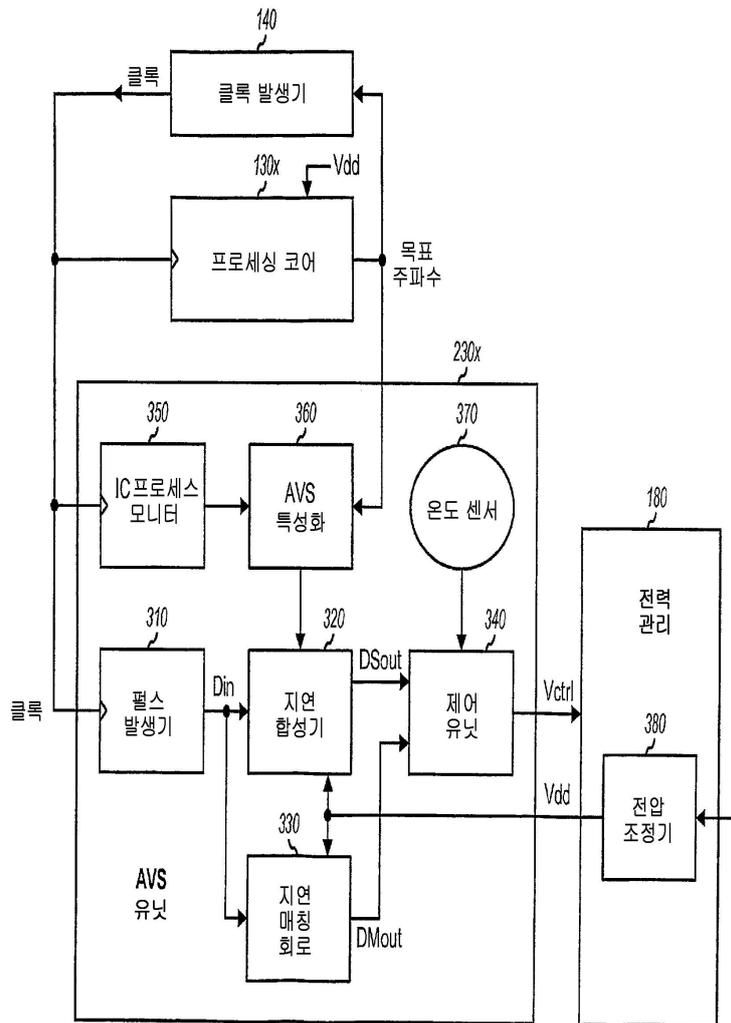
도면1



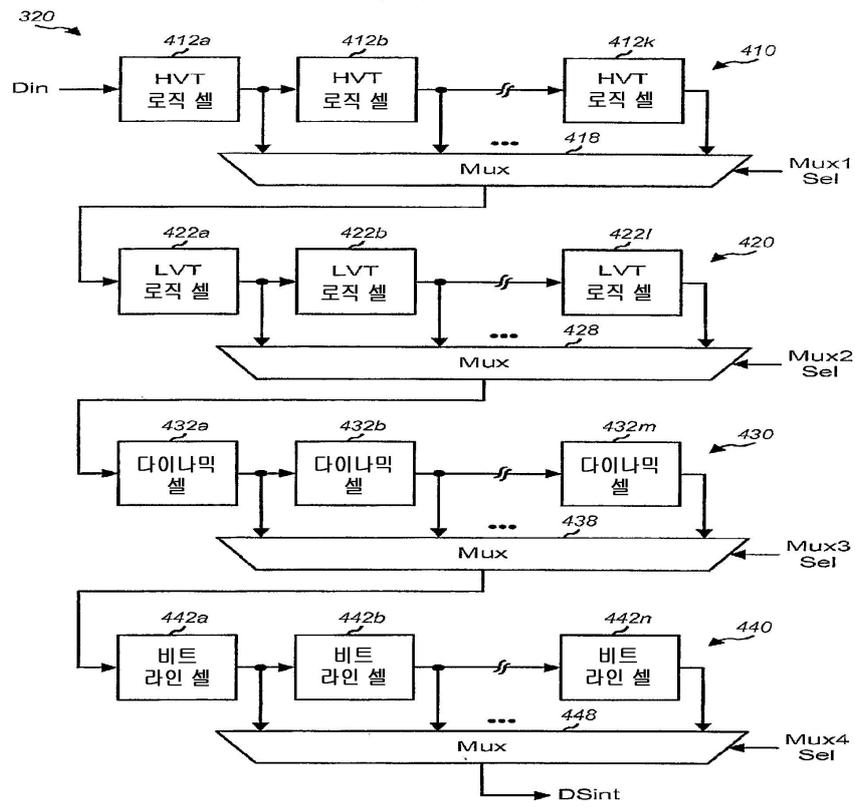
도면2



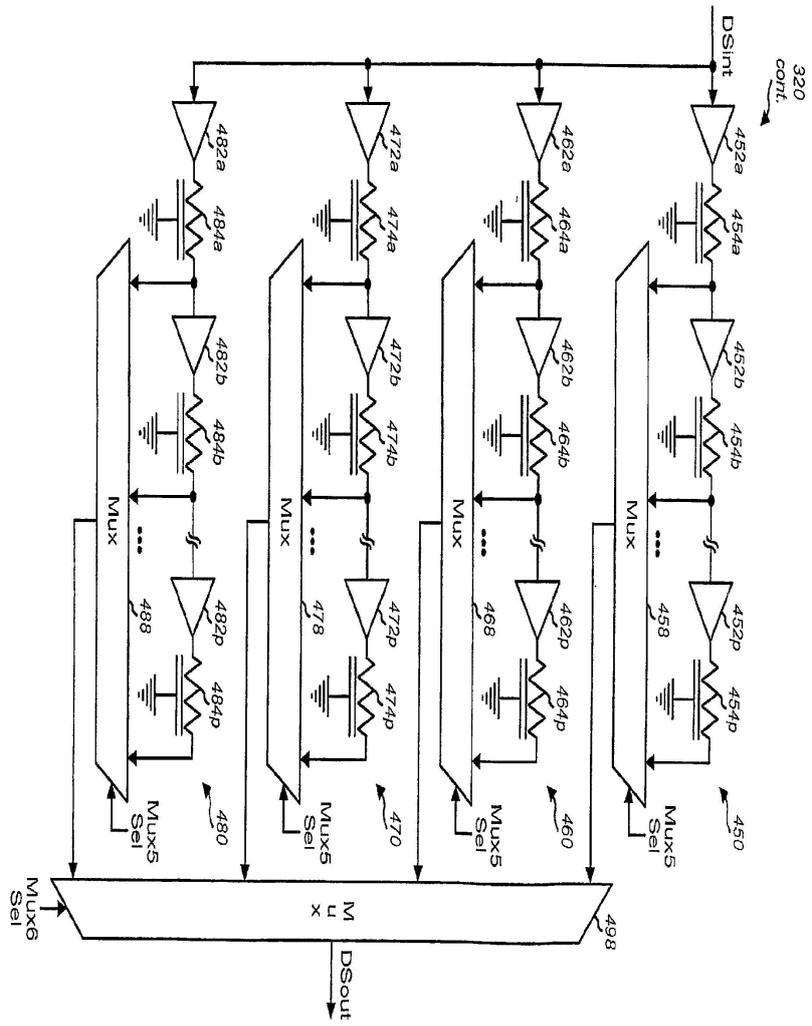
도면3



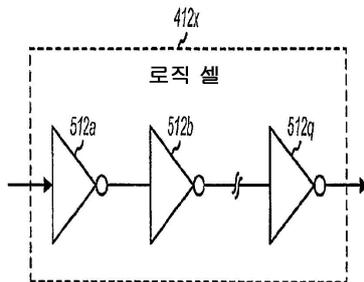
도면4a



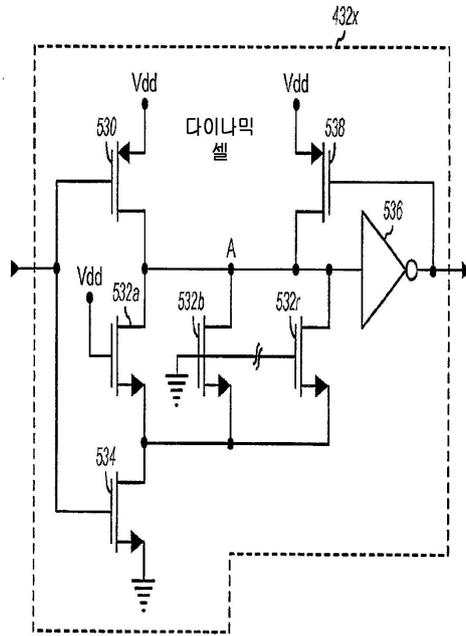
도면4b



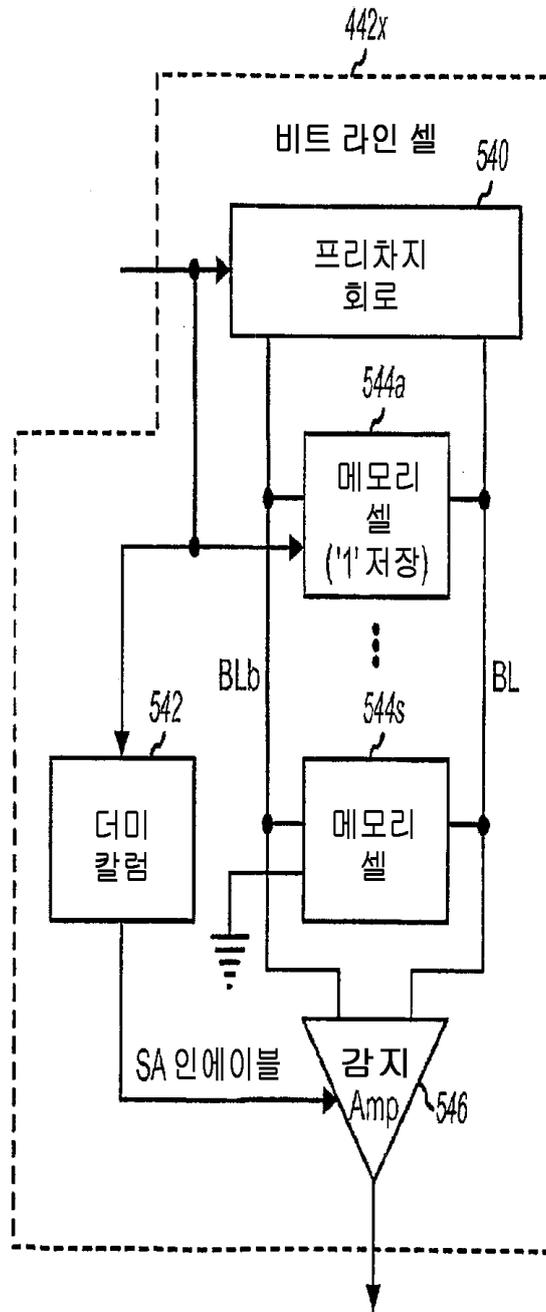
도면5a



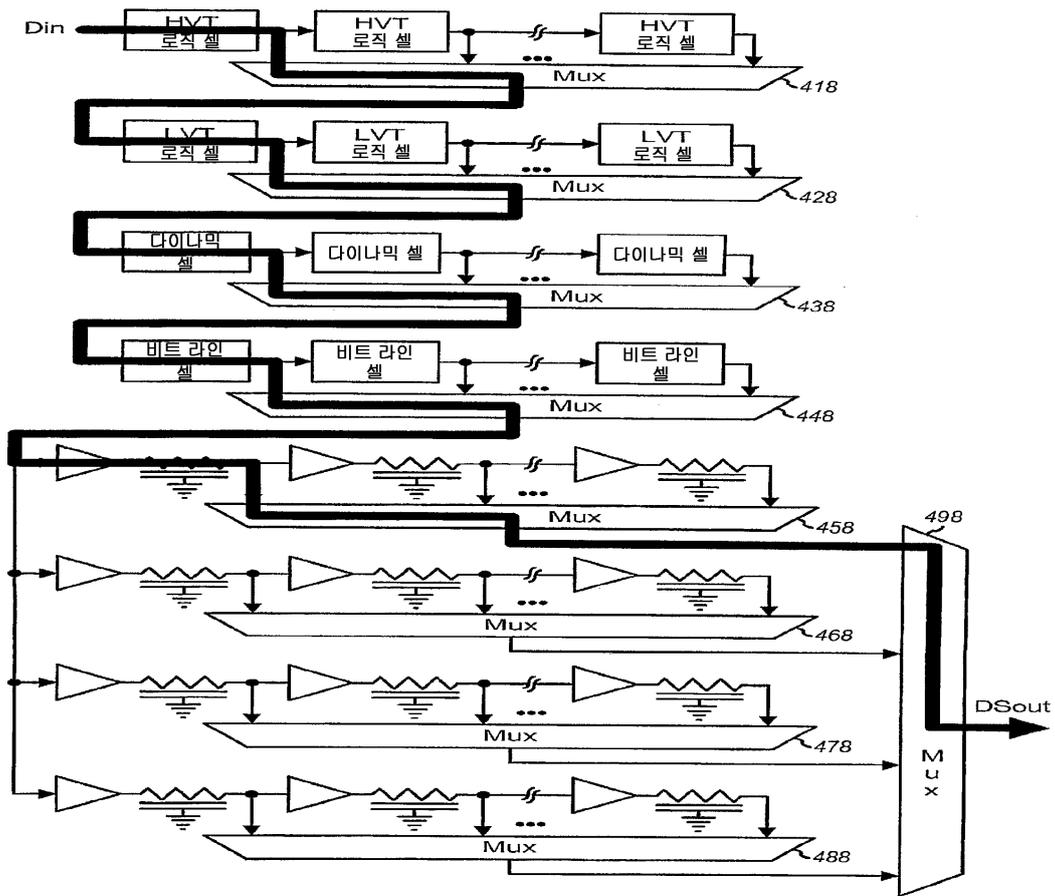
도면5b



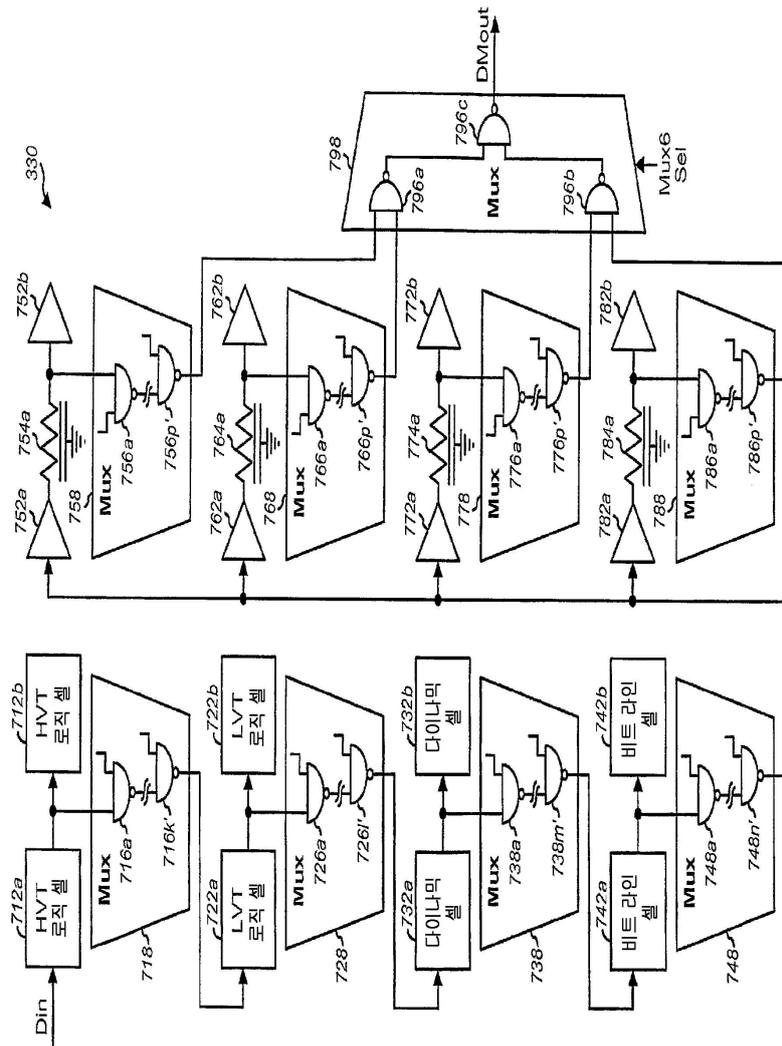
도면5c



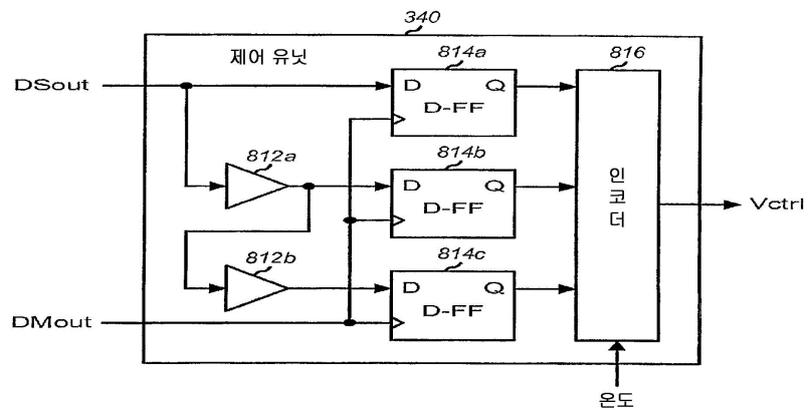
도면6



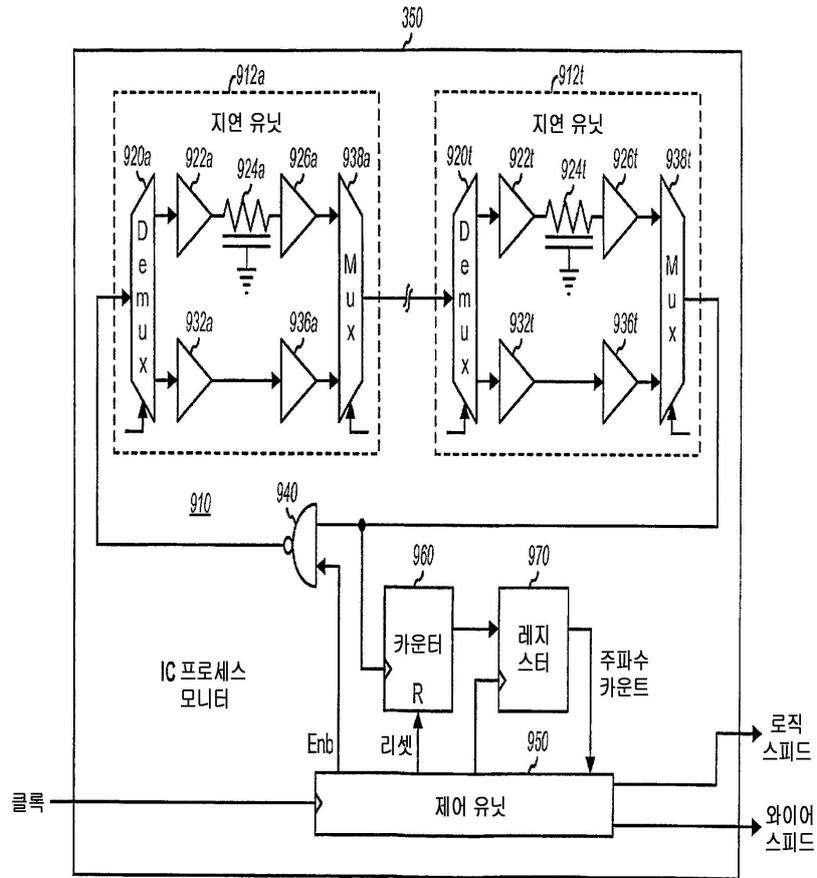
도면7



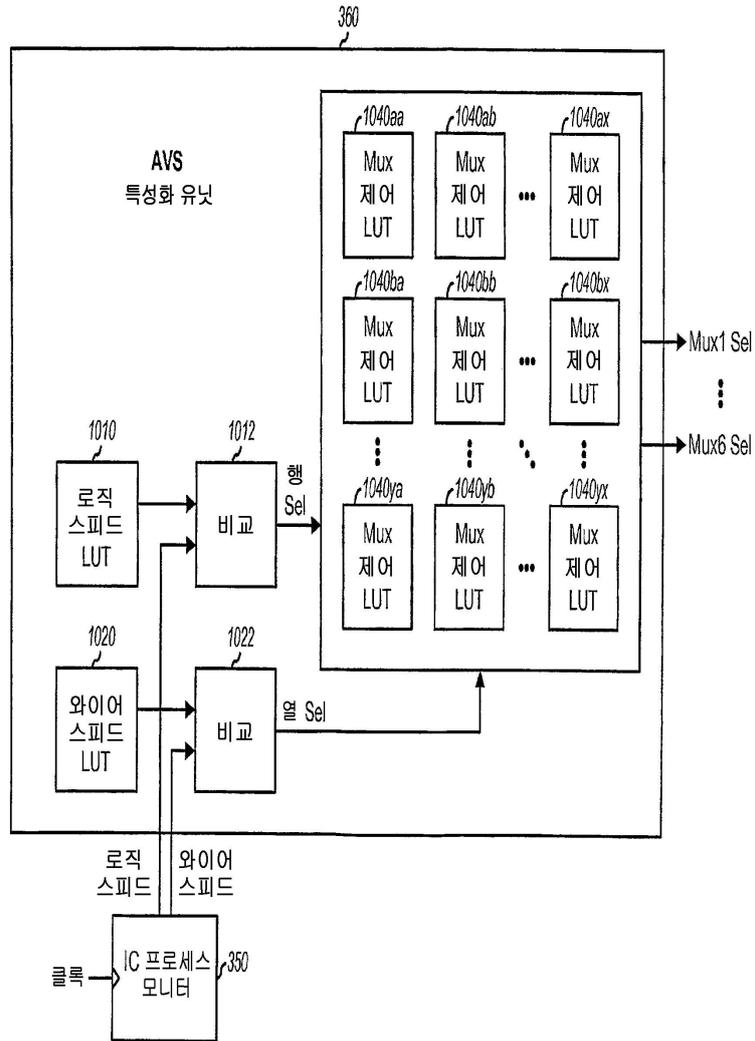
도면8



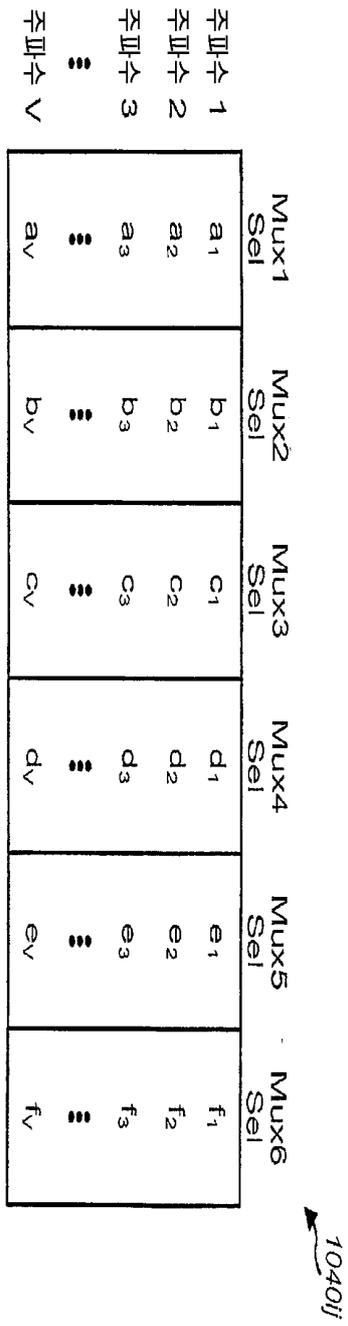
도면9



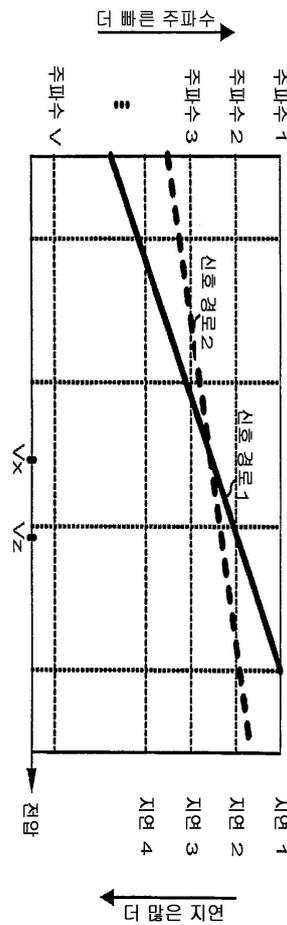
도면10a



도면10b



도면11



도면12

