

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3853905号
(P3853905)

(45) 発行日 平成18年12月6日(2006.12.6)

(24) 登録日 平成18年9月15日(2006.9.15)

(51) Int. Cl.	F I
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 GO 1 W
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 T
HO 1 L 29/78 (2006.01)	HO 1 L 29/66 C
	HO 1 L 29/66 L
	HO 1 L 29/78 3 O 1 J
請求項の数 12 (全 59 頁)	

(21) 出願番号	特願平9-65150	(73) 特許権者	000003078
(22) 出願日	平成9年3月18日(1997.3.18)		株式会社東芝
(65) 公開番号	特開平10-261786		東京都港区芝浦一丁目1番1号
(43) 公開日	平成10年9月29日(1998.9.29)	(74) 代理人	100058479
審査請求日	平成13年8月28日(2001.8.28)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次
最終頁に続く			

(54) 【発明の名称】 量子効果装置とBLトンネル素子を用いた装置

(57) 【特許請求の範囲】

【請求項1】

トンネル電子が通り抜けるポテンシャルバリアと、
トンネル電子が前記ポテンシャルバリアを通り抜ける際に前記ポテンシャルバリア中に存在しているトンネル電子にエネルギーを吸収させることによりトンネル電流を変化させる手段とを具備する量子効果装置。

【請求項2】

トンネル膜と、
前記トンネル膜を挟んで設けられた一对の電極と、
前記トンネル膜を透過する光と、前記一对の電極間を流れる前記トンネル膜中のトンネル電子との光量子変換により、前記一对の電極間を流れるトンネル電流を指数関数的に変化させる手段とを具備する量子効果装置。

【請求項3】

ポテンシャルバリアを有するトンネル膜と、
前記トンネル膜にトンネル電流を流す第1及び第2の端子と、
前記第1及び第2の端子の少なくとも一方に周波数 ω の高周波電圧を印加して、前記トンネル膜のポテンシャルバリアに周波数 ω の高周波振動を与え、前記トンネル膜に流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動数 ω_c であるときに境にして、 $\exp(-2/\tau)$ にしたがって指数関数的に増大させる手段と、
を具備し、

10

20

前記所定のしきい振動数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} をトンネル膜の膜厚、 $U(x)$ を位置 x でのトンネル膜のポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

【数 1】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

10

である量子効果装置。

【請求項 4】

ポテンシャルバリアを有するトンネル膜と、
前記トンネル膜にトンネル電流を流す第 1 及び第 2 の端子と、
前記トンネル膜のポテンシャルバリアに周波数 ω の高周波振動を与える第 3 の端子と、
前記トンネル膜を流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$ にしたがって指数関数的に増大させる手段と、
を具備し、

前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} をトンネル膜の膜厚、 $U(x)$ を位置 x でのトンネル膜のポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

20

【数 2】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である量子効果装置。

30

【請求項 5】

基板と、
前記基板上に形成された第 1 のトンネル膜と、
前記第 1 のトンネル膜上に形成された第 1 のゲートと、
前記第 1 のゲート上に形成された第 2 のトンネル膜と、
前記第 2 のトンネル膜上に形成された第 2 のゲートと、
前記第 1 のゲートに周波数 ω の高周波振動を与えて、前記第 1 のゲートと前記基板との間、または前記第 1 のゲートと前記第 2 のゲートとの間を流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$ にしたがって指数関数的に増大させる手段と、

40

を具備し、

前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} を第 1 または第 2 のトンネル膜の膜厚、 $U(x)$ を位置 x での第 1 または第 2 のトンネル膜のポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

【数 3】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である量子効果装置。

【請求項 6】

基板と、

前記基板上に形成された第 1 のトンネル膜と、

前記第 1 のトンネル膜上に形成された第 1 のゲートと、

前記第 1 のゲート上に形成された第 2 のトンネル膜と、

前記第 2 のトンネル膜上に形成された第 2 のゲートと、

前記第 2 のゲートに周波数 ω の高周波振動を与えて、前記第 1 のゲートと前記第 2 のゲートとの間を流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$ にしたがって指数関数的に増大させる手段と、

を具備し、

前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} を第 2 のトンネル膜の膜厚、 $U(x)$ を位置 x での第 2 のトンネル膜のポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

【数 4】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である量子効果装置。

【請求項 7】

半導体層と、

前記半導体層上に形成された絶縁膜と、

前記半導体層に形成され、ポテンシャルバリアを有するチャネル領域と、

前記チャネル領域の両端部に対応して設けられ、前記チャネル領域内にトンネル電流を流す第 1 及び第 2 の端子と、

前記絶縁膜上に形成され、前記絶縁膜を介して前記チャネル領域のポテンシャルバリアに周波数 ω の高周波振動を与える第 3 の端子と、

前記チャネル領域に流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$ にしたがって指数関数的に増大させる手段と、

を具備し、

前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} を前記ポテンシャルバリアのバリア厚、 $U(x)$ を位置 x での前記ポテンシャルバリアのポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

10

20

30

40

【数5】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である量子効果装置。

【請求項8】

半導体層と、
 前記半導体層上に形成された絶縁膜と、
 前記半導体層に設けられ、ポテンシャルバリアを有するチャネル領域と、
 前記チャネル領域の両端部に対応して設けられ、前記チャネル領域内にトンネル電流を流す第1及び第2の端子と、
 前記絶縁膜上に形成され、前記絶縁膜を介して前記チャネル領域のポテンシャルバリアに周波数 ω の高周波振動を与えるように構成された第3の端子と、
 前記チャネル領域内に流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \tau)$ にしたがって指数関数的に増大させる手段と、を備えるBLトンネル素子を複数備え、さらに
 前記複数のBLトンネル素子の前記第3の端子の各々に連結されたワードライン制御装置と、
 前記複数のBLトンネル素子の前記第1の端子の各々に連結されたデータライン制御装置と、
 前記複数のBLトンネル素子の前記第2の端子の各々に連結されたレファレンスラインと、を含み、
 前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} を前記ポテンシャルバリアのバリア厚、 $U(x)$ を位置 x での前記ポテンシャルバリアのポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

10

20

【数6】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

30

であるBLトンネル素子を用いた装置。

【請求項9】

ポテンシャルバリアを有するトンネル膜と、
 前記トンネル膜にトンネル電流を流す第1及び第2の端子と、
 前記第1及び第2の端子の少なくとも一方に周波数 ω の高周波電圧を印加して、前記トンネル膜のポテンシャルバリアに周波数 ω の高周波振動を与え、前記トンネル膜に流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動数 ω_T であるときを境にして、 $\exp(2 / \tau)$ にしたがって指数関数的に増大させる手段と、を備えるBLトンネル素子を複数備え、さらに
 前記複数のBLトンネル素子の前記第1の端子の各々に連結されたワードライン制御装置と、
 前記複数のBLトンネル素子の前記第2の端子の各々に連結されたデータライン制御装置と、を含み、
 前記所定のしきい振動数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} をトンネル膜の膜厚、 $U(x)$ を位置 x でのトンネル膜のポテンシャルエネルギー、 E をトンネル電子が持っているエネルギーとして、

40

50

【数 7】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である B L トンネル素子を用いた装置。

【請求項 10】

ポテンシャルバリアを有するトンネル膜と、
 前記トンネル膜にトンネル電流を流す第 1 及び第 2 の端子と、
 前記トンネル膜のポテンシャルバリアに周波数 ω の高周波振動を与える第 3 の端子と、
 前記トンネル膜に流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振
 動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$ にしたがって指数関数的に増大
 させる手段と、を備える B L トンネル素子を複数備え、さらに
 前記複数の B L トンネル素子の前記第 3 の端子の各々に連結されたワードライン制御装
 置と、
 前記複数の B L トンネル素子の前記第 1 の端子の各々に連結されたデータライン制御装
 置と、
 前記複数の B L トンネル素子の前記第 2 の端子の各々に連結されたレファレンスライン
 と、を含み、
 前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} をトンネル膜
 の膜厚、 $U(x)$ を位置 x でのトンネル膜のポテンシャルエネルギー、 E をトンネル電子
 が持っているエネルギーとして、

【数 8】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

である B L トンネル素子を用いた装置。

【請求項 11】

基板と、
 前記基板上に形成された第 1 のトンネル膜と、
 前記第 1 のトンネル膜上に形成された第 1 のゲートと、
 前記第 1 のゲート上に形成された第 2 のトンネル膜と、
 前記第 2 のトンネル膜上に形成された第 2 のゲートと、
 前記第 1 のゲートに周波数 ω の高周波振動を与えて、前記第 1 のゲートと前記基板との
 間、または前記第 1 のゲートと前記第 2 のゲートとの間を流れるトンネル電流を、前記高
 周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \omega_T)$
 にしたがって指数関数的に増大させる手段と、を備える B L トンネル素子を複数
 備え、さらに
 前記複数の B L トンネル素子の前記第 1 のゲートの各々に連結されたワードライン制御
 装置と、
 前記複数の B L トンネル素子の第 2 のゲートの各々に連結されたデータライン制御装置
 と、
 前記複数の B L トンネル素子の基板の各々に連結されたレファレンスラインと、を含み
 、
 前記所定のしきい振動周波数 ω_T は、 m をトンネル電子の有効質量、 T_{ox} を第 1 または
 第 2 のトンネル膜の膜厚、 $U(x)$ を位置 x での第 1 または第 2 のトンネル膜のポテンシ

10

20

30

40

50

ヤルエネルギー、Eをトンネル電子が持っているエネルギーとして、

【数9】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

であるBLトンネル素子を用いた装置。

【請求項12】

基板と、

前記基板上に形成された第1のトンネル膜と、

前記第1のトンネル膜上に形成された第1のゲートと、

前記第1のゲート上に形成された第2のトンネル膜と、

前記第2のトンネル膜上に形成された第2のゲートと、

前記第2のゲートに周波数 ω の高周波振動を与えて、前記第1のゲートと前記第2のゲートとの間を流れるトンネル電流を、前記高周波振動の周波数 ω が所定のしきい振動周波数 ω_T であるときを境にして、 $\exp(2 / \tau)$ にしたがって指数関数的に増大させる手段と、を備えるBLトンネル素子を複数備え、さらに

前記複数のBLトンネル素子の第2のゲートの各々に連結されたワードライン制御装置と、

前記複数のBLトンネル素子の第1のゲートの各々に連結されたデータライン制御装置と、

前記複数のBLトンネル素子の基板の各々に連結されたレファレンスラインと、を具備し、

前記所定のしきい振動周波数 ω_T は、mをトンネル電子の有効質量、 T_{ox} を第2のトンネル膜の膜厚、 $U(x)$ を位置xでの第2のトンネル膜のポテンシャルエネルギー、Eをトンネル電子が持っているエネルギーとして、

【数10】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

であるBLトンネル素子を用いた装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路の超高集積化に用いられる量子効果装置等に関する。

【0002】

【従来の技術】

半導体産業は、機能素子一つ当たりの占める面積を小さくすることによって高集積化を達成し、その為の技術（プロセスや素子・回路設計等）の改良と共に発展してきた。

【0003】

半導体チップにおいてスイッチングに用いられるスイッチング素子には、従来からMOSトランジスタが支配的に用いられているが、素子を微細化するにつれSi基板に形成される拡散層の制御が困難になる上、界面に電界をかけて動作させるため絶縁酸化膜の信頼性向上が大きな課題となっていた。特に後者では、酸化膜中の不純物や欠損等に起因するトラップ準位や高電界が電子のトンネリングを増長し、リーク電流を引き起こすことが広く知られている。

10

20

30

40

50

【 0 0 0 4 】

そこで、問題解決の為膜質を分子レベルに遡って向上させる努力が払われているが、膜質をどのように改質すべきかまだ良く解っていない上、現在の技術水準では半導体製造プロセスにおいて膜質を分子レベルに遡って向上させることは困難であり、事実上不可能と思わざるを得ない。又、構造的・成分的に均質な半導体基板を用いるため、同一チップ内に多様な装置を作ることが困難であった。

【 0 0 0 5 】

【 発明が解決しようとする課題 】

このような理由から、膜質にゆとりを持たせ、多少リーク電流があってもスイッチング機能を損なわず、同時に拡散層を省略した機能素子が求められている。具体的には、1 V 以下の低電圧で動作し、導通時はリーク電流に比べ飛躍的に大きな電流を流すことが可能な機能素子、或いは、半導体複合基板と各種変換装置を用い、光信号、アナログ信号、デジタル信号等を同時に処理できる回路装置である。

10

【 0 0 0 6 】

本発明の目的は、上記の特徴を有する新規なスイッチング素子及びこれを用いた回路装置等を提供することにある。

【 0 0 0 7 】

【 課題を解決するための手段 】

本発明における量子効果装置は、トンネル電子に量子を吸収もしくは放出させることにより、トンネル電流を指数関数的に増大させることを特徴とする。

20

【 0 0 0 8 】

また、本発明における量子効果装置は、トンネル電子に量子を吸収もしくは放出させることにより、トンネル電流を指数関数的に増大させ、このトンネル電流の指数関数的増大の有無に基づいてスイッチングを行うことを特徴とする。

【 0 0 0 9 】

前記量子効果装置において、前記量子としては例えば光子又はポテンシャルの高周波振動によるエネルギーの励起を用いる。特に、後者によるトンネル電流の増大をB L トンネリングと呼ぶ。

【 0 0 1 0 】

また、本発明における量子効果装置は、トンネル膜と、このトンネル膜を挟んで設けられた一对の電極とを有し、前記トンネル膜を透過する光と前記一对の電極間を流れるトンネル電子との量子交換により、前記一对の電極間に流れるトンネル電流を指数関数的に増大させることを特徴とする。

30

【 0 0 1 1 】

また、本発明における量子効果装置は、トンネル膜と、このトンネル膜にトンネル電流を流す第1及び第2の端子とを有し、少なくとも前記第1及び第2の端子の一方に高周波を印加することにより前記トンネル膜のポテンシャルバリアに高周波振動を与え、所定のしきい振動数を境に前記トンネル膜に流れるトンネル電流を指数関数的に増大させること(B L トンネリング)を特徴とする。特に、このような量子効果装置を2端子型B L トンネル素子と呼ぶ。

40

【 0 0 1 2 】

また、本発明における量子効果装置は、トンネル膜と、このトンネル膜にトンネル電流を流す第1及び第2の端子と、前記トンネル膜のポテンシャルバリアに高周波振動を与える第3の端子とを有し、所定のしきい振動数を境に前記トンネル膜に流れるトンネル電流を指数関数的に増大させること(B L トンネリング)を特徴とする。特に、このような量子効果装置を3端子型B L トンネル素子と呼ぶ。

【 0 0 1 3 】

また、本発明における量子効果装置は、基板上に形成された第1のトンネル膜と、この第1のトンネル膜上に形成された第1のゲートと、この第1のゲート上に形成された第2のトンネル膜と、この第2のトンネル膜上に形成された第2のゲートとを有し、前記第1又

50

は第2のゲートに入力される高周波振動により、所定のしきい振動数を境に前記第1のゲートと前記基板との間又は前記第1のゲートと前記第2のゲートとの間に流れるトンネル電流を指数関数的に増大させることを特徴とする。

【0014】

また、本発明における量子効果装置は、絶縁膜下の半導体に形成されるチャネル領域と、前記チャネル領域の両端部に対応して設けられ前記チャネル領域にトンネル電流を流す第1及び第2の端子と、前記絶縁膜を介して前記チャネル領域のポテンシャルバリアに高周波振動を与える第3の端子とを有し、所定のしきい振動数を境に前記チャネル領域に流れるトンネル電流を指数関数的に増大させることを特徴とする。

【0015】

本発明における半導体複合基板は、成分又は構造の異なる複数種類の半導体領域を基板分離領域を挟んで帯状に設けたことを特徴とする。

【0016】

本発明によれば、トンネル電子の量子吸収を動作原理としたことにより、絶縁膜の信頼性に余裕があることを特徴とする新規なデバイスを得ることができる。

【0017】

また、前記半導体複合基板を用いることにより、同一チップ内に特性の異なる半導体領域が形成されるので、例えば高周波発生装置と前記量子効果装置とをそれぞれに適した半導体領域に形成することができる。

【0018】

以下、本発明のより詳細な態様について、発明部分A～発明部分Mに別けて記載する。

【0019】

[発明部分Aの構成]

(A1) トンネル電子と人為的に量子を交換することにより、トンネル電流の量を指数関数的に調節して、量子効果スイッチング装置を構成することを特徴とする。

【0020】

(A2) A1記載のスイッチング装置は、トンネル電子が透過する薄いトンネル膜を挟んだ二つの電極間及びトンネル膜中のトンネル電子と直接量子を交換できる量子発生装置からなることを特徴とする。

【0021】

(A3) A2記載のトンネル膜中のトンネル電子が、A2記載の量子発生装置から量子 $[h\text{バー}]$ ($h\text{バー} = h$) を吸収したとき、トンネル電流が、 $\exp(2/T)$ 倍に増大し、吸収しないときはこのように指数関数的には増大しないようにして前記スイッチング装置を構成することを特徴とする。ただし、前記しきい振動数 T は、

【数1】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

【0022】

であり、 $U(x)$ はトンネル膜のポテンシャル、 T_{ox} はトンネル膜の膜厚、 m はトンネル電子の有効質量である。

【0023】

(A4) A3記載のトンネル電流の指数関数的増大があるときをスイッチON、そうでないときをスイッチOFFとして用いることを特徴とする。

【0024】

(A5) A1記載の量子として、光子或いはポテンシャルの電気的高周波振動によるエネルギー励起等を用いることを特徴とする。

【0025】

10

20

30

40

50

(A6) A1記載の量子としてA5記載の光子を用いた場合、トンネル膜としては絶縁性が高く光を透過する材料(石英ガラス、ソーダ石灰ガラス、ホウケイ酸ガラス、鉛ガラス、有機ガラス等)の薄膜を用い、更にこの薄膜の両電極側で屈折率が小さくなるように内部構造を構成することにより、効率を上げることができる。

【0026】

(A7) A2記載の二つの電極の内、一方をソース、他方をドレインとし、トンネル膜にエネルギー量子を注入する端子を組み合わせて3端子のスイッチング装置を構成することを特徴とする。

【0027】

(A8) A1記載の量子としてA5記載の光子を用いたスイッチング装置は、光信号を電気信号に変換する光/電気変換装置としても応用できるように構成することを特徴とする。

10

【0028】

(A9) 電氣的に独立した二つの電極を直径方向に取り付けた光ファイバーをA6記載のトンネル膜の代わりに用いて光/電気変換装置を構成することを特徴とする。光ファイバーは数本を束ねて利用しても良い。

【0029】

(A10) A5記載の電氣的高周波は、トンネルバリアを周期的に高周波で振動させるものであり、この周波数が十分高いとき、トンネル電子はトンネルバリアの振動から量子を吸収し、トンネル電流を指数関数的に増大させること(BLトンネリング)を特徴とする。

20

【0030】

[発明部分Aの作用効果]

トンネル電子の量子交換を動作原理とした新規なトンネル素子を実現することができる。

【0031】

[発明部分Bの構成]

(B1) 周期的に振動する入力信号を印加し、その信号に対しある特定の閾振動数が存在することを特徴とするスイッチング素子であり、このスイッチング素子は、印加信号の振動数が閾振動数より大きいとき導通し小さいとき導通しないことを特徴とする。

【0032】

(B2) B1記載の入力信号は、非振動部分と前記閾振動数よりも大きい振動数を有する振動部分とを有し、これら非振動部分及び振動部分は制御装置によって制御されることを特徴とする。全体的には、スイッチング素子、制御装置及び周辺機能素子を含む回路として設計される。制御装置により、入力信号の非振動部分はその大きさと符号を、入力信号の振動部分はその位相、振幅及び振動数が制御される。制御装置の仕組みは、スイッチング素子の利用方法によって異なる。入力信号が電圧の場合、入力信号の非振動部分は直流電源により制御される直流電圧であり、その制御パラメータは直流電圧の大きさと符号であり、入力信号の振動部分は交流電源により制御される交流電圧であり、その制御パラメータは交流電圧の位相、振幅及び振動数である。入力信号が電流の場合、入力信号の非振動部分は直流電源により制御される直流電流であり、その制御パラメータは直流電流の大きさと符号であり、入力信号の振動部分は交流電源により制御される交流電流であり、その制御パラメータは交流電流の位相、振幅及び振動数である。

30

40

【0033】

(B3) B1記載のスイッチング素子は、導通及び非導通のどちらか一方をON状態、他方をOFF状態とすることを特徴とする。

【0034】

(B4) B1記載のスイッチング素子は、トンネル絶縁膜を有し、BLトンネリングにより基板表面でなくトンネル絶縁膜に直接電流を流すものであり、この電流は振動数にしたがって指数関数的に増大することを特徴とする。

【0035】

50

(B5) B1記載の閾振動数は、B2記載の周期的振動入力信号の非振動部分を制御することにより製造後も自由に調節でき、或いはB4記載のトンネル絶縁膜の種類をすることによって製造段階で予め選択的に設定できるものであり、トンネル絶縁膜の種類は、材料、製法、厚さ、不純物等で区別することができる。また、トンネル絶縁膜の種類以外に、基板やゲート電極の種類をすることによっても閾振動数は製造段階で予め選択的に設定でき、基板やゲート電極の種類は、基板やゲート電極の構成元素やその成分比を変えることにより製造段階から予め選択的に設定できる。

【0036】

(B6) B1記載の入力信号は、周期的に振動する電圧、光、化学的反応或いは化学物質とそれに準ずる原子分子サイズの微少物質の交換等によりポテンシャルバリアを周期的に振動させ、或いはポテンシャルバリアに隣接する層のフェルミ面又はそれと一層或いは複数層の薄い絶縁膜を挟んで存在する層のフェルミ面を何らかの方法で周期的に振動させることにより、相対的にポテンシャルバリアを周期的に振動させることを特徴とする。

10

【0037】

(B7) B6記載の化学物質及びそれに準ずる原子分子サイズの微少物質は、正又は負の電荷を輸送することを特徴とし、B6記載のポテンシャルバリアは、B4記載のトンネル絶縁膜よりなることを特徴とするトンネルバリアである。

【0038】

(B8) B1記載のスイッチング素子は、端子数が2であり、B1記載の周期的に振動する信号を端子の両方又は片方に入力するものであり、B1記載の入力信号の振動数がB1記載の閾振動数より大きいとき2端子間を導通し、小さいとき導通しないことを特徴とする。2端子間を流れる電流は、2端子間に印加する電圧や、入力信号の周期的振動部分或いは非振動部分で調節される。

20

【0039】

(B9) B1記載のスイッチング素子は、端子数が3であり、そのうち1端子にB1記載の周期的に振動する信号を入力し、その振動数がB1記載の閾振動数より大きいとき残り2端子間が導通し、小さいとき導通しないことを特徴とする。前記残りの2端子間を流れる電流は、2端子間に印加する電圧や、入力信号の非振動部分或いは振動部分で調節される。

【0040】

(B10) B4記載のトンネル絶縁膜及びB6記載の薄い絶縁膜には、シリコン窒化膜或いはシリコン酸化膜等のシリコンを含む化合物からなる絶縁薄膜、有機物もしくは無機物からなる絶縁薄膜、或いは化合物半導体を使用することができる。

30

【0041】

(B11) B6記載のポテンシャルバリアの周期的振動の振幅は、ポテンシャルバリアの高さ(ポテンシャルバリアの高さの時間平均)に比べ小さく、ポテンシャル振動を生じさせる入力電圧である場合、入力として利用される周期的振動電圧の振幅は0.02Vより高いことが好ましい。

【0042】

(B12) B6記載の薄い絶縁膜は、B4記載のトンネル絶縁膜より低いバリアを持つか或いは厚さが薄いことが好ましい。

40

【0043】

(B13) B1記載の閾振動数は、B4記載のトンネル絶縁膜を薄くするか或いはB6記載のポテンシャルバリアの高さの時間平均を低くすることにより、低くすることができる。

【0044】

(B14) B1記載のスイッチング素子及びB2記載の入力信号の振動部分を発振する発振装置を含む集積回路を作成する基板には、シリコン基板、化合物半導体基板、シリコン基板と化合物半導体基板を貼り合わせた複合基板を用いることができる。特に複合基板である場合、発振装置はシリコン基板と化合物半導体基板のどちらかの上或いは両方の上

50

に跨って作製され、スイッチング素子はシリコン基板と化合物半導体基板のどちらかの
上か或いは両方の上に跨って作製される。

【 0 0 4 5 】

(B 1 5) B 1 記載のスイッチング素子は、独立の電極と接している n 型或いは p 型の
ウェルの上に絶縁膜、ゲート 1、絶縁膜、ゲート 2 の垂直構造により実現され、ウェル、
ゲート 1 及びゲート 2 はそれぞれ独立の電極に接続され、B 1 記載の入力信号は、ウェル
、ゲート 1 又はゲート 2 に印加されることを特徴とする。

【 0 0 4 6 】

(B 1 6) ゲート 2 はゲート 1 の上方に作成されるコンタクトの底部に形成されるポリシ
リコンからなり、ゲート 1 はウェルとゲート 2 の間を通り基板の表面と平行に走るメタル
もしくはポリシリコンよりなる細線であり、基板は単位セル分の垂直素子構造をその上に
構築する領域内にソース/ドレインを作りこまないことを特徴とし、単体のセルの大きさは
前記コンタクトの幅とゲート 1 の幅の大きい方で決定される。

10

【 0 0 4 7 】

(B 1 7) B 4 記載のトンネル絶縁膜は、ウェルとゲート 1 との間、ゲート 1 とその上に
存在するゲート 2 との間に構成されることを特徴とし、トンネル絶縁膜の膜厚の比を変え
ることにより、B 1 記載の閾振動数と B 4 記載の電流の量を自由に変えることができる。

【 0 0 4 8 】

(B 1 8) ゲート 1 に印加される入力信号として電圧を用いた場合、B 2 記載の入力信号
の非振動部分である定電圧の大きさは、入力信号の振動部分である交流電圧の振幅より大
きいことを特徴とする。

20

【 0 0 4 9 】

(B 1 9) B 4 記載のトンネル絶縁膜は、B 1 8 記載の定電圧を調節することにより流れ
る電流の量が調節されることを特徴とする。

【 0 0 5 0 】

(B 2 0) B 1 記載の閾振動数は、B 1 5 記載の構造において、B 1 8 記載の定電圧の大
きさを使って調節できることを特徴とする。

【 0 0 5 1 】

(B 2 1) B 8 記載の 2 端子スイッチング素子は、素子構造が通常のキャパシタ構造と
同様であり、B 1 記載の入力信号として電圧を用いることを特徴とし、この電圧はキャパ
シタの両極に電位差を印加し、その振動部分の振幅に電子の素電荷を乗じたものは B 6 記
載のポテンシャルバリアより小さく、振動電圧部分の振動数が B 1 記載の閾振動数より大
きいときキャパシタを導通し小さいと導通しないことを特徴とする。

30

【 0 0 5 2 】

(B 2 2) B 2 1 記載の入力電圧の定電圧部分が振動電圧部分より小さいときはキャパシ
タ構造を導通時に流れる電流は交流となり、逆に大きいときは直流となることを特徴とす
る。

【 0 0 5 3 】

(B 2 3) B 7 記載のトンネルバリアは n - M O S トランジスタのチャネル領域であり、
このトンネルバリアはゲートに印加された高周波交流電圧によって振動し、このとき指数
関数的に増大するトンネル電流は B L トンネル電流であることを特徴とする M O S 型 B L
トンネル素子により、前記スイッチング装置を構成することを特徴とする。

40

【 0 0 5 4 】

[発明部分 B の作用効果]

B L トンネルリングを動作原理としたことにより、絶縁膜の信頼性に余裕のある振動数閾値
型スイッチング素子 (B L トンネル素子) を実現することができる。また、セル一つ当
たりの占める面積がゲートコンタクト一つ分であるため、従来にない微細なスイッチン
グ素子を形成することができ、さらにソース/ドレインを必要としないので、拡散工程を
節約することができる。その結果、2 端子及び 3 端子のスイッチング素子を簡単に作製
することができる。また、閾値を製造過程で予め選択的に設定する、或いは素子動作中

50

も選択的に調節することが可能となる。

【0055】

[発明部分Cの構成]

(C1) MOSトランジスタを用いたスイッチング装置の代わりに、BLトンネル素子を用いたスイッチング装置により読み出し専用メモリ装置を構成することを特徴とする。

【0056】

(C2) C1記載の読み出し専用メモリ装置において、ワードラインへのスイッチ入力があるC1記載のトンネル素子への交流入力であり、トンネル素子の閾振動数が読み出し専用メモリ装置の入力信号の振動数に対する閾値として存在し、読み出し専用メモリ装置の出力電流量は、前記振動数と前記閾値の指数関数として制御できることを特徴とする。

10

【0057】

(C3) C2記載の閾値は、C1記載のトンネル素子に用いたトンネル絶縁膜の種類或いはゲートや基板の種類等により、製造段階から予め選択的に設定できることを特徴とする。

【0058】

(C4) C3記載のトンネル絶縁膜の種類は、製造工程、材料、膜厚、形状、不純物の種類及びその量によって区別され、C3記載のゲートや基板の種類は、不純物の種類や量或いは製造工程等で区別される。

【0059】

(C5) C1記載の読み出し専用メモリ装置は、C2記載の出力電流量が有限であるか或いは無視出来るほど小さいかを0/1の出力として利用する2値の読み出し専用メモリ装置であることを特徴とする。また、電流量そのものを出力とし、多値出力を実現できる多値(3値以上)読み出し専用メモリ装置として用いることもできる。

20

【0060】

[発明部分Cの作用効果]

BLトンネル素子を用いたことにより、量子効果素子を用いた読み出し専用メモリ装置を実現することができ、セル一個当たりの専有面積が小さく、ソース/ドレインを作製する必要がなく、低電界で動作し、多値化に有利である等の利点を有する。

【0061】

[発明部分Dの構成]

(D1) MOSトランジスタを用いず、各セル内に拡散層を必要としないことを特徴とするダイナミカル・ランダム・アクセス・メモリ装置であり、MOSトランジスタを用いたスイッチング装置の代わりに、BLトンネル素子を用いたスイッチング装置により構成されることを特徴とする。

30

【0062】

(D2) D1記載のダイナミカル・ランダム・アクセス・メモリ装置において、ワードラインへのスイッチ入力があるD1記載のBLトンネル素子への交流入力であり、トンネル素子の閾振動数がダイナミカル・ランダム・アクセス・メモリ装置の入力信号の振動数に対する閾値として存在し、ダイナミカル・ランダム・アクセス・メモリ装置の出力は、前記振動数と前記閾値の指数関数として制御できることを特徴とする。

40

【0063】

(D3) D2記載の閾値は、D1記載のトンネル素子に用いたトンネル絶縁膜の種類或いはゲートや基板の種類等により、製造段階から予め選択的に設定できることを特徴とする。

【0064】

(D4) D3記載のトンネル絶縁膜の種類は、製造工程、材料、膜厚、形状、不純物の種類及びその量によって区別され、D3記載のゲートや基板の種類は、不純物の種類や量或いは製造工程等で区別されることを特徴とする。

【0065】

50

(D5) D1記載のBLトンネル素子は2端子と3端子の2種類が存在し、2種類のBLトンネル素子にそれぞれ単独に制御するワードラインを接続し、2種類のBLトンネル素子をD1記載のダイナミカル・ランダム・アクセス・メモリ装置を構成する一つのセルに同時に利用することを特徴とする。

【0066】

(D6) D1記載のダイナミカル・ランダム・アクセス・メモリ装置は、3端子BLトンネル素子のみで構成されることを特徴とする。

【0067】

[発明部分Dの作用効果]

BLトンネル素子を用いたことにより、量子効果素子を用いたダイナミカル・ランダム・アクセス・メモリ装置を実現することができる。また、セル一個当たりの専有面積が小さく、ソース/ドレインを作製する必要がなく、低電界で動作する等の利点がある。さらに、シリコン基板の上に作製した集積回路のさらにその上に積層して形成することができる。

10

【0068】

[発明部分Eの構成]

(E1) MOSTランジスタを用いたスイッチング装置の代わりに、BLトンネル素子を用いたスイッチング装置により不揮発性メモリ装置を構成することを特徴とする。

【0069】

(E2) E1記載の不揮発性メモリ装置において、ワードラインへのスイッチ入力がE1記載のトンネル素子への交流入力であり、トンネル素子の閾振動数が不揮発性メモリ装置の入力信号の振動数に対する閾値として存在し、不揮発性メモリ装置の出力は、前記振動数と前記閾値の指数関数として制御できることを特徴とする。

20

【0070】

(E3) E2記載の閾値は、E1記載のトンネル素子に用いたトンネル膜の種類或いはゲートや基板の種類等により、製造段階から予め選択的に設定できることを特徴とする。

【0071】

(E4) E3記載のトンネル膜の種類は、製造工程、材料、膜厚、形状、不純物の種類及びその量によって区別され、E3記載のゲートや基板の種類は、不純物の種類や量或いは製造工程等で区別されることを特徴とする。

30

【0072】

(E5) E1記載の不揮発性メモリ装置に用いるスイッチング装置は、E2記載の出力電流量が有限であるか或いは無視出来るほど小さいかを0/1の出力として利用することを特徴とする。

【0073】

[発明部分Eの作用効果]

BLトンネル素子を用いたことにより、量子効果素子を用いた不揮発性メモリ装置を実現することができる。また、低電界で動作するため、トンネル膜の信頼性の問題を根本的に回避することができる。

【0074】

[発明部分Fの構成]

(F1) 直流部分と交流部分の組み合わせからなるアナログ入力を0と1からなるデジタル量に変換して出力することにより、アナログ/デジタル変換装置を構成することを特徴とする。

40

【0075】

(F2) F1記載のアナログ/デジタル変換装置は、入力周波数に対しある特定の閾値を有し、入力周波数が前記閾値より大きいとき直流電流を流すことのできるBLトンネル素子からなるスイッチング装置を用いて構成されることを特徴とする。

【0076】

(F3) F1記載の0と1からなる数列の大きさは、F2記載のスイッチング装置の数

50

で決定されることを特徴とする。

【0077】

(F4) F2記載のスイッチング装置は、トンネル膜を有し、トンネル膜の種類によってF2記載の閾値を調節でき、この閾値はF1記載の直流部分によって制御できることを特徴とする。

【0078】

(F5) F4記載のトンネル膜の種類は、膜厚、材質、不純物の濃度や種類等で区別できることを特徴とする。

【0079】

(F6) F1記載のアナログ/デジタル変換装置において、一語につき用いられるスイッチング装置の数は複数個であり、この個数によりF1記載の数列の一語当たりの大きさが決定されることを特徴とする。

10

【0080】

(F7) F1記載のアナログ/デジタル変換装置において、F2記載のスイッチング装置の入力の交流部分は並列に接続されており、アナログ/デジタル変換装置の入力と同じであることを特徴とする。

【0081】

(F8) F1記載のアナログ/デジタル変換装置において、一語内の各スイッチング装置に印加する入力の直流部分は、各スイッチング装置毎に独立に印加することが可能であることを特徴とする。

20

【0082】

(F9) F1記載の0と1は、データラインに直流電流が流れたかどうかによって判断することを特徴とする。

【0083】

[発明部分Fの作用効果]

B Lトンネル素子を用いたことにより、量子効果を用いたアナログ/デジタル変換装置を実現することができる。また、シリコン基板の上に作製した集積回路のさらにその上に積層して形成することが容易にできる。

【0084】

[発明部分Gの構成]

30

(G1) ある周波数を持った入力に対し該周波数がアナログであってもデジタルであっても出力を0と1の数列で表す周波数カウンタ装置を構成したことを特徴とする。

【0085】

(G2) G1記載の周波数カウンタ装置は、G1記載の入力周波数に対してある特定の閾値を有し、入力周波数が前記閾値より大きいとき直流電流を流すB Lトンネル素子からなるスイッチング装置を用いたことを特徴とする。

【0086】

(G3) G1記載の0と1からなる数列の大きさが、G2記載のスイッチング装置の数で決定されることを特徴とする。

【0087】

(G4) G2記載のスイッチング装置は、トンネル膜を有し、このトンネル膜の種類によってG2記載の閾値を調節できることを特徴とする。

40

【0088】

(G5) G4記載のトンネル膜の種類は、膜厚、材質、不純物の濃度や種類等で区別できることを特徴とする。

【0089】

(G6) G1記載の周波数カウンタ装置は、G2記載のスイッチング装置を複数含み、スイッチング装置のどの2つを取っても同じ閾値を有しないことを特徴とする。

【0090】

(G7) G1記載の周波数カウンタ装置において、複数個用いられるG2記載のスイッ

50

チング装置の入力は並列に接続されており、周波数カウンタ装置の入力と同じであることを特徴とする。

【0091】

(G8) G2記載のスイッチング装置をハイパスフィルタ装置として用いることを特徴とする。

【0092】

[発明部分Gの作用効果]

BLトンネル素子を用いたことにより、量子効果を用いたデジタル出力の周波数カウンタ装置を実現することができる。

【0093】

[発明部分Hの構成]

(H1) MOS型BLトンネル素子を用いた読み出し専用メモリ装置であり、MOS型BLトンネル素子のゲート長はチャンネル長と比べて長くても短くてもよく、チャンネル領域に反転層を作らなくても動作可能であることを特徴とする。チャンネル領域を流れる電流は、BLトンネリングによるBLトンネル電流であり、このBLトンネル電流はゲートに印加する交流電流によって操作されることを特徴とする。

【0094】

(H2) H1記載の読み出し専用メモリ装置において、ワードラインへのスイッチ入力があるH1記載のMOS型BLトンネル素子への交流入力であり、MOS型BLトンネル素子の閾振動数が読み出し専用メモリ装置の入力信号の振動数に対する閾値として存在し、読み出し専用メモリ装置の出力電流量は、前記振動数と前記閾値の指数関数として制御できることを特徴とする。

【0095】

(H3) H2記載の閾値は、H1記載のMOS型BLトンネル素子に用いた絶縁膜の種類、ゲート長、チャンネル長、ゲートや基板の種類等により、製造段階から予め選択的に設定できることを特徴とする。

【0096】

(H4) H3記載の絶縁膜の種類は、製造工程、材料、膜厚、形状、不純物の種類及びその量によって区別され、H3記載のゲートや基板の種類は、不純物の種類や量、製造工程等で区別されることを特徴とする。

【0097】

(H5) H1記載の読み出し専用メモリ装置は、H2記載の出力電流量が有限であるか或いは無視できるほど小さいかを0/1の出力として利用する2値の読み出し専用メモリ装置であることを特徴とする。また、前記電流量そのものを出力とし、多値(3値以上)出力を実現できる読み出し専用メモリ装置としてもよい。

【0098】

[発明部分Hの作用効果]

MOS型BLトンネル素子を用いたことにより、量子効果素子を用いた読み出し専用メモリ装置を実現することができる。また、反転層を使わないため低電界で動作し、絶縁膜の信頼性に余裕が生まれる。さらに、ゲート長を変えるだけで電流量を指数関数的に調節できるので多値化に対して有利である。

【0099】

[発明部分Iの構成]

(I1) MOS型BLトンネル素子を用いたダイナミカル・ランダム・アクセス・メモリ装置であり、MOS型BLトンネル素子のゲート長はチャンネル長と比べて長くても短くてもよく、チャンネル領域に反転層を作らずに動作可能であることを特徴とする。チャンネル領域を流れる電流はBLトンネリングによるBLトンネル電流であり、このBLトンネル電流はゲートに印加する交流電圧によって操作されることを特徴とする。

【0100】

(I2) I1記載のダイナミカル・ランダム・アクセス・メモリ装置において、ワードラ

10

20

30

40

50

インへのスイッチ入力が入力された MOS 型 BL トンネル素子への交流入力であり、トンネル素子の閾振動数がダイナミカル・ランダム・アクセス・メモリ装置の入力信号の振動数に対する閾値として存在し、ダイナミカル・ランダム・アクセス・メモリ装置の出力は、前記振動数と前記閾値の指数関数として制御できることを特徴とする。

【 0 1 0 1 】

(I 3) I 2 記載の閾値は、I 1 記載のトンネル素子に用いた絶縁膜の種類、ゲート長、チャンネル長或いはゲートや基板の種類等により、製造段階から予め選択的に設定できることを特徴とする。

【 0 1 0 2 】

(I 4) I 3 記載の絶縁膜の種類は、製造工程、材料、膜厚、形状、不純物の種類及びその量によって区別され、I 3 記載のゲートや基板の種類は、形状、不純物の種類や量或いは製造工程等で区別されることを特徴とする。

10

【 0 1 0 3 】

(I 5) I 1 記載の MOS 型 BL トンネル素子は、基板中に形成した n^+ 拡散領域からなるソースとドレイン、及び I 2 記載のワードラインからの入力である交流電圧を印加するゲートからなる 3 端子素子であり、ソースとドレインはそれぞれ、キャパシタを挟んでグラウンド線或いはデータ線に接続されることを特徴とする。

【 0 1 0 4 】

[発明部分 I の作用効果]

MOS 型 BL トンネル素子を用いたことにより、量子効果素子を用いたダイナミカル・ランダム・アクセス・メモリ装置を実現することができる。また、反転層を使わないため低電界で動作し、絶縁膜の信頼性に余裕が生まれる。

20

【 0 1 0 5 】

[発明部分 J の構成]

(J 1) 直流電圧と交流電圧の組み合わせからなるアナログ入力を 0 と 1 からなるデジタル量に変換して出力するアナログ / デジタル変換装置を構成したことを特徴とする。

【 0 1 0 6 】

(J 2) J 1 記載のアナログ / デジタル変換装置は、入力交流電圧の振動数に対してある特定の閾値を有し、入力振動数が前記閾値より大きいときに拡散層間に直流電流を流す MOS 型 BL トンネル素子をスイッチング装置として用いたことを特徴とする。

30

【 0 1 0 7 】

(J 3) J 1 記載のアナログ / デジタル変換装置は、J 1 記載の 0 と 1 からなる数列の大きさが、J 2 記載の MOS 型 BL トンネル素子の数で決定されることを特徴とする。

【 0 1 0 8 】

(J 4) J 1 記載のアナログ / デジタル変換装置において、J 2 記載の閾値は、製造工程において J 3 記載の MOS 型 BL トンネル素子の内部変数を調整することによって予め設定する、或いは、J 1 記載の入力の直流電圧を調節することにより動作中に調整することができることを特徴とする。

【 0 1 0 9 】

(J 5) J 4 記載の MOS 型 BL トンネル素子の内部変数は、拡散層の不純物の種類或いは濃度、チャンネル領域の不純物の種類或いは濃度、絶縁膜の材質や膜厚、絶縁膜中の不純物の種類或いは濃度、ゲート電極の材料や不純物の種類或いは濃度等であることを特徴とする。

40

【 0 1 1 0 】

(J 6) J 1 記載のアナログ / デジタル変換装置において、J 1 記載の直流入力電圧はデータライン制御装置を用いて制御され、J 1 記載の交流入力電圧はワードライン制御装置を用いて制御され、ワードラインは J 2 記載の MOS 型 BL トンネル素子のゲートに接続され、データラインは J 2 記載の MOS 型 BL トンネル素子の拡散層に接続されることを特徴とする。

【 0 1 1 1 】

50

(J 7) J 1 記載のアナログ / デジタル変換装置において、一語につき用いられる J 2 記載のスイッチング装置の数は複数個であり、この個数により J 1 記載の数列の一語当たりの大きさが決定されることを特徴とする。

【 0 1 1 2 】

(J 8) J 1 記載のアナログ / デジタル変換装置において、 J 2 記載のスイッチング装置の入力の交流部分は並列に接続されており、アナログ / デジタル変換装置の入力と同一であることを特徴とする。

【 0 1 1 3 】

(J 9) J 1 記載のアナログ / デジタル変換装置において、一語内の各スイッチング装置に印加する入力の直流部分は、 J 6 記載のデータライン制御装置を用いて各スイッチング装置毎に独立に印加することが可能であることを特徴とする。

10

【 0 1 1 4 】

(J 1 0) J 1 記載のアナログ / デジタル変換装置において、 J 1 記載の 0 と 1 は、データラインに直流電流が流れたかどうかによって判断することを特徴とする。

【 0 1 1 5 】

[発明部分 J の作用効果]

M O S 型 B L トンネル素子を用いたことにより、量子効果を用いたアナログ / デジタル変換装置を実現することができる。

【 0 1 1 6 】

[発明部分 K の構成]

20

(K 1) ある周波数を持った入力に対し、該周波数がアナログであってもデジタルであっても出力を 0 と 1 の数列で表す周波数カウンタ装置を構成することを特徴とする。

【 0 1 1 7 】

(K 2) K 1 記載の周波数カウンタ装置は、入力周波数に対しある特定の閾値を有し、入力周波数が前記閾値より大きいときに直流電流を流す M O S 型 B L トンネル素子をスイッチング装置として用いたことを特徴とする。

【 0 1 1 8 】

(K 3) K 1 記載の周波数カウンタ装置は、 K 1 記載の 0 と 1 からなる数列の大きさが K 2 記載のスイッチング装置の数で決定されることを特徴とする。

【 0 1 1 9 】

30

(K 4) K 1 記載の周波数カウンタ装置において、 K 2 記載の閾値は K 2 記載の M O S 型 B L トンネル素子の閾振動数であり、この閾振動数は M O S 型 B L トンネル素子の内部変数によって製造段階で予め設定できることを特徴とする。

【 0 1 2 0 】

(K 5) K 4 記載の M O S 型 B L トンネル素子の内部変数は、拡散層の不純物の種類或いは濃度、チャネル領域の不純物の種類或いは濃度、絶縁膜の材質や膜厚、絶縁膜中の不純物の種類或いは濃度、ゲート電極の材料や不純物の種類或いは濃度等であることを特徴とする。

【 0 1 2 1 】

(K 6) K 1 記載の周波数カウンタ装置は、 K 2 記載のスイッチング装置を複数含み、スイッチング装置のどの 2 つを取っても同じ閾値を有しないことを特徴とする。

40

【 0 1 2 2 】

(K 7) K 1 記載の周波数カウンタ装置において、複数個用いられる K 2 記載のスイッチング装置の入力は並列に接続されており、周波数カウンタ装置の入力と同じであることを特徴とする。

【 0 1 2 3 】

(K 8) K 2 記載のスイッチング装置を用いてハイパスフィルタ装置を構成するようにしてもよい。

【 0 1 2 4 】

[発明部分 K の作用効果]

50

B Lトンネル素子を用いたことにより、量子効果を用いたデジタル出力の周波数カウンタ装置及びハイパスフィルタを実現することができる。

【0125】

[発明部分 L の構成]

(L 1) 光子型量子交換スイッチング装置を用いて超高周波発信装置及び光信号 / 電気信号変換装置を構成したことを特徴とする。

【0126】

(L 2) L 1 記載の光子型量子交換スイッチング装置は、直接トンネリングによる極微小電流を光導波管を横切って流しておき、導波管を透過する光が光子を放出することによって、トンネル電流を指数関数的に増大させることを特徴とする。

10

【0127】

(L 3) L 1 記載の超高周波発信装置及び光信号 / 電気信号変換装置は、一本の光導波管に L 2 記載の光子型量子交換スイッチング装置を複数個並列し、各スイッチング装置からのトンネル電流を加算したものを出力電流とするを特徴とする。

【0128】

(L 4) L 1 記載の超高周波発信装置及び光信号 / 電気信号変換装置は、導波管内を進行する光の速さ、セル間隔、各セルの電極形状、直接トンネル電流を流すために各セルに印可している電圧の符号や大きさ等を調節することにより、出力電流の波形を調整することが可能であることを特徴とする。

【0129】

(L 5) L 1 記載の超高周波発信装置及び光信号 / 電気信号変換装置は、光が各セル間を透過するのに要する時間が、各セルで増大したトンネル電流が出力に現れるまでに要する時間に比べ大きいことを特徴とする。

20

【0130】

(L 6) L 1 記載の光信号 / 電気信号変換装置は、光を連続して放出する際の時間間隔のシーケンスを出力のトンネル電流の波形に対応させるものであり、前記波形は前記シーケンスに応じて数種類の大きさを持つピークからなり、それぞれの大きさのピークは前記シーケンスに応じた数だけ前記波形の中に存在することを特徴とする。

【0131】

[発明部分 L の作用効果]

トンネル電子のエネルギー量子吸収を動作原理とした光子型量子交換スイッチング装置を用いることにより、超高周波発信装置及び光信号 / 電気信号変換装置を実現することができる。

30

【0132】

[発明部分 M の構成]

(M 1) 材料、面方位、分子構造等が異なる 2 種類以上の半導体領域を持つことを特徴とする半導体複合基板であり、前記各半導体領域は一枚のウエハー上に帯上に作製され、前記各帯状の半導体領域は基板分離領域により分離されていることを特徴とする。

【0133】

(M 2) M 1 記載の半導体複合基板において、各半導体領域に対して各材料等に適した機能を持つ半導体装置を集積することを特徴とする。

40

【0134】

(M 3) M 1 記載の半導体複合基板から切り出した各半導体チップ内に M 1 記載の 2 種類以上の半導体領域を持つことを特徴とする半導体複合チップであり、各チップ内のそれぞれの半導体領域にそれぞれの材料に適した半導体装置を集積することを特徴とする。

【0135】

(M 4) M 3 記載の半導体複合チップにおいて、各半導体領域に用いられる半導体材料の特性によってより有利となる半導体装置を各領域毎に作製し、かつ、各領域毎に作製された半導体装置を半導体複合チップ上若しくは外部に作製した関連装置を通じて関連し、半導体複合チップ全体として単一の半導体チップより高機能な集積回路を形成することを特

50

徴とする。

【 0 1 3 6 】

(M 5) M 1 記載の半導体複合基板がシリコン、GaAs、基板分離領域からなる場合、高周波装置や光デバイス等のGaAsに有利な半導体装置はGaAs領域に作り、記憶装置や論理装置等のシリコンに有利な半導体装置はシリコン領域に作り、両領域間の信号をM4記載の連関装置を通じてやり取りし、両領域の機能を統一的に制御することによって、M3記載の半導体複合チップ全体として単一の半導体装置より高機能な集積回路を実現することを特徴とする。

【 0 1 3 7 】

(M 6) M 5 記載のシリコン基板上にBLトンネル素子を用いた機能装置を形成し、BLトンネル素子の入力として約10GHz以上の高周波が必要な場合、高周波を機能的に制御する高周波機能装置をM5記載のGaAs基板上に形成し、両基板上の機能装置間の信号をM4記載の関連装置を通じてやり取りし、両機能を統一的に制御することによって、半導体チップ全体として単一の半導体装置より高機能な集積回路を実現することを特徴とする。

【 0 1 3 8 】

[発明部分Mの作用効果]

半導体複合基板を用いることにより、同一チップ内でそれぞれ特性の異なる半導体材料を複数種類用いることが可能となり、高機能の集積回路を実現することができる。また、シリコンとGaAsの複合基板の場合、GaAs領域には高周波装置や光デバイス等を形成し、シリコン領域には記憶装置や論理装置等を形成し、両者を連関させることにより高機能集積回路を実現することができる。

【 0 1 3 9 】

【 発明の実施の形態 】

以下、本発明（発明部分A～M）の各実施形態について説明する。

【 0 1 4 0 】

[発明部分Aの実施形態]

まず、発明部分Aの基本的な構成について説明する。

【 0 1 4 1 】

半導体装置等に用いられる超微細スイッチング素子を実現するために、量子交換効果を利用した全く新しいタイプの量子スイッチング素子である。素子材料としては、化合物半導体を用いて構成することも可能であるが、現在半導体産業で使用されているものだけでも十分であり、最低限、シリコン基板、シリコン酸化膜、ポリシリコン、電極材、砒素、臭素、燐等の不純物が有ればよい。又、スイッチングを直接操作するため、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

【 0 1 4 2 】

電氣的絶縁性が高く、且つ光を良く透過する材質でできた薄膜をトンネル膜とし、その両端を電氣的に独立した電極で挟み小さな電界を印加しておく。トンネル膜は光制御装置に直結しており、前記装置によって発生した光がトンネル膜中で前記電極間を透過するトンネル電子と光子を交換する。この時、光から光子を吸収したトンネル電子は、トンネル確率を指数関数的に増大させ、増大したトンネル電流が流れるようになる。このようにして、トンネル電流の量を光により制御することによって、スイッチング装置或いは光/電気変換装置或いは超高周波発振装置として用いることができる。

【 0 1 4 3 】

トンネル膜中を透過する光（ h バー（ h バー = h ）の光子の流れ）、或いはトンネルバリアそのものの高周波振動（振動数で本振動に対応する量子は h バー）によるエネルギー励起を量子として、トンネル電子に吸収させることにより、トンネル電流を指数関数的に増大させる。このような量子を吸収したとき、トンネル電流は $e \times p [2 / \tau]$ 倍に増大する。ただし、

10

20

30

40

50

【数 2】

$$\omega_T = \sqrt{\frac{2}{m}} \left[\int_0^{T_{ox}} \frac{dx}{\sqrt{U(x) - E}} \right]^{-1}$$

【0144】

であり、 m は有効質量、 T_{ox} はトンネル膜厚、 $U(x)$ はトンネル膜のポテンシャル、 E はトンネル電子が点 $x = 0$ でトンネル膜に入射する前に持っているエネルギーである。

【0145】

なお、上述の量子はトンネル電子に吸収可能でありさえすれば、上記の光やトンネルバリアの振動によるエネルギー励起以外のものであっても構わない。

【0146】

以下、発明部分Aの具体的実施形態を図面を参照して説明する。

【0147】

まず、第1の具体的実施形態について説明する。図1に、トンネル電子が光子を吸収する場合の例を示す。本例では、2つの電極12に挟まれ、電極側で屈折率が小さくなるような構造で形成され、光を透過し電氣的に絶縁性の高い材質（石英ガラス、ソーダ石灰ガラス、ホウケイ酸ガラス、鉛ガラス、有機ガラス等）を用いた薄膜11（トンネル膜）に、光制御装置13を連結する。ソース・ドレイン（S・D）となる2つの電極11間には、予め低めの電圧（1V以下で十分）を印加しておき、光制御装置13からトンネル電子に光を照射したときトンネル確率が指数関数的に増大し、ソース・ドレイン間にトンネル電流が流れる。図2に、時刻 t_0 から t_1 の間に光を照射した場合に、ソース・ドレイン間に流れる電流を示してある。

【0148】

つぎに、第2の具体的実施形態について説明する。図3等にその構成例を示したが、上記第1の具体的実施形態で示したトンネル膜の代わりに光ファイバー11aを用いたものである。光ファイバー11aの外周近傍の屈折率は内部の屈折率よりも小さくなるよう構成されている。なお、図3に示すように光ファイバー11aは1本のみでもよいが、図4に示すように光ファイバー11bを複数本束ねて用いてもよい。

【0149】

[発明部分Bの実施形態]

まず、発明部分Bの基本的な構成について説明する。

【0150】

半導体装置等に用いられる超微細スイッチング素子を実現するために、ビットカーラングダウトンネリング（BLトンネリング）を利用した新しいタイプの量子スイッチング素子である。素子材料としては、化合物半導体を用いて構成することも可能であるが、現在半導体産業で使用されているものだけでも十分であり、最低限、シリコン基板、シリコン酸化膜、ポリシリコン、電極材、砒素、臭素、燐等の不純物が有ればよい。又、スイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

【0151】

(a) 通常のカパシタ構造を有し、二つの端子に印加する電圧は交流部分と直流部分からなり、どちらも入力として自由に調節することが可能で、カパシタの絶縁膜をBLトンネリングで透過する電子を出力電流とする。

【0152】

(b) シリコン基板の上に絶縁膜で覆われた二つのゲートを有し、この二つのゲートと基板とを合わせて三つの端子を有し、基板側のゲートに入力電圧を印加し、交流部分と直流部分を操作して絶縁膜をBLトンネリングしてくる電流を調節し、その電流を出力とする。

。

10

20

30

40

50

【 0 1 5 3 】

(c) 通常の nMOS トランジスタと同様の構造を持ち、特に不純物濃度の高い拡散層をソース/ドレインに用いることを特徴とし、チャネル領域の数百 meV のポテンシャルバリアをトンネルバリアとする。ゲートに高周波交流電圧を印加することにより、前記高不純物濃度拡散層の電子がトンネル電子となってチャネル領域を BL トンネリングし、ソース・ドレイン間に電流を流す。

【 0 1 5 4 】

トンネル絶縁膜のポテンシャルバリアを周期的に振動させたときに生じる BL トンネリングを用い、極めて低電界でも動作するスイッチング素子を実現する。図 9 に、BL トンネリングの原理を示す。図中のポテンシャルバリアは、

$$U = U_0 + U_1 \cos \omega t$$

を満たしており、周波数 $(\omega / 2)$ 、振幅 U_1 で周期的に振動している。ここで、

$$U_1 \ll \hbar \omega < U_0 - E$$

のとき、

【 数 3 】

$$I(\omega)/I(\omega = 0) \propto \begin{cases} (U_1/2\hbar\omega)^2 e^{2\omega/\omega_T} & \omega > \omega_T \\ \left(\frac{U_1/\omega_T}{2\hbar}\right)^2 & \omega < \omega_T \end{cases}$$

【 0 1 5 5 】

となり、 ω が閾振動数 ω_T より大きいとき BL トンネリングによって電流が流れ、小さいとき電流が流れない。

【 0 1 5 6 】

電流 - 特性と電流 - 電圧特性を図 10 及び図 11 にそれぞれ示す。図 10 において、傾きは $2 / \omega_T$ である。振動数閾型スイッチング素子 (BL トンネル素子) の回路図を図 12 及び図 13 に示す。発振装置 OS からの振動数に基づいて BL トンネル素子の導通状態を制御し、電流が流れる (導通している) 状態を ON、流れない (導通していない) 状態を OFF としている。どちらの回路も入力を交流電圧とし、その振動数 ω をパラメータとして、 $\omega > \omega_T$ を ON、 $\omega < \omega_T$ を OFF として用いている。図 12 は 3 端子素子の場合に対応し、ON 時に端子 T2 及び T3 間に電位差があると電流が流れ "1" となるが、電位差がなければ電流が流れず "0" である。OFF 時は、電位差に関係なく電流が流れず "0" である。図 13 は 2 端子素子の場合に対応し、ON であれば即電流が流れ "1" となり、OFF であれば電流は流れず "0" である。又、図 13 において、 V が十分小さいと端子 T1、T2 間を流れる電流は振動数 ω を持つ交流となり、逆に大きければ直流となる。

【 0 1 5 7 】

以下、発明部分 B の具体的実施形態を図面を参照して説明する。

【 0 1 5 8 】

まず、第 1 の具体的実施形態 (3 端子 NAND 型の BL トンネル素子) について説明する。

【 0 1 5 9 】

3 端子構成の BL トンネル素子について、そのバンド構造を図 14 に、セル断面図を図 15 及び図 16 に示す。図 14 において、ゲート G1 には予め選択的にバイアス V_0 が印加されている。次に、ゲート G1 又は G2 に $V_1 \cos \omega t$ を印加すると、ゲート G1 のフェルミ面が周波数 ω 、振幅 eV_1 で振動する。この振動が酸化膜の伝導帯を周期的に揺らし、 $\omega > \omega_T$ のとき BL トンネリングを起こし、(a)、(b) の場合は基板 Sub とゲート G1 との間又はゲート G1 とゲート G2 との間に電流を流し、(c) の場合は基板 Sub

10

20

30

40

50

とゲートG2との間に電流を流す。

【0160】

図15に、このバンド構造を実現するセルの一例を示す。ゲートG1、ゲートG2それぞれに独立にコンタクトを取り、ゲートG1には入力信号として交流電圧を印加したものが図14(a)、(b)に対応する。T2からV0を印加したものが図14(a)に対応する。

【0161】

図16に、上記バンド構造を実現するセルの他の例を示す。この例では、ゲートG1が紙面の垂直方向に走る細線として予めパターンニングされており、そのまま配線として利用される。ゲートG2はコンタクトの下地となるポリシリコンによって構成される。この方法では、セル一個当たりの占める面積がコンタクトの大きさで決まり、またソース・ドレインを含まないので、高集積化に適している。なお、基板コンタクトSBは図のように基板上面から取っても構わないが、基板下面から取ることもできる。

【0162】

図17に、図16のセルを上から見た図を示す。なお、図17中の点線におけるセル断面が図16である。このような構造では τ は、

【数4】

$$\sqrt{\frac{m}{2}} \cdot \int_0^{T_{ox}} \frac{dx}{\sqrt{3.1[eV] - (e|V_0| \pm U_{FB})x/T_{ox}}}$$

【0163】

の逆数に比例することが知られている。ただし、 U_{FB} はフラットバンドポテンシャルで、その前の符号 \pm は、 $V_0 = 0$ のとき、カソード側のバリアが高いと+、逆に低いと-である。 x は、カソード側の境界からの距離で、 T_{ox} はトンネル絶縁膜厚、 e は電子の素電荷、 m はトンネル電子の有効質量である。ここで、 τ は V_0 によって調節できるが、膜厚、バリアの高さ、絶縁膜の材質、その他ゲートや基板の種類、トンネル電子の有効質量等でも予め選択的に設定しておくことができる。

【0164】

つぎに、第2の具体的実施形態(2端子構成のBLトンネル素子)について説明する。

【0165】

2端子構成のBLトンネル素子のバンド図を図18に示す。予め V_0 の電圧を印加しておき、これに更に図13に示すような $V_1 \cos t$ の交流電圧を印加する。 V_0 , V_1 , τ の定義は前記(第1の具体的実施形態)と同様であり、動作の仕組みも同様である。ゲートG1或いはゲートG2には基板等を用いても良く、素子構造そのものは従来のキャパシタと同様である。図19に、セル構造の断面構成の一例を示す。この例では、単位セル当たりの占める面積はゲートコンタクトで決定される。なお、基板コンタクトSBは基板の下面から取ることもできる。図20は、この断面図に対応するセルを上から見た図であり、図中点線部における断面が図19の断面図に対応している。

【0166】

つぎに、第3の具体的実施形態について説明する。図5及び図6に、MOS型BLトンネル素子の断面図を示す。ソース(S)・ドレイン(D)は n^+ になっており(p^+ であっても原理は同様)、点線部分のポテンシャルは図7に示してある。バリアの高さ $E_c^{(i)}$ の大きさは、ゲートGの電圧 V_G に比例することが特徴である。 $V_G = V_1 \cos t$ の高周波交流電圧をゲートに印加することにより、図8に示すように、 $E_c^{(i)}$ が高周波で振動し、図5及び図6の点線部分をBLトンネリングにより電子が透過する。この時、 $|V_1|$ は反転層を作らない程度に小さくて良い。また、ゲート長はチャンネル長に比べて長くても短くても良く、短い方が図5に対応し、長い方が図6に対応する。

【0167】

10

20

30

40

50

[発明部分 C の実施形態]

まず、発明部分 C の基本的な構成について説明する。

【 0 1 6 8 】

ピツカーラングアトントンネリング (B L トンネリング) を利用した B L トンネル素子を用いた新しいタイプの読み出し専用メモリ装置である。素子材料等については、発明部分 A や B で述べたものと同様であり、またスイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

【 0 1 6 9 】

シリコン基板の上に絶縁膜で覆われた 2 つのゲートを有し、この 2 つのゲートと基板とを合わせて 3 つの端子を有し、基板側のゲートをワードラインとして交流及び直流の入力電圧を印加し、交流部分と直流部分を操作して、絶縁膜を B L トンネリングする電子による電流を調節し出力とする。

10

【 0 1 7 0 】

上記構成よりなる B L トンネル素子は、閾振動数 τ を持ち、入力の交流の振動数 ω が τ より大きくなると ($\omega > \tau$)、トンネル確率が指数関数的に大きくなり、この性質を用いてトンネル電流を操作することができる。このような構成に基づくバンド図を図 2 1 に示す。ゲート G 2 と基板との間に電位差を設け、ゲート G 1 に加える交流の振動数が大きいとき ($\omega > \tau$)、電子がゲート G 2 から基板に透過し、小さいとき ($\omega < \tau$) 透過しない。このトンネリングによる基板 - ゲート G 2 間の電流の増分をセンスアンプを用いて読み取る。また、前記電流の増分は、 $2 / \tau$ を用いて指数関数的に制御できるので、多値化にも適している。

20

【 0 1 7 1 】

以下、発明部分 C の具体的実施形態を図面を参照して説明する。

【 0 1 7 2 】

まず、第 1 の具体的実施形態について説明する。

【 0 1 7 3 】

B L トンネル素子を読み出し専用メモリとして用いた場合のセル断面図を図 2 2 に示す。ゲート G 1 は、紙面に垂直方向に走るポリシリコン、シリコン或いはメタルの細線であり、この細線に入力として交流電圧 ($V_1 \cos \omega t$) を印加する。また、ゲート G 2 に接続するコンタクトと S i 基板に接続するコンタクトの間には電位差を加えておく。入力振動数が閾値を越えれば、ゲート G 2 とゲート G 1 との間にある絶縁膜 ($S i O_2$) とゲート G 1 と基板との間にある絶縁膜 ($S i O_2$) の両方に、B L トンネリングによって電流が流れる。本例においては、閾値はゲート G 1 とゲート G 2 の間の絶縁膜の膜厚によって製造段階で予め設定することができる。0 / 1 の 2 値を取る場合には、本例の様にこの膜厚は 2 種類のみとする。また、製造工程を簡潔にするため、基板とゲート G 1 の間の膜厚は全セルで一定とする。

30

【 0 1 7 4 】

次に、このセル構造を持つ読み出し専用メモリ装置の製法を説明する。まず、広く作った n^+ ウェルを持つ基板を熱酸化して薄い酸化膜を形成し、その上にマスクを設け、ゲート G 1 となるポリシリコン、シリコン又はメタルの細線を形成する。次に、C V D 膜を付け、その上にマスクを設け、選択的にポリシリコンのゲート G 2 を形成する。ゲート G 2 はドット状であり、このドットの大きさがそのままセル一つ当たりが占める面積となる。また、このドット大きさは、ドットがゲート G 1 として形成した細線間を股がない程度に小さくしなくてはならない。逆に細線間距離は、隣の細線、或いは隣のドットとの間で電荷のやり取りをしない程度に十分大きく取っておかなければならない。再度 C V D 膜を形成し、その上にマスクを設け、前回のマスクで選択されなかったセルを選択し、ドット状のポリシリコンを形成する。その上に再度 C V D 膜を形成し、最後に全てのセルを選択するマスクを設け、2 種類の深さのゲートコンタクトを選択的に形成し、その上にデータライン D L を形成する。

40

50

【0175】

このようにして形成された読み出し専用メモリ装置を上から見た図を図23に示す。図中点線における断面が図22に対応する。なお、これと同じセル構造で基板がpタイプのものを構成したり、ゲートG1或いはゲートG2のタイプを選択的に変えて閾値を調節することも可能である。その場合、全セルにおける酸化膜厚を同じにしても、同様の機能を持つ読み出し専用メモリ装置を形成することができる。更に、本例においてゲートG1とゲートG2の間の酸化膜厚は2種類としたが、この内の薄い方の酸化膜のみ基板とゲートG1間に形成した熱酸化膜より薄くなることが許される。この他、選択的に酸化膜に不純物や欠損を加え、閾値を選択的に設定することも可能である。なお、上記酸化膜をチツ化膜やその他の絶縁膜で代用する事もできる。

10

【0176】

図24に回路図を示す。実際の動作は、ローデコーダR/Dで選んだワードラインWLのみ振動電圧を与えると、導通したセルに接続しているデータラインDLにのみ電流が流れ、これをセンスアンプS/Aで読み取る。

【0177】

つぎに、第2の具体的実施形態について説明する。

【0178】

本具体的実施形態のセル断面図を図25に示す。ゲートG1は、紙面に垂直方向に走るポリシリコン、シリコン、或いはメタルの細線であり、この細線に入力として交流電圧($V \cos t$)印加する。ゲートG2に接続するコンタクトとSi基板に接続するコンタクトとの間には電位差を加えておく。入力振動数が閾値を越えればゲートG2とゲートG1との間にある絶縁膜(SiN)とゲートG1と基板との間にある絶縁膜(SiO₂)の両方に、BLトンネリングによって電流が流れる。本例においては、閾値はゲートG1とゲートG2の間の絶縁膜の種類によって製造段階で予め設定することができる。0/1の2値を取る場合には、本例の様にこの絶縁膜は2種類のみとする。

20

【0179】

次に、このセル構造を持つ読み出し専用メモリ装置の製法を説明する。まず、広く作ったn⁺ウェルを持つ基板を熱酸化して薄い酸化膜を形成し、その上にマスクを設け、ゲートG1となるポリシリコン、シリコン又はメタルの細線を形成する。次に、CVD膜を形成し、その上にマスクを設け、選択的にポリシリコンの上に穴を開ける。この穴はその前に形成した細線上に位置するようにする。この穴のなかにドット状の窒化膜を堆積して形成する。このドットの大きさがそのままセル一個当たりの占める大きさになる。また、このドットの大きさは、ゲートG1として形成した細線間を股がない程度に小さくしなくてはならない。逆に細線間距離は、隣の細線或いは隣のドットとの間で電荷のやり取りをしない程度に十分大きく取っておかなければならない。この上に、ゲートG1の細線と直行するようにポリシリコン、シリコン又はメタルの平行細線群をゲートG2として形成する。このとき、先に形成した各ドットが、この細線群の1本とゲートG1の細線の内の1本に挟まれるようにする。ドットを形成する際、選択されなかったゲートG1とゲートG2の間は酸化膜がトンネル絶縁膜となり、選択されたゲートG1とゲートG2のトンネル絶縁膜はチツ化膜となる。最後に、ゲートG2の上にCVD膜を形成する。このように、絶縁膜の種類によって、閾値を選択的に設定することが可能である。

30

40

【0180】

図26に、上記セルを上から見た図を示す。図中点線沿った断面が図25に示したものである。データラインDLとワードラインWLとの交差する所にセルが形成され、網線で示したセルがチツ化膜を使ったセルである。

【0181】

回路図は図24と同様であり、ローデコーダで選んだワードラインWLのみ振動電圧を与えると、導通したセルに接続しているデータラインDLにのみ電流が流れ、これをセンスアンプS/Aで読み取る。

【0182】

50

つぎに、第3の具体的実施形態について説明する。

【0183】

本実施形態（多値読み出し専用メモリ）のセル断面図を図27に示す。ゲートG1は、紙面に垂直方向に走るポリシリコン、シリコン、或いはメタルの細線であり、この細線に入力として交流電圧（ $V_1 \cos t$ ）を印加する。ゲートG2に接続するコンタクトと基板に接続するコンタクトとの間には電位差を加えておく。入力振動数が閾値を越えると、ゲートG2とゲートG1との間にある絶縁膜とゲートG1と基板との間にある絶縁膜の両方に、BLトンネリングによって電流が流れる。本例においては、閾値はゲートG1とゲートG2の間の膜厚によって製造段階で予め設定することができる。0/1/2の3値を取る場合、本例の様にこの膜厚は3種類のみとする。N値では、膜厚をN種類に拡張すればよい。また製造工程を簡潔にするため、基板とゲートG1の間の膜厚は全セルで一定とする。

10

【0184】

次に、このセル構造を持つ読み出し専用メモリ装置の製法を説明する。以下の説明は、第1の具体的実施形態を3値に拡張したものであり、N値はこれをさらに拡張することで同様に実現される。まず、広く作った n^+ ウェルを持つ基板を熱酸化して薄い酸化膜をつけ、その上にマスクを設け、ゲートG1となるポリシリコン、シリコン又はメタルの細線を形成する。次にCVD膜を形成し、その上にマスクを設け、選択的にポリシリコンのゲートG2を形成する。ゲートG2はドット状である。このドット大きさは、ドットがゲートG1として形成した細線間を股がない程度に小さくしなくてはならない。逆に細線間距離は、隣の細線或いは隣のドットとの間で電荷のやり取りをしない程度に十分大きく取っておかなければならない。再度CVD膜を形成し、その上にマスクを設け、前回のマスクで選択されなかったセルの中からさらにセルを選択し、ドット状のポリシリコンを形成する。その上に再度CVD膜を形成し、まだ選択されていない全てのセルを選択するマスクを設け、ドット状のポリシリコンを形成する。このようにして、深さが3種類あるゲートコンタクトを選択的に形成し、その上にデータラインDLを形成する。

20

【0185】

このようにして形成された読み出し専用メモリ装置を上から見た図は、2値（第1の具体的実施形態）のときと同様、図23に示されている。図中点線で示した断面が図27に対応する。これと同じセル構造で、基板がpタイプのもを構成したり、ゲートG1或いはゲートG2のタイプを選択的に変えて閾値を調節することも可能である。この場合、全セルにおける酸化膜厚を同じ或いは2種類にしても、同様の機能を持つ読み出し専用メモリ装置を形成することができる。さらに、本例において、ゲートG1とゲートG2の間の酸化膜厚は3種類であるが、この内最も薄いもののみ基板とゲートG1間に形成した熱酸化膜より薄くなるのが許される。この他、選択的に酸化膜に不純物や欠損を加え、閾値を選択的に設定することも可能である。

30

【0186】

回路図は図24に示した通りであり、ローデコーダで選んだワードラインWLのみ振動電圧を与えると、導通したセルに接続しているデータラインDLにのみ電流が流れ、これをセンスアンプS/Aで読み取る。本例のように3値以上で動作する場合、電流量をメモリとして扱うことになる。

40

【0187】

つぎに、第4の具体的実施形態について説明する。

【0188】

本具体的実施形態のセル断面図を図28に示す。ゲートG1は、紙面に垂直方向に走るポリシリコン、シリコン、或いはメタルの細線であり、この細線に入力として交流電圧（ $V_1 \cos t$ ）を印加する。ゲートG2に接続するコンタクトとSi基板に接続するコンタクトとの間には電位差を加えておく。入力振動数が閾値を越えると、ゲートG2とゲートG1との間にある絶縁膜とゲートG1と基板との間にある絶縁膜の両方に、BLトンネリングによって電流が流れる。本例においては、閾値はゲートG1とゲートG2の間の絶縁膜

50

の種類及び膜厚によって製造段階で予め設定することができる。本例では、2種類の膜厚を持つ酸化膜と窒化膜の組み合わせで0 / 1 / 2の3値を取ることができる。

【0189】

次に、このセル構造を持つ読み出し専用メモリ装置の製法を説明する。まず、広く作った n^+ ウェルを持つ基板を熱酸化して薄い酸化膜を形成し、その上にマスクを設け、ゲートG1となるポリシリコン、シリコン又はメタルの細線を形成する。次にCVD膜を形成し、その上にマスクを設け、選択的にポリシリコンの上に穴を開ける。この穴は、その前に形成した細線上に位置するようにする。この穴の中にドット状の窒化膜を堆積して形成する。このドット大きさは、ゲートG1として形成した細線間を股がない程度に小さくしなくてはならない。逆に細線間距離は、隣の細線或いは隣のドットとの間で電荷のやり取りをしない程度に十分大きく取っておかなければならない。その上に、マスクを設け、ゲートG2に対応するポリシリコンを形成する。この過程で選択されなかったセルの内からさらに選択的にゲートG2を形成する。再度CVD膜を形成し、マスクを設け、これまで選択されずに残っていたセルにゲートG2を形成する。最後に、ゲートG1の細線と直行するように、ポリシリコン、シリコン又はメタルの平行細線群をデータラインとして形成する。このとき、先に形成した各ドットが、この細線群の1本とゲート1の細線の内の1本に挟まれるようにする。最初にドットを形成する際、選択されなかったゲートG1とゲートG2の間は、厚さの異なると2種類の酸化膜がトンネル絶縁膜となり、選択されたゲートG1とゲートG2の間のトンネル絶縁膜は薄い窒化膜となる。このように、絶縁膜の種類と厚さの組み合わせによって、閾値を選択的に設定することが可能である。なお、4値以上も同様にして作製することができる。

10

20

【0190】

回路図は図24と同様であり、ローデコーダで選んだワードラインWLのみに振動電圧を与えると、導通したセルに接続しているデータラインDLにのみ電流が流れ、これをセンスアンプで読み取る。本例のように3値以上で動作する場合、電流量をメモリとして扱う事になる。

【0191】

[発明部分Dの実施形態]

まず、発明部分Dの基本的な構成について説明する。

【0192】

ビットカーランダウアトンネリング(BLトンネリング)を利用したBLトンネル素子を用いた新しいタイプのダイナミカル・ランダム・アクセス・メモリ装置である。素子材料等については、発明部分AやBで述べたものと同様であり、またスイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

30

【0193】

(a) 各セル毎に2端子と3端子のBLトンネル素子を一つずつ使い、ワードラインを2種類に分ける。これらのワードライン下にそれぞれトンネル膜と絶縁膜を挟んでフローティングゲートを形成する。また、フローティングゲートは、プレート電極との間にキャパシタを形成する。さらに、フローティングゲートの下にトンネル膜を挟んでデータラインを形成する。

40

【0194】

(b) 3端子BLトンネル素子のみを用い、ワードラインとデータラインが立体的に交差する点付近に、トンネル膜としてチツ化膜を形成し、その上にゲートキャパシタを形成する。

【0195】

上記構成の一部をなすBLトンネル素子は、絶縁膜の構造に基づいて調節できる閾振動数 τ を持ち、入力の交流の振動数がそれより大きくなると($> \tau$)トンネル確率が指数関数的に大きくなり、逆に小さくなるとトンネル確率は小さいままである。この性質を用いて、データラインとキャパシタの接続及びワードラインとキャパシタの間の電荷交

50

換を制御する。

【0196】

上記BLトンネル素子は、構成によって2端子のものと3端子のものが存在する。図29に2端子BLトンネル素子のバンド図を、図30に2端子BLトンネル素子を回路的に表した図を示す。端子T1とT2との間に $V_0 + V_1 \cos t$ を印加し、 V_1 が V_0 より大きい
か小さいかによって、両電極間に電流を流したり（ON状態）流さなかったり（OFF
状態）する。電流の向きは V_0 の符号で制御する。

【0197】

図31に3端子-NAND型BLトンネル素子のバンド図を、図32に3端子BLトン
ネル素子を回路的に表した図を示す。バリアの高さの違う2種類の絶縁膜が存在し、その内
低い方をトンネル膜として使い、端子T1とT2で挟み、高い方を端子T2とT3で挟む
。端子T3に $V_1 \cos t$ を印加し、 V_1 の大小を操って端子T1とT2のON/OFFを制
御する。さらに、3つの端子の内いずれかに V_0 を印加し、その符号によって端子T1と
T2の間をON時に流れる電流の向きを制御する。

10

【0198】

図33に、BLトンネル素子を用いたダイナミカル・ランダム・アクセス・メモリ装置の
回路図を示す。ワードラインWL1とキャパシタの間に2端子BLトンネル素子を設け、
キャパシタとBLトンネル素子の端子をつなぐ電極はフローティングゲートFGである。
このフローティングゲートFGとデータラインDLを、3端子BLトンネル素子の端子T
1とT2に接続する。残りの端子T3は、ワードラインWL2に接続する。

20

【0199】

まず、ワードラインWL1に高周波を印加し、2端子BLトンネル素子をON状態とし、
キャパシタに電荷を注入する。 V_0 の符号によって正負を制御し、この操作によって書き
込み/消去を行う。次に、ワードラインWL1に高周波を印加するのを止め、2端子BL
トンネルをOFFとしておく。ワードラインWL2に高周波を印加し、3端子BLトン
ネル素子の端子T1とT2の間をON状態にする。このとき、キャパシタの電荷によってデ
ータラインDLの電位が変化する。この変化をセンスアンプを用いて読み取れば良い。

【0200】

一方、3端子BLトンネル素子のみを用いてもダイナミカル・ランダム・アクセス・メモ
リ装置は構成でき、その回路を図38に示す。ワードラインWLでキャパシタとデータラ
インDLとの間のBLトンネル素子によるスイッチングを制御し、ON時にデータラ
イン制御装置を用いてキャパシタに蓄える電荷量を制御したり読み取ったりする。

30

【0201】

以下、発明部分Dの具体的実施形態を説明する。

【0202】

まず、第1の具体的実施形態について説明する。図34～図36に本具体的実施形態の断
面図を示す。本実施形態においては、ワードラインWL1とフローティングゲートFGの
間にチツ化膜を用いたトンネル膜を挟み、2端子BLトンネル素子を形成している。また
、ワードラインWL2とフローティングゲートFGの間を酸化膜で絶縁し、データライン
DLとフローティングゲートFGの間にチツ化膜を用いたトンネル膜を挟む。即ち、デー
タラインDL、チツ化膜、フローティングゲートFG、絶縁酸化膜、ワードラインWL2
の積層構造で3端子-NAND型BLトンネル素子を形成している。フローティングゲ
ートの上にはコンタクトが形成され、プレート電極との間にキャパシタを作っている。なお
、シリコン基板の上に集積回路を作製しておき、その上のコーティングとして用いている
酸化膜の上に、更にBLトンネル素子を用いたダイナミック・ランダム・アクセス・メモ
リ装置を形成することも可能である。

40

【0203】

つぎに、第2の具体的実施形態について説明する。図37に本具体的実施形態の断面図を
示す。本実施形態においては、ワードラインWL1とフローティングゲートFGの間にチ
ツ化膜を用いたトンネル膜を挟み、2端子BLトンネル素子を形成している。また、ワー

50

ドラインWL2とフローティングゲートFGの間を酸化膜で絶縁し、シリコン基板中に細長い拡散層として作製したデータラインDLとフローティングゲートFGの間にチツ化膜を用いたトンネル膜を挟む。即ち、データラインDL、チツ化膜、フローティングゲートFG、絶縁酸化膜、ワードラインWL2の積層構造で、3端子-NAND型BLトンネル素子を形成している。フローティングゲートの上にはコンタクトが形成され、プレート電極との間にキャパシタを作っている。

【0204】

つぎに、第3の具体的実施形態について説明する。図39に本具体的実施形態の断面図を示す。本実施形態においては、3端子BLトンネル素子のみを用いるため、ワードラインWLは一種類のみである。基板中若しくは基板の上に形成したワードラインWLの上に絶縁膜としての酸化膜を挟んで、ワードラインWLと直交するようにデータラインDLを形成する。その直上にトンネル膜としてチツ化膜(SiN)を形成し、その上にマトリックス状のゲートを形成する。更にキャパシタを積層する為に、絶縁膜(SiO₂)を挟んでプレートを形成する。

10

【0205】

[発明部分Eの実施形態]

まず、発明部分Eの基本的な構成について説明する。

【0206】

ビットカーランダウアトンネリング(BLトンネリング)を利用した低電界注入を動作原理とする新しいタイプの不揮発性半導体メモリ装置である。素子材料等については、発明部分AやBで述べたものと同様であり、またスイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

20

【0207】

(a)シリコン基板上に絶縁膜を挟んでフローティングゲートが有り、さらにその上に酸化膜を挟んでコントロールゲートが存在する構造を持つ。フローティングゲートは、BLトンネリングによって基板中の拡散層と電荷のやり取りをすることを特徴とし、BLトンネリングは、コントロールゲート若しくは基板に印加される電圧で制御される。前記拡散層とフローティングゲートの間のBLトンネル膜としてチツ化膜を用いる。

【0208】

(b)シリコン基板の上に絶縁膜を挟んでフローティングゲートが有り、さらにその上に酸化膜を挟んでコントロールゲートが存在する構造を持つ。フローティングゲートは、BLトンネリングによって基板中のチャネル領域と電荷のやり取りをすることを特徴とし、BLトンネリングは、コントロールゲート若しくは基板に印加される電圧で制御される。前記チャネル領域とフローティングゲートの間のBLトンネル膜としてチツ化膜を用いる。

30

【0209】

(c)シリコン基板の上に絶縁膜を挟んでフローティングゲートが有り、さらにその上に酸化膜を挟んでコントロールゲートが存在する構造を持つ。フローティングゲートは、BLトンネリングによってコントロールゲートと電荷のやり取りをすることを特徴とし、BLトンネリングは、コントロールゲート若しくは基板に印加される電圧で制御される。コントロールゲートとフローティングゲートの間のBLトンネル膜としてチツ化膜を用いる。

40

【0210】

上記構成は、図40に示すBLトンネル膜の種類に基づいて調節できる闕振動数 τ を持ち、基板若しくはコントロールゲートに印加される交流電圧($V_0 + V_1 \cos t$)の振動数がそれより大きくなると($> \tau$)、トンネル確率が指数関数的に大きくなり、逆に小さくなるとトンネル確率は小さいままである。この性質を用いて、 $> \tau$ のときフローティングゲートは、基板若しくはコントロールゲートと電荷を交換し、逆に $< \tau$ のときは交換しない。特に注目すべきは、交流電圧によりBLトンネル膜の両端に印加さ

50

れる電位差の最大値が 0.1V を下回っても、 $\tau > \tau_1$ でありさえすれば、電荷の交換が可能という点である。その為、BLトンネル膜は破壊もストレスリークも起こさず、絶縁膜の信頼性の問題を根本的に回避することが可能となる。

【0211】

以下、発明部分Eの具体的実施形態を説明する。

【0212】

まず、第1の具体的実施形態について説明する。BLトンネル素子を不揮発性半導体メモリ装置として用いた場合のセル断面図を図41に示す。本例においては、ドレインとフローティングゲートFGの間に、BLトンネル膜としてチツ化膜を用いている。コントロールゲートCGをワードラインWLに接続し、ドレインをデータラインDLに接続する。書き込みとして利用する際は、ワードラインに印加する交流電圧の振動数を $\tau > \tau_1$ とし、かつデータラインに負の直流電圧 ($V_0 < 0$) を加え、ドレイン領域からフローティングゲートに電子を注入する。消去として利用する際は、 $\tau > \tau_1$ 、かつ $V_0 > 0$ として、フローティングゲートからドレインに電子を引き抜く。以上のようにして、フローティングゲートの電荷量を調節し、ソース・ドレイン間に電流を流す際の閾電圧を制御する。読み出しとして利用する際は、ワードラインに直流電圧 V_2 を加え、ソース・ドレイン間に電流が流れるかどうかをデータライン制御装置内のセンスアンプで読み取る。ここで、 V_2 が前記閾電圧より大きければソース・ドレイン間に電流が流れ、小さければ流れない。なお、本例における回路構成を図43に示す。

【0213】

つぎに、第2の具体的実施形態について説明する。本例におけるセル断面図を図42に示す。本例において、BLトンネル膜としてのチツ化膜は、拡散層及びチャネル領域に渡って形成されているが、データラインをドレインに接続することによって、第1の実施形態と同様の動作を得ることができる。

【0214】

つぎに、第3の具体的実施形態について説明する。図44(a)にセル断面図を示す。BLトンネル膜としてのチツ化膜が、基板のチャネル領域の上に形成されており、フローティングゲートとチャネル領域の間で、BLトンネリングによって電荷をやり取りし、閾電圧を制御する。本例では、図44(b)のように、ワードラインWLを接続するMOSトランジスタと共に用いられることが必要であり、データラインも2種類(DL1, DL2)必要となる。ワードラインWL及びデータラインDL1は、それぞれMOSトランジスタのドレイン及びゲートに接続する。MOSトランジスタのソースは、コントロールゲートCGに接続し、データラインDL1に加わる電圧が、MOSトランジスタの閾電圧より大きいとき、ワードラインWLに印加される交流電圧 ($V_0 + V_1 \cos t$) がコントロールゲートCGに印加される。逆に、小さいとき、コントロールゲートCGとワードラインWLは遮断される。交流電圧の振動数が閾振動数より大きいとき ($\tau > \tau_1$)、 $V_0 > 0$ ならBLトンネリングによってチャネル領域からフローティングゲートFGに電子が注入され、書き込み状態となる。反対に、 $V_0 < 0$ ならば、消去状態となる。図44(a)のソース、ドレインは、それぞれグラウンドラインGRとデータラインDL2に接続する。読み出し状態は、データラインDL1にMOSトランジスタの閾電圧より高い電圧を印加し、ワードラインWLに適当な直流電圧を加え、データラインDL2に電流が流れるかどうかをデータライン2制御装置内(図45参照)のセンスアンプで読み取ることによって実現する。図46に図44の構成を上から見た図を示す。破線で示した断面が図44に対応する。図45は本例に対応する回路構成を示した図である。

【0215】

つぎに、第4の具体的実施形態について説明する。図47にセル断面図を示す。BLトンネル膜としてのチツ化膜は、本例のようにコントロールゲートCGとフローティングゲートFGの間に作製し、BLトンネリングによって両ゲート間で電荷のやり取りをすることで、第3の具体的実施形態と同様の機能を持った不揮発性メモリ装置を実現できる。

【0216】

10

20

30

40

50

つぎに、第5の具体的実施形態について説明する。第3の具体的実施形態で用いられたMOSトランジスタは、SOI技術を用いて積層化することができる。本例のセル断面図を図48に示す。図49は、図48の構成を上から見た図であり、破線部における断面が図48に対応する。なお、回路構成は図45と同様である。

【0217】

つぎに、第6の具体的実施形態について説明する。第4の具体的実施形態で用いられたMOSトランジスタは、SOI技術を用いて積層化することができる。本例のセル断面図を図50に示す。図49は、図50の構成を上から見た図であり、破線部における断面が図50に対応する。なお、回路構成は図45と同様である。

【0218】

[発明部分Fの実施形態]

まず、発明部分Fの基本的な構成について説明する。

【0219】

ビットカーランダウアトネリング(BLトネリング)を動作原理とするスイッチング装置を一語について複数個用いることを特徴とした新しいタイプの半導体アナログ/デジタル変換装置である。素子材料等については、発明部分AやBで述べたものと同様である。望ましい実施態様としては、以下のものがあげられる。

【0220】

図51にBLトンネル素子の動作原理を示す。BLトンネル素子は、交流入力に対する閾値として閾振動数 τ を持つ。入力として振動数の交流電圧を印加すると、 $> \tau$ のとき直流電流を流し(“1”、或いは交流電流を流さない状態。)、 $< \tau$ のとき直流電流は流さない(“0”、或いは交流電流を流す状態。)ことを特徴とする。図51に示すように電圧 V_0 、 V_1 を印加することによって、閾振動数 τ が、

$$[\phi_B - e(V_0 + V_1)]^{1/2}$$

に比例するように制御することができる。ただし、 ϕ_B はBLトンネル素子中に存在するトンネル膜のポテンシャルバリアの高さである。

【0221】

図52に、上記BLトンネル素子を並列に接続して構成したアナログ/デジタル変換装置を示す。ここで用いるBLトンネル素子は2端子型でも3端子型でもどちらでもよい。各BLトンネル素子は、それぞれ $\tau_1, \tau_2, \tau_3, \tau_4, \dots, \tau_N$ の閾振動数を持ち、各閾振動数はデータライン制御装置62を用いて図51の V_1 を調節することによって独立に制御することができる。

【0222】

まず、 $N=2$ の場合を考える。 $\tau_1 < \tau_2$ のとき、入力信号は、「 $\tau_1 < \tau_1$ 、 $\tau_1 < \tau_2$ 、 $\tau_2 < \tau_2$ 」の条件の何れかを満たす。このとき、 $\tau_1 < \tau_1$ のとき出力は(00)、 $\tau_1 < \tau_2$ のとき出力は(10)、 $\tau_2 < \tau_2$ のとき出力は(11)である。一方、 $\tau_1 > \tau_2$ のとき、 $\tau_1 > \tau_1$ であれば出力は(01)である。こうして、アナログ/デジタル変換装置を用いて(00)、(01)、(10)、(11)のデジタル情報に変換されるという訳である。一般には、N個のアナログ量の組み合わせ(τ と $N-1$ 個の V_1)が、 2^N 個のデジタル情報(0/1シーケンス)に変換される。

【0223】

以下、発明部分Fの具体的実施形態を説明する。

【0224】

まず、第1の具体的実施形態について説明する。図53に、本実施形態を説明する断面図を示す。基板中に細長い拡散層を形成し、データラインDLとして平行細線群を作製する。その上に絶縁膜として酸化膜を形成し、前記平行細線群と直交するようにワードラインWLを形成する。ワードラインWLとデータラインDLが立体的に交差したところにトンネル膜としてチ化膜を形成する。

【0225】

つぎに、第2の具体的実施形態について説明する。図54に、本実施形態を説明する断面

10

20

30

40

50

図を示す。酸化膜中にデータラインDLとして平行細線群を形成し、その上に前記平行細線群と直交するようにワードラインWLを形成する。データラインDLとワードラインWLが立体的に交差するところにトンネル膜としてチツ化膜を形成する。本例では、シリコン基板の上に形成された集積回路のコーティング用に作製された酸化膜の上に、D/A変換装置を形成することも可能であることを示している。

【0226】

つぎに、第3の具体的実施形態について説明する。図55に、本実施形態を説明する断面図を示す。酸化膜中にワードラインWLを形成し、その上にワードラインWLと直交するようにデータラインDLとして平行細線群を形成する。データラインDLとワードラインWLが立体的に交差する点にトンネル膜としてチツ化膜を形成する。本例は、シリコン基板の上に形成された集積回路のコーティング用に作製された酸化膜の上に、D/A変換装置を形成することも可能であることを示している。

10

【0227】

つぎに、第4の具体的実施形態について説明する。図56に、本実施形態を説明する断面図を示す。基板中に、ワードラインWLとして、細長い拡散層を形成する。その上に絶縁膜として酸化膜を形成し、更にデータラインDLとして平行細線群を形成する。データラインDLとワードラインWLが立体的に交差する点に、トンネル膜としてチツ化膜を形成する。

【0228】

上記窒化膜の形成方法は、[発明部分C]で説明した形成方法と同様であり、説明は省略する。

20

【0229】

[発明部分Gの実施形態]

まず、発明部分Gの基本的な構成について説明する。

【0230】

ビットカーラングアウトトンネリング(BLトンネリング)を動作原理とするスイッチング装置を多数個用いることを特徴とした新しいタイプの半導体周波数カウンタ装置である。素子材料等については、発明部分AやBで述べたものと同様である。望ましい実施態様としては、以下のものがあげられる。

【0231】

(a) トンネル膜の両端にゲートを設け高周波の電圧を印加する。ワードラインとデータラインは、それぞれトンネル膜の両側にあるゲートに接続される。図57に対応するバンド図を、これにより実現される2端子BLトンネル素子を図58に、このBLトンネル素子を用いた周波数カウンタ装置を図59に示す。

30

【0232】

(b) 2つのトンネル膜と3つのゲート電極のサンドウィッチ構造であり、ワードラインは中央のゲートに接続し、データラインとグラウンドラインは外側の2つの電極に接続する。図60に対応するバンド図を、これにより実現される3端子BLトンネル素子の回路図を図61に、このBLトンネル素子を用いた周波数カウンタ装置を図62に示す。

【0233】

BLトンネル素子はBLトンネル膜の種類に基づいて調節できる閾値 τ を持ち、ワードラインに印加する入力の交流電圧($V_1 \cos t$)の振動数が τ より大きくなると($> \tau$)トンネル確率が指数関数的に大きくなり、逆に小さくなるとトンネル確率は小さいままである。

40

【0234】

このような性質を用いて、図58及び図61に示すような単体のBLトンネル素子だけでハイパスフィルタが実現できる。即ち、 $> \tau$ のときトンネル膜を直流電流が流れ、 $< \tau$ のとき直流電流が流れない。この直流電流をセンスアンプで検出し、直流電流が流れているときを“1”、流れていないとき“0”とする。

【0235】

50

図59及び図62に示すように、それぞれ異なる閾値 ($V_1 < V_2 < V_3 < \dots < V_N$) を持つN個のBLトンネル素子を順に並べ、ワードラインWLに接続する。ここで、入力 $V_n < V_{n+1}$ を満たすとき、出力は左からn個“1”が続き、n+1個目から最後まで“0”が続き、(111...1000...0)となる。BLトンネル素子の数を十分増やして V_n と V_{n+1} の間を挟めれば、精度良く周波数をカウントすることができる。

【0236】

以下、発明部分Gの具体的実施形態を説明する。

【0237】

まず、第1の具体的実施形態について説明する。図63は周波数カウンタ装置を上から見た図であり、図63の点線部分の断面図が図64である。ワードラインWLとデータラインDLとの交点に設けた不純物を含有したトンネル膜に対応して、2端子BLトンネル素子が一つずつ形成されている。各素子毎に不純物の量や種類を変えて閾値を調節する。

10

【0238】

つぎに、第2の具体的実施形態について説明する。図65は周波数カウンタ装置を上から見た図であり、図65の点線部分の断面図が図66及び図67である。基板中にデータラインDLとして細長い拡散層が形成されており、その上にトンネル膜及びマトリックス状の電極MTを挟んでワードラインWLを形成し、2端子BLトンネル素子が一つずつ形成されている。トンネル膜としては酸化膜を用いており、マトリックス状の電極MTを利用して酸化膜の膜厚を変え、閾値を調節する。

【0239】

20

つぎに、第3の具体的実施形態について説明する。図68は周波数カウンタ装置を上から見た図であり、図中の点線部分の断面図が図69である。ワードラインWLとデータラインDLとの交点に設けた不純物を含有したトンネル膜に対応して、2端子BLトンネル素子が一つずつ形成されている。各素子毎に不純物の量や種類を変えて閾値を調節する。

【0240】

つぎに、第4の具体的実施形態について説明する。図70は周波数カウンタ装置を上から見た図であり、図中の点線部分の断面図が図71及び図72である。基板中にワードラインWLとして細長い拡散層が形成されており、この上にトンネル膜及びマトリックス状の電極MTを挟んでデータラインDLを形成し、2端子BLトンネル素子が一つずつ形成されている。トンネル膜としては酸化膜を用いており、マトリックス状の電極MTによつて酸化膜の膜厚を変え、閾値を調節している。

30

【0241】

つぎに、第5の具体的実施形態について説明する。図73に周波数カウンタ装置の断面図を示す。基板にグラウンドラインGRとして拡散層を形成し、その上にトンネル膜、ワードラインWL、トンネル膜、データラインDLの積層構造を作る。こうして3端子BLトンネル素子を形成し、トンネル膜の不純物の量や種類を変化させて、閾値を調節する。

【0242】

つぎに、第6の具体的実施形態について説明する。図74に周波数カウンタ装置の断面図を示す。基板中にデータラインDLとして細長い拡散層を形成し、その上にトンネル膜、ワードラインWL、トンネル膜、グラウンドラインGRの積層構造を作る。こうして各セル毎に3端子BLトンネル素子を形成し、トンネル膜の不純物の量や種類を変化させて、閾値を調節する。

40

【0243】

つぎに、第7の具体的実施形態について説明する。図75に周波数カウンタ装置の断面図を示す。基板にグラウンドラインGRとして拡散層を形成し、その上にトンネル膜、ワードラインWL、トンネル膜、データラインDLの積層構造を作る。こうして各セル毎に3端子BLトンネル素子を形成し、マトリックス状の電極MTによってトンネル膜の膜厚を変え、閾値を調節する。

【0244】

つぎに、第8の具体的実施形態について説明する。図76に周波数カウンタ装置の断面図

50

を示す。基板中にデータラインDLとして細長い拡散層を形成し、その上にトンネル膜、ワードラインWL、トンネル膜、グラウンドラインGRの積層構造を作る。こうして各セル毎に3端子BLトンネル素子を形成し、マトリックス状の電極MTによってトンネル膜の膜厚を変え、閾値を調節する。

【0245】

なお、以上発明部分C～Gの応用例では、特に半導体基板を必要としないため、基板の上に形成された通常のICを覆う被膜の中に形成できるという特徴を有している。

【0246】

[発明部分Hの実施形態]

まず、発明部分Hの基本的な構成について説明する。

10

【0247】

ビットカーラングアウトネリング(BLトンネリング)を利用したMOS型BLトンネル素子を用いた新しいタイプの読み出し専用メモリ装置である。素子材料等については、発明部分AやBで述べたものと同様であり、またスイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

【0248】

シリコン基板にソースとドレインに対応する n^+ 拡散層を形成し、ソースとドレインの間のチャンネル領域上に薄い絶縁膜を形成し、その上にゲート電極を形成する。従って、本構造ではソース、ドレイン、ゲートの3つの端子を有し、それぞれグラウンドライン(GL)、データライン(DL)、ワードライン(WL)に接続する。もちろんGLとDLとは交換できる。又、ゲート長はチャンネル長に比べて長くても短くてもよい。ワードラインWLに高周波の交流電圧を印加し、この交流電圧の振動数や直流成分を操作する事によって、チャンネル領域をBLトンネリングする電子による電流を調節する。

20

【0249】

MOS型BLトンネル素子は、その素子構造により予め閾振動数 τ を持ち、ゲートに印加する交流電圧($V_G = V_1 \cos t$)によりチャンネル領域のポテンシャルを周期的に振動させることができる。入力の交流の振動数が前記閾振動数 τ より大きくなると($> \tau$)、トンネル確率が指数関数的に大きくなり、この性質を用いてチャンネル領域を流れるBLトンネル電流を操作することができる。

30

【0250】

上記構成に基づく素子断面図を図77に示す。ソースとドレインの間に電位差を与えておき(ドレイン側を高電位の場合で説明する。)、ゲートに加える交流の振動数が大きいとき($> \tau$)、 n^+ ソース領域の伝導電子がチャンネル領域の作る数百meVのポテンシャルバリアをBLトンネリングして n^+ ドレイン領域の伝導帯へ透過し、BLトンネル電流が流れる。逆に小さいとき($< \tau$)は透過しないので、電流は流れない。このBLトンネリングによるソース・ドレイン間の電流の増分をセンスアンプを用いて読み取る。又、前記電流の増分は、 $2 / \tau$ を用いて指数関数的に制御できるので多値化にも適している。

【0251】

前記 τ は、ゲート長やチャンネル長、基板、ゲート及び絶縁膜の種類等により予め調節できる。又、印加する交流電圧の大きさ V_1 は、チャンネル領域に反転層を作らない程度に小さく押えることができるので、絶縁膜の信頼性に余裕が生まれる。

40

【0252】

以下、発明部分Hの具体的実施形態を説明する。

【0253】

図77に示したセル断面図を持つMOS型BLトンネル素子をスイッチング素子として利用した読み出し専用メモリ装置の回路図を図78に示す。ワードラインWLの入力振動数が閾値を越えれば、ソース・ドレイン間にBLトンネル電流が流れる。本例において、閾値はゲート長やチャンネル長、絶縁膜、ゲート、基板の種類等によって製造段階で予め設

50

定することができる。

【0254】

図79に、0/1の2値を取る場合について示す。本例では、ゲートとチャネルの重なりあっている部分の長さ(L1、L2)を2種類設定することにより、閾振動数を2種類にして用いている。

【0255】

実際の動作は、ワードライン制御装置81で選んだワードラインWLのみに振動電圧を与えると、導通したセルに接続しているデータラインDLにのみ電流が流れる。これをデータライン制御装置82内のセンスアンプで読み取る。

【0256】

なお、BLトンネル電流量は、閾振動数を変化させると指数関数的に変化するので、多値化に対しても有利である。

【0257】

[発明部分Iの実施形態]

まず、発明部分Iの基本的な構成について説明する。

【0258】

ビットカーランダウアトンネリング(BLトンネリング)を利用したMOS型BLトンネル素子を用いた新しいタイプのダイナミカル・ランダム・アクセス・メモリ装置である。素子材料等については、発明部分AやBで述べたものと同様であり、またスイッチングを直接操作する為、入力信号を発生させる発振回路と共に用いられる。望ましい実施態様としては、以下のものがあげられる。

【0259】

各セル毎に3端子のMOS型BLトンネル素子を一つずつ使い、ワードラインに接続したゲート電極に高周波の交流電圧を印加する。セル基板中に2つのn⁺拡散層を形成し、一方はキャパシタを挟んでグラウンド線に接続し、他方はデータラインに接続する。ワードラインはワードライン制御装置により制御し、データラインはデータライン制御装置によって制御する。

【0260】

上記構成の一部となるMOS型BLトンネル素子は、絶縁膜、基板、ゲート構造、ゲート長、チャネル長を調節することによって操作できる閾振動数 τ を持ち、ゲートに印加する交流電圧($V_G = V_1 \cos t$)によりチャネル領域のポテンシャルを周期的に振動させることができる。入力の交流の振動数が前記閾振動数 τ より大きくなると($> \tau$)、トンネル確率が指数関数的に大きくなり、チャネル領域をBLトンネル電流が流れ、逆に小さくなるとBLトンネル電流は流れない。この性質を用いて、データラインとキャパシタの接続及び電荷量の調節を行う。チャネル領域に反転層を作らなくて良いので、ゲートに印加する交流電圧の大きさ $|V_1|$ は小さくてすむ。従って、絶縁膜の信頼性に余裕が生まれる。

【0261】

以下、発明部分Hの具体的実施形態を説明する。

【0262】

図80に、MOS型BLトンネル素子を用いたダイナミカル・ランダム・アクセス・メモリ装置の断面図を示す。本実施形態においては、ワードラインWLからゲートGに印加した交流電圧によって、n⁺拡散層間のチャネル領域のポテンシャルを周期的に振動させてBLトンネリングを起こし、反転層を使わずに、データラインDLとグラウンドラインGLに接続されたキャパシタとの間を導通させる。図81に、本例に対応する回路図を示す。データラインDLはデータライン制御装置92によって制御され、ワードラインWLはワードライン制御装置91によって制御される。

【0263】

[発明部分Jの実施形態]

まず、発明部分Jの基本的な構成について説明する。

10

20

30

40

50

【0264】

ビットカーランダウアトンネリング（BLトンネリング）を利用したMOS型BLトンネル素子を一語について複数個用いた新しいタイプのアナログ/デジタル変換装置である。素子材料等については、発明部分AやBで述べたものと同様である。望ましい実施態様としては、以下のものがあげられる。

【0265】

図82に、MOS型BLトンネル素子の動作原理を示す。BLトンネル素子は、交流入力に対する閾値として閾振動数 τ を持つ。ゲート入力として振動数の交流電圧を印加すると、 $> \tau$ のとき直流電流 I を流す（“1”とする）。逆に $< \tau$ のときは、直流電流を流さない（“0”とする）。図82に示すように、電圧 V_0 を印加することによつて、上記閾振動数 τ が、

$$(\phi_B - eV_0)^{1/2}$$

に比例するように制御することができる。ただし、 ϕ_B はMOS型BLトンネル素子内のチャンネル領域の伝導帯の下限から n^+ 拡散層の伝導電子のエネルギーを引いたものである。

【0266】

図83に、図82に示した回路の電気特性を示す。 V_0 を大きくすると閾振動数 τ が減少する様子が描かれている。図84に、上記BLトンネル素子を並列に接続して構成したアナログ/デジタル変換装置を示す。各BLトンネル素子はそれぞれ $\tau_1, \tau_2, \tau_3, \tau_4, \dots, \tau_N$ の閾振動数を持ち、各閾振動数はデータライン制御装置102を用いて図82の V_0 を調節することによって独立に制御される。

【0267】

まず、 $N=2$ の場合を考える。 $\tau_1 < \tau_2$ のとき、入力信号は次の条件「 $\tau_1 < \tau_1, \tau_1 < \tau_2, \tau_2 < \tau_2$ 」の何れかを必ず満たす。そして、 $\tau_1 < \tau_1$ のとき出力を（00）、 $\tau_1 < \tau_2$ のとき出力を（10）、 $\tau_2 < \tau_2$ のとき出力を（11）とする。一方、 V_0 を調節して $\tau_1 > \tau_2$ にした場合、 $\tau_1 > \tau_2$ のとき出力を（01）とする。こうして、アナログ/デジタル変換装置を用いて（00）、（01）、（10）、（11）のデジタル情報に変換されるという訳である。一般には、 N 個のアナログ量の組み合わせ（ τ と $N-1$ 個の V_0 ）が、 2^N 個のデジタル情報（0/1シーケンス）に変換される。なお、 $V_{01} \sim V_{0N}$ のうち一つはグラウンドに落とすことができる。

【0268】

以下、発明部分Jの具体的実施形態を説明する。

【0269】

図85及び図86に本実施形態の素子構成を示す。図86は図85の点線部分に対応する断面図である。ワードラインWLをゲートGに接続するとともに、各セルの n^+ 拡散層の内、一方をグラウンドラインGLに、他方をデータラインDLに接続している。ワードラインWLには、ワードライン制御装置から入力の一部として交流電圧が印加される。データラインDLには、データライン制御装置から入力の一部として直流電圧が印加される。各セルがスイッチONのときチャンネルに電流が流れ（“1”）、OFFのとき電流は流れない（“0”）。

【0270】

[発明部分Kの実施形態]

まず、発明部分Kの基本的な構成について説明する。

【0271】

ビットカーランダウアトンネリング（BLトンネリング）を利用したMOS型BLトンネル素子を多数個用いた新しいタイプの周波数カウンタ装置である。素子材料等については、発明部分AやBで述べたものと同様である。望ましい実施態様としては、以下のものがあげられる。

【0272】

n^+ 拡散層を有するMOS型BLトンネル素子のゲートにワードラインを接続し、ワード

10

20

30

40

50

ライン制御装置から交流の入力電圧を印可する。MOS型BLトンネル素子のゲートはワードラインによって並列に接続されている。 n^+ 拡散層の一方をグラウンドラインに接続し、他方の n^+ 拡散層をデータラインに接続し、データライン制御装置内の検流計で各セルに流れる電流の大きさを測定する。

【0273】

上記構成は、内部変数に基づいて調節できる閾値 τ を持つ多数個のMOS型BLトンネル素子をワードラインに並列に設けることによって実現できる。ワードラインに印加する入力交流電圧 ($V_1 \cos t$) の振動数が閾振動数 τ より大きくなると ($> \tau$)、トンネル確率が指数関数的に大きくなり、チャネル領域にBLトンネル電流が流れる。逆に小さくなると、トンネル確率は小さいままなので電流は流れない。この性質を用いて、単体のBLトンネル素子だけでハイパスフィルタが実現できる。即ち、 $> \tau$ のとき直流電流が流れ、 $< \tau$ のとき直流電流が流れない。この直流電流をセンスアンプで検出し、直流電流が流れているときを“1”、流れていないとき“0”とする。

10

【0274】

次に、それぞれ異なる閾値 ($\tau_1 < \tau_2 < \tau_3 < \dots < \tau_N$) を持つN個のBLトンネル素子をワードラインに並列接続する。ここで、入力が $\tau_n < \tau_{n+1}$ を満たすとき、出力は左からn個“1”が続き、 $n+1$ 個目から最後まで“0”が続き、(111...1000...0)となる。BLトンネル素子の数を十分増やして τ_n と τ_{n+1} の間を挟めれば、精度良く周波数をカウントすることができる。

【0275】

以下、発明部分Kの具体的実施形態を説明する。

20

【0276】

図87は、周波数カウンタ装置を上から見た図であり、図中の点線部分の断面図が図88である。図89に回路図を示す。ワードラインWLはワードライン制御装置112に接続され、データラインDLはデータライン制御装置111に接続されている。

【0277】

[発明部分Lの実施形態]

まず、発明部分Lの基本的な構成について説明する。

【0278】

光放出装置、光導波管及び複数個の光子型量子交換スイッチング装置を組み合わせて構成することを特徴としている。複数個の光子型量子交換スイッチング装置の入力は、光放出装置で発生し光導波管を透過してくる光であり、この光によって各セルに対応する光子型量子交換スイッチング装置に流れる極微少の直接トンネル電流を指数関数的に増大させることを特徴とする。望ましい実施態様としては次のものがあげられる。

30

【0279】

(a) 複数個の光子型量子交換スイッチング装置はセンスアンプに並列に接続しており、各セルの出力はセンスアンプに流れる。光が各セルを透過する際に光子一個分のエネルギー量子をトンネル電子に渡し、その度にその瞬間だけ指数関数的にトンネル電流が増大する。この時、セル同士の間隔を調節することによって、出力電流のピーク同士の間隔を自由に操作することができる。このような特徴を利用して、超高周波発信装置が実現できる。

40

【0280】

(b) 光をある時間間隔で連続して2回入射すると、センスアンプへの出力電流の波形は、大小2種類のピークを含む。このうち大きい方のピークをm、小さい方のピークをnとすると、セル数は $n+2m$ である。また、前記時間間隔を調節することによってmを自由に調節することもできる。光の入射回数を3回以上にしたとき、光放出時間のシークエンスを光の信号として捉えることができ、上記2回の場合の単純な拡張から、前記シークエンスを電気信号(前記出力電流波形)に変換することができる。こうして、光信号/電気信号変換装置が実現する。

【0281】

50

図 9 0 に装置の原理的構成を示す。光放出装置 1 2 2 に光導波管 1 2 1 が直結しており、この光導波管は複数個の電極対で挟んである。この電極対には低電圧 V_m ($m = 1, 2, \dots, N$) が印可してあり、直接トンネリングにより一方の電極中の電子が光導波管を透過して他方の電極に流れ込み、極微少の電流が流れている。光放出装置 1 2 2 から光導波管 1 2 1 を通って電極対に光が入射すると、トンネル電子は光子一個分のエネルギー量子を吸収し、電極対間を透過するトンネル電流が指数関数的に増大する (2 光子吸収の散乱過程は確率的に極希なので無視する。)。

【 0 2 8 2 】

セル m と $m + 1$ の間の光の伝導距離を $l_{m, m+1}$ とする。ある時刻 t_1 に t_1 の時間をかけて光がセル 1 の占める光導波間の領域 (W_1) を透過すると、出力電流はセル 1 からの電流の指数関数的な増大を受けて、図 9 1 の左端のようなピークを示す。次に、この光はセル 2 を透過する際、やはり一光子分のエネルギー量子をトンネル電子に渡して、図 9 1 の左から 2 番目のピークを示す。同様にして、光が各セルを透過する度に出力電流のピークが生じる。ここで、 t_m は光がセル m の占める光導波間の領域 W_m を透過するのに要する時間であり、 t_m は光がその領域の中心辺りを透過する際の時刻であり、図 9 1 中のピークの位置で定義できるものである。光導波管を透過する光の速さを c とすると、 $t_{m+1} - t_m = l_{m, m+1} / c$ となる。従って、図 9 1 に示した波形をなるべく綺麗にするために、

$$\min (l_{1,2}, l_{2,3}, \dots, l_{N-1,N}) / c > \max (\Delta t_1, \Delta t_2, \dots, \Delta t_N)$$

という条件が必要である。 $l_{m, m+1}$ 、 W_m を調節することによって、上記条件を満たすよう装置をデザインすることが可能である。

【 0 2 8 3 】

光が伝搬する速度は非常に速いため、各セルから流れてくる電流がセンスアンプに到達するまでの時間 (遅延時間) に注意する必要がある。セル m に対応する遅延時間を τ_m とするとき、

$$\min (l_{1,2}, l_{2,3}, \dots, l_{N-1,N}) / c \gg \max (\tau_1, \tau_2, \dots, \tau_N)$$

という条件を満たすことが必要である。この条件を満たすため、 $l_{m, m+1}$ 、寄生容量、センスアンプまでの配線の長さ等を調節する必要がある。更に、 V_m の符号や大きさを変えても波形を調節することができる。

【 0 2 8 4 】

以上により、光の放出を一回行った場合、出力電流の波形は N 個のピークを持つことになる。一回目の放出の後、時間を l だけずらしてもう一度光を放出すると、新たな出力波形は、前の光の放出により出力された波形との重ね合わせによって得られる。従って、 l を操作することによっても、出力波形を調節することができる。

【 0 2 8 5 】

以下、発明部分 L の具体的実施形態を説明する。

【 0 2 8 6 】

まず、第 1 の具体的実施形態について説明する。 $V_m = V$ 、 $l_{m, m+1} = l$ とし、時間 l だけ隔てて光を放出し続ける場合を考える。この時、得られる出力波形を図 9 2 に示すと、2 つの波形が連続的に接続されていることがわかる。出力波形のピークとピークの間の時間は l / c なので、こうして周波数 c / l の超高周波発振装置が実現する。

【 0 2 8 7 】

つぎに、第 2 の具体的実施形態について説明する。 $V_m = V$ 、 $l_{m, m+1} = l$ とし、時間 l だけ隔てて光を 2 回だけ発振する場合を考える。図 9 3 (a) に $l = (N - 1) l / c$ の場合の出力波形を示す。中央の大きなピークは、セル N を透過する光の寄与とセル 1 を透過する光の寄与とが重なり合う為に生じる。図 9 3 (b) に $l = (N - 2) l / c$ の場合

10

20

30

40

50

の波形を示す。中央の2つの大きなピークは、左側がセルN - 1とセル1、右側がセルNとセル2からの電流増大の重ね合わせによって生じる。図93(c)に $\tau = [N - (N - 1)] l / c = l / c$ の場合の出力波形を示す。大きなピークは、それぞれ左から、セル2とセル1、セル3とセル2、セル4とセル3、...、セルN - 1とセルN - 2、セルNとセルN - 1の電流増大の重ね合わせから生じる。光を3回以上発振する場合は、以上の簡単な拡張であり、詳細な説明は省略するが、Q回光を発振する場合、発振の時間間隔のシーケンス $(\tau_{1,2}, \tau_{2,3}, \dots, \tau_{Q-1,Q})$ と出力波形を対応させることが可能となる。こうして、光の発振シーケンスを光信号としたとき、光信号を電気信号に変換する装置が実現する。

【0288】

[発明部分Mの実施形態]

まず、発明部分Mの基本的な構成について説明する。

【0289】

例えばシリコンとGaAsの2種類の半導体を同一の基板として帯上に設けた半導体複合基板である。なお、シリコンとGaAs以外の半導体を含む複合基板でも良く、さらに、面方位や分子構造が異なる複数の半導体を同一の基板に帯状に設けたものでもよい。

【0290】

図94に、2種類の半導体A、Bよりなる半導体複合ウェハーを示す。図中、斜線部が半導体A、白地部が半導体B、黒塗り部が基板分離領域である。図95に、この複合ウェハーからのチップの取り出し方法を示す。図95に示すとおり、切り出し方によって、複合基板から3種類のチップ、即ち、複合基板チップ、半導体Aチップ、半導体Bチップが切り出される。3種類の半導体を用いた複合ウェハーからは、同様に3種の半導体A、B、Cの内、任意の1つ、2つ若しくは3つを含む半導体チップ、又は半導体複合チップを切り出すことができる。4種類以上についても同様である。

【0291】

以下、発明部分Mの具体的実施形態を説明する。

【0292】

図107に示すように、酸化膜を用いて作製した基板分離領域を挟む単結晶半導体A(c-A)と単結晶半導体B(c-B)の上に、それぞれ独立に集積回路(A-ICとB-IC)を作製し、基板分離領域となる酸化膜を跨いでA-ICとB-ICを連関させる配線を形成している。また、前記配線は、光配線や電気配線など、A-ICとB-ICの間の信号の交換を行うことが可能であるすべての手法を含む物とする。

【0293】

以下、製造工程を順を追って説明する。まず、図96に示すように、適当な方向にほぼ平面的に切り出した単結晶半導体Aと単結晶半導体Bの間に接着剤を挟み、加圧加熱することによって単結晶半導体Aと単結晶半導体Bを接着し、図97に示すように接着層A/Bを形成する。この工程は、接着剤なしで行うことも可能である。

【0294】

つぎに、図97に示す点線の部分で切断し、図98に示すように、表面に酸化膜を形成する。続いて、図99に示すように、前記酸化膜上にマスクを形成した後エッチングをして基板Aを露出させる。続いて、図100及び図101に示すように、基板Aの露出表面に半導体Aをエピタキシャル成長させる。続いて、再度酸化を行った後、図102に示すように、マスクを形成した後エッチングを行い、基板Bを露出させる。続いて、図103及び図104に示すように、基板Bの露出表面に半導体Bをエピタキシャル成長させる。つぎに、図105に示すように、全体を酸化した後、マスクを形成し、エッチングを行い、図106のように酸化膜による基板分離領域を作製する。

【0295】

最後に、両基板AとBにそれぞれ独立に集積回路を作製し、基板分離領域となる酸化膜を跨ぐように配線を形成する。こうして複合基板上に、図107に示すような集積回路を作製することができる。

10

20

30

40

50

【 0 2 9 6 】

【 発 明 の 効 果 】

本発明によれば、トンネル電子のエネルギー量子吸収を動作原理としたことにより、絶縁膜の信頼性に余裕がある等の特徴を有する新規なデバイスを得ることができる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 本願の発明部分 A に係る図であり、光照射型量子スイッチング装置の構成を示した図。

【 図 2 】 本願の発明部分 A に係り、光照射型量子スイッチング装置の電気特性を示した図。

【 図 3 】 本願の発明部分 A に係り、光ファイバーを 1 本だけ用いた量子スイッチング装置の説明図。 10

【 図 4 】 本願の発明部分 A に係り、光ファイバーを複数本用いた量子スイッチング装置の説明図。

【 図 5 】 本願の発明部分 B に係り、MOS型BLトンネル素子の断面構成を示した図。

【 図 6 】 本願の発明部分 B に係り、MOS型BLトンネル素子の断面構成を示した図。

【 図 7 】 本願の発明部分 B に係り、トンネルバリアのポテンシャルを示す図。

【 図 8 】 本願の発明部分 B に係り、トンネルバリアの振動する機構を説明する図。

【 図 9 】 本願の発明部分 B に係り、BLトンネリングの原理を示した図。

【 図 1 0 】 本願の発明部分 B に係り、BLトンネリングの電流 - 特性を示した図。

【 図 1 1 】 本願の発明部分 B に係り、BLトンネリングの電流 - 電圧特性を示した図。 20

【 図 1 2 】 本願の発明部分 B に係り、3 端子 BL トンネル素子の構成を示した等価回路図。

【 図 1 3 】 本願の発明部分 B に係り、2 端子 BL トンネル素子の構成を示した等価回路図。

【 図 1 4 】 本願の発明部分 B に係り、3 端子 BL トンネル素子のバンド図。

【 図 1 5 】 本願の発明部分 B に係り、3 端子 BL トンネル素子のセル断面図。

【 図 1 6 】 本願の発明部分 B に係り、3 端子 BL トンネル素子のセル断面図。

【 図 1 7 】 本願の発明部分 B に係り、図 1 6 の構成に対応するセルを平面的に表した図。

【 図 1 8 】 本願の発明部分 B に係り、2 端子 BL トンネル素子のバンド図。

【 図 1 9 】 本願の発明部分 B に係り、2 端子 BL トンネル素子のセル断面図。 30

【 図 2 0 】 本願の発明部分 B に係り、図 1 9 の構成に対応するセルを平面的に表した図。

【 図 2 1 】 本願の発明部分 C に係り、BL トンネル素子のバンド図。

【 図 2 2 】 本願の発明部分 C に係り、読み出し専用メモリの第 1 の具体的実施形態について、セルの断面構成を示した図。

【 図 2 3 】 本願の発明部分 C に係り、図 2 2 の構成に対応するセルを平面的に表した図。

【 図 2 4 】 本願の発明部分 C に係り、読み出し専用メモリの回路構成を示した図。

【 図 2 5 】 本願の発明部分 C に係り、読み出し専用メモリの第 2 の具体的実施形態について、セルの断面構成を示した図。

【 図 2 6 】 本願の発明部分 C に係り、図 2 5 の構成に対応するセルを平面的に表した図。

【 図 2 7 】 本願の発明部分 C に係り、読み出し専用メモリの第 3 の具体的実施形態について、セルの断面構成を示した図。 40

【 図 2 8 】 本願の発明部分 C に係り、読み出し専用メモリの第 4 の具体的実施形態について、セルの断面構成を示した図。

【 図 2 9 】 本願の発明部分 D に係り、2 端子 BL トンネル素子のバンド図。

【 図 3 0 】 本願の発明部分 D に係り、2 端子 BL トンネル素子を回路的に示した図。

【 図 3 1 】 本願の発明部分 D に係り、3 端子 - NAND 型 BL トンネル素子のバンド図。

【 図 3 2 】 本願の発明部分 D に係り、3 端子 BL トンネル素子を回路的に示した図。

【 図 3 3 】 本願の発明部分 D に係り、ダイナミカル・ランダム・アクセス・メモリ装置の回路構成を示した図。

【 図 3 4 】 本願の発明部分 D に係り、ダイナミカル・ランダム・アクセス・メモリ装置の 50

断面構成を示した図。

【図35】本願の発明部分Dに係り、ダイナミカル・ランダム・アクセス・メモリ装置の断面構成を示した図。

【図36】本願の発明部分Dに係り、ダイナミカル・ランダム・アクセス・メモリ装置の断面構成を示した図。

【図37】本願の発明部分Dに係り、ダイナミカル・ランダム・アクセス・メモリ装置の断面構成を示した図。

【図38】本願の発明部分Dに係り、3端子BLトンネル素子のみによるダイナミカル・ランダム・アクセス・メモリ装置の回路構成を示した図。

【図39】本願の発明部分Dに係り、3端子-NAND型BLトンネル素子のみによるダイナミカル・ランダム・アクセス・メモリ装置の断面構成を示した図。 10

【図40】本願の発明部分Eに係り、BLトンネリングによる不揮発性メモリ装置の原理を説明する図。

【図41】本願の発明部分Eに係り、第1の具体的実施形態におけるセルの断面構成を示した図。

【図42】本願の発明部分Eに係り、第2の具体的実施形態におけるセルの断面構成を示した図。

【図43】本願の発明部分Eに係り、第1及び第2の具体的実施形態における回路構成を示した図。

【図44】本願の発明部分Eに係り、第3の具体的実施形態におけるセルの断面構成を示した図。 20

【図45】本願の発明部分Eに係り、第3～第6の具体的実施形態における回路構成を示した図。

【図46】本願の発明部分Eに係り、第3及び第4の具体的実施形態における構成を平面的に表した図。

【図47】本願の発明部分Eに係り、第4の具体的実施形態におけるセルの断面構成を示した図。

【図48】本願の発明部分Eに係り、第5の具体的実施形態におけるセルの断面構成を示した図。

【図49】本願の発明部分Eに係り、第5及び第6の具体的実施形態における構成を平面的に表した図。 30

【図50】本願の発明部分Eに係り、第6の具体的実施形態におけるセルの断面構成を示した図。

【図51】本願の発明部分Fに係り、アナログ/デジタル変換装置に用いるBLトンネル素子の原理を示した図。

【図52】本願の発明部分Fに係り、BLトンネル素子を用いたアナログ/デジタル変換装置の原理を示した図。

【図53】本願の発明部分Fに係り、第1の具体的実施形態における素子の断面構成を示した図。

【図54】本願の発明部分Fに係り、第2の具体的実施形態における素子の断面構成を示した図。 40

【図55】本願の発明部分Fに係り、第3の具体的実施形態における素子の断面構成を示した図。

【図56】本願の発明部分Fに係り、第4の具体的実施形態における素子の断面構成を示した図。

【図57】本願の発明部分Gに係り、周波数カウンタ装置に用いる2端子BLトンネル素子のバンド図。

【図58】本願の発明部分Gに係り、周波数カウンタ装置に用いる2端子BLトンネル素子の等価回路を示した図。

【図59】本願の発明部分Gに係り、2端子BLトンネル素子を用いた周波数カウンタ装 50

置の構成を示した図。

【図60】本願の発明部分Gに係り、周波数カウンタ装置に用いる3端子BLトンネル素子のバンド図。

【図61】本願の発明部分Gに係り、周波数カウンタ装置に用いる3端子BLトンネル素子の等価回路を示した図。

【図62】本願の発明部分Gに係り、3端子BLトンネル素子を用いた周波数カウンタ装置の構成を示した図。

【図63】本願の発明部分Gに係り、第1の具体的実施形態における素子の平面構成を示した図。

【図64】本願の発明部分Gに係り、第1の具体的実施形態における素子の断面構成を示した図。 10

【図65】本願の発明部分Gに係り、第2の具体的実施形態における素子の平面構成を示した図。

【図66】本願の発明部分Gに係り、第2の具体的実施形態における素子の断面構成を示した図。

【図67】本願の発明部分Gに係り、第2の具体的実施形態における素子の断面構成を示した図。

【図68】本願の発明部分Gに係り、第3の具体的実施形態における素子の平面構成を示した図。

【図69】本願の発明部分Gに係り、第3の具体的実施形態における素子の断面構成を示した図。 20

【図70】本願の発明部分Gに係り、第4の具体的実施形態における素子の平面構成を示した図。

【図71】本願の発明部分Gに係り、第4の具体的実施形態における素子の断面構成を示した図。

【図72】本願の発明部分Gに係り、第4の具体的実施形態における素子の断面構成を示した図。

【図73】本願の発明部分Gに係り、第5の具体的実施形態における素子の断面構成を示した図。

【図74】本願の発明部分Gに係り、第6の具体的実施形態における素子の断面構成を示した図。 30

【図75】本願の発明部分Gに係り、第7の具体的実施形態における素子の断面構成を示した図。

【図76】本願の発明部分Gに係り、第8の具体的実施形態における素子の断面構成を示した図。

【図77】本願の発明部分Hに係り、読み出し専用メモリ装置に用いるMOS型BLトンネル素子のセルの断面構成を示した図。

【図78】本願の発明部分Hに係り、MOS型BLトンネル素子を用いた読み出し専用メモリ装置の回路構成図。

【図79】本願の発明部分Hに係り、MOS型BLトンネル素子を用いた読み出し専用メモリ装置の2値の場合の構成例を示した図。 40

【図80】本願の発明部分Iに係り、MOS型BLトンネル素子を用いたダイナミカル・ランダム・アクセス・メモリ装置の断面構成を示した図。

【図81】本願の発明部分Iに係り、MOS型BLトンネル素子を用いたダイナミカル・ランダム・アクセス・メモリ装置の回路構成図。

【図82】本願の発明部分Jに係り、アナログ/デジタル変換装置に用いるMOS型BLトンネル素子の回路構成を示した図。

【図83】本願の発明部分Jに係り、MOS型BLトンネル素子の電気的特性について示した図。

【図84】本願の発明部分Jに係り、MOS型BLトンネル素子を用いたアナログ/デジ 50

タル変換装置の回路構成を示した図。

【図 8 5】本願の発明部分 J に係り、M O S 型 B L トンネル素子を用いたアナログ / デジタル変換装置の平面構成を示した図。

【図 8 6】本願の発明部分 J に係り、M O S 型 B L トンネル素子を用いたアナログ / デジタル変換装置の断面構成を示した図。

【図 8 7】本願の発明部分 K に係り、M O S 型 B L トンネル素子を用いた周波数カウンタ装置の平面構成を示した図。

【図 8 8】本願の発明部分 K に係り、M O S 型 B L トンネル素子を用いた周波数カウンタ装置の断面構成を示した図。

【図 8 9】本願の発明部分 K に係り、M O S 型 B L トンネル素子を用いた周波数カウンタ装置の回路構成を示した図。 10

【図 9 0】本願の発明部分 L に係り、光信号 / 電気信号変換装置及び超高周波発振装置の構成を示した図。

【図 9 1】本願の発明部分 L に係り、出力電流の波形を示した図。

【図 9 2】本願の発明部分 L に係り、大きなピークがない場合の出力波形を示した図。

【図 9 3】本願の発明部分 L に係り、重ね合わせにより大きなピークを生じる場合の出力波形を示した図。

【図 9 4】本願の発明部分 M に係り、2 種類の半導体からなる半導体複合ウエハの構成を示した図。

【図 9 5】本願の発明部分 M に係り、半導体複合ウエハからチップを切り出す方法を示した図。 20

【図 9 6】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 9 7】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 9 8】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 9 9】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 0】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 1】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 2】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 3】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 4】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。 30

【図 1 0 5】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 6】本願の発明部分 M に係り、半導体複合基板の製造工程の一部を示した図。

【図 1 0 7】本願の発明部分 M に係り、半導体複合基板に高機能集積回路を作製した場合の構成を示した図。

【符号の説明】

S ... ソース

D ... ドレイン

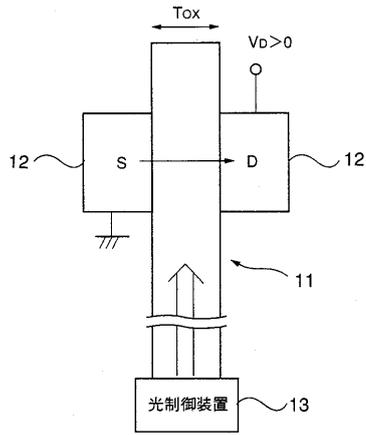
G ... ゲート

B P ... トンネル素子

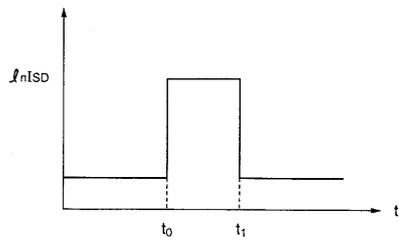
W L ... ワードライン

D L ... データライン

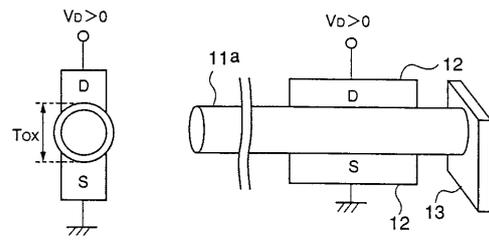
【 図 1 】



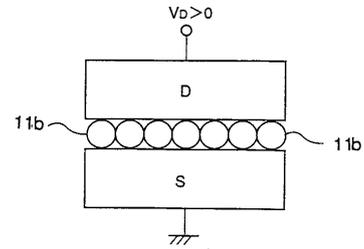
【 図 2 】



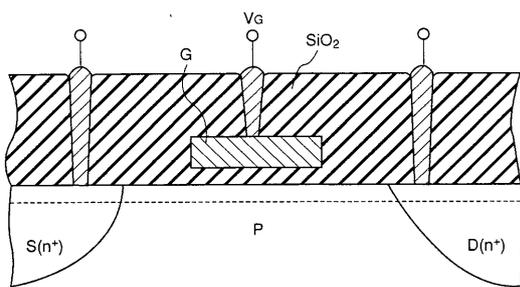
【 図 3 】



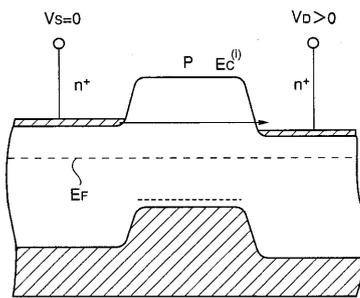
【 図 4 】



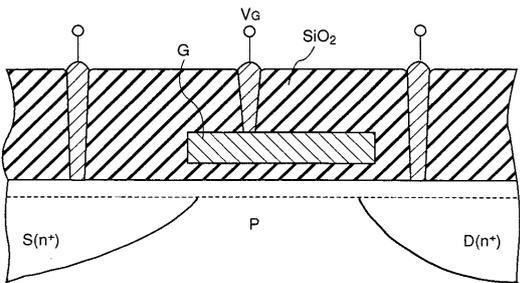
【 図 5 】



【 図 7 】



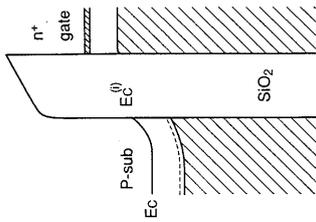
【 図 6 】



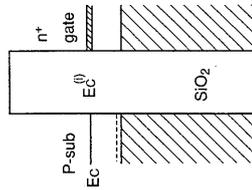
$$V_G = V_1 \cos \omega t$$

$$E_C^{(i)} \propto V_G = V_1 \cos \omega t$$

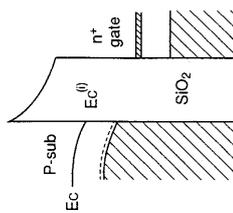
【 8 】



$V_g = |V_1|$
 $V_{sub} = 0$
 (c)

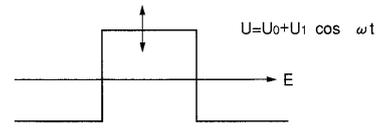


$V_g = 0$
 $V_{sub} = 0$
 (b)

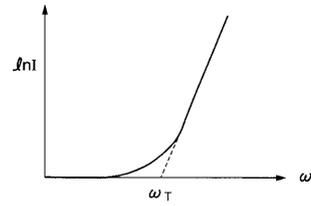


$V_g = |V_1|$
 $V_{sub} = 0$
 (a)

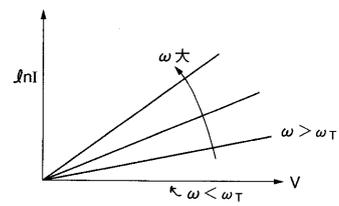
【 9 】



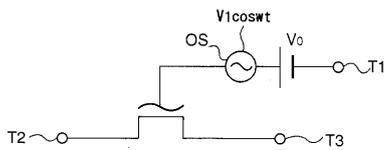
【 10 】



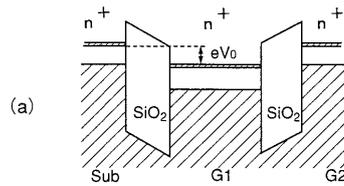
【 11 】



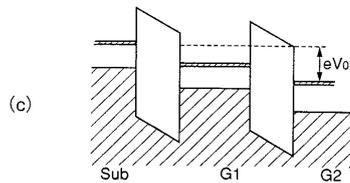
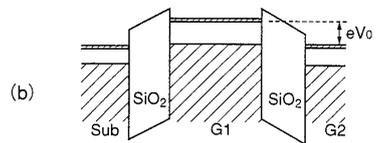
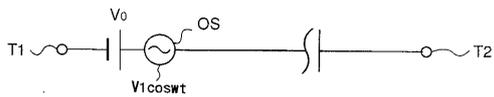
【 12 】



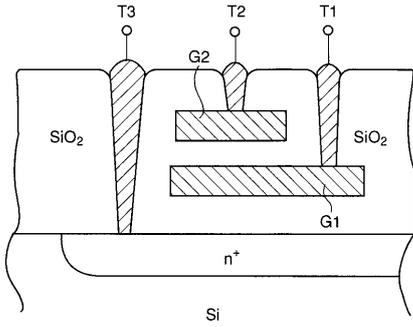
【 14 】



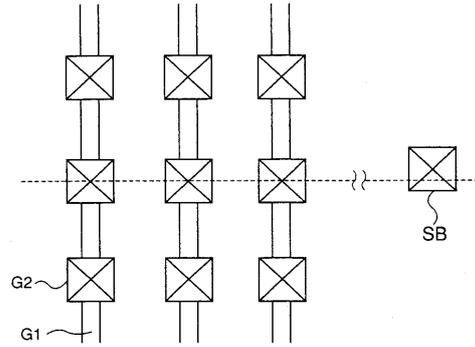
【 13 】



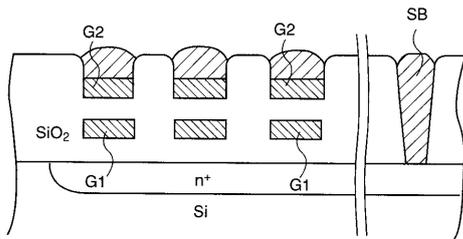
【 図 15 】



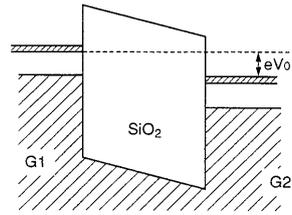
【 図 17 】



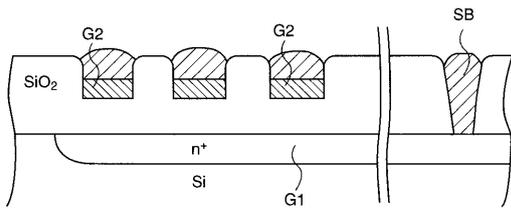
【 図 16 】



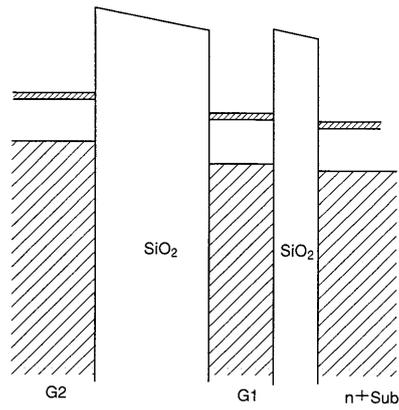
【 図 18 】



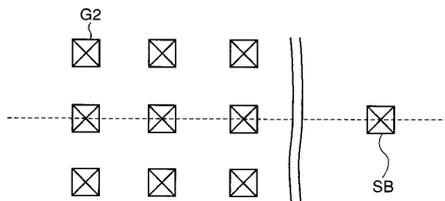
【 図 19 】



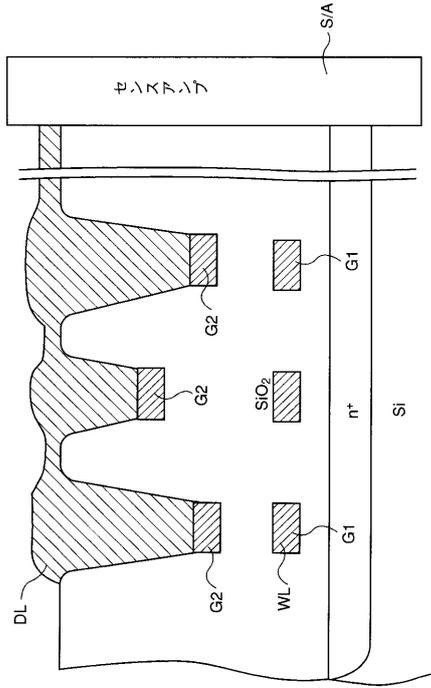
【 図 21 】



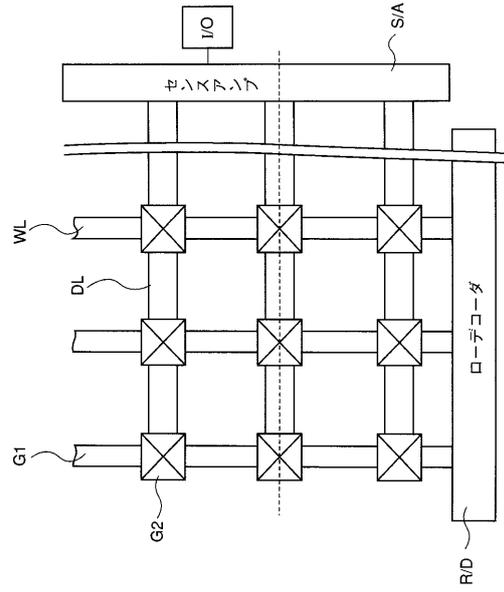
【 図 20 】



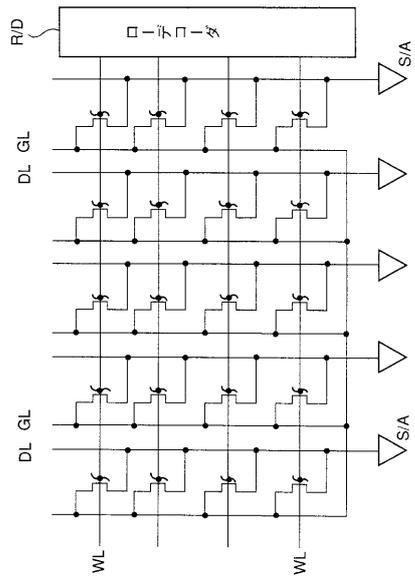
【図 2 2】



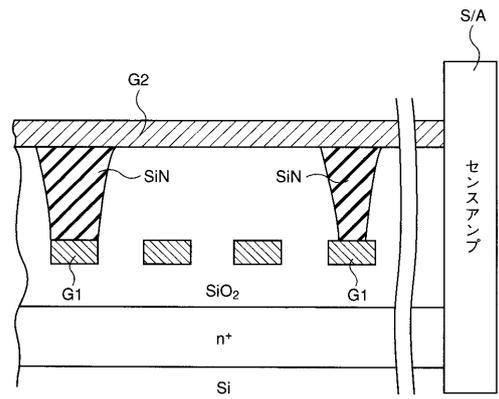
【図 2 3】



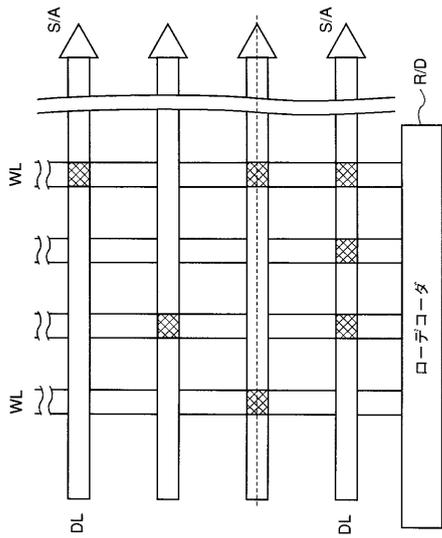
【図 2 4】



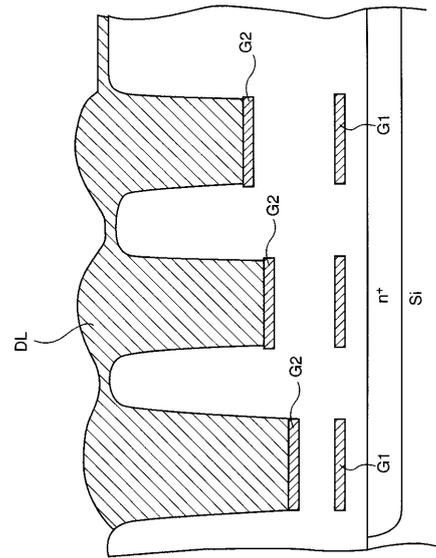
【図 2 5】



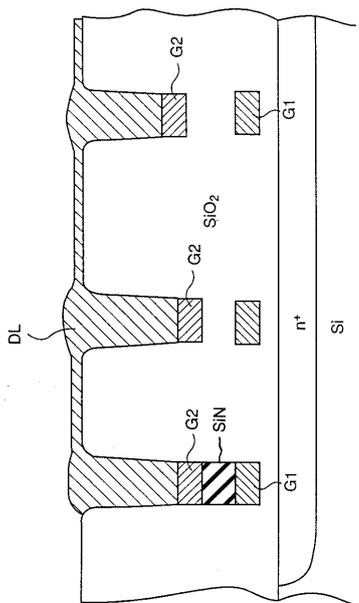
【図 26】



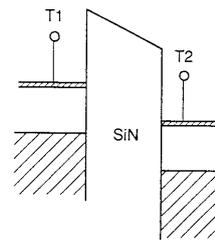
【図 27】



【図 28】

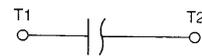


【図 29】

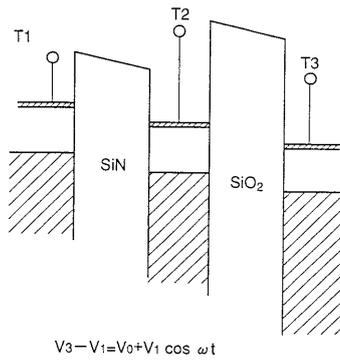


$$V_2 - V_1 = V_0 + V_1 \cos \omega t$$

【図 30】

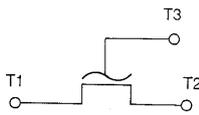


【図31】

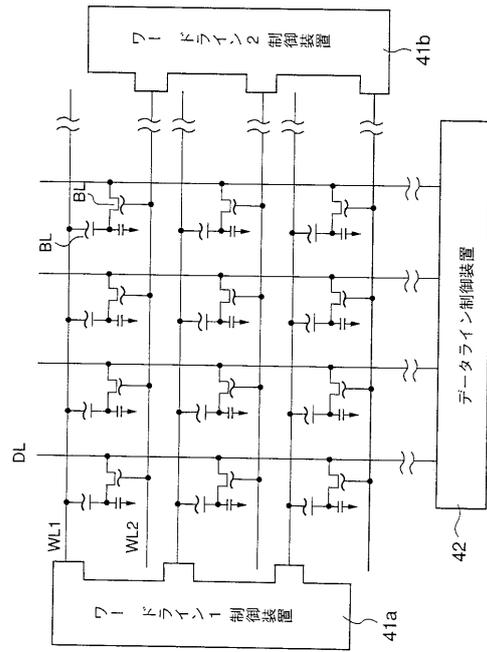


$$V_3 - V_1 = V_0 + V_1 \cos \omega t$$

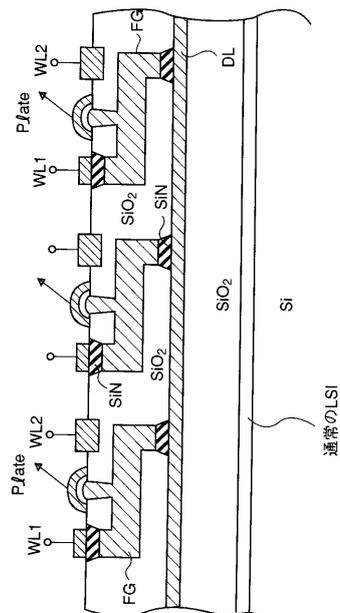
【図32】



【図33】

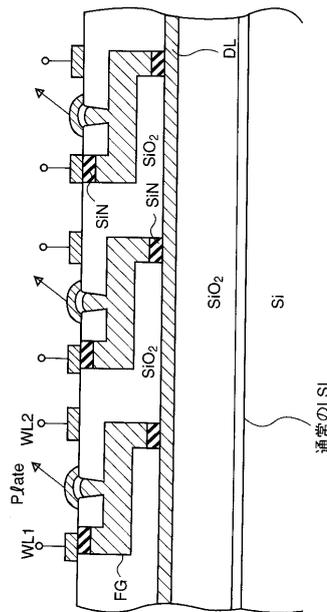


【図34】



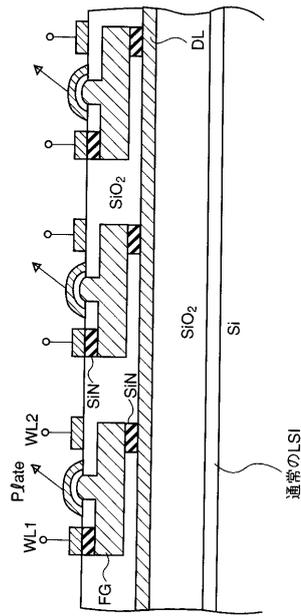
通常のLSI

【図35】

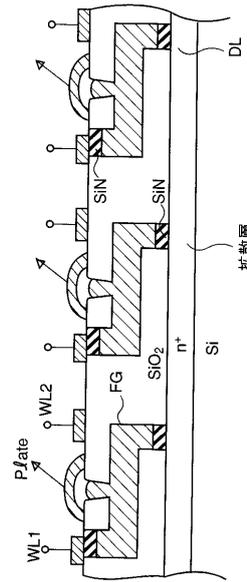


通常のLSI

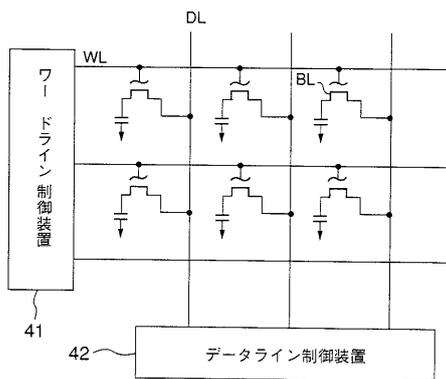
【図36】



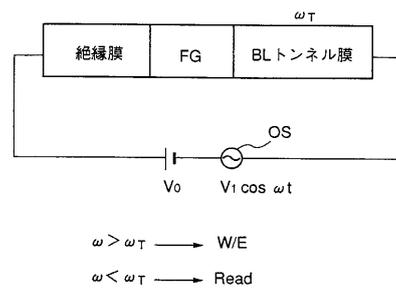
【図37】



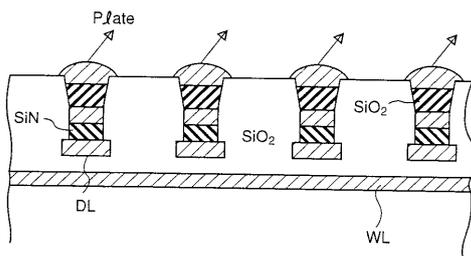
【図38】



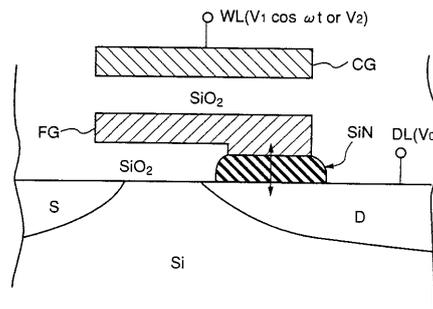
【図40】



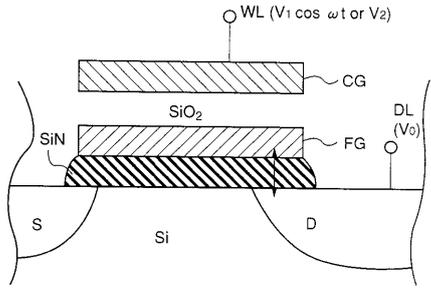
【図39】



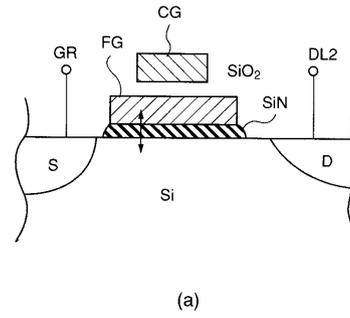
【図41】



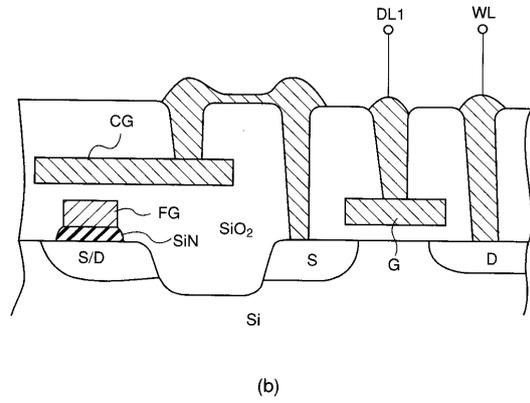
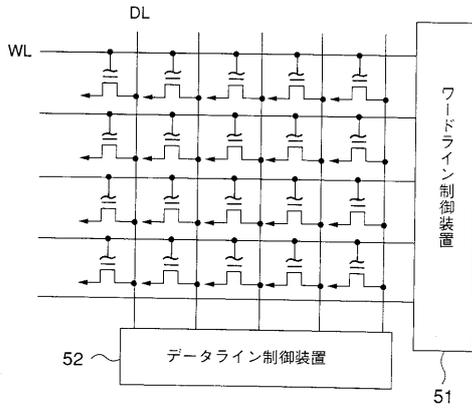
【図42】



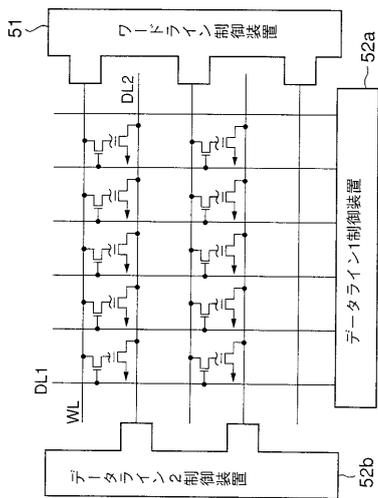
【図44】



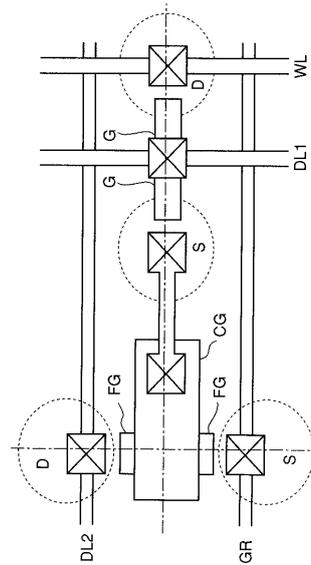
【図43】



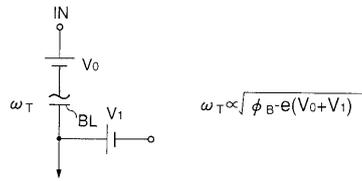
【図45】



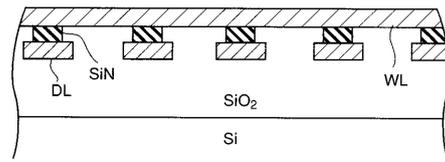
【図46】



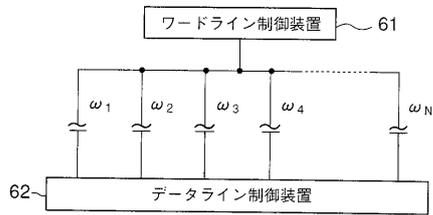
【図51】



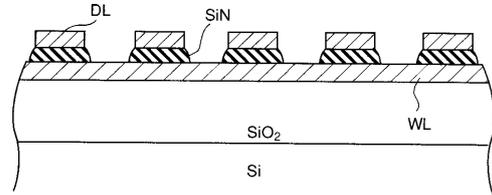
【図54】



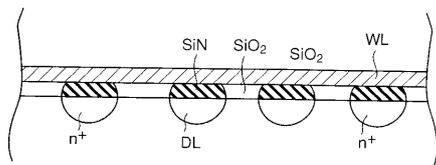
【図52】



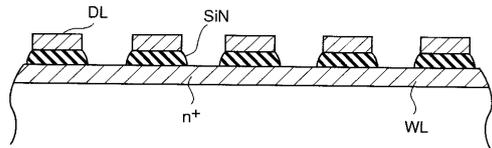
【図55】



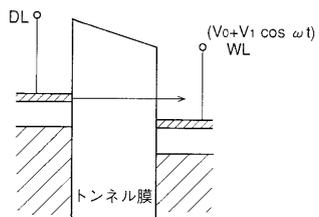
【図53】



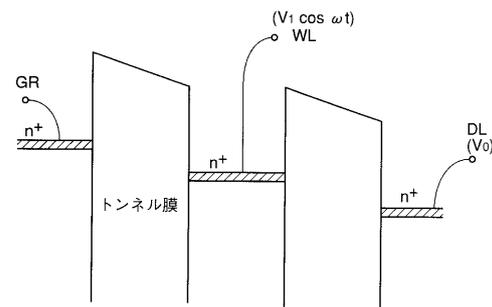
【図56】



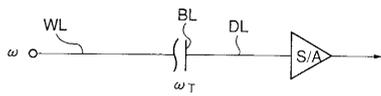
【図57】



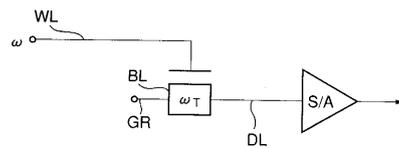
【図60】



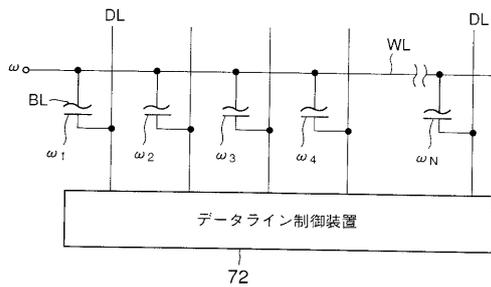
【図58】



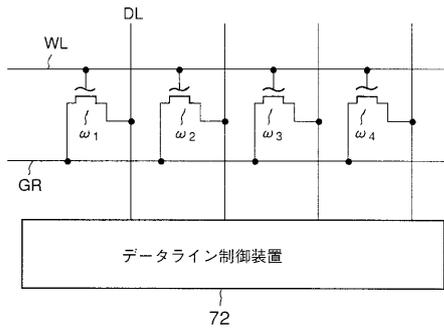
【図61】



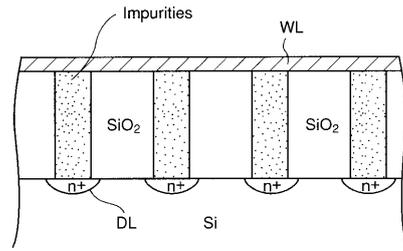
【図59】



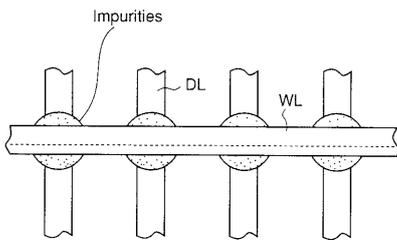
【図62】



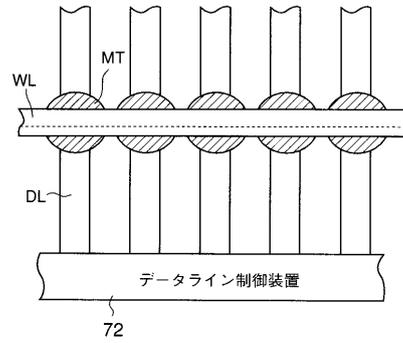
【図64】



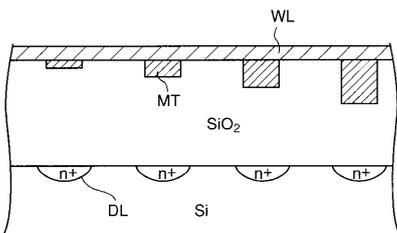
【図63】



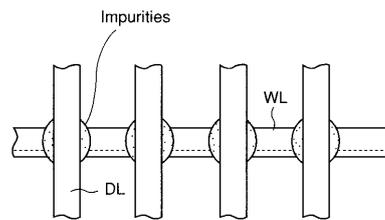
【図65】



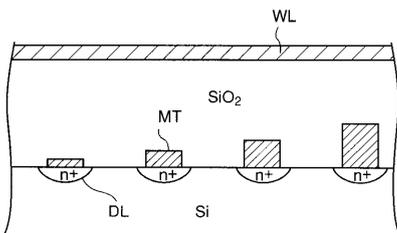
【図66】



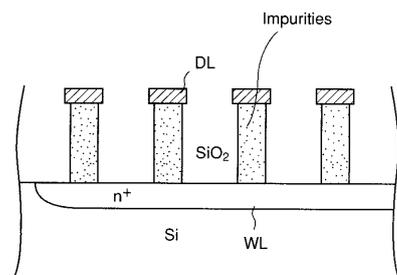
【図68】



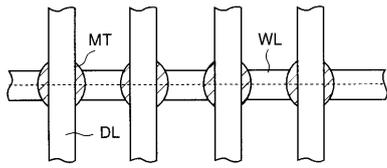
【図67】



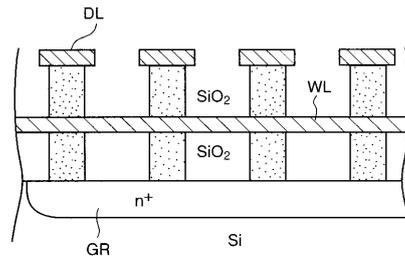
【図69】



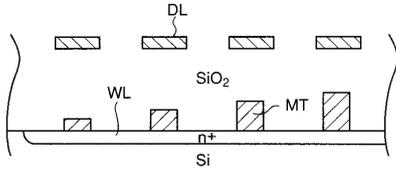
【図70】



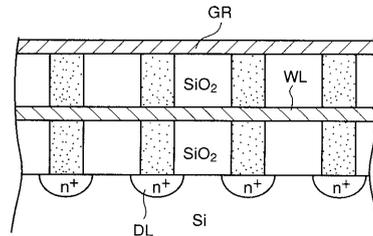
【図73】



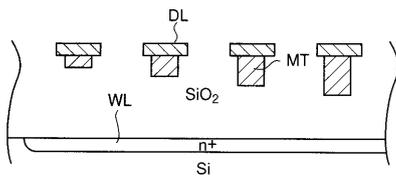
【図71】



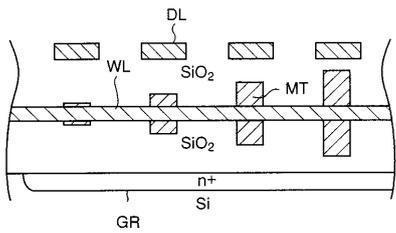
【図74】



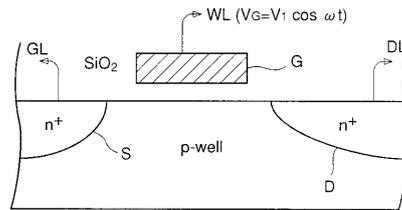
【図72】



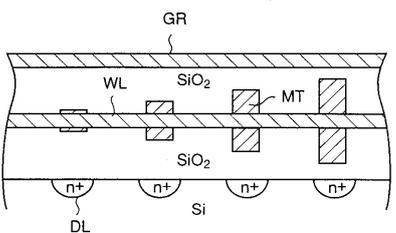
【図75】



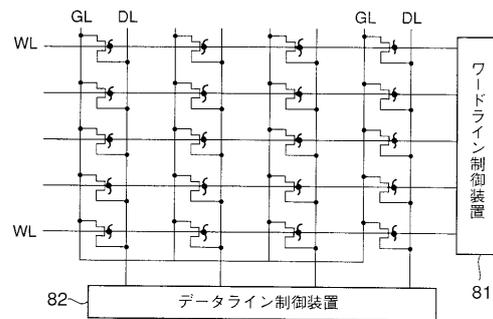
【図77】



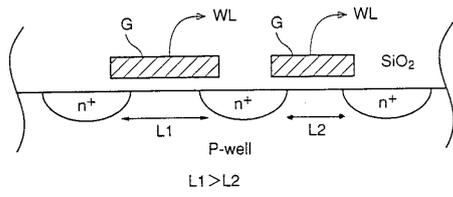
【図76】



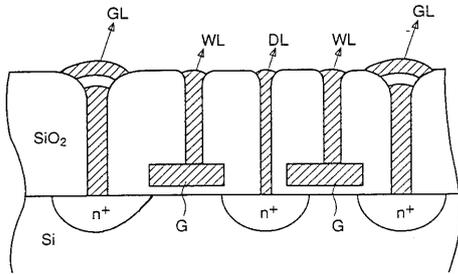
【図78】



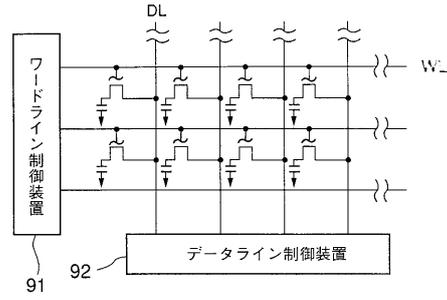
【図79】



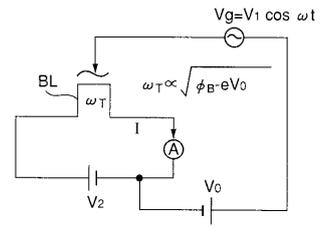
【図80】



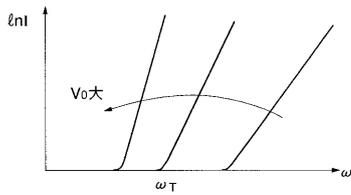
【図81】



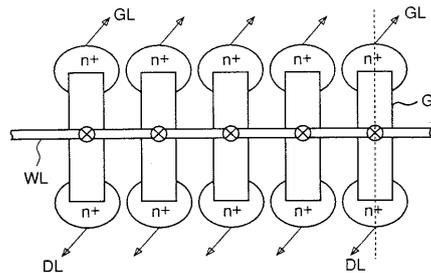
【図82】



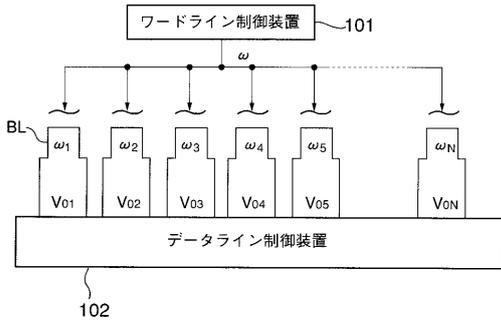
【図83】



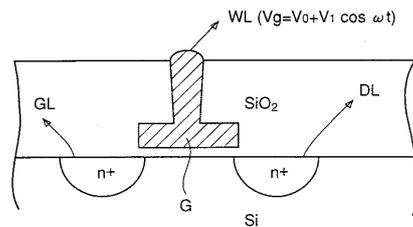
【図85】



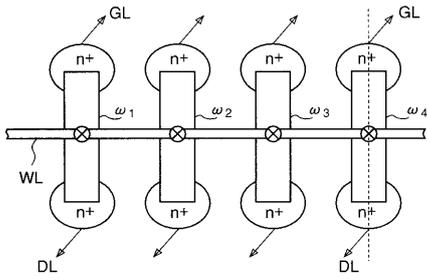
【図84】



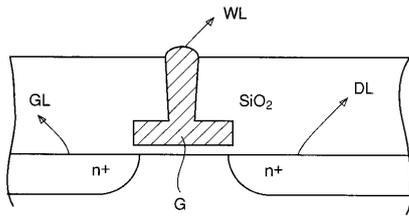
【図86】



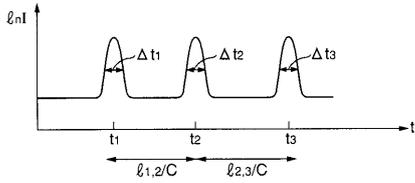
【 図 8 7 】



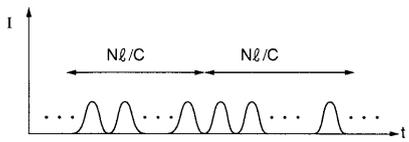
【 図 8 8 】



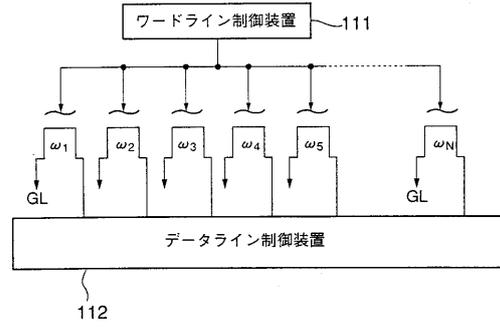
【 図 9 1 】



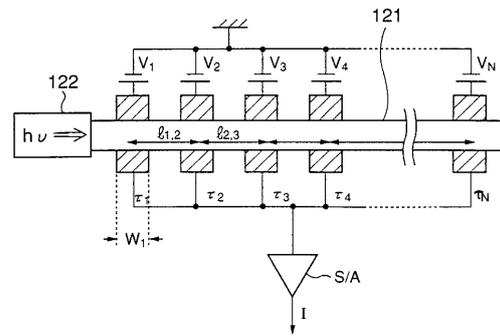
【 図 9 2 】



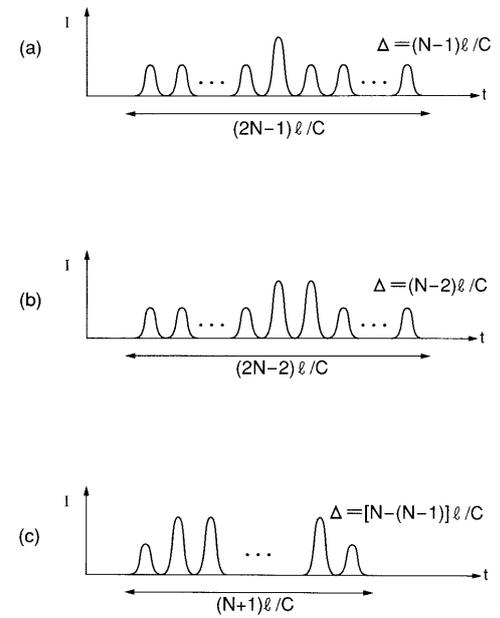
【 図 8 9 】



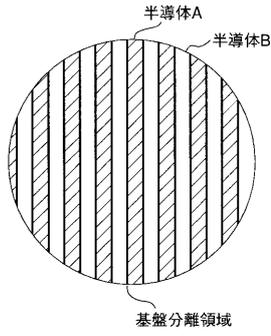
【 図 9 0 】



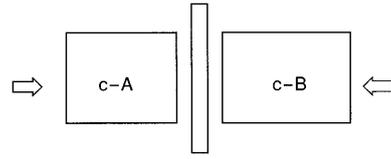
【 図 9 3 】



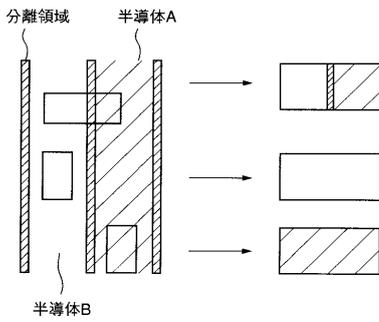
【 図 9 4 】



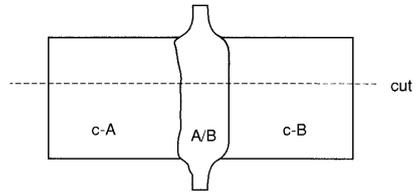
【 図 9 6 】



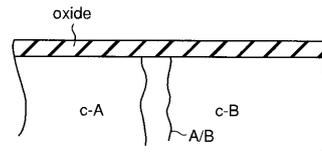
【 図 9 5 】



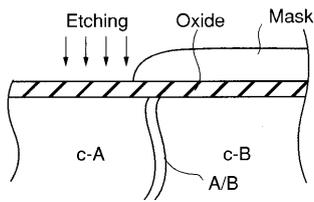
【 図 9 7 】



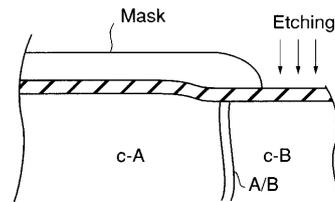
【 図 9 8 】



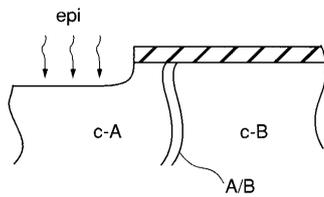
【 図 9 9 】



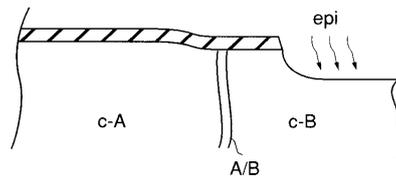
【 図 1 0 2 】



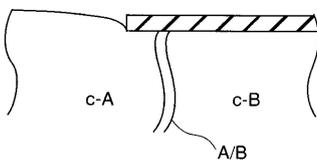
【 図 1 0 0 】



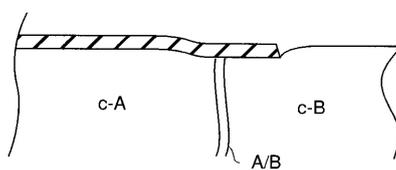
【 図 1 0 3 】



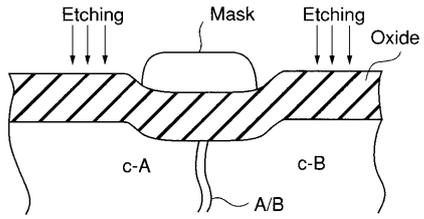
【 図 1 0 1 】



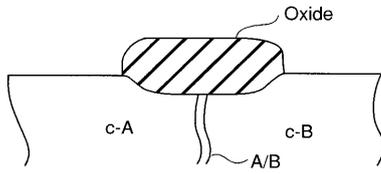
【 図 1 0 4 】



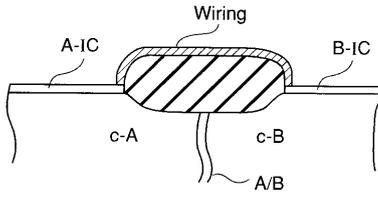
【 図 1 0 5 】



【 図 1 0 6 】



【 図 1 0 7 】



フロントページの続き

- (72)発明者 渡辺 浩志
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 安田 直樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 鳥海 明
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 丹沢 徹
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
- (72)発明者 田中 智晴
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 萩原 周治

- (56)参考文献 J. Inarrea, et al., "Coherent and sequential photoassisted tunneling through a semiconductor double-barrier structure", Physical Review B, 1994年 8月15日, Vol.50, No.7, pp.4581-4589

(58)調査した分野(Int.Cl., D B名)

H01L 29/06

H01L 29/66

H01L 29/78