

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5721456号
(P5721456)

(45) 発行日 平成27年5月20日(2015.5.20)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1
請求項の数 8 (全 42 頁) 最終頁に続く	

(21) 出願番号 特願2011-19965 (P2011-19965)
 (22) 出願日 平成23年2月1日(2011.2.1)
 (65) 公開番号 特開2011-181911 (P2011-181911A)
 (43) 公開日 平成23年9月15日(2011.9.15)
 審査請求日 平成26年1月27日(2014.1.27)
 (31) 優先権主張番号 特願2010-24886 (P2010-24886)
 (32) 優先日 平成22年2月5日(2010.2.5)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 河江 大輔
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 外山 毅

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、
前記第1のトランジスタ上の絶縁層と、
前記絶縁層上の第2のトランジスタと、
 第1の配線と、
 第2の配線と、
 第3の配線と、
導電層と、を有し、
 前記第1のトランジスタのゲートは、前記導電層と電氣的に接続され、
 前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に
 接続され、
 前記第1のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に
 接続され、
 前記第2のトランジスタのゲートは、前記第3の配線と電氣的に接続され、
前記第2のトランジスタのソースまたはドレインの一方は、前記導電層と電氣的に接続
され、
 前記第2のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に
 接続されていることを特徴とする半導体装置。

【請求項2】

第 1 のトランジスタと、
前記第 1 のトランジスタ上の絶縁層と、
前記絶縁層上の第 2 のトランジスタと、
 第 1 の配線と、
 第 2 の配線と、
 第 3 の配線と、
導電層と、を有し、
 前記第 1 のトランジスタのゲートは、前記導電層と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の配線と電氣的に
 接続され、
 前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 の配線と電氣的に
 接続され、
 前記第 2 のトランジスタのゲートは、前記第 3 の配線と電氣的に接続され、
前記第 2 のトランジスタのソースまたはドレインの一方は、前記導電層と電氣的に接続
され、

10

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 の配線と電氣的に
 接続され、
 前記第 1 のトランジスタは、シリコンを有し、
 前記第 2 のトランジスタは、酸化物半導体を有することを特徴とする半導体装置。

【請求項 3】

20

請求項 1 または請求項 2 において、
 前記第 2 のトランジスタのオフ電流は、前記第 1 のトランジスタのオフ電流よりも小さい
 ことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
 前記第 1 のトランジスタのスイッチング速度は、前記第 2 のトランジスタのスイッチン
 グ速度よりも大きいことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記第 1 のトランジスタをオフ状態、前記第 2 のトランジスタをオン状態とし、前記第
2 の配線に供給されたハイレベルの電位またはローレベルの電位を前記第 1 のトランジス
タのゲートに印加するステップと、
前記第 1 のトランジスタをオフ状態、前記第 2 のトランジスタをオフ状態とし、前記第
1 のトランジスタのゲートの電位を保持するステップと、を有することを特徴とする半導
体装置。

30

【請求項 6】

請求項 5 において、
前記ハイレベルの電位と前記ローレベルの電位との電位差は、前記第 1 のトランジスタ
のしきい値電圧よりも小さいことを特徴とする半導体装置。

【請求項 7】

40

請求項 1 乃至請求項 4 のいずれか一項において、
前記第 2 のトランジスタをオフ状態にするステップと、
前記第 2 の配線を第 1 の電位にするステップと、
前記第 1 の配線を第 2 の電位にし、前記第 1 のトランジスタの導通の有無に応じて前記
第 2 の配線の電位を検出するステップと、を有することを特徴とする半導体装置。

【請求項 8】

請求項 7 において、
前記第 1 の電位は、前記第 2 の電位とは異なる電位であることを特徴とする半導体装置

。【発明の詳細な説明】

50

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法、ならびに半導体装置の駆動方法に関する。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタ(容量素子)に電荷を蓄積することで、情報を記憶する。

10

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データ(情報)の保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

20

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

30

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

40

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去の動作には比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状態でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【0011】

高集積化、大記憶容量化が可能な半導体装置を提供することを目的の一とする。

【0012】

動作が安定し、信頼性の高い半導体装置を提供することを目的の一とする。

10

【0013】

高速動作が可能な半導体装置を提供することを目的の一とする。

【0014】

消費電力が低減された半導体装置を提供することを目的の一とする。

【0015】

本明細書で開示する発明の一態様は、上記課題の少なくとも一つを解決する。

【課題を解決するための手段】

【0016】

本発明の一態様は、読み出し用トランジスタと、酸化物半導体を有する書き込み用トランジスタと、を含む不揮発性のメモリセルと、読み出し信号線と、ビット線と、ワード線を有し、読み出し用トランジスタのソース電極またはドレイン電極の一方は、読み出し信号線と電氣的に接続され、書き込み用トランジスタのソース電極またはドレイン電極の一方と、読み出し用トランジスタのゲート電極は電氣的に接続され、読み出し用トランジスタのソース電極またはドレイン電極の他方と、書き込み用トランジスタのソース電極またはドレイン電極の他方は、ビット線に電氣的に接続され、書き込み用トランジスタのゲート電極は、ワード線と電氣的に接続されていることを特徴とする半導体装置である。

20

【0017】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、を含む不揮発性のメモリセルと、第1の配線と、第2の配線と、第3の配線を有し、第1のトランジスタのソース電極またはドレイン電極の一方は、第1の配線に電氣的に接続され、第2のトランジスタのソース電極またはドレイン電極の一方と、第1のトランジスタのゲート電極は電氣的に接続され、第1のトランジスタのソース電極またはドレイン電極の他方と、第2のトランジスタのソース電極またはドレイン電極の他方は、第2の配線に電氣的に接続され、第2のトランジスタのゲート電極は、第3の配線と電氣的に接続されていることを特徴とする半導体装置である。

30

【0018】

また、上記半導体装置において、書き込み用トランジスタ、または第2のトランジスタに、酸化物半導体を有するトランジスタを用いることで、リフレッシュ動作の頻度を極めて低くすることが可能となる。

【0019】

また、上記半導体装置において、書き込み用トランジスタ、または第2のトランジスタのオフ電流は、読み出し用トランジスタまたは第1のトランジスタのオフ電流よりも低いことが好ましい。

40

【0020】

また、上記の半導体装置において、第2のトランジスタは、エネルギーギャップが $3eV$ より大きい材料を含んで構成されるのが好ましい。

【0021】

また、上記の半導体装置において、第1のトランジスタのスイッチング速度は、第2のトランジスタのスイッチング速度よりも大きいことが好ましい。

【0022】

50

また、上記半導体装置において、第1のトランジスタがオフ状態の時に、第2のトランジスタをオン状態とし、第2のトランジスタを介して、第2の配線に供給されたハイレベル電位またはローレベル電位を、第2のトランジスタのソース電極またはドレイン電極の一方と第1のトランジスタのゲート電極が接続されたノードに供給し、第2のトランジスタをオフ状態とすることにより、ノードに所定量の電荷を保持させることで情報の書き込みを行う。

【0023】

また、上記半導体装置において、第2のトランジスタがオフ状態の時に、第2の配線を第2の電位となるように、第2の配線に電荷を供給（プリチャージ）し、続いて、第1の配線に読み出し用の電位である第1の電位を供給し、第2の配線の電位を検出することでノードに保持された情報の読み出しを行う。

10

【0024】

なお、本明細書等において、不揮発性の半導体装置とは、電力が供給されない状態でも、一定期間以上（少なくとも 1×10^4 秒以上、好ましくは 1×10^6 秒以上）情報を保持可能な半導体装置をいう。

【0025】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

20

【0026】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0027】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

30

【0028】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0029】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0030】

本発明の一態様によれば、半導体装置の専有面積を削減できるため、高集積化、大記憶容量化が可能な半導体装置を提供することができる。

40

【0031】

情報の書き込みに高い電圧を必要しないため、ゲート絶縁層の劣化といった問題が生じにくく、書き換え可能回数や信頼性が飛躍的に向上する。

【0032】

トランジスタのオン状態、オフ状態によって、情報の書き込みが行われ、情報を消去するための動作も不要であるため、高速な動作も容易に実現しうる。

【0033】

酸化物半導体を用いたトランジスタをメモリセルに適用することにより、極めて長期にわ

50

たり記憶した情報を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、半導体装置の消費電力を低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能となる。

【0034】

酸化物半導体を用いたトランジスタと、高速動作可能な酸化物半導体以外の材料を用いたトランジスタとを組み合わせるにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【図面の簡単な説明】

【0035】

10

【図1】半導体装置の回路図

【図2】半導体装置の動作に係るタイミングチャート

【図3】半導体装置の回路図

【図4】半導体装置の断面図および平面図

【図5】半導体装置の作製工程に係る断面図

【図6】半導体装置の作製工程に係る断面図

【図7】半導体装置の断面図および平面図

【図8】半導体装置の作製工程に係る断面図

【図9】半導体装置の断面図および平面図

【図10】半導体装置の作製工程に係る断面図

20

【図11】半導体装置の作製工程に係る断面図

【図12】半導体装置を用いた電子機器を説明するための図

【図13】酸化物半導体を用いたトランジスタの特性を示す図

【図14】酸化物半導体を用いたトランジスタの特性評価用回路図

【図15】酸化物半導体を用いたトランジスタの特性評価用タイミングチャート

【図16】酸化物半導体を用いたトランジスタの特性を示す図

【図17】酸化物半導体を用いたトランジスタの特性を示す図

【発明を実施するための形態】

【0036】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0037】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0038】

40

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。また、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0039】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0040】

(実施の形態1)

50

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成およびその動作について、図1乃至図3を参照して説明する。本実施の形態では、トランジスタにn型トランジスタ(nチャネル型トランジスタ)を用いる場合について説明する。

【0041】

図1(A)に、本実施の形態で開示する半導体装置の回路構成を示す。図1(A)に示す半導体装置は、第1のトランジスタ201と、第2のトランジスタ202とを含む不揮発性のメモリセル200を有する。図1(A)において、第1の配線211(読み出し信号線RLとも呼ぶ)と、第1のトランジスタ201(TR_R とも呼ぶ)のソース電極またはドレイン電極の一方は、電氣的に接続されている。第2のトランジスタ202(トランジスタ TR_W とも呼ぶ)のソース電極またはドレイン電極の一方と、第1のトランジスタ201のゲート電極は、電氣的に接続されている。第2の配線212(ビット線BLとも呼ぶ)と、第1のトランジスタ201のソース電極またはドレイン電極の他方と、第2のトランジスタ202のソース電極またはドレイン電極の他方は、電氣的に接続されている。第3の配線213(ワード線WLとも呼ぶ)と、第2のトランジスタ202のゲート電極は、電氣的に接続されている。第1のトランジスタ201は読み出し用のトランジスタとして機能し、第2のトランジスタ202は書き込み用のトランジスタとして機能する。図1(A)に示す半導体装置は、1つのメモリセルに3本の配線が接続される3端子型の半導体装置である。

10

【0042】

書き込み用の第2のトランジスタ202のオフ電流は、使用時の温度(例えば、25℃)で 100 zA ($1 \times 10^{-19}\text{ A}$)以下、好ましくは 10 zA ($1 \times 10^{-20}\text{ A}$)以下、さらに好ましくは、 1 zA ($1 \times 10^{-21}\text{ A}$)以下であることが望ましい。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体は、エネルギーギャップが $3.0 \sim 3.5\text{ eV}$ と大きく、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用のトランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

20

【0043】

さらに酸化物半導体を含むトランジスタはサブスレッショルドスイング値(S値)が小さく、該トランジスタを書き込み用トランジスタとして用いることで、メモリセルへの書き込みパルスの立ち上がりを極めて急峻にすることができる。

30

【0044】

本実施の形態では、書き込み用の第2のトランジスタ202に、酸化物半導体を用いたトランジスタを適用する。酸化物半導体を用いたトランジスタは、オフ状態でのソースとドレイン間のリーク電流(オフ電流)が極めて小さいという特徴を有している。このため、第2のトランジスタ202をオフ状態とすることで、第2のトランジスタ202のソース電極またはドレイン電極の一方と、第1のトランジスタ201のゲート電極とが電氣的に接続されたノード281(ノードNDとも呼ぶ)の電荷を極めて長時間にわたって保持することが可能となる。

【0045】

読み出し用の第1のトランジスタ201としては、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

40

【0046】

第1のトランジスタ201には、第2のトランジスタ202ほどのオフ電流の制限はなく、メモリセルの動作速度を高速化するために、第2のトランジスタ202よりもスイッチング速度が速い(例えば、電界効果移動度の値が大きい)トランジスタを用いることができる。すなわち、第1のトランジスタ201には、酸化物半導体以外の半導体材料を用いたトランジスタを適用することができる。なお、選択する半導体材料によっては、第1のトランジスタ201のオフ電流は第2のトランジスタ202のオフ電流よりも高くなることもある。第1のトランジスタ201に用いる半導体材料としては、例えば、シリコン、

50

ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができる。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いた第1のトランジスタ201は、十分な高速動作が可能のため、記憶した情報の読み出しなどを高速に行うことが可能である。つまり、半導体装置の高速動作が実現される。

【0047】

なお、第2のトランジスタ202がオフ状態の場合、ノード281は絶縁体中に埋設された(所謂、浮遊状態)と見ることができ、ノード281には電荷が保持される。すなわち、ノード281は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。酸化物半導体を用いた第2のトランジスタ202のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、第2のトランジスタ202のリークによる、ノード281に蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いた第2のトランジスタ202により、不揮発性のメモリセルを実現することが可能である。

10

【0048】

また、第2のトランジスタ202のオフ電流が例えば実質的に0であれば、従来のDRAMで必要とされたリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く(例えば、一ヶ月乃至一年に一度程度)することが可能となり、半導体装置の消費電力を十分に低減することができる。

【0049】

また、本実施の形態で開示する半導体装置は、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティングゲート型トランジスタで書き込みや消去の際に必要な高い電圧を必要としないため、半導体装置の消費電力をさらに低減することができる。

20

【0050】

続いて、メモリセル200への情報の書き込み(書き換え)動作について説明する。まず、書き込み対象として選択されたメモリセル200に接続する第3の配線213(ワード線WL)の電位を、書き込み用トランジスタである第2のトランジスタ202がオン状態となる電位にして、第2のトランジスタ202をオン状態とする。ここでは、第3の配線213にハイレベル電位 V_{WLH} が与えられる。これにより、選択されたメモリセル200に接続する第2の配線212(ビット線BL)の電位がノード281(ノードND)に供給される。ここでは、ローレベル電位 V_{BLL} 、もしくはハイレベル電位 V_{BLH} が与えられる。その後、第3の配線213の電位を、第2のトランジスタ202がオフ状態となる電位にして、第2のトランジスタ202をオフ状態とすることにより、ノード281が浮遊状態となるため、ノード281には所定の電荷が保持されたままの状態となる。以上のように、ノード281に所定量の電荷を蓄積及び保持させることで、メモリセル200に情報を記憶させることができる(書き込みモード)。

30

【0051】

この時、読み出し用トランジスタである第1のトランジスタ201が常にオフ状態となっていることが肝要である。もし、ノード281に V_{BLH} 、または V_{BLL} が与えられた時に、第1のトランジスタ201がオン状態となると、第1のトランジスタ201を介して第1の配線211(読み出し信号線RL)と、第2の配線212が導通状態となる。すると、第1の配線211の電位が第2の配線212の電位と干渉してしまうため、正しい情報がノード281に与えられなくなる。

40

【0052】

第1の配線211には、ローレベル電位 V_{RLH} 、またはハイレベル電位 V_{RLH} が供給されるが、書き込み動作時は常にハイレベル電位 V_{RLH} が供給される。第1のトランジスタ201のしきい値電圧を V_{th1} とすると、書き込み動作時に第1のトランジスタ201がオフ状態を維持するために、 V_{BLH} 、 V_{RLH} 、及び V_{th1} を式1を満たす関

50

係とする。

$$V_{BLH} - V_{RLH} < V_{th1} \dots \text{式1}$$

【0053】

また、ノード281に V_{BLH} が書き込まれた非選択メモリセルがある時に、該非選択メモリセルと第2の配線212を共用している他のメモリセルが選択され、選択メモリセルに V_{BLL} を書き込むために、第2の配線212に V_{BLL} が供給される場合がある。この時、該非選択メモリセルの第1のトランジスタ201がオフ状態を維持するために、 V_{BLH} 、 V_{BLL} 、及び V_{th1} を式2を満たす関係とする。式2は、ビット線に供給されるハイレベル電位とローレベル電位の電位差を、第1のトランジスタ201のしきい値電圧未満とする必要があることを示している。

10

$$V_{BLH} - V_{BLL} < V_{th1} \dots \text{式2}$$

【0054】

本実施の形態で示す半導体装置は、フローティングゲート型トランジスタの様に書き込み（書き換え）時にゲート絶縁膜（トンネル絶縁膜）中を電荷が移動するのではなく、第2のトランジスタ202のスイッチング動作により電荷の移動が起こるため、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高い。また、フローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要となるため、半導体装置の省電力化が実現できる。

【0055】

次に、メモリセルに記憶された情報を読み出す読み出し動作について説明する。まず、第3の配線213の電位を、書き込み用トランジスタである第2のトランジスタ202がオフ状態となる電位にして、第2のトランジスタ202をオフ状態とする。ここでは、第3の配線213にローレベル電位 V_{WLL} が与えられる。次いで、第2の配線212に電荷を与え（プリチャージ）、第2の配線212の電位を V_{BLH} とする。次いで、読み出し対象メモリセルの第1の配線211に、読み出し電位としてローレベル電位 V_{RLL} を供給し、この時の第2の配線212の電位を検出することで、メモリセルに記憶された情報を読み出すことができる（読み出しモード）。なお、プリチャージにより第2の配線212に与える電位は、該電位とノード281に保持される電位との電位差が V_{th1} より小さく、かつ、読み出し電位と異なる電位であれば、これに限らない。

20

【0056】

第1の配線211のローレベル電位 V_{RLL} は、式3及び式4を満たすように設定する。

$$V_{BLH} - V_{RLL} > V_{th1} \dots \text{式3}$$

$$V_{BLL} - V_{RLL} < V_{th1} \dots \text{式4}$$

【0057】

つまり、式3は、ノード281に V_{BLH} が保持されている場合に、第1の配線211に V_{RLL} が供給されると、第1のトランジスタ201のゲート電極と、第1の配線211が接続されているソース電極またはドレイン電極の一方との電位差が、しきい値電圧より大きくなり、第1のトランジスタ201がオン状態となることを示している。第1のトランジスタ201がオン状態となると、第1のトランジスタ201を介して第1の配線211のローレベル電位 V_{RLL} が第2の配線212に与えられる。

40

【0058】

また、式4は、ノード281に V_{BLL} が保持されている場合に、第1の配線211に V_{RLL} が供給されても、第1のトランジスタ201のゲート電極と、第1の配線211が接続されているソース電極またはドレイン電極の一方との電位差がしきい値電圧未満であるため、第1のトランジスタ201はオフ状態のままであることを示している。つまり、第2の配線212の電位は、プリチャージされた電位（ここでは V_{BLH} ）のままとなる。

【0059】

また、式3および式4から、読み出し電位であるローレベル電位 V_{RLL} の設定範囲を、式5として求めることができる。

50

$$V_{BLL} - V_{th1} < V_{RLH} < V_{BLH} - V_{th1} \dots \text{式 5}$$

【0060】

また、読み出し電位である V_{RLH} は、式 6 を満たすように設定すると好適である。

$$V_{RLH} = (V_{BLH} + V_{BLL}) / 2 - V_{th1} \dots \text{式 6}$$

【0061】

また、第 3 の配線 213 (ワード線 WL) には、第 2 のトランジスタ 202 をオン状態とするハイレベル電位 V_{WLH} 、もしくは第 2 のトランジスタ 202 をオフ状態とするローレベル電位 V_{WLL} が供給される。第 2 のトランジスタ 202 のしきい値電圧を V_{th2} とすると、ハイレベル電位 V_{WLH} は式 7 を、ローレベル電位 V_{WLL} は式 8 を満たすように決定される。

$$V_{WLH} > V_{th2} + V_{BLH} \dots \text{式 7}$$

$$V_{WLL} < V_{th2} + V_{BLL} \dots \text{式 8}$$

【0062】

なお、読み出しモードにおいて第 1 の配線 211 にローレベル電位 V_{RLH} が与えられると、第 1 の配線 211 に接続している他のメモリセルのうち、ノード 281 が V_{BLH} となっているメモリセルの第 1 のトランジスタ 201 もオン状態となるが、ノード 281 は浮遊状態であるため、ノード 281 に保持された電荷は保持されたままとなる。

【0063】

ここで、前述の 3 端子型の半導体装置における書き込みモード、及び読み出しモードの動作について、図 2 に示すタイミングチャートを用いて、より具体的に説明する。図 2 に示すタイミングチャートは、図中に示す各部位の電位または状態の時間変化を示している。図 2 では、 T_{RW} 及び T_{RH} のしきい値電圧を共に 2 V とし、 V_{WLH} の電位を 4 V とし、 V_{WLL} の電位を 0 V とし、 V_{BLH} の電位を 1 V とし、 V_{BLL} の電位を 0 V とし、 V_{RLH} の電位を 1 V とし、 V_{RLH} の電位を -1.5 V とし、読み出しモード時にビット線に与えられるプリチャージ電圧を V_{BLH} とした例を示している。

【0064】

図 2 (A) は、書き込みモードの動作を説明するタイミングチャートである。ここでは、ノード ND にハイレベル電位 V_{BLH} を保持させる動作について説明する。まず、第 1 の動作として、ワード線 WL の電位を V_{WLH} とし、トランジスタ T_{RW} をオン状態とする。次に、第 2 の動作として、ビット線 BL の電位を V_{BLH} とすると、トランジスタ T_{RW} を介して、ノード ND に V_{BLH} が供給される。次に、第 3 の動作として、ワード線 WL の電位を V_{WLL} とし、トランジスタ T_{RW} をオフ状態とする。ノード ND に供給された電荷は、トランジスタ T_{RW} がオフ状態となっても保持される。

【0065】

ただし、トランジスタ T_{RW} がオフ状態となる前に、ビット線 BL の電位が変動すると、ノード ND の電位が正しく保持されない可能性がある。ビット線 BL の電位を変動させる場合は、トランジスタ T_{RW} をオフ状態としてから行う必要がある。第 3 の動作以降に、ビット線 BL の電位が変動しても、ノード ND に供給された電荷は保持されたままとなる。

【0066】

また、第 1 の動作と、第 2 の動作は、順序を入れ換えて行うことが可能である。

【0067】

また、書き込みモード中は、読み出し信号線 RL の電位を常に V_{RLH} とし、トランジスタ T_{RH} を常にオフ状態とする。ここでは V_{RLH} を 1 V とし、 V_{BLH} の電位を 1 V とし、 V_{BLL} の電位を 0 V としているので、前述の式 1 を満たし、トランジスタ T_{RH} がオフ状態となる。

【0068】

なお、ノード ND にローレベル電位 V_{BLL} を保持させる動作は、図 2 (A) 中の V_{BLH} と V_{BLL} を互いに置き換えることで説明できる。

【0069】

10

20

30

40

50

図2(B)は、読み出しモードの動作を説明するタイミングチャートである。ここでは、ノードNDにハイレベル電位 V_{BLH} が保持されている場合の動作について説明する。まず、第1の動作として、ワード線WLの電位を V_{WLL} とし、トランジスタ TR_W をオフ状態とする。次に、第2の動作として、ビット線BLに電荷を与え(プリチャージ)、 V_{RLL} と異なる電位とする。ここでは、ビット線BLの電位が V_{BLH} (1V)となるようにプリチャージする。次に、第3の動作として、読み出し信号線RLの電位を V_{RLL} とする。ここでは、 V_{BLH} の電位を1Vとし、 V_{RLL} の電位を-1.5Vとしているので、前述の式3を満たし、トランジスタ TR_R がオン状態となる。トランジスタ TR_R がオン状態となると、トランジスタ TR_R を介して、ビット線BLに V_{RLL} が供給される。

10

【0070】

ノードNDにローレベル電位 V_{BLL} が保持されている場合は、式3は満たさず、式4を満たすため、ビット線BLに V_{RLL} が供給されず、プリチャージにより設定された電位、ここでは V_{BLH} のままとなる。このように、読み出し信号線RLの電位を V_{RLL} とした時の、ビット線BLの電位を検出することで、ノードNDに保持されている情報を読み出す事ができる。

【0071】

ノードNDに保持されている電荷は、読み出しモードの動作中、及び読み出しモード後も影響を受けず、書き込みモードにより新たな電荷に書き換えられるまで保持される。トランジスタ TR_W は酸化物半導体を用いたオフ電流が極めて小さいトランジスタであるため、ノードNDの電荷を極めて長時間にわたって保持することが可能となる。

20

【0072】

ところで、いわゆるフラッシュメモリでは、コントロールゲートの電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0073】

また、フラッシュメモリの上記原理によって、ゲート絶縁膜の劣化が進行し、書き換え回数限界(10000回程度)という別の問題も生じる。

30

【0074】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0075】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

40

【0076】

また、高電界が不要であり、大型の周辺回路(昇圧回路など)が不要である点も、フラッシュメモリに対するアドバンテージである。

【0077】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。トランジスタをp型トランジスタとして構成する場合は、上記動作原理を踏まえて、各配線に供給する電位を決定すればよい。

【0078】

50

図1(B)に、図1(A)に示した半導体装置を用いた、 $m \times n$ ビットの記憶容量を有する半導体装置の回路図の一例を示す。図1(B)は、メモリセル1200が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0079】

図1(B)に示す半導体装置は、 m 本のワード線 WL 、及び m 本の読み出し信号線 RL と、 n 本のビット線 BL と、複数のメモリセル1200が縦 m 個(行) \times 横 n 個(列)(m 、 n は自然数)のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路1211と、第2の駆動回路1212と、第3の駆動回路1213といった周辺回路によって構成されている。ここで、メモリセル1200としては、図1(A)に示した構成が適用される。

10

【0080】

つまり、各メモリセル1200は、読み出し用トランジスタとして機能する第1のトランジスタ1201、書き込み用トランジスタとして機能する第2のトランジスタ1202を有している。第1のトランジスタ1201のゲート電極と、第2のトランジスタ1202のソース電極またはドレイン電極の一方とは電氣的に接続され、読み出し信号線 RL と、第1のトランジスタ1201のソース電極またはドレイン電極の一方とは電氣的に接続され、ビット線 BL と、第1のトランジスタ1201のソース電極またはドレイン電極の他方と、第2のトランジスタ1202のソース電極またはドレイン電極の他方とは電氣的に接続され、ワード線 WL と、第2のトランジスタ1202のゲート電極は接続されている。

20

【0081】

また、 i 行 j 列のメモリセル1200(i 、 j)(i は1以上 m 以下の整数、 j は1以上 n 以下の整数)は、読み出し信号線 $RL(i)$ 、ビット線 $BL(j)$ 、ワード線 $WL(i)$ 、にそれぞれ接続されている。

【0082】

ビット線 BL は、第2の駆動回路1212と接続されており、読み出し信号線 RL は第1の駆動回路1211と接続されており、ワード線 WL は、第3の駆動回路1213と接続されている。なお、ここでは、第2の駆動回路1212、第1の駆動回路1211、第3の駆動回路1213をそれぞれ独立に設けているが、いずれか一、または複数の機能を有するデコーダを用いても良い。

30

【0083】

なお、上記説明は、電子を多数キャリアとする n 型トランジスタ(n チャネル型トランジスタ)を用いる場合についてのものであるが、 n 型トランジスタに代えて、正孔を多数キャリアとする p 型トランジスタを用いることができるのはいうまでもない。トランジスタを p 型トランジスタとして構成する場合は、上記動作原理を踏まえて、各配線に供給する電位を決定すればよい。

【0084】

本実施の形態で開示する半導体装置は、動作原理上、DRAMで必須とされるキャパシタを用いない構成であるため、単位メモリセル当たりの面積が削減可能となり、高集積化が可能となる。加えて、書き込み用トランジスタと読み出し用トランジスタで共通のビット線 BL を使用することで、単位メモリセル当たりの配線数を削減できる。このため、更なる、単位メモリセル当たりの面積削減及びメモリセルの高集積化が可能となる。例えば、最小加工寸法を F として、メモリセルの占める面積を $1.5F^2 \sim 2.5F^2$ とすることが可能となる。

40

【0085】

なお、上記においては、酸化物半導体を用いてオフ電流が少ない書き込み用トランジスタを実現しているが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料($E_g > 3\text{ eV}$)などを適用しても良い。

【0086】

50

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0087】

図3に、メモリセルに記憶されているデータを読み出すための、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0088】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線BLに接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0089】

センスアンプ回路は、端子Aの電位が参照電位Vref（例えば、0V）より高いとハイデータを出力し、端子Aの電位が参照電位Vrefより低いとローデータを出力する。まず、トランジスタをオン状態として、端子Aに接続されたビット線BLにV_{BLH}の電位をプリチャージする。次に、読み出しを行うメモリセルを読み出しモードとし、端子Aに接続されたビット線BLの電位を、参照電位Vrefと比較すると、メモリセルに記憶された情報に応じて、ハイデータもしくはローデータを出力する。

【0090】

このように、読み出し回路を用いることで、メモリセルに記憶されているデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。

【0091】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0092】

（実施の形態2）

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図4乃至図6を参照して説明する。

【0093】

半導体装置の断面構成および平面構成

図4は、半導体装置の構成の一例である。図4(A)には、半導体装置の断面を、図4(B)には、半導体装置の平面を、それぞれ示す。ここで、図4(A)は、図4(B)のA1-A2およびB1-B2における断面に相当する。図4(A)および図4(B)に示される半導体装置は、酸化物半導体以外の半導体材料を用いたトランジスタ101と、酸化物半導体を用いたトランジスタ102を有するものである。酸化物半導体以外の半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。なお、トランジスタ101は読み出し用のトランジスタTR_Rとして機能し、トランジスタ102は書き込み用のトランジスタTR_Wとして機能する。

【0094】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0095】

図4におけるトランジスタ101は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、不純物領域と電氣的に接続するソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bを有する。また、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電

10

20

30

40

50

極 130b 上には、配線 142c、および配線 142d を有する。

【0096】

ここで、ゲート電極 110 の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 の、表面に垂直な方向から見てサイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120、及び高濃度不純物領域 120 に接する金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 101 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 101 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130a、およびソース電極またはドレイン電極 130b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、金属化合物領域 124 と電氣的に接続されている。つまり、

10

【0097】

図 4 におけるトランジスタ 102 は、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と電氣的に接続されている酸化半導体層 144 と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、酸化半導体層 144 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化半導体層 144 と重畳するように設けられたゲート電極 148 と、を有する。

20

【0098】

ここで、酸化半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化半導体層 144 中の水素濃度は、

30

【0099】

このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化半導体層 144 では、キャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (1 μm) あたりの値) は、 $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。また、85 では、 $100 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下、望ましくは $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下となる。このように、i 型化 (真性化) または実質的に i 型化された酸化半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 102 を得ることができる。

40

【0100】

なお、図 4 のトランジスタ 102 では、酸化半導体層 144 が島状に加工されないため、加工の際のエッチングによる酸化半導体層 144 の汚染を防止できる。

【0101】

なお、トランジスタ 102 において、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下とする。なお、テーパ角とは、テ

50

ーパー形状を有する層（例えば、ソース電極またはドレイン電極 1 4 2 a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の端部をテーパ形状とすることにより、酸化半導体層 1 4 4 の被覆性を向上し、段切れを防止することができる。

【 0 1 0 2 】

また、トランジスタ 1 0 2 の上には、層間絶縁層 1 5 0 が設けられており、層間絶縁層 1 5 0 上には層間絶縁層 1 5 2 が設けられている。

【 0 1 0 3 】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめにトランジスタ 1 0 1 の作製方法について図 5 を参照して説明し、その後、トランジスタ 1 0 2 の作製方法について図 6 を参照して説明する。

【 0 1 0 4 】

トランジスタ 1 0 1 の作製方法

【 0 1 0 5 】

まず、半導体材料を含む基板 1 0 0 を用意する（図 5（A）参照）。半導体材料を含む基板 1 0 0 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 1 0 0 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【 0 1 0 6 】

基板 1 0 0 上には、素子分離絶縁層を形成するためのマスクとなる保護層 1 0 5 を形成する（図 5（A）参照）。保護層 1 0 5 としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 1 0 0 に添加してもよい。半導体材料がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【 0 1 0 7 】

次に、上記の保護層 1 0 5 をマスクとしてエッチングを行い、保護層 1 0 5 に覆われていない領域（露出している領域）の、基板 1 0 0 の一部を除去する。これにより他の半導体領域と分離された半導体領域 1 0 4 が形成される（図 5（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【 0 1 0 8 】

次に、半導体領域 1 0 4 を覆うように絶縁層を形成し、半導体領域 1 0 4 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 1 0 6 を形成する（図 5（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 1 0 4 の形成後、または、素子分離絶縁層 1 0 6 の形成後には、上記保護層 1 0 5 を除去する。

【 0 1 0 9 】

10

20

30

40

50

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0110】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、または窒化するにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などとの混合ガスを用いて行うことができる。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

【0111】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

20

【0112】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する(図5(C)参照)。

【0113】

次に、ゲート電極110を覆う絶縁層112を形成する(図5(C)参照)。そして、半導体領域104にリン(P)やヒ素(As)などを添加して、浅い接合深さの不純物領域114を形成する(図5(C)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。上記不純物領域114の形成により、半導体領域104のゲート絶縁層108下部には、チャンネル形成領域116が形成される(図5(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

30

【0114】

次に、サイドウォール絶縁層118を形成する(図5(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を行うことで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させると良い。なお、サイドウォール絶縁層118は、高集積化などの目的のために形成されない場合もある。

40

【0115】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、不純物領域114の一部領域にリン(P)やヒ素(As)などを添加して、不純物領域114と接する高濃度不純物領域120を形成する(図5(E)参照)。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する(図5(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する

50

半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0116】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される(図5(F)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0117】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後は、金属層122は除去する。

【0118】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層126、層間絶縁層128を形成する(図5(G)参照)。層間絶縁層126や層間絶縁層128は、酸化シリコン、窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層126と層間絶縁層128の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。層間絶縁層128の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。

【0119】

その後、上記層間絶縁層に、金属化合物領域124にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを形成する(図5(H)参照)。ソース電極またはドレイン電極130aやソース電極またはドレイン電極130bは、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0120】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは金属化合物領域124)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや、窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0121】

なお、上記導電層の一部を除去してソース電極またはドレイン電極130aやソース電極またはドレイン電極130bを形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後のCMPによって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを含む表面の凹凸を低減し、平坦性を向上させることにより、後の工程において形成される電極、配線、絶縁層、半導体層などの被覆性を良好なもの

10

20

30

40

50

とすることができる。

【0122】

なお、ここでは、金属化合物領域124と接触するソース電極またはドレイン電極130aやソース電極またはドレイン電極130bのみを示しているが、この工程において、ゲート電極110と接触する電極などをあわせて形成することができる。ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bとして用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。また、後に行われる熱処理を考慮して、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bは、熱処理に耐えうる程度の耐熱性を有する材料を用いて形成することが望ましい。

10

【0123】

以上により、半導体材料を含む基板100を用いたトランジスタ101が形成される(図5(H)参照)。酸化物半導体以外の半導体材料を用いたトランジスタ101は、高速動作が可能である。

【0124】

なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0125】

トランジスタ102の作製方法

次に、図6を用いて、層間絶縁層128上にトランジスタ102を作製する工程について説明する。なお、図6は、層間絶縁層128上の各種電極や、トランジスタ102などの作製工程を示すものであるから、トランジスタ101等については省略している。

20

【0126】

まず、層間絶縁層128上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する(図6(A)参照)。

【0127】

導電層は、スパッタ法などのPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。

30

【0128】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bへの加工が容易であるというメリットがある。

40

【0129】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金(In_2O_3 SnO_2 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

50

【0130】

導電層のエッチングは、形成されるソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、30°以上60°以下であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

【0131】

トランジスタのチャンネル長(L)は、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

10

【0132】

なお、層間絶縁層128上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。

【0133】

また、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

20

【0134】

次に、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bを覆うように、酸化物半導体層144を形成する(図6(B)参照)。

【0135】

酸化物半導体層144は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、In-Ga-O系や、一元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

30

【0136】

酸化物半導体層144は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層144をI型(真性)とするため、この後行う脱水化処理または脱水素化処理は有効である。

【0137】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

40

【0138】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) で表記されるものがある。また、Gaに代えてMを用い、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn

50

、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0139】

酸化物半導体層144をスパッタ法で作製するためのターゲットとしては、In:Ga:Zn = 1 : x : y (xは0以上、yは0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、In₂O₃:Ga₂O₃:ZnO = 1 : 1 : 1 [mol比]、In₂O₃:Ga₂O₃:ZnO = 1 : 1 : 2 [mol比]、In₂O₃:Ga₂O₃:ZnO = 2 : 2 : 1 [mol比]、またはIn₂O₃:Ga₂O₃:ZnO = 1 : 1 : 4 [mol比]の組成比を有するターゲットなどを用いることもできる。また、In₂O₃:Ga₂O₃:ZnO = 2 : 0 : 1 [mol比]の組成比を有するターゲットを用いることもできる。

10

【0140】

本実施の形態では、非晶質構造の酸化物半導体層144を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

【0141】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層144を形成することが可能である。

【0142】

酸化物半導体層144を形成する際に用いるスパッタガスは、希ガス(代表的にはアルゴン)、酸素、または、希ガス(代表的にはアルゴン)と酸素との混合ガスとするのが好適である。また、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガスを用いるのが好適である。

20

【0143】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層144に含まれる不純物濃度を低減できる。

30

【0144】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層144の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

40

【0145】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入し

50

てプラズマを発生させる逆スパッタを行い、形成表面（例えば層間絶縁層128の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させることを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

【0146】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

10

【0147】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0148】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0149】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

30

【0150】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

40

【0151】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0152】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水処理や、脱水素化処理などと呼ぶこともできる。当該脱水処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成

50

後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0153】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する(図6(C)参照)。ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

【0154】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、などの高誘電率(ハイ-k)材料を用いると良い。ハイ-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、ハイ-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

20

【0155】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

30

【0156】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0157】

次に、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148を形成する(図6(D)参照)。ゲート電極148は、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148となる導電層は、スパッタ法などのPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参照できる。

40

【0158】

次に、ゲート絶縁層146、ゲート電極148上に、層間絶縁層150および層間絶縁層152を形成する(図6(E)参照)。層間絶縁層150および層間絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリ

50

コン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層 150 と層間絶縁層 152 の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、層間絶縁層を設けない構成とすることも可能である。

【0159】

なお、上記層間絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

10

【0160】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 102 が完成する（図 6（E）参照）。

【0161】

図 6（E）に示すトランジスタ 102 は、酸化物半導体層 144 と、酸化物半導体層 144 と電氣的に接続するソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、酸化物半導体層 144、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148 と、を有する。

20

【0162】

本実施の形態において示すトランジスタ 102 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 102 の室温（25）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は、 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは、 $10 \text{ zA}/\mu\text{m}$ 以下となる。

30

【0163】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0164】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0165】

（実施の形態 3）

本実施の形態では、実施の形態 2 とは異なる、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 7 及び図 8 を参照して説明する。

40

【0166】

半導体装置の断面構成および平面構成

図 7 は、半導体装置の構成の一例である。図 7（A）には、半導体装置の断面を、図 7（B）には、半導体装置の平面を、それぞれ示す。ここで、図 7（A）は、図 7（B）の A1 - A2 および B1 - B2 における断面に相当する。図 7（A）および図 7（B）に示される半導体装置は、酸化物半導体以外の半導体材料を用いたトランジスタ 101 と、酸化物半導体を用いたトランジスタ 102 を有するものである。酸化物半導体以外の半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトラ

50

ンジスタは、その特性により長時間の電荷保持を可能とする。トランジスタ 101 は読み出し用のトランジスタとして機能し、トランジスタ 102 は書き込み用のトランジスタとして機能する。

【0167】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 102 に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0168】

図 7 におけるトランジスタ 101 は、半導体材料（例えば、シリコンなど）を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 114 および高濃度不純物領域 120（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、不純物領域と電気的に接続するソース電極またはドレイン電極 130a、およびソース電極またはドレイン電極 130b を有する。また、ソース電極またはドレイン電極 130a、およびソース電極またはドレイン電極 130b 上には、配線 142c、および配線 142d を有する。

【0169】

ここで、ゲート電極 110 の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 の、表面に垂直な方向から見てサイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120 を有し、高濃度不純物領域 120 に接する金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 101 を囲むように素子分離絶縁層 106 が設けられている。ゲート電極 110 上に開口を有し且つ、トランジスタ 101 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130a、およびソース電極またはドレイン電極 130b は、層間絶縁層 126 に形成された開口を通じて、金属化合物領域 124 と電気的に接続されている。つまり、ソース電極またはドレイン電極 130a、およびソース電極またはドレイン電極 130b は、金属化合物領域 124 を介して高濃度不純物領域 120 および不純物領域 114 と電気的に接続されている。なお、トランジスタ 101 の集積化などのため、サイドウォール絶縁層 118 が形成されない場合もある。

【0170】

図 7 におけるトランジスタ 102 は、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と電気的に接続されている、島状の酸化物半導体層 144 と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、島状の酸化物半導体層 144 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に島状の酸化物半導体層 144 と重畳するように設けられたゲート電極 148 と、を有する。

【0171】

ここで、トランジスタ 101 とトランジスタ 102 は、ゲート電極 110 上にソース電極またはドレイン電極 142a が直接接するように形成されることで電気的に接続されている。つまり、本実施の形態に示す半導体装置は、実施の形態 2 で示した半導体装置において、ゲート電極 110 の上面より上部を除去し、トランジスタ 101 の上に、トランジスタ 102 を形成した構成となっている。

【0172】

なお、酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は 5×10^{19} atoms/cm³ 以下、望ましくは 5×10^{18} atoms/cm³ 以下、より望ましくは 5×10^{17}

10

20

30

40

50

atoms/cm³以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア密度が 1×10^{12} /cm³未満、望ましくは、 1×10^{11} /cm³未満、より望ましくは 1.45×10^{10} /cm³未満となる。例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は、100zA/μm(1zA(zeptoアンペア)は 1×10^{-21} A)以下、望ましくは、10zA/μm以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ102を得ることができる。

10

【0173】

なお、トランジスタ102において、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層(例えば、ソース電極またはドレイン電極142a)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状とすることにより、酸化物半導体層144の被覆性を向上し、段切れを防止することができる。

20

【0174】

また、トランジスタ102の上には、層間絶縁層150が設けられており、層間絶縁層150上には層間絶縁層152が設けられている。

【0175】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、トランジスタ101を形成した後の工程、すなわちトランジスタ102の作製方法について図8を参照して説明する。トランジスタ101については、実施の形態2で示した方法と同様の方法で作製することができ、実施の形態2の記載を参照することができる。

【0176】

まず、実施の形態2に示す方法でトランジスタ101を形成した後、トランジスタ101のゲート電極110の上面より上部を除去する(図8(A)参照)。トランジスタ101の当該部分の除去は、ゲート電極110の上面が露出するまで、トランジスタ101に研磨処理(CMP処理)を行うことによってなされる。これにより、ゲート電極110より上の、層間絶縁層126、128、ソース電極またはドレイン電極130a、130bは除去される。このとき、層間絶縁層126、128、ソース電極またはドレイン電極130a、130bを含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。また、実施の形態2で示した電極130cは、このCMP処理で完全に除去されてしまうので形成する必要はない。

30

【0177】

このように、CMP処理を行い、ゲート電極110の上面を露出させることにより、ゲート電極110とソース電極またはドレイン電極142aとを直接接することができるので、トランジスタ101とトランジスタ102の電気的接続を容易に取ることができる。

40

【0178】

次に、層間絶縁層126、128上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、配線142c、配線142dを形成する(図8(B)参照)。ここで、ソース電極またはドレイン電極142aはゲート電極110と、配線142cはソース電極またはドレイン電極130aと、そして、配線142dはソース電極またはドレイン電極130bと、直接接するように形成する。

50

【0179】

ここで、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、配線142c、配線142dを形成する導電層は、実施の形態2で示した材料と同様の材料を用いることができ、実施の形態2の記載を参酌することができる。また、導電層のエッチングについても、実施の形態2で示した方法と同様にすることができ、実施の形態2の記載を参酌することができる。

【0180】

また、実施の形態2で示したように、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

10

【0181】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、配線142c及び配線142dを覆うように酸化物半導体層を成膜し、該酸化物半導体層を選択的にエッチングして、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと接するように島状の酸化物半導体層144を形成する(図8(C)参照)。

【0182】

酸化物半導体層は、実施の形態2で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、酸化物半導体層の材料と成膜方法について、実施の形態2を参酌することができる。

20

【0183】

酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)は適宜設定する。

【0184】

また、酸化物半導体層144は、実施の形態2で示したように、熱処理(第1の熱処理)を行うことが望ましい。第1の熱処理は、実施の形態2で示した方法で行うことができ、実施の形態2を参酌することができる。第1の熱処理によって不純物を低減し、i型(真性半導体)またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。なお、第1の熱処理は、酸化物半導体層のエッチング前に行ってもよいし、エッチングして酸化物半導体層を島状に加工した後に行っても良い。

30

【0185】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する(図8(C)参照)。

【0186】

ゲート絶縁層146は、実施の形態2で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、ゲート絶縁層146の材料と成膜方法について、実施の形態2を参酌することができる。

40

【0187】

また、ゲート絶縁層146の形成後、実施の形態2で示したように、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。第2の熱処理は、実施の形態2で示した方法で行うことができ、実施の形態2を参酌することができる。第2の熱処理を行うことで、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

50

【0188】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0189】

次に、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148を形成する(図8(D)参照)。ゲート電極148は、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148となる導電層は、スパッタ法などのPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参酌できる。

10

【0190】

次に、実施の形態2で示したように、ゲート絶縁層146、およびゲート電極148上に、層間絶縁層150および層間絶縁層152を形成する。層間絶縁層150および層間絶縁層152は、実施の形態2で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、層間絶縁層150および層間絶縁層152の材料と成膜方法について、実施の形態2を参酌することができる。

20

【0191】

なお、上記層間絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層152を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層152上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層152の平坦化は、CMP(化学的機械的研磨)などの方法を用いて行うことができる。

【0192】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ102が完成する(図8(D)参照)。

【0193】

図8(D)に示すトランジスタ102は、酸化物半導体層144と、酸化物半導体層144と電氣的に接続するソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、酸化物半導体層144、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを覆うゲート絶縁層146と、ゲート絶縁層146上のゲート電極148と、を有する。

30

【0194】

本実施の形態において示すトランジスタ102では、酸化物半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度($1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ102の室温でのオフ電流(ここでは、単位チャネル幅($1 \mu\text{m}$)あたりの値)は、 $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。

40

【0195】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0196】

50

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0197】

(実施の形態4)

本実施の形態では、実施の形態2、実施の形態3とは異なる、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図9乃至図11を参照して説明する。

【0198】

半導体装置の断面構成および平面構成

図9は、半導体装置の構成の一例である。図9(A)には、半導体装置の断面を、図9(B)には、半導体装置の平面を、それぞれ示す。ここで、図9(A)は、図9(B)のC1-C2およびD1-D2における断面に相当する。図9(A)および図9(B)に示される半導体装置は、酸化物半導体以外の半導体材料を用いたトランジスタ101と、酸化物半導体を用いたトランジスタ102を有するものである。酸化物半導体以外の半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。トランジスタ101は読み出し用のトランジスタとして機能し、トランジスタ102は書き込み用のトランジスタとして機能する。

【0199】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0200】

図9に示される半導体装置と、先の実施の形態に示される半導体装置の相違の一は、トランジスタ101におけるサイドウォール絶縁層118の有無である。つまり、図9に示される半導体装置は、サイドウォール絶縁層を有しない。また、サイドウォール絶縁層を形成しないことにより、不純物領域114が形成されていない。このように、サイドウォール絶縁層を設けない場合は、サイドウォール絶縁層118を設ける場合と比較して集積化が容易である。また、サイドウォール絶縁層118を設ける場合と比較して、作製工程を簡略化することが可能である。

【0201】

図9に示される半導体装置と、先の実施の形態に示される半導体装置の相違の他の一は、トランジスタ101における層間絶縁層125の有無である。つまり、図9に示される半導体装置は、層間絶縁層125を有する。層間絶縁層125として、水素を含む絶縁層を適用することで、トランジスタ101に対して水素を供給しトランジスタ101の特性を向上させることが可能である。このような層間絶縁層125としては、例えば、プラズマCVD法により形成された水素を含む窒化シリコン層などがある。さらに、層間絶縁層126として、水素が十分に低減された絶縁層を適用することで、トランジスタ102の特性を悪化させるおそれがある水素の、トランジスタ102への混入を防ぐことが可能である。このような層間絶縁層126としては、例えば、スパッタ法により形成された窒化シリコン層などがある。このような構成を採用することにより、トランジスタ101とトランジスタ102の特性を十分に高めることが可能である。

【0202】

図9に示される半導体装置と、先の実施の形態に示される半導体装置の相違の他の一は、トランジスタ102における絶縁層143aおよび絶縁層143bの有無である。つまり、図9に示される半導体装置は、絶縁層143aおよび絶縁層143bを有する。このように、絶縁層143aおよび絶縁層143bを設けることにより、ゲート電極148と、ソース電極またはドレイン電極142a(または、ゲート電極148と、ソース電極またはドレイン電極142b)とによる、いわゆるゲート容量を低減し、トランジスタ102の動作速度を向上させることができる。

【0203】

10

20

30

40

50

なお、実施の形態3と同様、トランジスタ101とトランジスタ102は、ゲート電極110上にソース電極またはドレイン電極142aが直接接するように形成されることで電氣的に接続されている。このような構成とすることで、電極や配線を別途設ける場合と比較して、集積度が向上する。また、作製工程が簡略化される。

【0204】

なお、本実施の形態では、上述の相違点を一体に有する構成を示しているが、当該相違点のいずれか一のみを有する構成を採用しても良い。

【0205】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、トランジスタ101を形成した後の工程、トランジスタ102の作製方法について図10および図11を参照して説明する。トランジスタ101については、実施の形態2で示した方法と同様の方法で作製することができる。詳細については、実施の形態2の記載を参照できる。また、本実施の形態では、トランジスタ101の作製工程において、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを形成しないが、ソース電極またはドレイン電極130aおよびソース電極またはドレイン電極130bが形成されていない状態であっても、便宜上、トランジスタ101と呼ぶことにする。

【0206】

まず、実施の形態2に示す方法でトランジスタ101を形成した後、トランジスタ101のゲート電極110の上面より上部を除去する。当該除去工程には、CMP（化学的機械的研磨）などの研磨処理を適用すればよい。これにより、ゲート電極110上面より上の、層間絶縁層125、層間絶縁層126、層間絶縁層128は除去される。なお、研磨処理に係る表面を十分に平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0207】

次に、ゲート電極110、層間絶縁層125、層間絶縁層126、層間絶縁層128上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図10（A）参照）。ここで、ソース電極またはドレイン電極142aは、ゲート電極110と直接接するように形成する。

【0208】

ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成するための導電層は、実施の形態2で示した材料と同様の材料を用いて形成することができる。また、導電層のエッチングについても、実施の形態2で示した方法と同様の方法を用いて行うことができる。詳細については、実施の形態2の記載を参照することができる。

【0209】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを覆うように絶縁層を形成し、該絶縁層を選択的にエッチングして、ソース電極またはドレイン電極142a上に絶縁層143aを、ソース電極またはドレイン電極142b上に絶縁層143bを、それぞれ形成する（図10（B）参照）。

【0210】

当該絶縁層143a、絶縁層143bを設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、および、ソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

【0211】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを覆うように酸化物半導体層144を形成し、酸化物半導体層144上にゲート絶縁層146を形成する（図10（C）参照）。

【0212】

酸化物半導体層 144 は、実施の形態 2 で示した材料、方法により形成することができる。また、酸化物半導体層 144 に対しては、熱処理（第 1 の熱処理）を行うことが望ましい。詳細については、実施の形態 2 の記載を参酌することができる。

【0213】

ゲート絶縁層 146 は、実施の形態 2 で示した材料、方法により形成することができる。また、ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で熱処理（第 2 の熱処理）を行うのが望ましい。詳細については、実施の形態 2 の記載を参酌することができる。

【0214】

次に、ゲート絶縁層 146 上において、トランジスタ 102 のチャンネル形成領域となる領域と重畳する領域にゲート電極 148 を形成する（図 11（A）参照）。 10

【0215】

ゲート電極 148 は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148 となる導電層は、スパッタ法などの PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 142a などの場合と同様であり、これらの記載を参酌できる。

【0216】

次に、ゲート絶縁層 146、およびゲート電極 148 上に、層間絶縁層 150 および層間絶縁層 152 を形成する（図 11（B）参照）。層間絶縁層 150 および層間絶縁層 152 は、実施の形態 2 で示した材料、方法により形成することができる。詳細については、実施の形態 2 の記載を参酌することができる。 20

【0217】

なお、上記層間絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 152 上にさらに電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0218】

以上により、トランジスタ 101、およびトランジスタ 102 を有する半導体装置が完成する。 30

【0219】

本実施の形態で示す半導体装置は、トランジスタ 102 が、トランジスタ 101 と重畳する構成を備えていること、トランジスタ 101 がサイドウォール絶縁層を有しないこと、ゲート電極 110 上にソース電極またはドレイン電極 142a が直接接するように形成されていること、などにより高集積化が可能になっている。また、作製工程が簡略化されている。

【0220】

また、本実施の形態で示す半導体装置は、層間絶縁層 125 として、水素を含む絶縁層を適用し、層間絶縁層 126 として、水素が十分に低減された絶縁層を適用することで、トランジスタ 101 およびトランジスタ 102 の特性が高められている。また、絶縁層 143a および絶縁層 143b を有することで、いわゆるゲート容量が低減され、トランジスタ 102 の動作速度が向上している。 40

【0221】

本実施の形態に示す上述の特徴により、きわめて優れた特性の半導体装置を提供することが可能である。

【0222】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0223】

(実施の形態5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図12を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0224】

図12(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

10

【0225】

図12(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

20

【0226】

図12(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0227】

図12(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図12(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、タッチパネル745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

30

40

【0228】

図12(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0229】

図12(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操

50

作機 780 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0230】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【実施例 1】

【0231】

本実施例では、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について、図 13 乃至図 17 を用いて説明する。

10

【0232】

まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅 W が $1\ \mu\text{m}$ と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅 W が $1\ \mu\text{m}$ のトランジスタのオフ電流を測定した結果を図 13 に示す。図 13 において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が $+1\ \text{V}$ または $+10\ \text{V}$ の場合、ゲート電圧 V_G が $-5\ \text{V}$ から $-20\ \text{V}$ の範囲では、トランジスタのオフ電流は、検出限界である $1 \times 10^{-13}\ \text{A}$ 以下であることがわかった。また、トランジスタのオフ電流（ここでは、単位チャンネル幅（ $1\ \mu\text{m}$ ）あたりの値）は $1\ \text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\ \text{A}/\mu\text{m}$ ）以下となることがわかった。

【0233】

20

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-13}\ \text{A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

【0234】

はじめに、電流測定方法に用いた特性評価用素子について、図 14 を参照して説明する。

【0235】

図 14 に示す特性評価用素子は、測定系 800 が 3 つ並列に接続されている。測定系 800 は、容量素子 802、トランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を有する。トランジスタ 804、トランジスタ 805、トランジスタ 806 には、高純度化された酸化物半導体を用いたトランジスタを適用した。

30

【0236】

測定系 800 において、トランジスタ 804 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の一方と、トランジスタ 805 のソース端子およびドレイン端子の一方は、電源（ V_2 を与える電源）に接続されている。また、トランジスタ 804 のソース端子およびドレイン端子の他方と、トランジスタ 808 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の他方と、トランジスタ 805 のゲート端子とは、接続されている。また、トランジスタ 808 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の一方と、トランジスタ 806 のゲート端子は、電源（ V_1 を与える電源）に接続されている。また、トランジスタ 805 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の他方は、出力端子にそれぞれ電氣的に接続されている。

40

【0237】

なお、トランジスタ 804 のゲート端子には、トランジスタ 804 のオン状態と、オフ状態を制御する電位 V_{ext_b2} が供給され、トランジスタ 808 のゲート端子には、トランジスタ 808 のオン状態と、オフ状態を制御する電位 V_{ext_b1} が供給される。また、出力端子からは電位 V_{out} が出力される。

【0238】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

50

【 0 2 3 9 】

まず、オフ電流を測定するために電位差を付与する初期化期間の概略について説明する。初期化期間においては、トランジスタ 8 0 8 のゲート端子に、トランジスタ 8 0 8 をオン状態とする電位 V_{ext_b1} を入力して、トランジスタ 8 0 4 のソース端子またはドレイン端子の他方と接続されるノード（つまり、トランジスタ 8 0 8 のソース端子およびドレイン端子の一方、容量素子 8 0 2 の端子の他方、およびトランジスタ 8 0 5 のゲート端子に接続されるノード）であるノード A に電位 V_1 を与える。ここで、電位 V_1 は、例えば高電位とする。また、トランジスタ 8 0 4 はオフ状態としておく。

【 0 2 4 0 】

その後、トランジスタ 8 0 8 のゲート端子に、トランジスタ 8 0 8 をオフ状態とする電位 V_{ext_b1} を入力して、トランジスタ 8 0 8 をオフ状態とする。トランジスタ 8 0 8 をオフ状態とした後に、電位 V_1 を低電位とする。ここでも、トランジスタ 8 0 4 はオフ状態としておく。また、電位 V_2 は電位 V_1 と同じ電位とする。以上により、初期化期間が終了する。初期化期間が終了した状態では、ノード A とトランジスタ 8 0 4 のソース端子及びドレイン端子の一方との間に電位差が生じ、また、ノード A とトランジスタ 8 0 8 のソース端子及びドレイン端子の他方との間に電位差が生じることになるため、トランジスタ 8 0 4 およびトランジスタ 8 0 8 には僅かに電荷が流れる。つまり、オフ電流が発生する。

【 0 2 4 1 】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ 8 0 4 のソース端子またはドレイン端子の一方の端子の電位（つまり V_2 ）、および、トランジスタ 8 0 8 のソース端子またはドレイン端子の他方の端子の電位（つまり V_1 ）は低電位に固定しておく。一方で、測定期間中は、上記ノード A の電位は固定しない（フローティング状態とする）。これにより、トランジスタ 8 0 4 に電荷が流れ、時間の経過と共にノード A に保持される電荷量の変動する。そして、ノード A に保持される電荷量の変動に伴って、ノード A の電位が変動する。つまり、出力端子の出力電位 V_{out} も変動する。

【 0 2 4 2 】

上記電位差を付与する初期化期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図 1 5 に示す。

【 0 2 4 3 】

初期化期間において、まず、電位 V_{ext_b2} を、トランジスタ 8 0 4 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_2 すなわち低電位（ V_{SS} ）となる。その後、電位 V_{ext_b2} を、トランジスタ 8 0 4 がオフ状態となるような電位（低電位）として、トランジスタ 8 0 4 をオフ状態とする。そして、次に、電位 V_{ext_b1} を、トランジスタ 8 0 8 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_1 、すなわち高電位（ V_{DD} ）となる。その後、 V_{ext_b1} を、トランジスタ 8 0 8 がオフ状態となるような電位とする。これによって、ノード A がフローティング状態となり、初期化期間が終了する。

【 0 2 4 4 】

その後の測定期間においては、電位 V_1 および電位 V_2 を、ノード A に電荷が流れ込み、またはノード A から電荷が流れ出すような電位とする。ここでは、電位 V_1 および電位 V_2 を低電位（ V_{SS} ）とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位（ V_{DD} ）とすることがある。なお、 V_1 を高電位（ V_{DD} ）とする期間は、測定に影響を与えない程度の短期間とする。

【 0 2 4 5 】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に保持される電荷量の変動し、これに従ってノード A の電位が変動する。これは、トランジスタ 8 0 5 のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力

10

20

30

40

50

端子の出力電位 V_{out} の電位も変化することとなる。

【0246】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0247】

オフ電流の算出に先だって、ノードAの電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノードAの電位 V_A を求めることができる。上述の関係から、ノードAの電位 V_A は、出力電位 V_{out} の関数として次式のように表すことができる。

【0248】

【数1】

$$V_A = F(V_{out})$$

10

【0249】

また、ノードAの電荷 Q_A は、ノードAの電位 V_A 、ノードAに接続される容量 C_A 、定数 ($const$) を用いて、次式のように表される。ここで、ノードAに接続される容量 C_A は、容量素子802の容量と他の容量の和である。

【0250】

【数2】

$$Q_A = C_A V_A + const$$

20

【0251】

ノードAの電流 I_A は、ノードAに流れ込む電荷（またはノードAから流れ出る電荷）の時間微分であるから、ノードAの電流 I_A は次式のように表される。

【0252】

【数3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

30

【0253】

このように、ノードAに接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノードAの電流 I_A を求めることができる。

【0254】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流（オフ電流）を測定することができる。

【0255】

本実施例では、チャネル長 $L = 10 \mu\text{m}$ 、チャネル幅 $W = 50 \mu\text{m}$ の、高純度化した酸化物半導体を用いてトランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を作製した。また、並列された各測定系800において、容量素子802a～802cの容量値をそれぞれ、容量素子802aを 100 fF 、容量素子802bを 1 pF 、容量素子802cを 3 pF とした。

40

【0256】

なお、本実施例に係る測定では、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ とした。また、測定期間においては、電位 V_1 を原則として V_{SS} とし、 $10 \sim 300 \text{ sec}$ ごとに、 100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる t は、約 30000 sec とした。

【0257】

50

図16に、上記電流測定に係る経過時間Timeと、出力電位Voutとの関係を示す。90時間程度から、電位変化の様子が確認できる。

【0258】

図17には、上記電流測定によって算出されたオフ電流を示す。なお、図17は、ソース-ドレイン電圧Vと、オフ電流Iとの関係を表すものである。図17から、ソース-ドレイン電圧が4Vの条件において、オフ電流は約 $40 \text{ z A} / \mu\text{m}$ であることが分かった。また、ソース-ドレイン電圧が3Vの条件において、オフ電流は $4 \text{ z A} / \mu\text{m}$ 以下であることが分かった。なお、 1 z A は 10^{-21} A を表す。

【0259】

以上、本実施例により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。 10

【符号の説明】

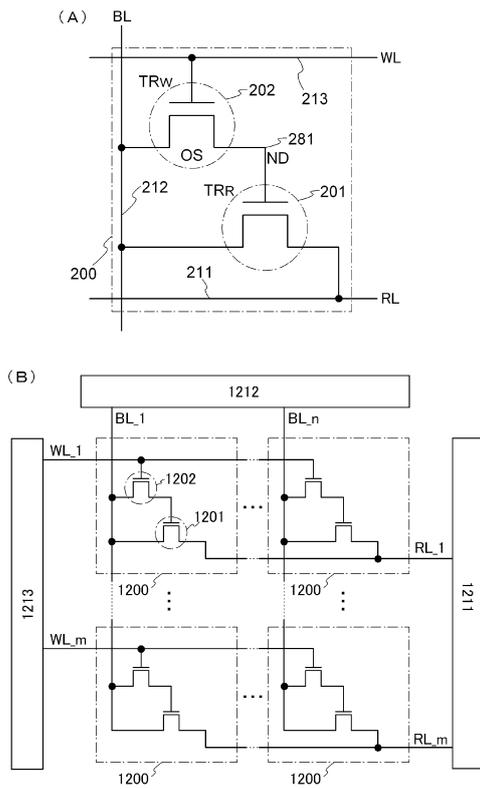
【0260】

100	基板	
101	トランジスタ	
102	トランジスタ	
104	半導体領域	
105	保護層	
106	素子分離絶縁層	
108	ゲート絶縁層	20
110	ゲート電極	
112	絶縁層	
114	不純物領域	
116	チャネル形成領域	
118	サイドウォール絶縁層	
120	高濃度不純物領域	
122	金属層	
124	金属化合物領域	
125	層間絶縁層	
126	層間絶縁層	30
128	層間絶縁層	
144	酸化物半導体層	
146	ゲート絶縁層	
148	ゲート電極	
150	層間絶縁層	
152	層間絶縁層	
200	メモリセル	
201	トランジスタ	
202	トランジスタ	
211	配線	40
212	配線	
213	配線	
281	ノード	
701	筐体	
702	筐体	
703	表示部	
704	キーボード	
711	本体	
712	スタイラス	
713	表示部	50

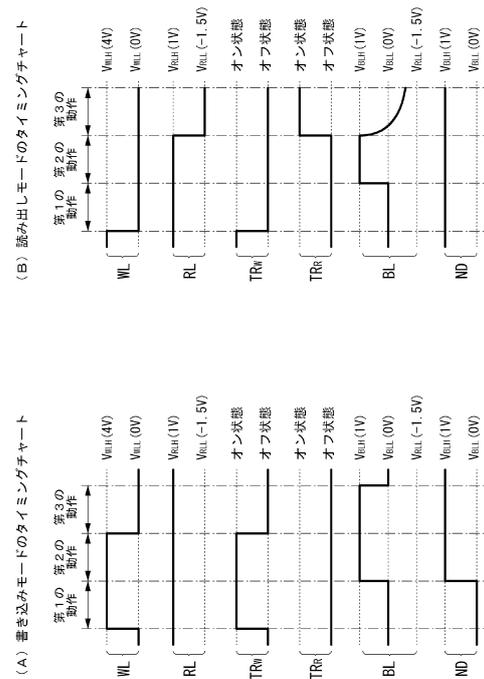
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	10
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	タッチパネル	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	20
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	30
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 0	測定系	
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 8	トランジスタ	
1 2 0 0	メモリセル	40
1 2 0 1	トランジスタ	
1 2 0 2	トランジスタ	
1 2 1 1	駆動回路	
1 2 1 2	駆動回路	
1 2 1 3	駆動回路	
1 3 0 a	ドレイン電極	
1 3 0 b	ドレイン電極	
1 3 0 c	電極	
1 4 2 a	ドレイン電極	
1 4 2 b	ドレイン電極	50

- 1 4 2 c 配線
- 1 4 2 d 配線
- 1 4 3 a 絶縁層
- 1 4 3 b 絶縁層

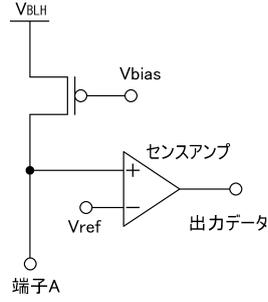
【図1】



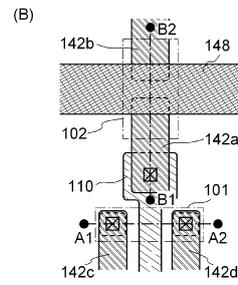
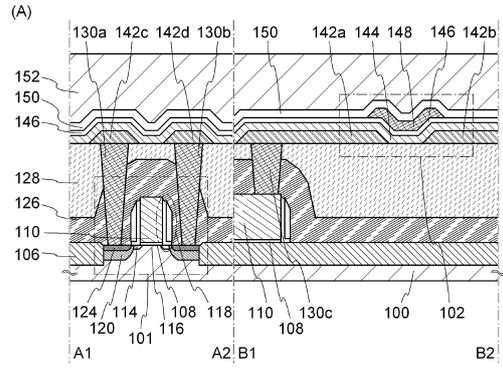
【図2】



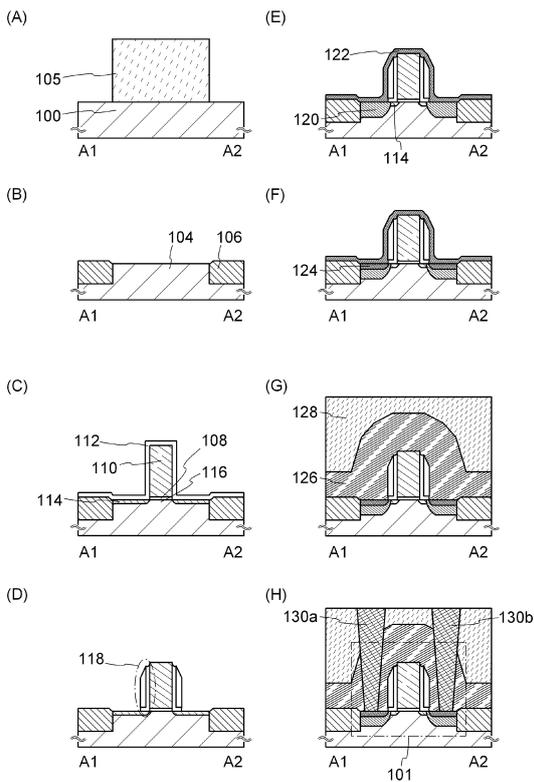
【図3】



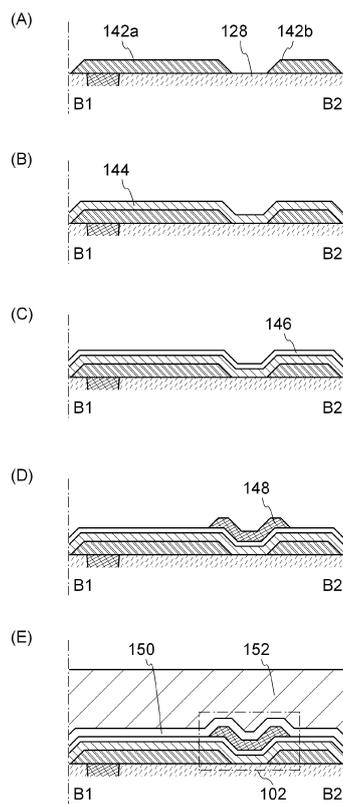
【図4】



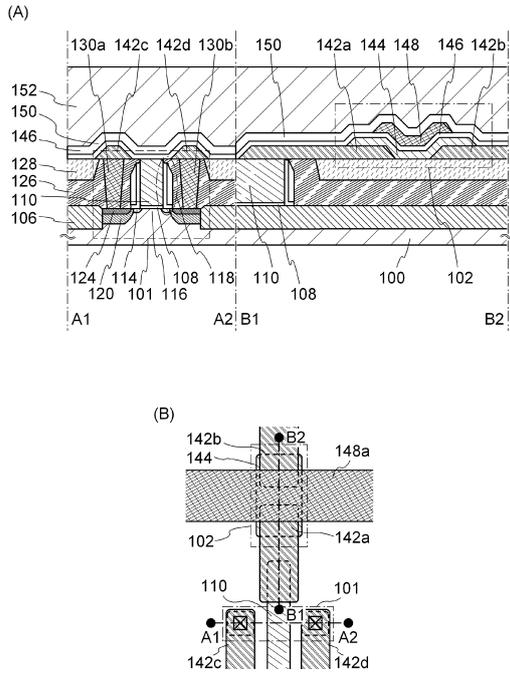
【図5】



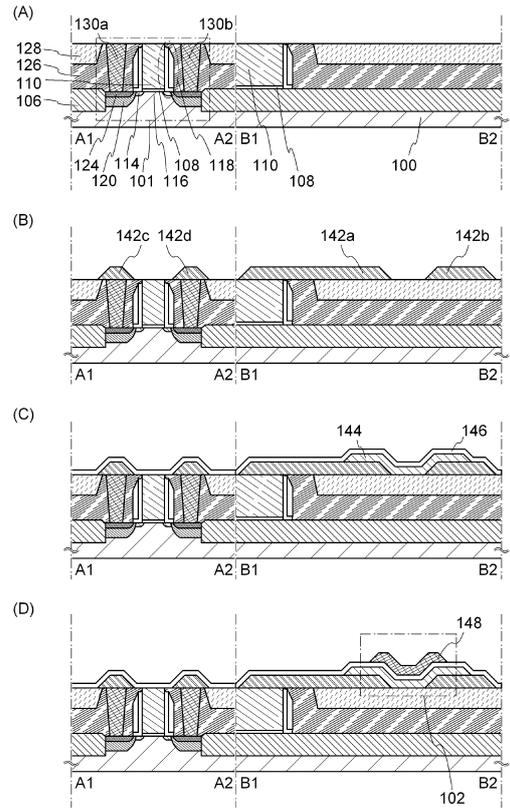
【図6】



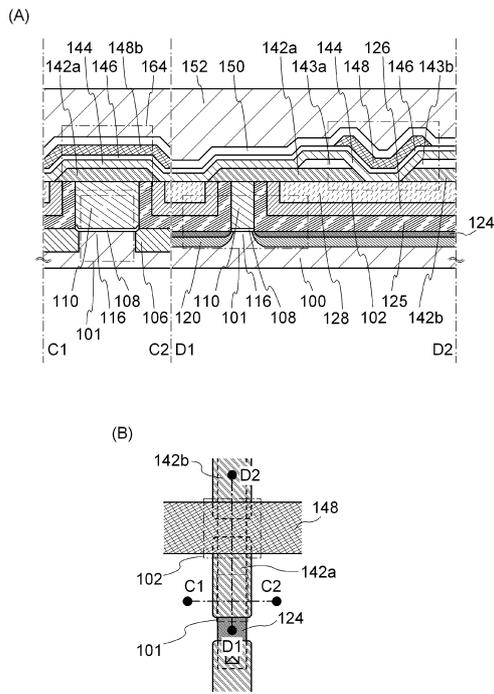
【 図 7 】



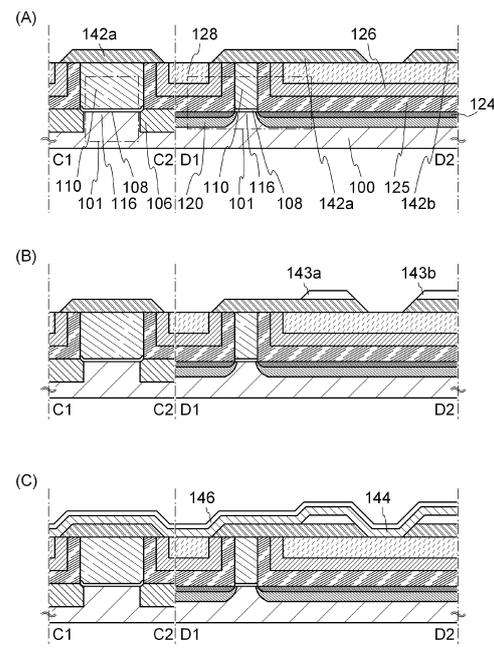
【 図 8 】



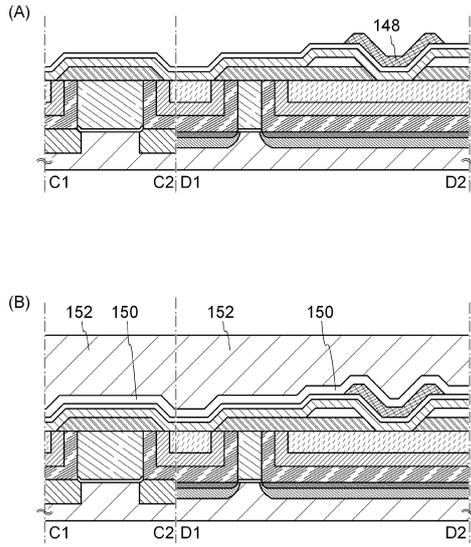
【 図 9 】



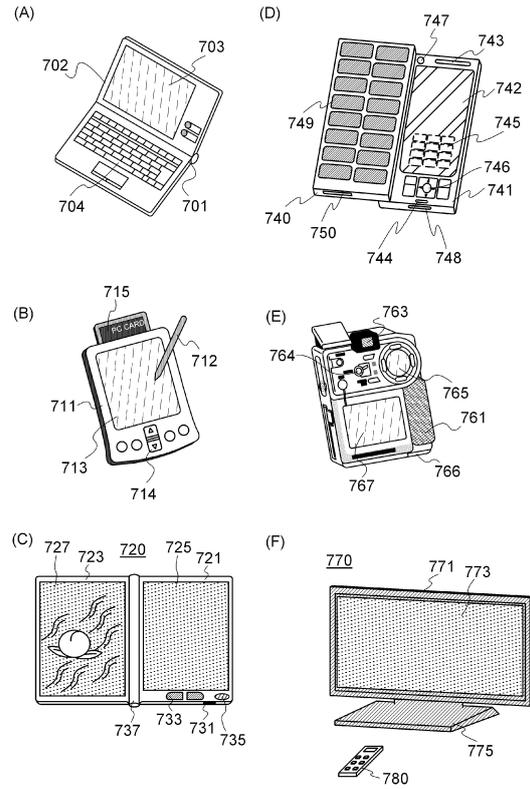
【 図 10 】



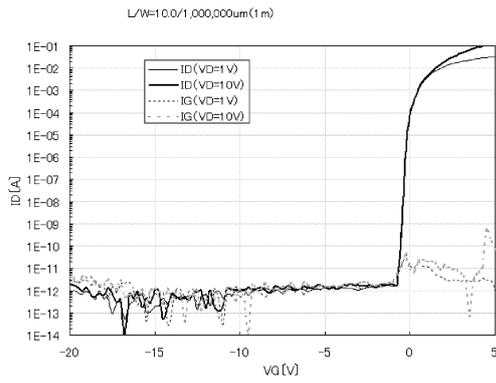
【図 1 1】



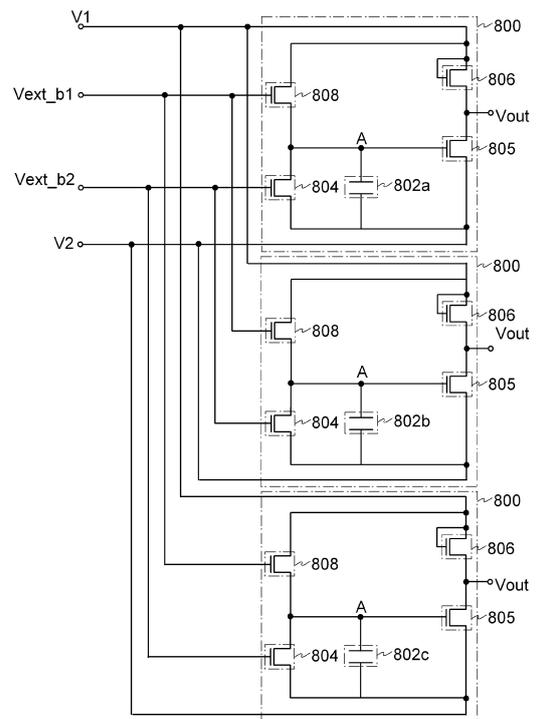
【図 1 2】



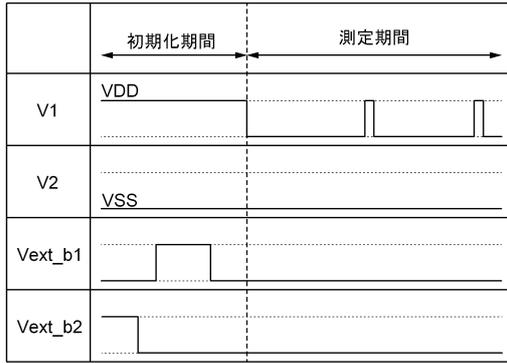
【図 1 3】



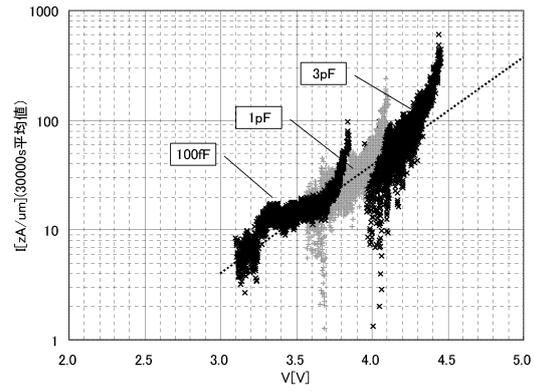
【図 1 4】



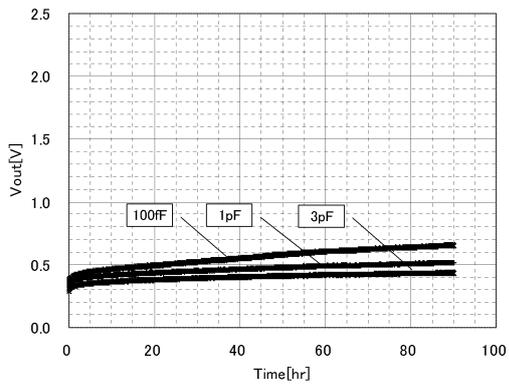
【図 15】



【図 17】



【図 16】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 21/336 (2006.01) G 1 1 C 11/34 3 5 2 B
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)
G 1 1 C 11/405 (2006.01)

(56) 参考文献 特開昭 6 3 - 2 9 8 8 8 9 (J P , A)
特開平 0 9 - 2 8 3 7 2 5 (J P , A)
特開 2 0 0 2 - 0 9 3 1 7 1 (J P , A)
特開 2 0 0 2 - 3 6 8 2 2 6 (J P , A)
特開 2 0 0 9 - 1 3 5 3 5 0 (J P , A)
特表 2 0 0 9 - 5 3 4 8 2 1 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 2
G 1 1 C 1 1 / 4 0 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2