

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3609003号
(P3609003)

(45) 発行日 平成17年1月12日(2005.1.12)

(24) 登録日 平成16年10月22日(2004.10.22)

(51) Int. Cl.⁷

F I

H O 3 K 19/094	H O 3 K 19/094	D
H O 1 L 21/822	H O 1 L 27/04	M
H O 1 L 21/8238	H O 1 L 27/08	3 2 1 B
H O 1 L 27/04		
H O 1 L 27/092		

請求項の数 6 (全 11 頁)

(21) 出願番号 特願2000-133751 (P2000-133751)
 (22) 出願日 平成12年5月2日(2000.5.2)
 (65) 公開番号 特開2001-320269 (P2001-320269A)
 (43) 公開日 平成13年11月16日(2001.11.16)
 審査請求日 平成14年7月9日(2002.7.9)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 芦田 勉
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 審査官 彦田 克文

最終頁に続く

(54) 【発明の名称】 CMOS半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、前記待機状態において、前記内部回路を構成するP又はNチャネルトランジスタのいずれか一方のソース-ウェル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、

さらに、内部回路を構成する一方チャネルトランジスタの待機状態における総リーク電流和と、他方チャネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャネルトランジスタの閾値電圧が設定されてなるCMOS半導体集積回路。

【請求項2】

CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、

前記待機状態において、前記内部回路を構成するP又はNチャネルトランジスタのいずれか一方のソース-ウェル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、

さらに、外部回路用の電源が、内部回路の待機状態において、内部回路を構成する一方チャネルトランジスタの待機状態における総リーク電流和と、他方チャネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる電圧に設定

10

20

されてなるCMOS半導体集積回路。

【請求項3】

CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、

前記待機状態において、前記内部回路を構成するP又はNチャンネルトランジスタのいずれか一方のソース・ウェル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、

さらに、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャンネルトランジスタの閾値電圧が設定され、かつ、外部回路用の電源が、内部回路の待機状態において、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる電圧に設定されてなるCMOS半導体集積回路。

10

【請求項4】

外部回路用の電源が、内部回路用の電源の電圧よりも絶対値が高く設定されてなる請求項1～3のいずれか1つに記載のCMOS半導体集積回路。

【請求項5】

待機状態における逆バイアスの印加が、待機信号の入力に対応するスイッチ回路を用いて行われる請求項1～4のいずれか1つに記載のCMOS半導体集積回路。

20

【請求項6】

CMOS半導体集積回路が、シングル、ダブル又はトリプルウェル構造である請求項1～5のいずれか1つに記載のCMOS半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はCMOS半導体集積回路に関し、より詳細には、低消費電力型で、特に電池駆動の携帯機器に使用されるCMOSトランジスタを用いた低待機電力マイクロプロセッサ等の情報処理装置、AV装置、ゲーム機器に応用されるCMOS半導体集積回路に関する。

【0002】

30

【従来の技術】

携帯電話機、携帯情報端末、AV装置等の携帯機器を電池によって駆動する電子装置が普及するにしたがい、動作時の消費電力と待機時の消費電力との低減がより重要になってきている。

【0003】

MOSTランジスタの閾値電圧を低く設定することにより、低電圧での高速動作が可能となる。また、消費電力は動作電圧の2乗に比例するため、動作時の消費電力を減少させることができる。

【0004】

一方、待機時の消費電力は、閾値電圧を低く設定すると、サブスレシヨルド電流が流れるため逆に増加する。

40

【0005】

上記のような課題を解決するために、特開平3-082151号公報に、MOSTランジスタの閾値電圧を低く設定して高速動作させ、かつ待機時にのみソース・基板間又はソース・ウェル間に逆バイアスをかけ、MOSTランジスタの閾値電圧を高くし、待機電流を減少させる方法が提案されている。

【0006】

このようなソース・ウェル又は基板間に逆バイアスをかける方法は、ウェル又は基板バイアス発生回路を用いてチップ内部でウェル又は基板電位を発生させる方法と、2つのウェルバイアス印加のために電源を別に2つ設けた3電源の方法とがある。

50

【0007】

また、特開平9-214321号公報に、CMOSインバータの一方又は両方のトランジスタの閾値電圧をダイナミックに制御することにより、リーク電流を最小限に抑える方法が提案されている。

【0008】

【発明が解決しようとする課題】

上記のウエル又は基板バイアス発生回路の1例としては、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 11 November 1999, p1492-1500に記載されているように、チャージポンプ回路が挙げられる。

10

【0009】

しかし、このチャージポンプ回路を動作させるためには、約 $11\mu\text{A}$ の消費電力と約 0.14mm^2 の面積とが増大する。また、チャージポンプ回路の消費電力を考慮すると、待機時の消費電力の低減には限界がある。つまり、後述するように、400万素子程度のマイクロプロセッサ本体の待機電流は、室温で $14\mu\text{A}$ 程度である。また、チャージポンプ回路による逆バイアスをソース・ウエル間に1V印加してMOSトランジスタの閾値電圧を0.2V高くすると、待機電流が2桁程度減少し、 $1\mu\text{A}$ よりも小さくなる。よって、待機電流は、ほとんどチャージポンプ回路の消費電力で決定されることとなる。さらに、一般に、このチャージポンプ回路では、動作の安定化のために三重ウエル構造を必要とし、プロセスの複雑化やそれに伴う製造コストが増大する。

20

【0010】

また、2つのウエルバイアスを印加する3電源の方法では、待機時の消費電力低減のために専用の電源を増やすこととなるため、電池駆動の携帯用機器の小型化、軽量化及び低コスト化に反することとなる。また、この方法においても、3電源のために三重ウエル構造を必要とする。

【0011】

さらに、CMOSインバータの一方又は両方のトランジスタの閾値電圧を制御するためには、上記と同様に、CMOSインバータの電源とは別個に閾値電圧を制御するためのバイアス印加用のウエル又は基板バイアス発生回路が必要となり、上記と同様の問題が生じる。また、このような方法においては、バイアス印加により閾値電圧を変化させる前の両トランジスタの閾値電圧の調整については何も記載されておらず、CMOSインバータのウエル又は基板へのバイアス印加前の両トランジスタのリーク電流が等しい場合には、一方のトランジスタのみにウエル又は基板バイアスを印加して閾値電圧を上げて、待機状態の消費電流の減少は十分ではない。

30

【0012】

本発明は上記課題に鑑みなされたものであり、待機時の消費電力低減のために専用の電源数を増やさず、消費電力及びチップ面積の増大を招く基板バイアス発生回路を別途設けることなく、プロセスの複雑化の原因となる三重ウエル構造を形成することなく、待機時の消費電力を減少させることができるCMOS半導体集積回路を提供することを目的とする。

40

【0013】

【課題を解決するための手段】

本発明によれば、CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、前記待機状態において、前記内部回路を構成するP又はNチャネルトランジスタのいずれか一方のソース・ウエル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、さらに、内部回路を構成する一方チャネルトランジスタの待機状態における総リーク電流和と、他方チャネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャネルトランジスタの閾値電圧が設定されてなるCMOS半導体集積回路が提供される。

50

また、本発明によれば、CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、前記待機状態において、前記内部回路を構成するP又はNチャンネルトランジスタのいずれか一方のソース・ウェル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、さらに、外部回路用の電源が、内部回路の待機状態において、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる電圧に設定されてなるCMOS半導体集積回路が提供される。

また、本発明によれば、CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能する内部回路と、外部回路とを有し、前記待機状態において、前記内部回路を構成するP又はNチャンネルトランジスタのいずれか一方のソース・ウェル又は基板間に、前記外部回路用の電源を用いて逆バイアスが印加されてなり、さらに、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャンネルトランジスタの閾値電圧が設定され、かつ、外部回路用の電源が、内部回路の待機状態において、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる電圧に設定されてなるCMOS半導体集積回路が提供される。

【0014】

【発明の実施の形態】

本発明は、内部回路の活性状態と待機状態とにおいて、異なるバイアス電圧が印加されることにより、高速動作と低消費電力との双方を実現し得るCMOS半導体集積回路である。

【0015】

本発明のCMOS半導体集積回路は、少なくとも内部回路と外部回路とを有して構成される。

【0016】

内部回路は、CMOSトランジスタによって構成され、データが入出力される活性状態と内部状態が保持される待機状態との少なくとも2状態で機能するものであれば、その構成及び作用/機能は特に限定されるものではなく、一般に、高速動作が要求されるような回路、低消費電力が要求されるような回路、特に低待機電流が要求されるような回路等が挙げられる。具体的には、CMOSインバータ回路、待機モード機能を有するロジック回路、SRAM、レジスタで構成されるプロセッサ、携帯電話のベースバンド回路等が挙げられる。なお、活性状態と待機状態以外に、例えば、長い待ち状態であって活性状態に戻るためにある程度時間がかかるような中断状態、回路がターン・オフされているオフ状態等の機能を有するものであってもよい。

【0017】

内部回路は、通常、半導体基板に形成されている。ここで半導体基板としては、例えば、シリコン、ゲルマニウム等の元素半導体基板、GaAs、InGaAs等の化合物半導体等、種々の基板を用いることができる。なかでもシリコン基板が好ましい。半導体基板は、リン、砒素等のN型又はボロン等のP型の不純物のドーピングにより比較的抵抗(例えば20 cm程度以下、好ましくは10 cm程度)であるものが適当である。また、半導体基板には、N型又はP型の1又は複数個の不純物拡散領域(ウェル)が形成されているシングルウェル構造、N型及びP型ウェルが複数個形成されているはダブルウェル構造、トリプルウェル構造のいずれであってもよい。ウェルの不純物の濃度は、トランジスタの性能等により適宜調整することができる。また、半導体基板には、例えば、トランジスタ、キャパシタ、抵抗等の半導体素子や回路、絶縁膜、配線層等が組み合わされて形成されていてもよい。

【0018】

内部回路を構成するCMOSは、通常、P又はNチャンネルのMOSトランジスタの一方又は双方が、それぞれ逆導電型のウェル内に形成されている。これらMOSトランジスタは、CMOSトランジスタのサイズ、性能等に応じてウェル又は基板表面の不純物濃度を調整すること等により、所定の閾値電圧に設定されていることが好ましい。例えば、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャンネルトランジスタの閾値電圧が設定されてなることが好ましい。また、不純物濃度の調整の他に、待機状態に所定の逆バイアス電圧を印加する等により適宜調整することができる。例えば、0.25～0.35μmプロセスのCMOSに対して、±1V程度（PチャンネルMOSには+1V程度又はNチャンネルMOSには-1V程度）の逆バイアスを印加する場合には、PチャンネルMOSとNチャンネルMOSの閾値電圧は、それぞれ+0.2V程度、-0.2V程度変化し、リーク電流は2桁減少する。このように、特に、一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャンネルトランジスタの閾値電圧が設定されている場合には、ソース・基板間又はソース・ウェル間に逆バイアスを印加しない場合の待機状態におけるリーク電流に比較して、例えば、内部回路全体の1/10程度以下と著しくリーク電流を低下させることができる。

10

【0019】

また、内部回路は、動作時の消費電力を低減するために比較的低電圧で動作するものであり、そのために内部回路用電源を備えているのが一般的である。内部回路用電源の電圧は特に限定されるものではなく、+0.5～+5.0V程度が挙げられる。具体的には、内部回路を構成するMOSトランジスタのゲート長が0.35μm程度のプロセスでは+3.3V程度、0.25μm程度のプロセスでは+2.5V程度、0.18μm程度のプロセスでは+1.8V程度の電圧を印加し得る電源が挙げられる。

20

【0020】

外部回路は、その機能、構成等について特に限定されるものではないが、少なくとも、内部回路にウェル又は基板バイアス電圧を印加するためのみに構成されたバイアス発生回路とは異なるものである。また、CMOS半導体集積回路の本来の機能を発揮するために必要とされる回路であり、内部回路とは異なる回路である。例えば、液晶素子や不揮発性メモリ等を駆動させるための回路、比較的高い電圧を印加することを必要とする回路、高い動作電圧を有する回路と接続される入出力回路等が挙げられる。具体的には、マイコン機能を有する入出力回路、プロセッサ回路、携帯電話のベースバンドの入出力回路等が挙げられる。

30

【0021】

外部回路は半導体基板上に形成されていることが好ましく、内部回路が形成されている基板とは異なる基板に形成されていてもよいが、内部回路が形成されている基板と同一基板上に形成されていることがより好ましい。なお、外部回路が形成されている基板上には、例えば、トランジスタ、キャパシタ、抵抗等の半導体素子や回路、絶縁膜、配線層等が組み合わせられて形成されていてもよい。

40

【0022】

また、外部回路は、比較的高電圧で動作するものであり、そのために外部回路用電源を備えているのが一般的である。外部回路用電源の電圧は特に限定されるものではなく、例えば、+2.5～+15V程度が挙げられ、上述した内部回路用電源の電圧よりも絶対値が高く設定されていることが必要である。具体的には、外部回路を構成するトランジスタのゲート長が0.25～0.35μm程度のプロセスでは±5V程度、0.18μm程度のプロセスでは±3V程度の電圧を印加し得る電源が挙げられる。また、外部回路用の電源は、内部回路の待機状態において、内部回路を構成する一方チャンネルトランジスタの待機状態における総リーク電流和と、他方チャンネルトランジスタにソース・基板間又はソース・ウェル間に逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる

50

電圧に設定されてなることがより好ましい。

【 0 0 2 3 】

本発明のCMOS半導体集積回路においては、上述したように、内部回路及び外部回路とともに、スイッチ回路が形成されていることが好ましい。スイッチ回路は、内部回路が待機状態以外の状態の時、例えば、活性状態の時には、内部回路に内部回路用電源が印加されるように作用し、内部回路が待機状態となったあるいは待機状態であることを示す信号に対応して、待機状態である間中、内部回路に外部回路用電源が印加されるように作用する、いわゆるスイッチング機能を有する回路を意味する。その構成は、通常、半導体装置の分野において、スイッチング機能を果たし得る回路であればどのようなものでも利用することができる。

10

【 0 0 2 4 】

上記のような構成を有する本発明のCMOS半導体集積回路においては、内部回路は、活性状態においては、内部回路用電源から所定の電圧が印加されることにより、外部回路又はその他の回路、例えば、入出力回路を通してデータが入出力され得るように機能する。一方、待機状態においては、内部回路を構成するP又はNチャネルトランジスタのいずれか一方のソース・ウェル又は基板間に、スイッチ回路によって内部回路用の電源が外部回路用の電源に切り替えられて、外部回路用の電源を用いて逆バイアスが印加される。

【 0 0 2 5 】

このように、外部回路用の電源を利用することにより、内部回路にウェル又は基板に逆バイアスを印加するための電源を特別に設ける必要がなく、内部回路におけるPチャネルトランジスタ用Nウェル又は基板あるいはNチャネルトランジスタ用Pウェル又は基板に（特に、Pチャネルトランジスタ用Nウェル）、逆バイアスを印加することができ、ひいてはPチャネルトランジスタ又はNチャネルトランジスタ（特に、Pチャネルトランジスタ）の待機状態における消費電流の低減が可能になる。

20

【 0 0 2 6 】

なお、以下に、Pチャネルトランジスタのソース・Nウェル間の逆バイアス印加とNチャネルの高閾値電圧化により、トランジスタの待機電流を減少させる例を具体的に示しているが、当該技術分野における公知の改変を加えることにより、同様に、Nチャネルトランジスタのソース・P基板（ウェル）間の逆バイアス印加とPチャネルトランジスタの高閾値電圧化により、トランジスタの待機電流を減少させることも可能である。

30

【 0 0 2 7 】

以下、本発明のCMOS半導体集積回路の実施の形態を図面に基づいて説明する。

【 0 0 2 8 】

本発明のCMOS半導体集積回路1は、図1(a)及び(b)に示したように、その内部に、内部回路2と外部回路として入出力回路3とスイッチ回路4とを有している。内部回路2は、例えば、N型ウェル及びP型ウェルに形成されたCMOSインバータ回路から構成されている。また、入出力回路3も、N型及びP型ウェルに形成されている。さらに、スイッチ回路2は、2個のPチャネルトランジスタによって構成されている。

【 0 0 2 9 】

内部回路2及び入出力回路3は、それぞれ、内部回路用電源5及び入出力回路用電源6に接続されている。

40

【 0 0 3 0 】

内部回路2は、活性状態では、内部回路2のN型ウェルは1.6V、入出力回路3のN型ウェルは3Vが印加される。

【 0 0 3 1 】

待機状態では、入出力回路3のN型ウェルは3V印加されたままである。一方、内部回路2のN型ウェルは、スタンバイ信号に対応してスイッチ回路4によって入出力回路用電源6の3Vに切り替えられる。これにより、内部回路2において、N型ウェル中のPチャネルトランジスタの閾値が上がり、待機電流が減少する。

【 0 0 3 2 】

50

一般に、LSIの最低動作電圧 V_d は、

$$V_d = K (V_{tn} + |V_{tp}|) \quad (1)$$

で定義される。ここで、 K は使用回路、使用周波数等で決まる定数で、一般的には $K = 1 \sim 6$ のLSIが多く、待機時は動作しないので K は1以上、動作時は速度性能等で $K = 2$ となるLSIを例として考える。また、 V_{tn} 、 V_{tp} はそれぞれNチャンネル、Pチャンネルトランジスタの閾値電圧である。

【0033】

また、図1のようなLSIの内部回路(CMOSインバータ)の待機電流 I_{stb} は、

$$I_{stb} = \cdot N_n \cdot W_n \cdot I_{offn} + | \cdot N_p \cdot W_p \cdot I_{offp} | \quad (2)$$

で示される。ここで、 N_n 、 N_p はそれぞれ内部回路において使用されているNチャンネル、Pチャンネルトランジスタの数であり、 W_n 、 W_p はそれぞれ内部回路に使用されているNチャンネル、Pチャンネルトランジスタの平均ゲート幅である。また、 I_{offn} 、 I_{offp} はトランジスタのリーク電流が内部回路の待機電流にどのくらい影響するかの補正項であり、回路構成に依存する。

【0034】

上記のように構成されたCMOS半導体集積回路における待機電流を計算すると、式(1)から、 $V_d = 1.6V$ では、 $V_{tn} = 0.39V$ 、動作時 $K = 2$ の場合、 $V_{tp} = -0.41V$ になる。

【0035】

これら V_{tn} 及び V_{tp} の閾値を有するNMOS及びPMOSにおいては、図2(a)、(b)から、ゲート電圧0V時のサブスレシヨルド電流(ドレイン電流) I_{offn} 、 I_{offp} はそれぞれ $|1.2pA/\mu m|$ となる。なお、図2(a)、(b)は、それぞれ、Nチャンネル及びPチャンネルトランジスタの閾値電圧と単位ゲート幅あたりのサブスレシヨルド電流との関係を示す図である。

【0036】

また、式(2)から、 N_n 、 N_p を1、Nチャンネル及びPチャンネルトランジスタの数をそれぞれ200万個、トランジスタの平均ゲート幅を $3\mu m$ とすると、待機電流 I_{stb} は、室温で $14\mu A$ となる。実際には高温時、閾値のバラツキ等を考慮する必要があり、さらに増加する。

【0037】

一方、スイッチ回路の切り替えによって、待機状態において、内部回路のN型ウェルの印加電圧を $1.6V$ から $3V$ に切り替えると、内部回路におけるPMOSTランジスタのソース・ウェル間に $1.4V$ の逆バイアスが印加されることになる。これによって、図3(b)から、PMOSTランジスタの閾値電圧が約 $-0.2V$ 下がり、約 $-0.6V$ となる。したがって、サブスレシヨルド電流 I_{offp} は約 $-0.01pA/\mu m$ になり、式(2)から、内部回路の待機電流 I_{stb} は約 $7\mu A$ となり、逆バイアスを印加しない場合に比べて半分になる。なお、図3(a)、(b)は、それぞれ、Nチャンネル及びPチャンネルトランジスタのウェル/基板バイアスを変えた場合の閾値電圧と単位ゲート幅あたりのサブスレシヨルド電流との関係を示す図である。

【0038】

上述の説明においては、Pチャンネルトランジスタの待機電流を逆バイアスの印加によって小さくしたのみであるが、さらに内部回路の待機電流を小さくするために、Nチャンネルトランジスタの閾値電圧をPチャンネルトランジスタの閾値電圧よりも高く設定し、N型ウェルへのウェルバイアス印加後の両トランジスタのリーク電流値を等しくすることが有効である。

【0039】

すなわち、Nチャンネルトランジスタの閾値電圧 $V_{tn} = 0.48V$ とすると、 $V_d = 1.6V$ 、 $K = 2$ では、式(1)より、 $V_{tp} = -0.32V$ になる。これら V_{tn} 及び V_{tp} の閾値を有するNMOS及びPMOSにおいては、図2(a)、(b)から、ゲート電圧0V時のサブスレシヨルド電流 I_{offn} は約 $0.11pA/\mu m$ となる。また、 I_{offp}

10

20

30

40

50

$f f p$ は約 $-10 \text{ pA} / \mu\text{m}$ である。

【0040】

一方、スイッチ回路の切り替えによって、待機状態において、内部回路のN型ウェルの印加電圧を 1.6 V から 3 V に切り替えて 1.4 V の逆バイアスを印加すると、図3(b)から、PMOSトランジスタの閾値電圧が約 -0.2 V 下がり、約 -0.52 V となる。したがって、サブスレショルド電流 I_{offp} は1桁減の $-0.11 \text{ pA} / \mu\text{m}$ になり、式(2)から、内部回路の待機電流 I_{stb} は約 $1.3 \mu\text{A}$ となり、逆バイアスを印加しない場合に比べて約 $1/11$ になる。

【0041】

このように、Nチャネルトランジスタの閾値をわずかに上げるだけで、内部回路の待機電流をさらに小さくすることができる。また、逆バイアス印加時の V_{tp} は -0.52 V になるが、 $V_{tn} = 0.48 \text{ V}$ を(2)式に代入しても、 $K = 1.6$ になり、 K は 1.0 以上であるため、待機時では、十分情報の保持機能にマージンがあることがわかる。

【0042】

なお、Nチャネルトランジスタの閾値電圧を上げる場合、動作スピードがわずかに低下することとなるが、Pチャネルトランジスタにおいて閾値電圧が低下することとなるために動作スピードが上がることになり、内部回路全体においては、動作スピードの変動は無視できる程度である。

【0043】

【発明の効果】

本発明のCMOS半導体集積回路によれば、待機状態において、内部回路に、外部回路用の電源を用いて逆バイアスが印加されてなるため、逆バイアスを印加するための特別な電源を設けることなく、内部回路に逆バイアスを印加することができるため、内部回路における待機電流を低減することができる。すなわち、CMOS半導体集積回路を構成する高耐圧の回路、例えば、液晶や不揮発性メモリと結合するための入出力回路等の電源を利用することにより、特別に電源を設けることなく、特別なチャージポンプ回路やバイアス発生回路等、三重ウェル構造等を用いることなく、内部回路の待機電流を低減することができ、高速動作を実現しつつ、低消費電圧をも実現することができるCMOS半導体集積回路を提供することができる。

【0044】

特に、外部回路用の電源が、内部回路用の電源の電圧よりも絶対値が高く設定されてなる場合、外部回路用の電源が、内部回路の待機状態において、内部回路を構成する一方チャネルトランジスタの待機状態における総リーク電流和と、他方チャネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなる電圧に設定されてなる場合、待機状態における逆バイアスの印加が待機信号の入力に対応するスイッチ回路を用いて行われる場合、内部回路を構成する一方チャネルトランジスタの待機状態における総リーク電流和と、他方チャネルトランジスタに逆バイアスが印加された待機状態における総リーク電流和とが略等しくなるように両チャネルトランジスタの閾値電圧が設定されてなる場合には、内部回路への逆バイアスの印加を容易に行うことができ、安価なCMOS半導体集積回路を提供することができるとともに、待機電流の低下をさらに大きくすることが可能となる。

【図面の簡単な説明】

【図1】本発明のCMOS半導体集積回路を示すブロック図である。

【図2】Nチャネル及びPチャネルMOSトランジスタの閾値電圧 V_{th} - サブスレショルド電流 I_{off} 特性を示す図である。

【図3】Nチャネル及びPチャネルMOSトランジスタの閾値電圧 V_{th} 、サブスレショルド電流 I_{off} - ウェル/基板バイアス特性を示す図である。

【符号の説明】

- 1 CMOS半導体集積回路
- 2 内部回路

10

20

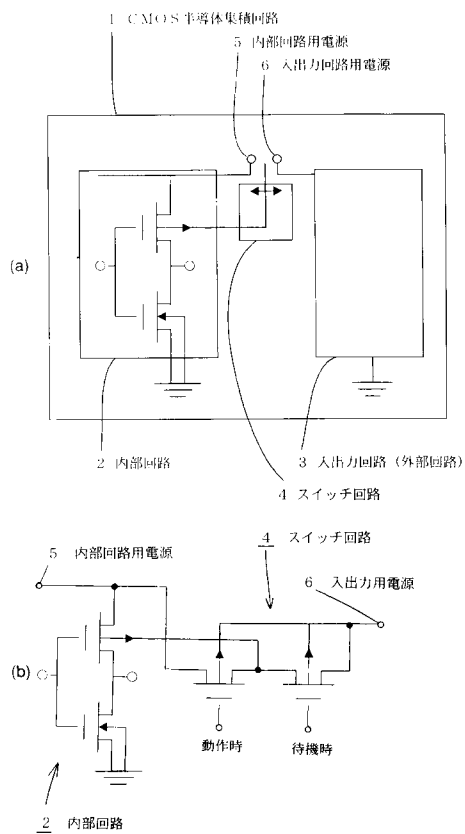
30

40

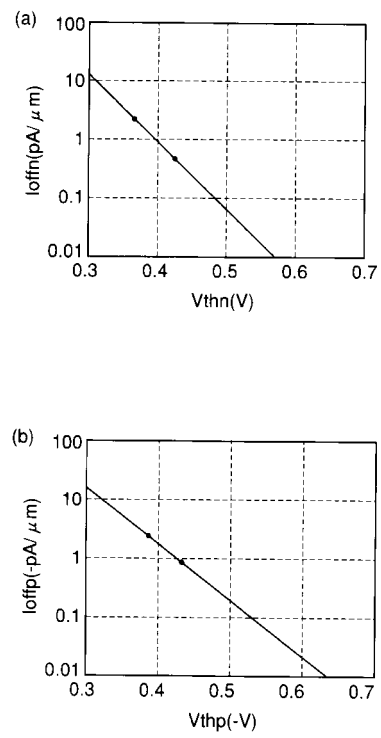
50

- 3 入出力回路
- 4 スイッチ回路
- 5 内部回路用電源
- 6 入出力回路用電源

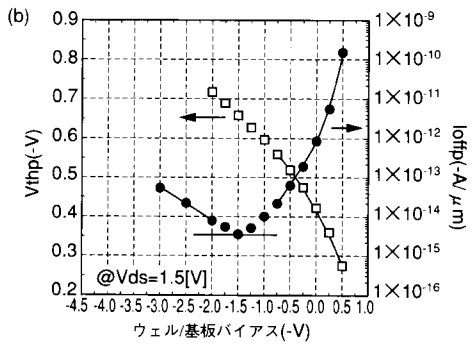
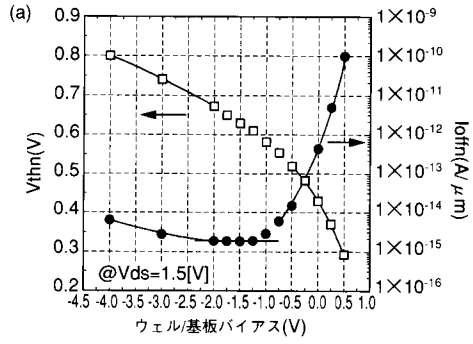
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

- (56)参考文献 特開平06 - 089574 (JP, A)
特開平05 - 007151 (JP, A)
特開平08 - 017183 (JP, A)
特開平10 - 229165 (JP, A)
特開平10 - 189884 (JP, A)
特開2001 - 156619 (JP, A)
特開2000 - 357962 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/094
H01L 21/822
H01L 21/8238
H01L 27/04
H01L 27/092