



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월21일
 (11) 등록번호 10-1980195
 (24) 등록일자 2019년05월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
 (21) 출원번호 10-2012-0052212
 (22) 출원일자 2012년05월16일
 심사청구일자 2017년03월23일
 (65) 공개번호 10-2013-0128280
 (43) 공개일자 2013년11월26일
 (56) 선행기술조사문헌
 JP2008219008 A*
 (뒷면에 계속)

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
선종백
 경기 용인시 기흥구 한보라1로 91, 605동 401호
 (보라동, 한보라마을휴먼시아6단지아파트)
김태상
 서울 송파구 양산로4길 8, 404동 607호 (거여동,
 거여4단지아파트)
 (뒷면에 계속)
 (74) 대리인
리엔목록특허법인

전체 청구항 수 : 총 17 항

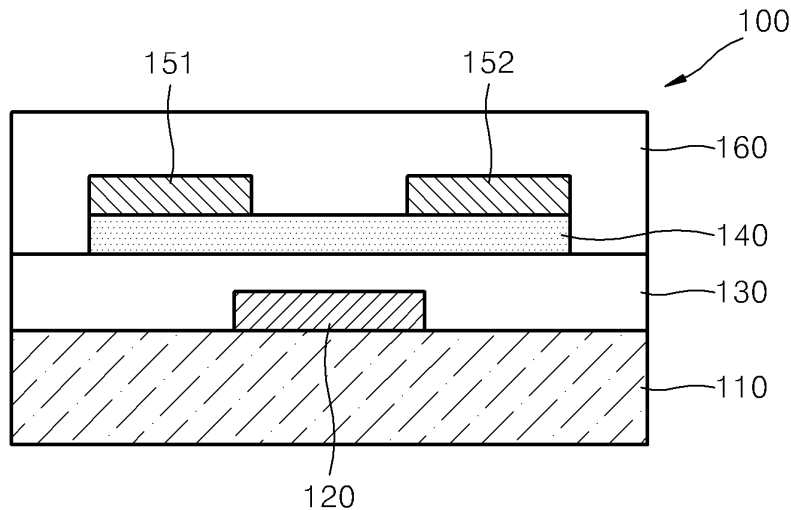
심사관 : 이흥민

(54) 발명의 명칭 **황 도핑 징크옥사 나이트라이드 채널층을 가진 트랜지스터 및 그 제조방법**

(57) 요약

황이 도핑된 ZnON 채널층을 가진 트랜지스터 및 그 제조방법이 개시된다. 개시된 트랜지스터는, Zn 함유량에 대해서 황이 0.1~1.2 at.% 도핑된 ZnON 채널층과, 상기 채널층의 제1 및 제2 영역에 각각 형성된 소스 전극 및 드레인 전극과, 상기 채널층에 대응하는 게이트 전극과 상기 채널층과 상기 게이트 전극 사이에 구비된 게이트 절연층을 포함한다.

대표도 - 도1



(72) 발명자

김현석

경기 화성시 동탄반석로 42, 604동 2702호 (반송동, 한화우림아파트)

류명관

경기 용인시 수지구 신봉2로 26, 124동 1002호 (신봉동, LG신봉자이1차아파트)

박준석

경기 성남시 분당구 중앙공원로 17, 317동 2002호 (서현동, 한양아파트)

서석준

전남 순천시 봉화1길 33, 505동 1301호 (조례동, 현대5차아파트)

손경석

서울 성동구 돌레11길 1, 101동 405호 (성수동2가, 강변현대아파트)

이상윤

서울 서초구 서초중앙로 200, 13동 707호 (서초동, 삼풍아파트)

(56) 선행기술조사문헌

JP2009094535 A*

US20090081826 A1*

US20100044702 A1*

US20120045904 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

황이 Zn 함유량에 대해서 0.1~1.2 at.% 도핑된 ZnON 채널층;
 상기 채널층의 제1 및 제2 영역에 각각 형성된 소스 전극 및 드레인 전극;
 상기 채널층에 대응하는 게이트 전극; 및
 상기 채널층과 상기 게이트 전극 사이에 구비된 게이트 절연층;을 포함하는 트랜지스터.

청구항 2

제 1 항에 있어서,
 상기 채널층은 황이 0.05~0.6 at.% 도핑된 트랜지스터.

청구항 3

제 1 항에 있어서,
 상기 채널층은 10~150nm 의 두께를 갖는 트랜지스터.

청구항 4

제 1 항에 있어서,
 상기 게이트 전극은 기판 및 상기 채널층 사이에 배치된 트랜지스터.

청구항 5

제 1 항에 있어서,
 상기 게이트 전극은 상기 채널층에 대해서 기판과 마주보게 설치된 트랜지스터.

청구항 6

게이트 전극을 형성하는 단계; 상기 게이트 전극에 대응하는 채널층을 형성하는 단계; 및 상기 채널층의 제1 및 제2 영역에 각각 접촉된 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는 트랜지스터의 제조방법에 있어서,
 상기 채널층을 형성하는 단계는 황 포함 ZnON층을 형성하는 단계를 포함하며,
 상기 황 포함 ZnON층은 황이 Zn 함유량에 대해서 0.1~1.2 at.% 도핑하여 형성하는 트랜지스터의 제조방법.

청구항 7

제 6 항에 있어서,
 상기 채널층은 상기 채널층에 대해서 황이 0.05~0.6 at.% 도핑된 트랜지스터의 제조방법.

청구항 8

제 6 항에 있어서,
 상기 황 포함 ZnON층은 반응성 스퍼터링(reactive sputtering) 법으로 형성하는 트랜지스터의 제조방법.

청구항 9

제 8 항에 있어서,

상기 반응성 스퍼터링 법은 Zn 타겟 및 ZnS 타겟을 사용하는 트랜지스터의 제조방법.

청구항 10

제 8 항에 있어서,

상기 반응성 스퍼터링 법은 반응 가스로 O₂ 가스 및 N₂ 가스를 공급하는 트랜지스터의 제조방법.

청구항 11

제 10 항에 있어서,

상기 O₂ 가스 공급은 1~15 sccm 유량으로 공급하고,

상기 N₂ 가스 공급은 20~150 sccm 유량으로 공급하는 트랜지스터의 제조방법.

청구항 12

제 10 항에 있어서,

상기 반응성 스퍼터링 법은 플라즈마 발생을 위한 Ar 가스를 더 사용하는 트랜지스터의 제조방법.

청구항 13

제 12 항에 있어서,

상기 Ar 가스의 유량은 1~50 sccm 인 트랜지스터의 제조방법.

청구항 14

제 10 항에 있어서,

상기 트랜지스터를 어닐링하는 단계를 더 포함하고,

상기 어닐링은 250~350℃의 온도로 수행하는 트랜지스터의 제조방법.

청구항 15

제 6 항에 있어서,

상기 게이트 전극은 상기 채널층 아래에 형성하는 트랜지스터의 제조방법.

청구항 16

제 6 항에 있어서,

상기 채널층 상에 식각정지층을 형성하는 단계를 더 포함하는 트랜지스터의 제조방법.

청구항 17

제 6 항에 있어서,

상기 게이트는 상기 채널층 상부에 형성하는 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 황 도핑 ZnON 채널층을 가진 트랜지스터와 그 제조방법에 관한 것이다.

배경 기술

[0002] 트랜지스터는 전자 기기 분야에서 스위칭소자(switching device)나 구동소자(driving device)로 널리 사용되고 있다. 특히, 박막 트랜지스터(thin film transistor)는 유리 기판이나 플라스틱 기판 상에 제조할 수 있기 때문

에, 액정표시장치 또는 유기발광표시장치 등과 같은 평판표시장치 분야에서 유용하게 사용된다.

- [0003] 트랜지스터의 동작 특성을 향상시키기 위해, 캐리어 이동도(carrier mobility)가 높은 산화물층을 채널층으로 적용하는 방법이 시도되고 있다. 이러한 방법은 주로 평판표시장치용 박막 트랜지스터에 적용된다.
- [0004] 산화물 채널층으로는 ZnO 박막이 고려될 수 있다. 그러나, ZnO 박막은 그레인 바운더리에서의 이동도가 감소되기 때문에 비정질 ZnO 박막이 채널층으로 사용될 수 있다.
- [0005] ZnO 계 채널층 중 질소를 포함하는 ZnON 채널층이 이동도가 높은 것으로 알려져 있다.
- [0006] 그러나 ZnON 채널층을 포함하는 트랜지스터는 질소/산소 비에 따라서 특성이크게 변하며, 특히, 질소 함량이 증가시 대기중에 쉽게 산화되어 이동도 특성이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0007] ZnON 채널층을 안정화시킨 트랜지스터를 제공한다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 트랜지스터는, 황이 Zn 함유량에 대해서 0.1~1.2 at.% 도핑된 ZnON 채널층;
- [0009] 상기 채널층의 제1 및 제2 영역에 각각 형성된 소스 전극 및 드레인 전극;
- [0010] 상기 채널층에 대응하는 게이트 전극; 및
- [0011] 상기 채널층과 상기 게이트 전극 사이에 구비된 게이트 절연층;을 포함한다.
- [0012] 상기 채널층은 상기 채널층에 대해서 황이 0.05~0.6 at.% 도핑될 수 있다.
- [0013] 상기 채널층은 10~150nm 의 두께를 가질 수 있다.
- [0014] 본 발명의 일 국면에 따르면 상기 게이트 전극은 기판 및 상기 채널층 사이에 배치된다.
- [0015] 본 발명의 다른 국면에 따르면, 상기 게이트 전극은 상기 채널층에 대해서 기판과 마주보게 설치된다.
- [0016] 본 발명의 다른 실시예에 따른 트랜지스터의 제조방법은:
- [0017] 게이트 전극을 형성하는 단계; 상기 게이트 전극에 대응하는 채널층을 형성하는 단계; 및 상기 채널층의 제1 및 제2 영역에 각각 접촉된 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하며,
- [0018] 상기 채널층을 형성하는 단계는 황을 포함하는 ZnON층을 형성하는 단계를 포함하며,
- [0019] 상기 황 도핑 ZnON층은 황이 Zn 함유량에 대해서 0.1~1.2 at.% 도핑하여 형성된다.
- [0020] 상기 황 포함 ZnON층은 반응성 스퍼터링(reactive sputtering) 법으로 형성될 수 있다.
- [0021] 상기 반응성 스퍼터링 법은 Zn 타겟 및 ZnS 타겟을 사용할 수 있다.
- [0022] 상기 반응성 스퍼터링 법은 반응 가스로 O₂ 가스 및 N₂ 가스를 공급할 수 있다.
- [0023] 상기 O₂ 가스 공급은 1~15 sccm 유량으로 공급하고,
- [0024] 상기 N₂ 가스 공급은 20~150 sccm 유량으로 공급할 수 있다.
- [0025] 상기 반응성 스퍼터링 법은 플라즈마 발생을 위한 Ar 가스를 더 사용할 수 있다.
- [0026] 상기 Ar 가스의 유량은 1~50 sccm 일 수 있다.
- [0027] 상기 트랜지스터를 어닐링하는 단계를 더 포함하고,
- [0028] 상기 어닐링은 250~350℃의 온도로 수행될 수 있다.

발명의 효과

[0029] 본 발명의 실시예에 따른 트랜지스터는, 소량의 황을 ZnON 채널층에 도핑함으로써 높은 이동도(mobility)를 가지면서 산화가 억제된 트랜지스터를 구현할 수 있다. 또한, ZnON 채널층이 안정화되어 신뢰성이 높고 안정된 트랜지스터를 구현할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 트랜지스터를 보여주는 단면도이다.
 도 2는 엑스레이 광전자 스펙트로스코피(X-ray photoelectron spectroscopy)로 ZnS 파워 증가에 따른 S/Zn 원자 비를 도시한 그래프이다.
 도 3은 본 발명의 실시예에 따른 황 도핑 ZnON 채널층을 포함하는 트랜지스터의 I-V 특성곡선을 도시한 그래프이다.
 도 4는 본 발명의 다른 실시예에 따른 트랜지스터를 보여주는 단면도이다.
 도 5a 내지 도 5e는 본 발명의 실시예에 따른 트랜지스터의 제조방법을 단계별로 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 각 구성요소의 크기나 두께는 설명의 명료성을 위하여 과장되어 있을 수 있다. 이하에서 "상" 또는 "위" 라는 용어는 어떤 층 위에 직접 접촉되어 배치된 경우뿐만 아니라 접촉되지 않고 떨어져 위에 배치되는 경우, 다른 층을 사이에 두고 위에 배치되는 경우 등을 포함할 수 있다.

[0032] 도 1은 본 발명의 일 실시예에 따른 트랜지스터(100)를 보여주는 단면도이다.

[0033] 도 1을 참조하면, 트랜지스터(100)는 게이트 전극(120)이 채널층(140) 아래에 구비되는 바텀(bottom) 게이트 구조의 박막 트랜지스터이다. 기판(110) 상에 게이트 전극(120)이 구비될 수 있다. 기판(110)은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예컨대, 플라스틱 기판이나 실리콘 기판 등 통상의 반도체소자 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다.

[0034] 게이트 전극(120)은 일반적인 전극 물질(금속, 도전성 산화물 등)로 형성될 수 있다. 기판(110) 상에 게이트 전극(120)을 덮는 게이트 절연층(130)이 구비될 수 있다. 게이트 절연층(130)은 실리콘 산화물층, 실리콘 질산화물층이나 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예컨대, 실리콘 질화물층보다 유전상수가 큰 고유전물질층을 포함할 수도 있다. 게이트 절연층(130)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 및 고유전물질층 중 적어도 두 층 이상이 적층된 구조를 가질 수도 있다.

[0035] 게이트 절연층(130) 상에 채널층(140)이 구비될 수 있다. 채널층(140)은 게이트 전극(120) 위쪽에 위치할 수 있다. 채널층(140)은 황이 도핑된 징크 옥시나이트라이드(oxynitride) 반도체일 수 있다. 채널층(140)은 황이 도핑된 ZnON일 수 있다. 채널층(140)에서 황의 비율은 Zn에 대해서 0.1~1.2 at.% 정도일 수 있다. 채널층(140)에서 황의 비율은 0.05~0.6 at.% 정도일 수 있다.

[0036] 황이 도핑된 ZnON 채널층(140)은 비정질 상으로 존재할 수 있으며, 소량의 나노결정상이 존재할 수도 있다.

[0037] 한편, 채널층(140)의 두께는 10~150nm 정도, 예컨대, 30~100nm 정도일 수 있다. 그러나 채널층(140)의 두께 범위는 달라질 수 있다.

[0038] 채널층(140)의 제1 및 제2 영역에 각각 접촉된 소스 전극(151) 및 드레인 전극(152)이 구비될 수 있다. 소스 전극(151)은 채널층(140)의 일단에 접촉될 수 있고, 드레인 전극(152)은 채널층(140)의 타단에 접촉될 수 있다. 소스 전극(151) 및 드레인 전극(152)은 게이트 전극(120)과 동일한 물질층일 수 있으나, 다른 물질층일 수도 있다. 소스 전극(151) 및 드레인 전극(152)은 단일층 또는 다중층일 수 있다. 소스 전극(151) 및 드레인 전극(152)의 형태 및 위치는 달라질 수 있다. 예컨대, 소스 전극(151)은 채널층(140)의 일단에서 그와 인접한 게이트 절연층(130) 영역 위로 연장된 구조를 가질 수 있고, 이와 유사하게, 드레인 전극(152)은 채널층(140)의 타단에서 그와 인접한 게이트 절연층(130) 영역 위로 연장된 구조를 가질 수 있다. 또한 소스 전극(151) 및 드레인 전극(152)은 채널층(140)의 양단(즉, 일단 및 타단)이 아닌 다른 두 영역에 접촉하도록 구비될 수도 있다.

[0039] 게이트 절연층(130) 상에 채널층(140), 소스 전극(151) 및 드레인 전극(152)을 덮는 보호층(passivation layer)(160)이 구비될 수 있다. 보호층(160)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 또는 유

기절연층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다.

[0040] 게이트 전극(120), 게이트 절연층(130), 소스 전극(151), 드레인 전극(152) 및 보호층(160)의 두께는 각각 50~300nm, 50~400nm, 10~200nm, 10~200nm 및 50~1200nm 정도일 수 있다. 그러나 이 두께 범위는 예시적인 것이고, 경우에 따라 달라질 수 있다.

[0041] 황 도핑 ZnON 채널층(140)은 ZnO 또는 Zn₃N₂ 보다 큰 밴드갭을 가지는 ZnS를 포함하기 때문에 더 안정적 결합을 가진다. Zn-S 결합은 Zn-O 결합 보다 강한 결합 세기를 가지므로 소량의 황 도핑으로 트랜지스터의 안정화를 가져올 수 있다.

[0042] 표 1은 본 발명의 실시예에 따른 황 도핑 ZnON 박막의 표면저항 특성을 표시한 표이다.

표 1

ZnS power (W)	비저항 (as deposited)	표면저항 (200°C annealing)
0	3.4K	4.2K
15	4.2K	7.8K
30	46K	1.2M
45	1.4M	34M
60	55M	not available
75	not available	not available

[0044] K 및 M은 각각 10³ 및 10⁶을 의미한다.

[0045] 황 도핑 ZnON 박막은 유리 기판 상에 Zn 타겟과 ZnS 타겟을 사용하여 코스퍼터링(co-sputtering) 방법으로 형성하였다. 코스퍼터링시, 산소 및 질소는 각각 2 sccm, 100 sccm 유량의 개스를 공급하였다. 기판은 대략 150°C로 유지하였다. Zn 타겟에는 300W 전압을 고정적으로 인가하고, 황 함량의 변화를 측정하기 위해서 ZnS 타겟에는 파워를 0, 15, 30, 45, 60, 75W로 조절하면서 인가하였다. 코스퍼터링은 4분 10초 동안 수행되었다.

[0046] 표 1에서 보면, ZnS 파워의 증가에 따라서, 표면저항(Rs)이 증가하였다. 이는 도포된 상태에서와 200°C에서 어닐링한 상태에서 모두 표면저항이 증가하였다. 특히, 어닐링시 표면저항의 더 증가하였다. 황 도핑 ZnON 박막은 황도핑량 증가와 어닐링으로 표면저항이 급격하게 감소하는 경향을 보여준다.

[0047] 한편, 표 1에서 보면 ZnS 파워가 60~75W로 증가시 표면저항이 크게 증가하여 표면저항의 측정범위를 벗어났다.

[0048] 도 2는 엑스레이 광전자 스펙트로스코피(X-ray photoelectron spectroscopy)로 ZnS 파워 증가에 따른 S/Zn 원자 비를 도시한 그래프이다. S/Zn 원자 비는 황 도핑 ZnON 박막에서 Zn에 대한 S(황)의 원자비를 가리킨다.

[0049] 도 2에서 보면, ZnS 타겟 인가파워가 15W, 30W, 45W일 때, S/Zn 원자 비가 각각 0%, 1.2%, 2.8%로 나왔다. ZnS 타겟 인가파워가 15W일 때, 박막에서 ZnS가 검출되지 않은 것은 ZnS의 농도가 극히 낮아서 엑스레이 광전자 스펙트로스코피에서 검출되지 않은 것이다. 그러나, SIMS 측정결과, ZnS 타겟 인가파워가 15W일 때, ZnS 타겟 인가파워가 30W일 때의 반 정도로 설피 함량이 검출되므로, ZnS 타겟 인가파워가 15W일 때, S/Zn 원자 비는 대략 0.6%로 추정된다.

[0050] 도 3은 본 발명의 실시예에 따른 황 도핑 ZnON 채널층을 포함하는 트랜지스터의 I-V 특성곡선을 도시한 그래프이다.

[0051] 도 3의 특성 실험을 위해서, 도 1의 구조의 바텀 트랜지스터를 준비하였다. 기판으로는 p 도핑 실리콘 기판을 사용하고, 그 위에 SiO₂ 절연층을 300Å 두께로 형성하였다. 절연층 상에는 황 도핑 ZnON 채널층을 300Å 두께로 형성하였다. 채널층 상에는 알루미늄으로 700Å 두께의 소스전극 및 드레인 전극을 증착하였다. 편의상, p 도핑 실리콘 기판을 백게이트로 사용하였다.

[0052] 황 도핑 ZnON 채널층 형성은, 기판 상에 Zn 타겟과 ZnS 타겟을 사용하여 스퍼터링 방법으로 형성하였다. 코스퍼터링(co-sputtering)시, 산소 및 질소는 각각 2sccm, 100sccm 유량의 개스를 공급하였다. 기판은 대략 150°C로 유지하였으며, 챔버내 압력은 0.4 Pa로 유지하였다. Zn 타겟에는 300W 전압을 인가하고, 황 도핑량의 변화를 측정하기 위해서 ZnS 파워는 0, 15, 30, 45, 60, 75W를 인가하였다. 코스퍼터링 시간은 4분 10초 동안 수행되었다.

- [0053] 도 3은 제조된 트랜지스터를 250℃에서 1시간, 300℃에서 1시간 열처리한 후 측정된 결과다.
- [0054] 도 3을 참조하면, ZnS 파워의 증가에 따라서, 트랜지스터의 이동도는 감소하였으나 문턱전압은 증가하였다. 이동도는 황을 도핑하지 않을 때 대략 43 cm²/Vs 이고, ZnS 파워가 15W 일 때 이동도는 대략 48 cm²/Vs로 증가하였으나, ZnS 파워가 30W 이상일 때 이동도는 5 cm²/Vs 이하로 급격하게 감소하였다. 문턱전압은 황을 도핑하지 않을 때 대략 -4V 이고, ZnS 파워가 15W 일 때 문턱전압은 대략 -2.4V로 증가하였으며, ZnS 파워가 30W 이상일 때 문턱전압은 18V 이상으로 증가하였다.
- [0055] 도 3의 결과로 볼 때, ZnON 채널층을 구비한 트랜지스터에 있어서, 황 도핑량은 S/Zn 원자%가 대략 0.6% (ZnS 파워 15W 인가)일 때 양호한 특성을 나타내며, 황도핑량이 S/Zn 원자%가 1.2% (ZnS 파워 30W 인가) 까지는 특성, 예컨대 트랜지스터의 안정성, 신뢰성의 향상이 기대된다.
- [0056] 한편, ZnON 채널층의 황 도핑은 비교적 큰 밴드갭을 가지며 강한 결합력을 가진 ZnS를 포함하므로 채널층이 안정화되고 따라서, 황 도핑 채널층을 포함하는 트랜지스터의 안정화를 가져온다.
- [0057] 도 4는 본 발명의 다른 실시예에 따른 트랜지스터(200)를 보여준다. 본 실시예에 따른 트랜지스터(200)는 게이트 전극(220)이 채널층(220) 상방에 배치된 탑(top) 게이트 구조의 박막 트랜지스터이다.
- [0058] 도 4를 참조하면, 기판(210) 상에 채널층(220)이 배치된다. 채널층(220)은 황이 도핑된 징크 옥시나이트라이드 (oxynitride) 반도체일 수 있다. 채널층(220)에서 황의 비율은 Zn에 대해서 0.1~1.2 at.% 정도일 수 있다. 채널층(220)에서 황의 비율은 0.05~0.6 at.% 정도일 수 있다.
- [0059] 황이 도핑된 ZnON 채널층(220)은 비정질 상으로 존재할 수 있으며, 소량의 나노결정상이 존재할 수도 있다.
- [0060] 한편, 채널층(220)의 두께는 10~150nm 정도, 예컨대, 30~100nm 정도일 수 있다. 그러나 채널층(220)의 두께 범위는 달라질 수 있다.
- [0061] 기판(210) 상에서 채널층(220)의 양단을 각각 덮는 소스 전극(231) 및 드레인 전극(232)이 배치된다.
- [0062] 기판(210) 상에 채널층(220), 소스 전극(231) 및 드레인 전극(232)을 덮는 게이트 절연층(240)이 구비될 수 있다. 게이트 절연층(240)은 실리콘 산화물층, 실리콘 질산화물층이나 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예컨대, 실리콘 질화물층보다 유전상수가 큰 고유전물질층을 포함할 수도 있다. 게이트 절연층(240)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 및 고유전물질층 중 적어도 두 층 이상이 적층된 구조를 가질 수도 있다.
- [0063] 게이트 절연층(240) 상에 게이트 전극(250)이 구비될 수 있다. 게이트 전극(250)은 채널층(220)과 대응되게 채널층(220)의 상방에 위치할 수 있다. 게이트 절연층(240) 상에 게이트 전극(250)을 덮는 보호층(260)이 구비될 수 있다. 보호층(260)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 또는 유기절연층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다.
- [0064] 게이트 전극(120), 게이트 절연층(130), 소스 전극(151), 드레인 전극(152) 및 보호층(160)의 두께는 각각 50~300nm, 50~400nm, 10~200nm, 10~200nm 및 50~1200nm 정도일 수 있다. 그러나 이 두께 범위는 예시적인 것이고, 경우에 따라 달라질 수 있다.
- [0065] 황 도핑 ZnON 채널층(140)은 ZnO 또는 Zn₃N₂ 보다 큰 밴드갭을 가지는 ZnS를 포함하기 때문에 더 안정적 결합을 가진다. Zn-S 결합은 Zn-O 결합 보다 강한 결합 세기를 가지므로 소량의 황 도핑으로 트랜지스터의 안정화를 가져올 수 있다.
- [0066] 도 5a 내지 도 5e는 본 발명의 실시예에 따른 트랜지스터의 제조방법을 보여준다. 본 실시예는 바텀(bottom) 게이트 구조를 갖는 박막 트랜지스터의 제조방법이다.
- [0067] 도 5a를 참조하면, 기판(310) 상에 게이트 전극(320)을 형성하고, 게이트 전극(320)을 덮는 게이트 절연층(330)을 형성할 수 있다. 기판(310)은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예컨대, 플라스틱 기판이나 실리콘 기판 등 통상의 반도체소자 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극(320)은 일반적인 전극 물질(금속, 도전성 산화물 등)로 형성할 수 있다. 게이트 절연층(330)은 실리콘 산화물, 실리콘 질산화물 또는 실리콘 질화물로 형성하거나, 그 밖의 다른 물질, 예컨대, 실리콘 질화물보다 유전상수가 큰 고유전물질로 형성할 수도 있다. 게이트 절연층(330)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 및 고유전물질층 중 적어도 두 층 이상이 적층된 구조로 형성할 수도 있다.

- [0068] 도 5b를 참조하면, 게이트 절연층(330) 상에 채널용 반도체층(340)을 형성할 수 있다. 채널용 반도체층(340)은 산화물 반도체로 형성할 수 있다. 채널용 반도체층(340)은 황을 도핑한 ZnON 계열의 반도체로 형성할 수 있다. 구체적인 예로, 채널용 반도체층(340)은 황이 도핑된 ZnON으로 형성할 수 있다. 채널층(140)에서 황의 비율은 Zn에 대해서 0.1~1.2 at.% 정도일 수 있다. 채널층(140)에서 황의 비율은 0.05~0.6 at.% 정도일 수 있다.
- [0069] 황이 도핑된 ZnON 채널층(140)은 비정질 상으로 존재할 수 있으며, 소량의 나노결정상이 존재할 수도 있다.
- [0070] 채널용 반도체층(340)의 두께는 10~150nm 정도, 예컨대, 50~100nm 정도일 수 있지만, 경우에 따라, 적정 두께 범위는 달라질 수 있다.
- [0071] 채널용 반도체층(340)은, 예컨대, 반응성 스퍼터링(reactive sputtering) 법과 같은 물리 기상 증착(physical vapor deposition)(이하, PVD) 방법으로 증착할 수 있다. 채널용 반도체층(340)을 형성하기 위한 상기 반응성 스퍼터링 법은 Zn 타겟 및 ZnS 타겟을 사용하는 코스퍼터링(co-sputtering) 방식으로 수행될 수 있다. 이 경우, 반응성 스퍼터링 법은 반응 가스로서 O₂ 가스 및 N₂ 가스를 사용할 수 있다. 이때, O₂ 가스의 유량은 1~15 sccm 정도일 수 있고, N₂ 가스의 유량은 20~150 sccm 정도일 수 있다. 또한 반응성 스퍼터링 법은 플라즈마 발생을 위해 Ar 가스를 더 사용할 수 있다. 이 경우, 상기 Ar 가스의 유량은 1~50 sccm 정도일 수 있다. Ar 가스를 사용해서 플라즈마를 발생할 경우, 증착 효율이 향상될 수 있다.
- [0072] 반응성 스퍼터링 법은 대략 150℃ 정도의 온도 및 0.4~0.8 Pa 정도의 압력 하에서 수행할 수 있다. 전술한 채널용 반도체층(340)의 형성방법은 예시적인 것이고, 이는 다양하게 변화될 수 있다. 예컨대, 채널용 반도체층(340)은 상기 반응성 스퍼터링 법이 아닌 다른 방법, 예컨대, 황 전구체 및 Zn 전구체를 이용하는 MOCVD(metal organic chemical vapor deposition) 법으로 형성할 수 있다. 그 밖에 다른 방법, 예컨대, CVD(chemical vapor deposition)나 ALD(atomic layer deposition) 또는 증발(evaporation) 법으로 채널용 반도체층(340)을 형성할 수도 있다.
- [0073] 도 5c를 참조하면, 채널용 반도체층(340) 상에 식각정지층(342)을 형성할 수 있다. 식각정지층(342)은 게이트 전극(320)과 대응되는 위치에 형성될 수 있다. 식각정지층(342)은 예컨대, 실리콘 산화물, 실리콘 질화물, 유기 절연물 등으로 형성할 수 있다.
- [0074] 게이트 절연층(330) 상에 채널용 반도체층(340) 및 식각정지층(342)을 덮는 소스 전극/드레인 전극용 도전층(350)을 형성할 수 있다. 도전층(350)은 게이트전극(320)과 동일한 물질로 형성할 수 있지만, 그렇지 않을 수도 있다. 도전층(350)은 단일층 또는 다중층으로 형성할 수 있다.
- [0075] 다음, 도전층(350) 상에 소정의 마스크 패턴(M10)을 형성할 수 있다. 마스크 패턴(M10)은 소스 전극 및 드레인 전극을 형성할 영역을 한정하도록 형성할 수 있다.
- [0076] 마스크 패턴(M10)을 식각 장벽으로 이용해서 도전층(350) 및 채널용 반도체층(340)을 식각(패터닝)할 수 있다. 식각(패터닝) 공정의 결과물이 도 5d에 도시되어 있다.
- [0077] 도 5d를 참조하면, 채널용 반도체층(340)으로부터 채널층(341)이 형성되고, 도전층(350)으로부터 소스 전극(351) 및 드레인 전극(352)이 형성될 수 있다. 상기 식각(패터닝)시, 식각정지층(ES10)은 소스 전극(351) 및 드레인 전극(352) 사이의 채널층 영역을 보호하는 역할을 할 수 있다. 그러나, 식각정지층(342)의 형성은 선택적인 것이다.
- [0078] 도 5e를 참조하면, 마스크 패턴(M10)을 제거한 후, 게이트 절연층(330) 상에 식각정지층(342), 소스 전극(351) 및 드레인 전극(352)을 덮는 보호층(360)을 형성할 수 있다. 보호층(360)은, 예컨대, 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 또는 유기절연층으로 형성하거나, 이들 중 적어도 두 개 이상이 적층된 구조로 형성할 수 있다. 이와 같은 방법으로 형성된 트랜지스터는 소정 온도로 어닐링(annealing) 할 수 있다. 상기 어닐링은, 예컨대, 250~350℃ 정도의 온도로 수행할 수 있다.
- [0079] 전술한 도 5a 내지 도 5e의 제조방법은 도 1의 트랜지스터를 제조하는 방법의 일례이다. 이 방법을 변형하면, 도 4의 트랜지스터를 제조할 수 있다. 도 5a 내지 도 5e를 참조하여 설명한 방법에 기초해서 도 4의 트랜지스터를 제조하는 것은 당업자가 잘 알 수 있는바, 이에 대한 상세한 설명은 생략한다.
- [0080] 지금까지, 발명의 이해를 돕기 위하여 다양한 실시예가 설명되고 첨부된 도면에 도시되었다. 그러나, 이러한 실시예는 단지 발명을 예시하기 위한 것이고 이를 제한하지 않는다는 점이 이해되어야 할 것이다. 그리고 도시되고 설명된 설명에 발명이 국한되지 않는다는 점이 이해되어야 할 것이다. 이는 다양한 다른 변형이 본 기술분야

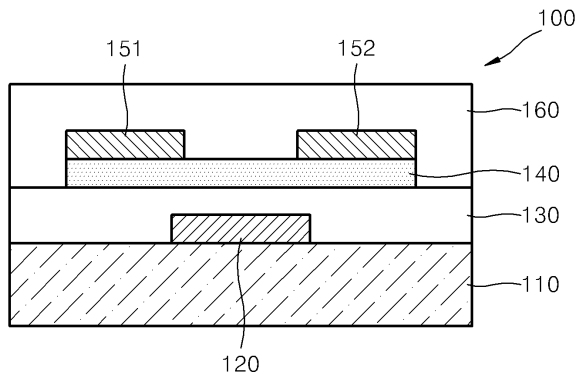
에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

부호의 설명

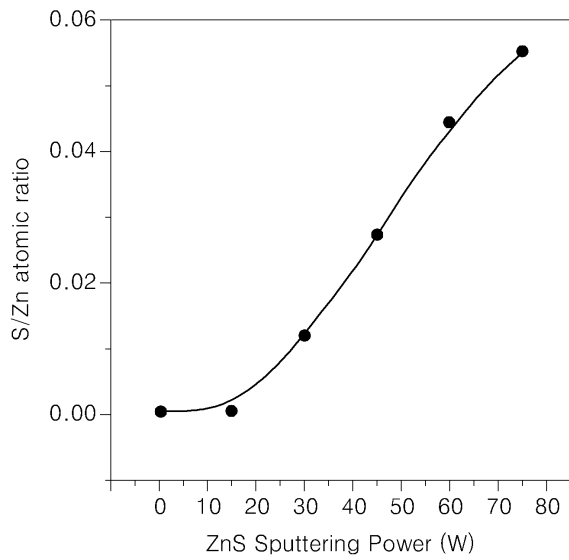
- [0081]
- | | |
|--------------------|--------------|
| 100: 트랜지스터 | 110: 기판 |
| 120: 게이트 전극 | 130: 게이트 절연층 |
| 140: 황 도핑 ZnON 채널층 | 151: 소스 전극 |
| 152: 드레인 전극 | 160: 보호층 |

도면

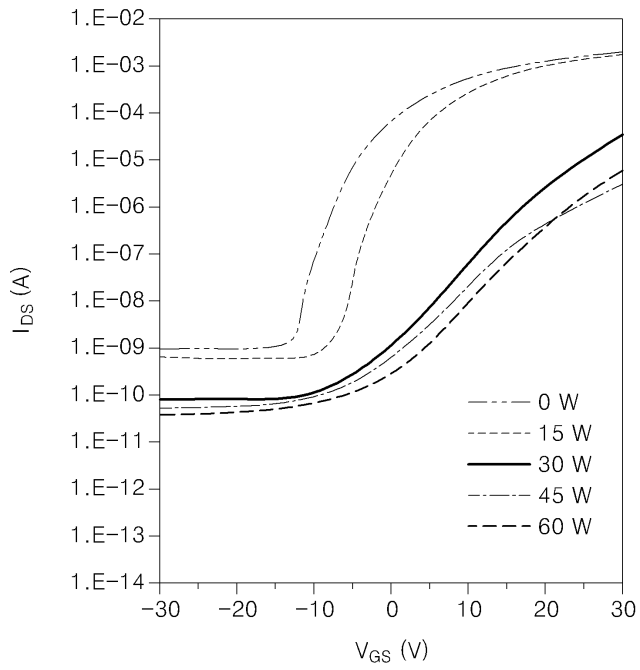
도면1



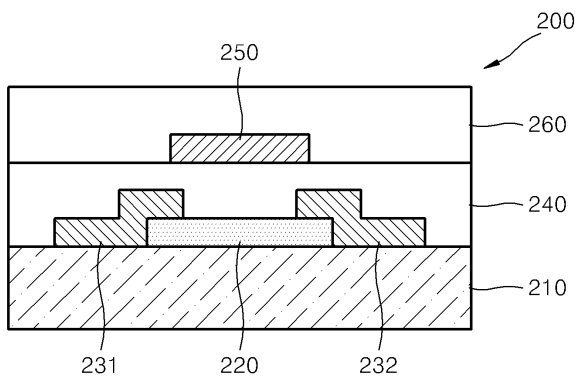
도면2



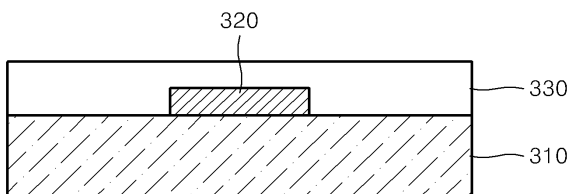
도면3



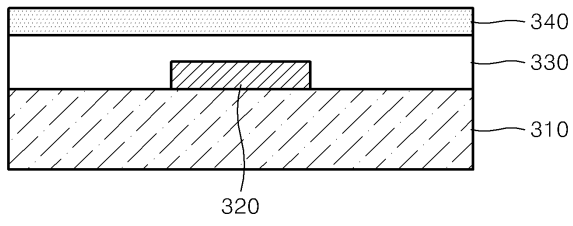
도면4



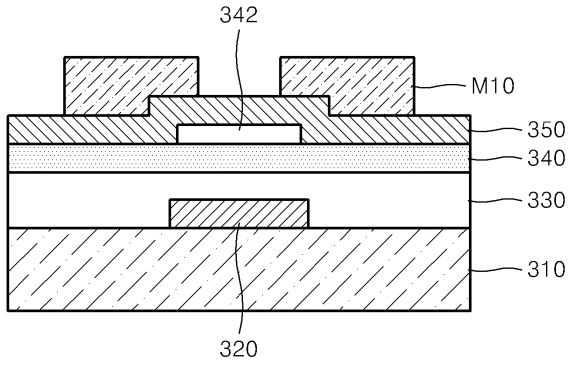
도면5a



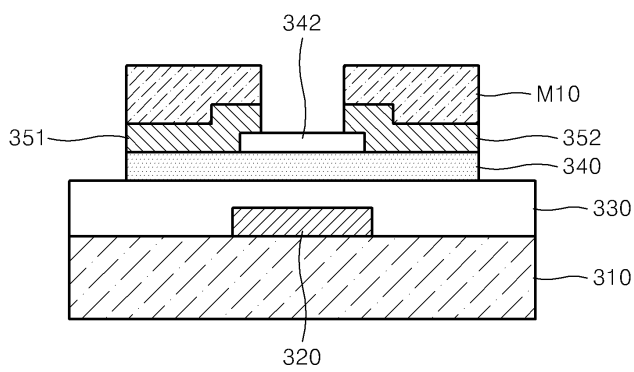
도면5b



도면5c



도면5d



도면5e

