

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165020

(P2006-165020A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/095 (2006.01)	HO 1 L 29/80 E	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	
HO 1 L 29/778 (2006.01)		
HO 1 L 21/338 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 53 頁)

(21) 出願番号 特願2004-349675 (P2004-349675)
 (22) 出願日 平成16年12月2日 (2004.12.2)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 浅野 哲郎
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 5F102 GA02 GA17 GJ05 GL04 GM06
 GM07 GM08 GN04 GN05 GQ02
 GQ03 GR04 GS01 GT03 GV05
 HC11 HC15 HC19

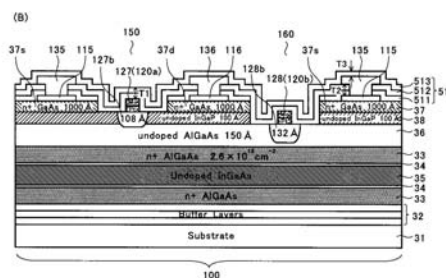
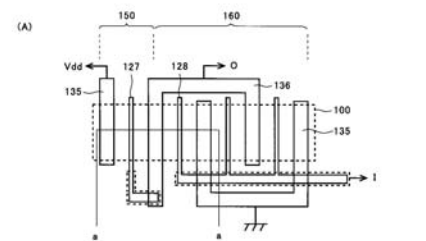
(54) 【発明の名称】 スイッチ集積回路装置およびその製造方法

(57) 【要約】

【課題】高周波スイッチMMICにおいてディプレッション型HEMTとエンハンスメント型HEMTを同一基板に形成する場合、エンハンスメント型HEMTのゲート電極を形成する動作領域の半導体層を所定の深さエッチングし、異なるピンチオフ電圧を実現している。しかし、動作領域のエッチングは数nmの精度を必要とするため、歩留りが悪い問題があった。

【解決手段】ディプレッション型HEMTの第1ゲート電極を第2ノンドープ層上に設け、エンハンスメント型HEMTの第2ゲート電極を第1ノンドープ層上に設ける。第2ノンドープ層は、第1ノンドープ層との選択エッチングにより再現よくエッチングできる。第1および第2ゲート電極はPt埋め込みゲート構造とし、Ptの蒸着厚みと第1および第2ノンドープ層の厚みを最適化しそれぞれのHEMTのピンチオフ電圧値を得る。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体基板上に、ディプレッション型 H E M T により高周波アナログ信号をスイッチングするスイッチ回路を構成し、前記ディプレッション型 H E M T と同一基板に集積化されたエンハンスメント型 H E M T によりロジック回路を構成したスイッチ集積回路装置であって、

前記基板の上に積層されたバッファ層、チャネル層、該チャネル層の上下に設けた 2 つの電子供給層、上層の前記電子供給層上に当接して設けられ該電子供給層と格子整合する第 1 ノンドープ層、該第 1 ノンドープ層の上に当接して設けられ該第 1 ノンドープ層と格子整合する第 2 ノンドープ層、該第 2 ノンドープ層の上に当接して設けられ該第 2 ノンドープ層と格子整合するキャップ層となる半導体層と、

前記半導体層に設けられ、ソース領域およびドレイン領域を有する動作領域と、

前記ソース領域およびドレイン領域とそれぞれコンタクトする第 1 ソース電極および第 1 ドレイン電極と、

前記第 1 ソース電極および前記第 1 ドレイン電極とコンタクトする第 2 ソース電極および第 2 ドレイン電極と、

前記動作領域の前記第 2 ノンドープ層の表面に設けられ一部が前記動作領域に埋め込まれた第 1 ゲート電極と、

前記動作領域の前記第 1 ノンドープ層の表面に設けられ一部が前記動作領域に埋め込まれた第 2 ゲート電極と、を具備することを特徴とするスイッチ集積回路装置。

【請求項 2】

前記第 1 ノンドープ層は、ノンドープ A l G a A s 層であることを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 3】

前記 2 ノンドープ層は、ノンドープ I n G a P 層であることを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 4】

前記第 1 ゲート電極および第 2 ゲート電極の最下層金属は P t であり、該 P t の一部を前記動作領域に埋め込むことを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 5】

前記第 1 ゲート電極および前記第 2 ゲート電極の前記埋め込まれた P t の底部は、それぞれ異なる前記半導体層に達することを特徴とする請求項 4 に記載のスイッチ集積回路装置。

【請求項 6】

前記第 1 ゲート電極および前記第 2 ゲート電極の前記埋め込まれた P t の底部は、同一の前記半導体層に達することを特徴とする請求項 4 に記載のスイッチ集積回路装置。

【請求項 7】

前記第 1 ゲート電極および第 2 ゲート電極の、P t 蒸着膜厚は 60 以下とすることを特徴とする請求項 4 に記載のスイッチ集積回路装置。

【請求項 8】

前記第 1 ゲート電極および第 2 ゲート電極を構成するゲート金属層は、P t / M o であることを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 9】

前記電子供給層、チャネル層、およびキャップ層は、それぞれ n + A l G a A s 層、ノンドープ I n G a A s 層、および n + G a A s 層であることを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 10】

前記第 1 ゲート電極および第 2 ゲート電極周囲、前記第 1 ソース電極及び第 2 ソース電極周囲、前記第 1 ドレイン電極及び第 2 ドレイン電極周囲と密着して被覆する絶縁膜を具備し、

10

20

30

40

50

前記第 2 ソース電極および前記第 2 ドレイン電極は、前記絶縁膜内に設けられたコンタクトホールを介して前記第 1 ソース電極および第 1 ドレイン電極とそれぞれコンタクトし、

前記第 1 および第 2 ゲート電極上に設けられた前記絶縁膜の膜厚から前記第 2 ソース電極および前記第 2 ドレイン電極上に設けられた前記絶縁膜の膜厚を減じた値を、前記コンタクトホールの深さとなる前記絶縁膜の膜厚から減じた値が正となることを特徴とする請求項 1 に記載のスイッチ集積回路装置。

【請求項 1 1】

半導体基板上に、ディプレッション型 H E M T により高周波アナログ信号をスイッチングするスイッチ回路を形成し、前記ディプレッション型 H E M T と同一基板に集積化されたエンハンスメント型 H E M T によりロジック回路を形成する、スイッチ集積回路装置の製造方法であって、

前記基板上にバッファ層、チャンネル層、該チャンネル層の上下に設けた 2 つの電子供給層、上層の該電子供給層上に当接して設けられ該電子供給層と格子整合する第 1 ノンドープ層、該第 1 ノンドープ層上に当接して設けられ該第 1 ノンドープ層と格子整合する第 2 ノンドープ層、該第 2 ノンドープ層に当接して設けられ該 2 ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程と、

前記キャップ層の一部にコンタクトする第 1 ソース電極および第 1 ドレイン電極を形成する工程と、

前記動作領域の前記第 2 ノンドープ層の表面に第 1 ゲート電極を蒸着する工程と、

前記動作領域の前記第 1 ノンドープ層の表面に第 2 ゲート電極を蒸着する工程と、

前記第 1 ゲート電極および前記第 2 ゲート電極の最下層金属の一部を熱処理により前記動作領域表面に埋め込む工程と、

前記第 1 ソース電極および第 1 ドレイン電極とコンタクトする第 2 ソース電極および第 2 ドレイン電極を形成する工程と、
を具備することを特徴とするスイッチ集積回路装置の製造方法。

【請求項 1 2】

半導体基板上に、ディプレッション型 H E M T により高周波アナログ信号をスイッチングするスイッチ回路を形成し、前記ディプレッション型 H E M T と同一基板に集積化されたエンハンスメント型 H E M T によりロジック回路を形成するスイッチ集積回路装置の製造方法であって、

前記基板上にバッファ層、チャンネル層、該チャンネル層の上下に設けた 2 つの電子供給層、上層の該電子供給層上に当接して設けられ該電子供給層と格子整合する第 1 ノンドープ層、該第 1 ノンドープ層上に当接して設けられ該第 1 ノンドープ層と格子整合する第 2 ノンドープ層、該第 2 ノンドープ層上に当接して設けられ該第 2 ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程と、

前記動作領域の前記キャップ層の一部にコンタクトする第 1 ソース電極および第 1 ドレイン電極を形成する工程と、

全面に第 1 絶縁膜を形成する工程と、

前記第 1 ソース電極および第 1 ドレイン電極間の前記第 1 絶縁膜の一部を除去し、該第 1 絶縁膜をマスクとして前記キャップ層の一部を除去し前記第 2 ノンドープ層を露出する工程と、

前記動作領域の前記第 2 ノンドープ層の表面に第 1 ゲート電極を蒸着する工程と、

前記第 1 ソース電極および第 1 ドレイン電極間の前記第 1 絶縁膜の一部を除去し、該第 1 絶縁膜をマスクとして前記キャップ層および前記第 2 ノンドープ層の一部を除去し前記第 1 ノンドープ層を露出する工程と、

前記動作領域の前記第 1 ノンドープ層の表面に第 2 ゲート電極を蒸着する工程と、

前記ゲート電極を覆う第 2 絶縁膜を形成する工程と、

前記第 1 絶縁膜および第 2 絶縁膜に設けたコンタクトホールを介して前記第 1 ソース電

10

20

30

40

50

極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、
を具備することを特徴とするスイッチ集積回路装置の製造方法。

【請求項13】

前記第1ゲート電極および前記第2ゲート電極の最下層金属はPtであり、該Ptの一部は前記動作領域に埋め込まれることを特徴とする請求項11または請求項12に記載のスイッチ集積回路装置の製造方法。

【請求項14】

前記第1ゲート電極および前記第2ゲート電極の前記Ptはそれぞれ60以下の膜厚に蒸着することを特徴とする請求項13に記載のスイッチ集積回路装置の製造方法。

10

【請求項15】

前記絶縁化層形成前に全面に初期絶縁膜を形成し、該初期絶縁膜を除去した後、前記第1絶縁膜を形成することを特徴とする請求項12に記載のスイッチ集積回路装置の製造方法。

【請求項16】

前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去した後、該第1絶縁膜の開口寸法より大きく、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し、前記キャップ層から張り出した前記絶縁膜のひさし部をドライエッチングにより除去することを特徴とする請求項12に記載のスイッチ集積回路装置の製造方法。

【請求項17】

20

前記第1ノンドープ層は、ノンドープAlGaAs層であることを特徴とする請求項11または請求項12に記載のスイッチ集積回路装置の製造方法。

【請求項18】

前記2ノンドープ層は、ノンドープInGaP層であることを特徴とする請求項11または請求項12に記載のスイッチ集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチ集積回路装置およびその製造方法に関わり、特に同一基板にディプレッション型HEMTとエンハンスメント型HEMTを集積化するスイッチ集積回路装置及びその製造方法に関する。

30

【背景技術】

【0002】

HEMT (High Electron Mobility Transistor: 高電子移動度トランジスタ) に代表されるヘテロ接合を有するデバイスは、GaAs MESFET (Metal Semiconductor FET)、GaAs JFET (Junction FET) と比較して効率性、利得性、歪特性が優れているため、MMICの主流デバイスに成りつつある。

【0003】

HEMTはMESFETと同様に、ゲート電圧が0Vの場合にチャンネルが形成されるか否かによりディプレッション型(以下本明細書ではD型と称する)と、エンハンスメント型(以下本明細書ではE型と称する)があり、これらを1チップに集積化したものも知られている。

40

【0004】

図18を参照し、E型HEMTとD型HEMTを同一基板に集積化した従来のスイッチ集積回路装置の構造について説明する。

【0005】

図の如くHEMT基板は、半絶縁性GaAs基板231上にノンドープのバッファ層232を積層し、バッファ層232上に、電子供給層となるn+AlGaAs層233、チャンネル(電子走行)層となるノンドープInGaAs層235、電子供給層となるn+

50

1 GaAs層233等の半導体層を順次積層したものである。電子供給層233とチャネル層235間には、スペーサ層234が配置される。

【0006】

バッファ層232は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度である。上層の電子供給層233上には、障壁層236となるノンドープのAlGaAs層を積層し、所定の耐圧とピンチオフ電圧を確保している。更にキャップ層となるn+GaAs層237を最上層に積層している。

【0007】

キャップ層237を一部除去して所望の形状にパターンニングし、ソース領域237sおよびドレイン領域237dを設ける。ソース領域237sおよびドレイン領域237dにはそれぞれ第1ソース電極315、第1ドレイン電極316が接続し、その上層には第2ソース電極335、第2ドレイン電極336が形成される。

10

【0008】

HEMTの動作領域300は、バッファ層に達する絶縁化層（ここでは不図示）を設けて分離することにより形成される。ここで、動作領域300とは、絶縁化層で分離され、HEMTのソース電極315、335、ドレイン電極316、336およびゲート電極327が配置される領域の半導体層をいう。

【0009】

第1ゲート電極327および第2ゲート電極328は、それぞれソース領域237sおよびドレイン領域237d間の動作領域300に配置される。第1ゲート電極327は、ソース領域237s、ドレイン領域237d間に露出した障壁層236の表面とショットキー接合を形成する。一方、第2ゲート電極328は、ソース領域237s、ドレイン領域237d間に露出した障壁層236を110程度エッチングし、その表面とショットキー接合を形成する。すなわち、第1ゲート電極327と、第2ゲート電極328がショットキー接合を形成する障壁層236の表面は、異なる平面上となる。

20

【0010】

これにより、第1ゲート電極327とその両側の第1、第2ソース電極315、335および第1、第2ドレイン電極316、336によりD型HEMT550が構成される。また、第2ゲート電極328とその両側の第1、第2ソース電極315、335および第1、第2ドレイン電極316、336によりE型HEMT560が構成される（例えば特許文献1参照。）。

30

【0011】

図19から図24の断面図を参照し、上記のHEMTの製造方法の一例を説明する。

【0012】

半絶縁性GaAs基板231上にノンドープのバッファ層232、電子供給層のn+AlGaAs層233、スペーサ層234、チャネル層のノンドープInGaAs層235、スペーサ層234、電子供給層のn+AlGaAs層233、障壁層となるノンドープのAlGaAs層236、キャップ層となるn+GaAs層237の複数の半導体層を積層する。

【0013】

絶縁化層を形成するため、全面にスルーイオン注入用の第1窒化膜2511を形成する。レジストのマスクにより所望のパターンにボロン(B+)をイオン注入し、レジスト除去、アニールを行うことにより絶縁化層260を形成する。バッファ層232に達する絶縁化層260を設けることにより、HEMTを構成する動作領域300としての不純物領域が分離される（図19）。

40

【0014】

次に、オーミック金属層による電極を形成するため、レジストPRのマスクを設け、スルーイオン用の第1窒化膜2511の所望の領域をエッチングにより除去する（図20(A)）。全面にオーミック金属層(AuGe/Ni/Au)310を蒸着し（図20(B)）、リフトオフ後、アロイする。これにより、キャップ層237にコンタクトする第1

50

ソース電極 315 および第 1 ドレイン電極 316 が形成される。これら両電極とコンタクトするキャップ層 237 は後に分離されソース領域 237s、ドレイン領域 237d となる。(図 20(C))。

【0015】

次に、第 1 ゲート電極形成のために新たなレジスト PR を設ける。レジスト PR のゲート電極の形成領域を開口し、露出した窒化膜 2511 を除去して開口部 OP を形成する(図 21(A))。その後、リセスエッチングを行う。すなわち耐圧を確保するためキャップ層 237 を窒化膜 2511 の開口部 OP より大きく、所定の寸法になるまでサイドエッチングを続ける。エッチングによりキャップ層 237 は分離される。ゲート電極の形成領域には障壁層 236 が露出する。またキャップ層 237 のサイドエッチングにより第 1 窒化膜 2511 が張り出しひさし部 E となる(図 21(B))。そして、ゲート電極を安定に形成するため、第 1 窒化膜 2511 のひさし部 E を除去する(図 21(C))。

10

【0016】

次に、全面にゲート金属層 320 を蒸着する(図 22(A))。その後、リフトオフし、障壁層 236 とショットキー接合を形成する第 1 ゲート電極 327 を形成する(図 22(B))。

【0017】

その後、第 2 ゲート電極形成のために新たなレジスト PR を設ける。第 1 ゲート電極 327 と同様に第 1 窒化膜 2511 に開口部 OP を形成し、リセスエッチングを行う。エッチングにより、キャップ層 237 が分離される。第 2 ゲート電極の形成領域には障壁層 236 が露出する(図 23(A))。

20

【0018】

さらに、キャップ層 237 のサイドエッチングによりひさし状に張り出した第 1 窒化膜 2511 のひさし部 E を除去した後、E 型 HEMT としてのピンチオフ電圧特性が得られるよう、所定の深さまで障壁層 236 をエッチングする(図 23(B))。

【0019】

次に、全面にゲート金属層 320 を蒸着、リフトオフし、エッチングされ、表面が下方に下がった障壁層 236 とショットキー接合を形成する第 2 ゲート電極 328 を形成する(図 23(C))。

【0020】

全面に保護膜となる第 2 窒化膜 2512 を形成し(図 24(A))、第 2 窒化膜 2512 にコンタクトホール CH を形成する。新たなレジストにより所望の形状にパッド金属層(Ti/Pt/Au) 330 を蒸着、リフトオフし、第 2 ソース電極 335、第 2 ドレイン電極 336 を形成する(図 24(B))。その後全面にジャケット膜となる第 3 窒化膜 2513 を形成して、図 18 に示す最終構造を得る。

30

【0021】

また、図 25 の如く、ゲート電極 Gate がコンタクトするノンドープの AlGaAs 層(障壁層)およびノンドープの GaAs 層(安定層)を複数積層し、それらを選択的にエッチングすることにより、ピンチオフ電圧の異なる E 型 HEMT と D 型 HEMT を形成する構造も知られている(例えば非特許文献 1 参照)。

40

【特許文献 1】特公平 1-23955 号公報

【非特許文献 1】田原和弘、他 3 名、「シングルコントロール SPDT スイッチ IC の開発」、NEC 技報 Vol. 55 No. 4 / 2002

【発明の開示】

【発明が解決しようとする課題】

【0022】

HEMT においては、ゲート電極底部の高さのばらつきがピンチオフ電圧(以下 V_p と称する)のばらつきに影響する。具体的にはゲート電極底部の高さが約 10 ~ 15 ばらつくくと、HEMT の V_p が 0.1 V ばらつくことになる。一般に HEMT の V_p ばらつきの許容範囲は D 型 HEMT も E 型 HEMT も最大で ± 0.2 V 程度である。従って V_p ば

50

らつきを最大で ± 0.2 Vの範囲内に収めるためには、ゲート電極底部の高さのばらつきを最大で $\pm 20 \sim 30$ 程度に抑える必要がある。

【0023】

D型HEMT 550とE型HEMT 560を同一基板に形成する場合には、D型HEMT 550の第1ゲート電極327を障壁層236表面に形成した後、図23(B)の如く所定の深さまで障壁層(AlGaAs層)236のエッチングを行い、E型HEMT 560の第2ゲート電極328を形成している。このようにゲート電極底部の高さを変えることにより、空乏層の広がる領域を異ならせ、D型HEMT 550およびE型HEMT 560がそれぞれの所定のピンチオフ電圧を得るように制御している。

【0024】

例えば、E型HEMT 560では障壁層(ノンドープAlGaAs)236を110程度エッチングし、第2ゲート電極を形成している。つまりD型HEMT 550とE型HEMT 560のゲート電極の底部の高さは110の差がある。しかし一般にエッチングのばらつき(すなわちゲート電極底部の高さのばらつき)を最大で $\pm 20 \sim 30$ 程度に抑えるのは至難の技である。つまりAlGaAs層236のエッチングによりゲート電極底部の高さを決定する方法では、 V_p ばらつきが大き過ぎて歩留が悪いことが最大の問題であった。

【0025】

スイッチMMICにおいてスイッチ回路を構成するFETとして使用するD型HEMTの V_p のばらつきが最大値がスイッチMMICのリニアリティ特性に影響することは良く知られている。また、スイッチMMICに内蔵されるロジック回路を構成するE型HEMTの V_p のばらつきが最大値もスイッチMMICのリニアリティ特性に影響する。

【0026】

すなわちE型HEMTの V_p が大きくなり過ぎると I_{DSMAX} (ドレイン-ソース間電流の最大値)が小さく、オン抵抗 R_{on} が大きくなる。またE型HEMTの V_p が小さくなり過ぎると、 V_p がマイナス電位となり、E型HEMTがエンハンスメントではなくやディプレッションタイプとなる。このようにロジック回路の特性が悪くなることによって、後に詳述するが、スイッチ回路のリニアリティ特性を悪化させてしまう。

【0027】

また、図25では、複数積層した半導体層を選択的にエッチングすることにより、同一基板に集積化したD型HEMT(D-FET)およびE型HEMT(E-FET)のそれぞれについて、所定のピンチオフ電圧を得ている。すなわち、要求されるピンチオフ電圧に応じて所定の半導体層を露出するようにエッチングしている。しかし、エンハンスメントとディプレッションのわずかに2種類のピンチオフ電圧に対応するため、半導体層(エピタキシャル層)を数層にも渡って複数積層しなければならない。このため工数が多くなりウエハのコストが高くなる問題がある。

【0028】

更に、図26には、図24のD型HEMT 550(E型HEMTも同様)の各電極部分の拡大断面図を示す。

【0029】

従来構造においてはその製造プロセス上、オーミック金属層310で形成されたオーミック電極である第1ソース電極315および第1ドレイン電極316の両端と第1窒化膜2511との間に隙間Gが形成される。これによりオーミック電極の端部に位置するキャップ層237(ソース領域237s、ドレイン領域237d)が、ガルバニック効果により図26の如くエッチングされ、溝GVが形成されてしまう問題がある。ガルバニック効果については後に詳述するが、HEMTは、図26の太実線で示すようにソース-ドレイン間の電流経路が形成されるため、溝GVにより電流経路が狭められるとオン抵抗 R_{on} が増大する問題がある。

【0030】

また、隙間Gは、その上層に堆積された第2窒化膜2512により被覆されるものの、

10

20

30

40

50

隙間Gのステップカバレジが悪く、溝GV上では第2窒化膜2512の成膜密度が低くなる。従って、パッシベーション効果が薄いためウェハ完成後においても外部からの水分などが基板表面に達する可能性が高く、ガルバニック効果が発生する場合がある。

【0031】

これによりキャップ層237がよりエッチングされ、さらにソース・ドレイン間の電流経路が狭められ、一層オン抵抗 R_{on} が増加する恐れがある。

【0032】

更に、上記の従来の製造方法において、図21(C)、図23(A)の如く、ひさし部Eをエッチングにより除去している。しかし、このエッチングをプラズマエッチングで行う際、動作領域300表面に露出しているのは障壁層236となるノンドープのAlGaAs層である。AlGaAsはAlが含まれており酸化しやすいため、プラズマによりダメージを受けやすい。具体的には、特性としてオン抵抗 R_{on} が著しく増加し大きな問題となっていた。

10

【0033】

ひさし部Eを除去せず、それ以降の工程を行うと第1ゲート電極327、第2ゲート電極328形成の際レジストが均一に塗布できず、第1ゲート電極327、第2ゲート電極328が正常に形成できない。またゲート電極が形成できても、パッシベーション膜となる第2窒化膜2512が、ひさし部Eの下に形成されない。従ってゲート電極周囲に空洞が形成されるため信頼性上問題となる。

【0034】

一方、ひさし部Eをウェットエッチングで除去すれば、障壁層236へのダメージが発生することは無い。しかし、ウェットエッチングはオーバーエッチになりやすく、第1窒化膜2511のオーバーエッチによりオーミック電極である第1ソース電極315および第1ドレイン電極316が露出してしまう場合もある。オーミック電極が露出すると、ガルバニック効果によりオーミック電極の両端のキャップ層237が工程中にエッチングされ、結局オン抵抗 R_{on} が増大してしまう問題があった。

20

【課題を解決するための手段】

【0035】

本発明は上述した諸々の事情に鑑み成されたもので、第1に、半導体基板上に、ディプレッション型HEMTにより高周波アナログ信号をスイッチングするスイッチ回路を構成し、前記ディプレッション型HEMTと同一基板に集積化されたエンハンスメント型HEMTによりロジック回路を構成したスイッチ集積回路装置であって、前記基板上に積層されたバッファ層、チャンネル層、該チャンネル層の上下に設けた2つの電子供給層、上層の前記電子供給層上に当接して設けられ該電子供給層と格子整合する第1ノンドープ層、該第1ノンドープ層の上に当接して設けられ該第1ノンドープ層と格子整合する第2ノンドープ層、該第2ノンドープ層の上に当接して設けられ該第2ノンドープ層と格子整合するキャップ層となる半導体層と、前記半導体層に設けられ、ソース領域およびドレイン領域を有する動作領域と、前記ソース領域およびドレイン領域とそれぞれコンタクトする第1ソース電極および第1ドレイン電極と、前記第1ソース電極および前記第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極と、前記動作領域の前記第2ノンドープ層の表面に設けられ一部が前記動作領域に埋め込まれた第1ゲート電極と、前記動作領域の前記第1ノンドープ層の表面に設けられ一部が前記動作領域に埋め込まれた第2ゲート電極と、を具備することにより解決するものである。

30

40

【0036】

また、前記第1ノンドープ層は、ノンドープAlGaAs層であることを特徴とするものである。

【0037】

また、前記2ノンドープ層は、ノンドープInGaP層であることを特徴とするものである。

【0038】

50

また、前記第1ゲート電極および第2ゲート電極の最下層金属はPtであり、該Ptの一部を前記動作領域に埋め込むことを特徴とするものである。

【0039】

また、前記第1ゲート電極および前記第2ゲート電極の前記埋め込まれたPtの底部は、それぞれ異なる前記半導体層に達することを特徴とするものである。

【0040】

また、前記第1ゲート電極および前記第2ゲート電極の前記埋め込まれたPtの底部は、同一の前記半導体層に達することを特徴とするものである。

【0041】

また、前記第1ゲート電極および第2ゲート電極の、Pt蒸着膜厚は60以下とすることを特徴とするものである。 10

【0042】

また、前記第1ゲート電極および第2ゲート電極を構成するゲート金属層は、Pt/Moであることを特徴とするものである。

【0043】

また、前記電子供給層、チャンネル層、およびキャップ層は、それぞれn+AlGaAs層、ノンドープInGaAs層、およびn+GaAs層であることを特徴とするものである。

【0044】

第2に、前記第1ゲート電極および第2ゲート電極周囲、前記第1ソース電極及び第2ソース電極周囲、前記第1ドレイン電極及び第2ドレイン電極周囲と密着して被覆する絶縁膜を具備し、前記第2ソース電極および前記第2ドレイン電極は、前記絶縁膜内に設けられたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とそれぞれコンタクトし、前記第1および第2ゲート電極上に設けられた前記絶縁膜の膜厚から前記第2ソース電極および前記第2ドレイン電極上に設けられた前記絶縁膜の膜厚を減じた値を、前記コンタクトホールの深さとなる前記絶縁膜の膜厚から減じた値が正となることをにより解決するものである。 20

【0045】

第3に、半導体基板上に、ディプレッション型HEMTにより高周波アナログ信号をスイッチングするスイッチ回路を形成し、前記ディプレッション型HEMTと同一基板に集積化されたエンハンスメント型HEMTによりロジック回路を形成する、スイッチ集積回路装置の製造方法であって、前記基板上にバッファ層、チャンネル層、該チャンネル層の上下に設けた2つの電子供給層、上層の該電子供給層上に当接して設けられ該電子供給層と格子整合する第1ノンドープ層、該第1ノンドープ層上に当接して設けられ該第1ノンドープ層と格子整合する第2ノンドープ層、該第2ノンドープ層に当接して設けられ該2ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程と、前記キャップ層の一部にコンタクトする第1ソース電極および第1ドレイン電極を形成する工程と、前記動作領域の前記第2ノンドープ層の表面に第1ゲート電極を蒸着する工程と、前記動作領域の前記第1ノンドープ層の表面に第2ゲート電極を蒸着する工程と、前記第1ゲート電極および前記第2ゲート電極の最下層金属の一部を熱処理により前記動作領域表面に埋め込む工程と、前記第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、を具備することにより解決するものである。 40

【0046】

第4に、半導体基板上に、ディプレッション型HEMTにより高周波アナログ信号をスイッチングするスイッチ回路を形成し、前記ディプレッション型HEMTと同一基板に集積化されたエンハンスメント型HEMTによりロジック回路を形成するスイッチ集積回路装置の製造方法であって、前記基板上にバッファ層、チャンネル層、該チャンネル層の上下に設けた2つの電子供給層、上層の該電子供給層上に当接して設けられ該電子供給層と格子整合する第1ノンドープ層、該第1ノンドープ層上に当接して設けられ該第1ノンドープ 50

層と格子整合する第2ノンドープ層、該第2ノンドープ層上に当接して設けられ該第2ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程と、前記動作領域の前記キャップ層の一部にコンタクトする第1ソース電極および第1ドレイン電極を形成する工程と、全面に第1絶縁膜を形成する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し前記第2ノンドープ層を露出する工程と、前記動作領域の前記第2ノンドープ層の表面に第1ゲート電極を蒸着する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層および前記第2ノンドープ層の一部を除去し前記第1ノンドープ層を露出する工程と、前記動作領域の前記第1ノンドープ層の表面に第2ゲート電極を蒸着する工程と、前記ゲート電極を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、を具備することにより解決するものである。

10

【0047】

また、前記第1ゲート電極および前記第2ゲート電極の最下層金属はPtであり、該Ptの一部は前記動作領域に埋め込まれることを特徴とするものである。

【0048】

また、前記第1ゲート電極および前記第2ゲート電極の前記Ptはそれぞれ60以下膜厚に蒸着することを特徴とするものである。

20

【0049】

また、前記絶縁化層形成前に全面に初期絶縁膜を形成し、該初期絶縁膜を除去した後、前記第1絶縁膜を形成することを特徴とするものである。

【0050】

また、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去した後、該第1絶縁膜の開口寸法より大きく、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し、前記キャップ層から張り出した前記絶縁膜のひさし部をドライエッチングにより除去することを特徴とするものである。

【0051】

また、前記第1ノンドープ層は、ノンドープAlGaAs層であることを特徴とするものである。

30

【0052】

また、前記2ノンドープ層は、ノンドープInGaP層であることを特徴とするものである。

【発明の効果】

【0053】

本発明の構造に依れば、ノンドープ層としてInGaP層とAlGaAs層を積層し、ゲート電極としてPt埋め込みを採用する。また、ノンドープInGaP層上に第1ゲート電極を形成してD型HEMTを形成し、ノンドープAlGaAs層上に第2ゲート電極を形成することによりE型HEMTを形成する。InGaP層およびAlGaAs層は、ピンチオフ電圧に応じて所定の膜厚に設けられる。そしてE型HEMTのゲート電極形成の際のエッチングは、InGaP層とAlGaAs層の選択エッチングを行う。InGaP層とAlGaAs層はエッチングの選択性がよく、再現性のよいエッチングが可能となり、V_pばらつきを低減できる。

40

【0054】

またゲート電極構造としてPt埋め込みを採用し、ノンドープAlGaAs層とノンドープInGaP層の膜厚を、所望のV_pが得られる厚みに設定することによりD型HEMTおよびE型HEMT共にゲート電極のPt蒸着膜厚を薄くすることができ、V_pばらつきを低減できる。すなわちゲート電極の蒸着膜厚を40～60とし、膜厚設定の幅を±10とすることにより埋め込み部底部の位置を変動させ、V_pの微調整が可能となる

50

。

【0055】

蒸着膜厚設定は最大でも60で、そのときの V_p ばらつきは $\pm 0.096 \sim 0.144$ Vでこの幅が最大のばらつき幅である。つまり最大のばらつき幅を、HEMTに要求される V_p の許容ばらつき(最大で ± 0.2 V)の範囲内に十分収めることができる。

【0056】

例えば第1の実施形態ではD型HEMTのPt蒸着膜厚は45で、E型HEMTのPt蒸着膜厚は55で、それぞれ所定の V_p が得られている。また第2の実施形態では、D型HEMTのPt蒸着膜厚は50で、E型HEMTのPt蒸着膜厚は55でそれぞれ所定の V_p が得られている。Pt蒸着膜厚の生産ばらつきは常に最大で $\pm 10\%$ なので本実施形態において最も蒸着膜厚の厚いE型HEMTのPt蒸着膜厚(55)においてもその蒸着膜厚のばらつきは最大で ± 5.5 となる。従って埋め込み部の深さのばらつきはその2.4倍となり、最大で ± 13.2 となる。つまり、ゲート電極底部の高さのばらつきの要求規格である、最大で $\pm 20 \sim 30$ 程度内に十分収まり、生産においてHEMTの V_p 不良をほぼ0にできる。

10

【0057】

更にD型HEMTにおいて、20Vのゲート耐圧を有しながら、Pt埋め込みゲート構造、ダブルヘテロ接合構造、電子供給層からゲート電極までをすべてノンドープ層とする構造を採用する。これにより、電子供給層の濃度を $2.6 \times 10^{18} \text{ cm}^{-3}$ まで上げることができる。この結果第1の実施形態では $V_p = -0.8$ Vにおいてゲート幅1mmあたりのオン抵抗として $V_g = 0$ Vで $R_{on} = 1.4$ /mmを実現し、第2の実施形態では $V_p = -1.1$ Vにおいて $V_g = 0$ Vで $R_{on} = 1.25$ /mmを実現した。いずれもスイッチ用HEMTとしては極めて低いオン抵抗である。

20

【0058】

第2に、第1ソース電極および第1ドレイン電極と、キャップ層の段差を被覆する第1絶縁膜を設けることにより、従来、第1ソース電極および第1ドレイン電極の両端に形成されていた隙間Gを塞ぎ、ガルバニック効果の発生を防止できる。

【0059】

これにより、第1ソース電極および第1ドレイン電極の端部のキャップ層のエッチングを防止し、電流経路の狭さく化を防ぐことができるので、オン抵抗 R_{on} の増大を抑制できる。

30

【0060】

また、第1ソース電極および第1ドレイン電極の両端におけるパッシベーション用の第2絶縁膜の成膜密度を十分確保でき、ウェハ完成後においても外部から滲入する水分や薬剤などから基板表面を十分保護することができる。従って、ウェハ完成後におけるガルバニック効果の発生を防止し、オン抵抗 R_{on} の増大を抑制できる。

【0061】

第3に、本発明の製造方法によれば、ノンドープのInGaP層とノンドープのAlGaAs層の選択エッチングにより、所定のピンチオフ電圧を有するD型HEMTの第1ゲート電極およびE型HEMTの第2ゲート電極を容易に形成できる。例えば図25の如くAlGaAsとGaAsを繰り返して積層した基板に対してAlGaAs層とGaAs層を選択エッチングし、E型HEMTおよびD型HEMTのゲート電極を作り分ける製造方法も知られているが、この方法はエピタキシャル層が多い分工数が多くなり、ウェハのコストが高くなる。本発明においてはエンハンスメント型HEMTとディプレッション型HEMTを1チップに集積化するに当たり、エピタキシャル層を繰り返して積層することなく実施できる。

40

【0062】

また、初期窒化膜を全面除去した後、オーミック金属層を堆積し、第1ソース電極および第1ドレイン電極を形成する。そしてその後、第1窒化膜で第1ソース電極および第1ドレイン電極上を覆うため、第1ソース電極と第1ドレイン電極、およびキャップ層の段

50

差を第1窒化膜により完全に被覆し、ガルバニック効果を防止することができる。

【0063】

第4に、ゲートのリセスエッチングのマスクとなる窒化膜のひさし部を除去する際、動作領域の表面を安定なノンドープInGaP層で覆った状態でプラズマエッチングできる。これにより、動作領域表面をプラズマのダメージから保護することができる。

【発明を実施するための最良の形態】

【0064】

以下に図1から図17を用いて、本発明の実施の形態を詳細に説明する。

【0065】

図1から図3は、本実施形態のHEMTを説明する図である。本実施形態のHEMTは、ロジック回路を内蔵するスイッチ集積回路(MMIC)に採用される。 10

【0066】

図1は、本実施形態のHEMTにより構成されるロジック回路を示す図であり、一例としてE/D型DCFL(Direct Coupled FET Logic)と呼ばれるインバータ回路を示す。図1(A)(B)は等価回路図、図1(C)は回路記号である。

【0067】

図1(A)のごとく負荷となるD型FET(HEMT)と、スイッチングを行うE型FET(HEMT)を直列に接続し、E型FETのゲート電極が入力端子Iに接続し、D型FETのゲート電極がE型FETのドレイン電極(ソース電極)、D型FETのドレイン電極(ソース電極)に接続して出力端子Oに接続する。尚、以下記載は省略するがソース電極及びドレイン電極は入れ替えても等価である。 20

【0068】

D型FETのソース電極は電源端子V_{dd}に接続し、E型FETのソース電極は接地端子GNDに接続する。

【0069】

また、インバータ回路は図1(B)の如く、負荷として抵抗を用いる場合も含む。つまり負荷となる抵抗と、スイッチングを行うE型HEMTを直列に接続したものである。

【0070】

何れも電源電圧を3Vとし、入力端子Iが3V(Hレベル)の場合出力端子Oは0V(Lレベル)となり、入力端子Iが0V(Lレベル)の場合出力端子Oは3V(Hレベル)となる。すなわち、図1(C)に示す如くD型FETおよびE型FETによりインバータ回路が構成される。以下本明細書において、この回路記号により示されるインバータはE/D型DCFLである。 30

【0071】

図2は、図1のロジック回路を内蔵するハイパワーSPDT(Single Pole Double Throw)スイッチMMICであり、図2(A)は等価回路図、図2(B)は回路ブロックダイアグラムである。また、図3には、比較のためにロジック回路を内蔵しないハイパワーSPDTスイッチMMICを示す。

【0072】

スイッチ回路を構成する第1FET群F1および第2FET群F2には、それぞれ4つのD型FET(HEMT)が直列に接続する。そして第1FET群F1および第2FET群F2の一端に接続されたD型FETのソース電極(あるいはドレイン電極)が共通入力端子INに接続し、第1FET群F1のD型FETのゲート電極が抵抗R11~R14を介してスイッチ回路の制御端子Ctrlに接続し、同時にロジック回路(インバータ回路)の入力端子となるE型FET(HEMT)のゲート電極に接続する。一方第2FET群F2のD型FETのゲート電極は抵抗R21~R24を介してロジック回路(インバータ回路)の出力端子となるD型FETのゲート電極、E型FETのドレイン電極(ソース電極)およびD型FETのドレイン電極(ソース電極)に接続する。そして第1FET群F1および第2FET群F2のドレイン電極(あるいはソース電極)が第1と第2の出力端子 40 50

OUT 1、OUT 2に接続される。また、インバータ回路の両端は、電源端子V d dおよび接地端子G N Dにそれぞれ接続する。

【0073】

制御端子C t lにHレベルの信号が印加されると第1 F E T群F 1がオンし、共通入力端子I Nに印加された入力信号を第1出力端子O U T 1に伝達する。このとき第2 F E T群F 2はオフとなる。制御端子C t lにLレベルの信号が印可されると第1 F E T群F 1がオフ、第2 F E T群F 2がオンとなり、共通入力端子I Nに印加された入力信号を第2出力端子O U T 2に伝達する。抵抗R 1 1 ~ R 1 4、R 2 1 ~ R 2 4は、交流接地となる制御端子C t lの直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

10

【0074】

図3は、図2と同様のS P D Tスイッチであるが、すべてD型F E Tで構成されロジック回路を内蔵しない回路である。第1 F E T群F 1および第2 F E T群F 2のゲート電極は、それぞれ第1制御端子C t l 1、第2制御端子C t l 2に接続され、2つの制御端子に相補信号を印加することにより、共通入力端子I N - 第1出力端子O U T 1間、または共通入力端子I N - 第2出力端子O U T 2間のいずれかの信号経路が形成される。

【0075】

このように、ハイパワーS P D Tスイッチでは、ロジック回路(E / D型D C F Lインバータ)を内蔵することにより1つの制御端子でS P D TスイッチM M I Cを動作でき、制御端子数を2から1に減らすことができる。また図示は省略するが、S P 3 T (S i n g l e P o l e T h r e e T h r o w)スイッチM M I Cの場合はロジック回路を内蔵することにより、ロジック回路を内蔵しない場合と比較して制御端子数を3から2に減らすことができる。

20

【0076】

携帯電話方式で世界最大のシェアを持つG S M方式では近年D u a l - B a n d , T r i - B a n dからQ u a d - B a n d (G S M 8 5 0 / 9 0 0 / 1 8 0 0 / 1 9 0 0)へとマルチバンド化が進んで来ており使用するスイッチM M I CもS P D TからS P 3 T、S P 4 T . . . S P 7 Tへとポート数のマルチ化が進んで来ている。しかし携帯電話に内蔵されるベースバンドL S IがスイッチM M I Cに供給できる制御信号数にも数に限りがあり、スイッチM M I Cのポート数が増えるにつれロジック回路の内蔵が必須となっ

30

【0077】

ここで、スイッチM M I Cにおいてスイッチ回路を構成するD型H E M TのV pばらつきの最大値がスイッチM M I Cのリニアリティ特性に影響することは良く知られている。一方で、ロジック回路を構成するE型H E M TのV pばらつきの最大値もスイッチM M I Cのリニアリティ特性に影響する。

【0078】

すなわちE型H E M TのV pが大きくなり過ぎるとI D S M A X (ドレイン - ソース間電流の最大)が小さくオン抵抗R o nが大きくなる。これによりロジック回路であるインバータの入力電圧がオン時(例えば3 V時)に出力電圧が0 V付近まで十分に下がらなくなる。つまりスイッチ回路のオフ側F E Tが十分オフしないためリニアリティ特性が悪化する。

40

【0079】

またE型H E M TのV pが小さくなり過ぎると、V pがマイナス電位となりE型H E M Tがエンハンスメントではなくややディプレッションタイプとなる。その場合インバータの入力電圧がオフ時(0 V時)もE型H E M Tには電流が流れオン抵抗R o nが小さくなる。従ってインバータの出力電圧が十分上昇しきれず、スイッチ回路のオン側F E Tが十分オンしないためやはりリニアリティ特性が悪くなってしまふ。すなわちE型H E M TのV pばらつきもD型H E M Tと同様に小さい方が望ましい。

【0080】

50

図4から図6を参照し、上記のMMICに採用されるHEMTの構造について説明する。

【0081】

まず、図4は、第1の実施形態を示す。本実施形態のスイッチ集積回路装置は、半導体基板に複数の半導体層を積層し、D型HEMTとE型HEMTを1チップに集積化したものである。

【0082】

すなわち、図2(A)のごとく、D型HEMTにより構成される高周波アナログ信号をスイッチングするスイッチ回路と、ロジック回路を同一基板に集積化することにより構成される。ロジック回路は、E型HEMTおよびスイッチ回路のD型HEMTと同じ構造のD型HEMTを集積化した例えばインバータである。D型HEMTは、動作領域と、第1ソース電極および第1ドレイン電極、第2ソース電極および第2ドレイン電極と、第1ゲート電極を有し、E型HEMTは、動作領域と、第1ソース電極および第1ドレイン電極、第2ソース電極および第2ドレイン電極と、第2ゲート電極とを有する。

10

【0083】

なお、図4(A)は図1のE/D型DCFLの平面パターン図であり、図4(B)は図4(A)のa-a線断面図である。尚、スイッチ回路は図4のD型HEMT150を複数組配置したFETにより構成され(図2参照)、断面構造はD型HEMT150部分と同様であるので図示は省略する。

【0084】

D型HEMT150はパッド金属層よりなる第2ソース電極135と第2ドレイン電極136間に第1ゲート電極127が配置される。第2ソース電極135および第2ドレイン電極136の下方にはオーミック金属層よりなる第1ソース電極115及び第1ドレイン電極116が配置され、破線で示す動作領域100内のソース領域37sおよびドレイン領域37dとコンタクトする。第1ゲート電極127は第2ソース電極135および第2ドレイン電極136間に配置され、動作領域100外で第2ドレイン電極136に接続する。

20

【0085】

E型HEMT160はパッド金属層よりなる第2ソース電極135と第2ドレイン電極136が交互に配置され、その間に第2ゲート電極128が配置される。E型HEMT160の端部の第2ドレイン電極136(第1ドレイン電極116も同様)はD型HEMT150と共用している。

30

【0086】

図4(B)のごとく、HEMTの基板は、半絶縁性GaAs基板31上に複数の半導体層を積層してなる。複数の半導体層は、ノンドープのバッファ層32、電子供給層33、チャンネル(電子走行)層35、第1ノンドープ層36、第2ノンドープ層38、キャップ層37である。チャンネル層35の上下には電子供給層33が配置され、さらにチャンネル層35と電子供給層33間にはスペーサ層34が配置される。

【0087】

このようにチャンネル層35の上下の層に電子供給層33を配置するダブルヘテロ接合構造とすることにより、キャリア密度が増えオン抵抗 R_{on} を非常に小さくできる。

40

【0088】

バッファ層32は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度である。

【0089】

障壁層となる第1ノンドープ層36は、電子供給層33と当接してその上に設けられる。すなわち安定層38と電子供給層33間に配置され、所定の耐圧とピンチオフ電圧を確保している。障壁層36はノンドープのAlGaAs層であり膜厚は150である。

【0090】

安定層である第2ノンドープ層38は、第1ノンドープ層36と当接してその上に設け

50

られ、酸化しにくいため外部からの化学的ストレスに強く信頼性上安定なノンドープ In Ga P 層であり、膜厚は 100 程度である。又、安定層 38 はエッチストップ層としても機能する。

【0091】

更にキャップ層となる n + Ga As 層 37 を最上層に積層する。キャップ層 37 の厚みは 600 以上、不純物濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ 以上であり、好適には膜厚が 1000 程度、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0092】

電子供給層 33 は、チャンネル層 35 よりバンドギャップが大きい材料が用いられる。また、電子供給層 33 の n + Al Ga As 層の n 型不純物（例えば Si）の不純物濃度は、Vp、オン抵抗 Ron、耐圧に関係するが本実施形態では $2.6 \times 10^{18} \text{ cm}^{-3}$ とする。

10

【0093】

そして、このような構造により、電子供給層 33 である n + Al Ga As 層のドナー不純物から発生した電子が、チャンネル層 35 側へ移動し、電流パスとなるチャンネルが形成される。この結果、電子とドナー・イオンは、ヘテロ接合界面を境として空間的に分離されることになる。電子はチャンネル層 35 を走行するが、チャンネル層 35 にはドナー・イオンが存在しないためクーロン散乱の影響が非常に少なく、高電子移動度を持つことができる。

【0094】

また、結晶に歪みが発生することによるスリットなどの結晶欠陥を防止するため、In Ga P 層（安定層）38 を Ga As、つまりここでは n + Ga As 層（キャップ層）37 およびノンドープ Al Ga As 層（障壁層）36 と格子整合させる。また、ノンドープ Al Ga As 層（障壁層）36 は電子供給層 33 も Al Ga As 層であるため格子整合している。

20

【0095】

キャップ層 37 は所望の形状にパターンニングされ、第 1 ソース電極 115 および第 1 ドレイン電極 116 がそれぞれコンタクトするソース領域 37s、ドレイン領域 37d となる。第 1 ソース電極 115 および第 1 ドレイン電極 116 上には、パッド金属層 130 で形成される第 2 ソース電極 135、第 2 ドレイン電極 136 がそれぞれコンタクトする

30

【0096】

第 1 ゲート電極 127 および第 2 ゲート電極 128 は、ソース領域 37s、ドレイン領域 37d 間に配置される。

【0097】

また、本実施形態の安定層 38 は、E 型 HEMT ではその上層のキャップ層 37 と同じパターンでエッチングされているが D 型 HEMT ではエッチングされていない。

【0098】

図 4 (A) のごとく HEMT の動作領域 100 は、バッファ層 32 に達する絶縁化層（ここでは不図示）を設けて分離することにより設けられる。以下、動作領域 100 とは、絶縁化層で分離され、HEMT のソース電極 115、135、ドレイン電極 116、136 およびゲート電極 127、128 が配置される領域の半導体層をいう。すなわち電子供給層 33、チャンネル（電子走行）層 35、スペーサ層 34、障壁層 36、安定層 38、キャップ層 37 などの HEMT を構成する各半導体層をすべて含んだトータルとしての領域を動作領域 100 とする。

40

【0099】

第 1 ゲート電極 127 は、ソース領域 37s およびドレイン領域 37d 間の動作領域 100 の安定層 38 表面に蒸着により形成されるが、蒸着金属の最下層金属（Pt：白金）の一部は熱処理により動作領域 100 表面に埋め込まれる。埋め込まれた Pt（以下この領域を埋め込み部 127b と称する）も第 1 ゲート電極 127 として機能し、その底部は

50

障壁層 3 6 に達している。つまり、第 1 ゲート電極 1 2 7 および埋め込み部 1 2 7 b は安定層 3 8 および障壁層 3 6 とショットキー接合を形成する。

【 0 1 0 0 】

また、第 2 ゲート電極 1 2 8 は、ソース領域 3 7 s およびドレイン領域 3 7 d 間に露出した動作領域 1 0 0 の障壁層 3 6 表面に蒸着により形成されるが、蒸着金属の最下層金属 (P t) の一部は熱処理により動作領域 1 0 0 表面に埋め込まれる。埋め込まれた P t (以下この領域を埋め込み部 1 2 8 b と称する) も第 2 ゲート電極 1 2 8 として機能し、その底部は障壁層 3 6 中にある。つまり、第 2 ゲート電極 1 2 8 および埋め込み部 1 2 8 b は障壁層 3 6 のみとショットキー接合を形成する。

【 0 1 0 1 】

そして、第 1 ゲート電極 1 2 7 と、その両側のソース領域 3 7 s 、第 1 ソース電極 1 1 5 、第 2 ソース電極 1 3 5 およびドレイン領域 3 7 d 、第 1 ドレイン電極 1 1 6 、第 2 ドレイン領域 1 3 6 により D 型 H E M T 1 5 0 が構成される。同様に、第 2 ゲート電極 1 2 8 と、その両側のソース領域 3 7 s 、第 1 ソース電極 1 1 5 、第 2 ソース電極 1 3 5 およびドレイン領域 3 7 d 、第 1 ドレイン電極 1 1 6 、第 2 ドレイン領域 1 3 6 により E 型 H E M T 1 6 0 が構成される。

【 0 1 0 2 】

D 型 H E M T 1 5 0 の第 1 ゲート電極 1 2 7 は例えば P t / M o (モリブデン)のゲート金属層 1 2 0 a を蒸着してなり、これらの蒸着膜厚は P t が 4 5 、 M o が 5 0 である。そして、埋め込み部 1 2 7 b の深さは 1 0 8 であり、その底部は安定層 3 8 を貫通し、障壁層 3 6 内に位置する。これにより、ピンチオフ電圧 $V_p = - 0.8 V$ を実現している。

【 0 1 0 3 】

E 型 H E M T 1 6 0 の第 2 ゲート電極 1 2 8 は例えば P t / M o のゲート金属層 1 2 0 b を蒸着してなり、これらの蒸着膜厚は P t が 5 5 、 M o が 5 0 である。そして、埋め込み部 1 2 8 b の深さは 1 3 2 であり、その底部は障壁層 3 6 内に位置する。これにより、ピンチオフ電圧 $V_p = + 0.2 V$ を実現している。

【 0 1 0 4 】

またゲート電極を形成するゲート金属層として P t の上には M o など P t 埋め込み熱処理において G a A s と反応しない金属を、 P t に引き続き連続して蒸着することが望ましい。ゲート電極を P t のみで形成すると、 P t 蒸着後、 P t 埋め込み熱処理までの間に P t 表面に異物が付着した場合、その異物まで P t 埋め込み熱処理反応に関与することになり、 H E M T の特性が劣化する。従って熱により G a A s と反応しない M o で P t の上を覆うことにより M o 上に同様の異物が付着したとしても、 M o がバリアとなりその異物が P t 埋め込み熱処理反応に関与することは無い。

【 0 1 0 5 】

またウエハ完成後においても実装時に半田付けの熱が加わることなどが有る。この場合、ゲート電極を P t のみで形成すると P t の上に異物が付着している場合、その異物が半田付けの熱などによって G a A s と反応し H E M T の特性が劣化する場合がある。その際にも M o で P t の上を覆うことにより M o 上に異物があっても M o がバリアとなりその異物が半田付けの熱などによって G a A s と反応することは無い。 M o の厚みはあまり厚くすると P t との間でストレスが発生するため、最大でも P t の厚みと同程度とすることが望ましい。後に詳述するが P t 厚みは 4 0 ~ 6 0 が好ましいため M o も 5 0 程度とする。

【 0 1 0 6 】

スイッチ M M I C の場合、ゲート電極から制御端子までの間に 1 0 K 程度以上の抵抗が挿入されるため、ゲート電極自体の抵抗値は高くても問題なく、 P t 4 0 ~ 6 0 / M o 5 0 というゲート金属構造が最適である。

【 0 1 0 7 】

また熱により G a A s と反応しない金属として M o の代わりに W (タングステン)も考

10

20

30

40

50

えられるが、Wは融点が高いため一般にはスパッタで形成しており蒸着では形成できない。従ってPtの蒸着と連続してWは形成できず、またスパッタの場合高熱が発生するためレジストが耐えられずリフトオフによる形成も不可能である。

【0108】

このように、本実施形態では、Ptを含む多層金属（例えばPt/Mo）よりなるゲート金属層120を蒸着し、第2ノンドープ層である安定層38表面に第1ゲート電極127を蒸着し、第1ノンドープ層である障壁層36表面に第2ゲート電極128を蒸着する。Pt層の膜厚設定によりPtの埋め込み深さをコントロールしVpの微調整を行っており、Pt層が45の膜厚のゲート金属層120aで第1ゲート電極127が蒸着され、Pt層が55の膜厚のゲート金属層120bで第2ゲート電極128が蒸着される。

10

【0109】

そして最下層金属のPtの一部は熱処理により動作領域100表面に埋め込まれ、第1ゲート電極127の第1埋め込み部127bおよび、第2ゲート電極128の第2埋め込み部128bが形成される。第1埋め込み部127b、128bの底部を障壁層36内の異なる所定の深さに位置させることによりディプレッション、エンハンスメントのそれぞれ目標としてのVpを実現させている。

【0110】

埋め込み部はゲート電極として作用するため、実質的に蒸着金属よりなる第1ゲート電極127および第2ゲート電極128の底部をそれぞれの埋め込み部127b、128bの厚み分だけ深い位置に設けたことと同等となる。

20

【0111】

本実施形態では、ゲート電極の最下層金属の一部を基板表面に埋め込んだ、埋め込みゲート構造とすることにより、D型HEMT150の特性を向上させることができる。これは図の如く第1埋め込み部127bは底部の端が丸いためである。これにより、底部の端が尖っている埋め込みゲート構造ではないゲート電極（例えばTi/Pt/Au）に比べ、ゲート電極に逆バイアスが印加される際、電界強度が分散される。つまり埋め込みゲート構造は、最大電界強度が弱まり耐圧が大幅に上がるためである。

【0112】

逆に所定の耐圧に設計する場合、埋め込みゲート構造では第1ゲート電極付近の電界強度が弱まる分、電子供給層33の不純物濃度を大幅に上げることができ、オン抵抗Ronを大幅に小さくすることができる。つまり、本実施形態の電子供給層33は、スイッチ回路を構成するD型HEMT150が最大限の特性が得られるよう、設計されている。

30

【0113】

また、本実施形態ではチャンネル層35の上下に電子供給層33を配置したダブルヘテロ接合構造を採用しており、更に電子供給層33の上に第1ノンドープ層36および第2ノンドープ層38が設けられる。

【0114】

そして、所定の耐圧を確保するため第1ゲート電極127は、第2ノンドープ層である安定層38表面に蒸着され、障壁層36内に第1埋め込み部127b底部が配置される。つまり、第1ゲート電極127から電子供給層33に至るまでの間に不純物が添加された層が無く、実質的に電子供給層33に連続する第1ノンドープ層36および第2ノンドープ層38に、第1ゲート電極127が設けられたこととなる。

40

【0115】

このように、ダブルヘテロ接合構造で、電子供給層33に連続するノンドープ層にゲート電極が設けられた構造により、D型HEMT150は所定の耐圧を確保しながら非常に低いオン抵抗を実現することができる。すなわち20Vのゲート耐圧を有しながら、Pt埋め込みゲート構造、ダブルヘテロ接合構造、電子供給層からゲート電極までをすべてノンドープ層とする構造を採用することにより、電子供給層の濃度を $2.6 \times 10^{18} \text{ cm}^{-3}$ まで上げることができる。この結果Vp = -0.8Vにおいてゲート幅1mmあたりのオン抵抗としてゲート電圧Vg = 0Vでオン抵抗Ron = 1.4 / mmを実現した。

50

このオン抵抗の値はスイッチ用 HEMT としては極めて低いといえる。

【0116】

一方、ロジック回路を構成する E 型 HEMT も、Pt を埋め込んだ埋め込みゲート構造を採用する。第 2 ゲート電極 128 を設けるノンドープ AlGaAs 層は Al を含むため表面が酸化されやすく DX センターと呼ばれるキャリアトラップを持つことが知られているが、埋め込みゲート構造とすることでその影響を大幅に減らすことができる。

【0117】

また本実施形態では、後述するが、ノンドープ InGaP 層とノンドープ AlGaAs 層の選択エッチングを採用している。また Pt の蒸着膜厚設定で V_p の微調整を行う埋め込みゲート構造を採用する。これにより、従来エッチングの深さのみで V_p をコントロールしていた構造と比較してはるかに再現性良く所定の V_p を得ることができ、さらに E 型 HEMT も D 型 HEMT 同様従来より良好な特性を得ることができる。

10

【0118】

上述の如く、本実施形態では電子供給層 33 の設計はスイッチ回路を構成する D 型 HEMT 150 が最大限の特性が得られるよう設計されている。そこで同一基板に集積化される E 型 HEMT 160 が所定の V_p の値を得るには、E 型 HEMT 160 の第 2 ゲート電極 128 を形成する電子供給層 33 の上のノンドープの AlGaAs 層 (障壁層) 36 の膜厚と、ゲートの Pt 蒸着厚みをコントロールする。本実施形態では障壁層 36 は、150 の厚みに設けられる。

【0119】

このような構造を実現するためには、 V_p ばらつきを考慮する必要がある。既述の如く、D 型 HEMT 150 のみならず、E 型 HEMT 160 の V_p のばらつきはスイッチ MMIC の特性を大きく左右する。一般的に V_p ばらつきの許容範囲は、D 型 HEMT および E 型 HEMT 共に ± 0.2 V 程度である。

20

【0120】

HEMT の V_p はゲート電極底部の高さ、すなわち本実施形態の場合埋め込まれた Pt (埋め込み部) の底部の位置によって決まる。埋め込み部の底部の位置が高い程 V_p が深くなりディプレッションタイプとなる。一方埋め込み部の位置が低いほど V_p が浅くなりやがてはエンハンスメントタイプとなる。すなわち、 V_p のばらつきは、埋め込み部の底部の位置のばらつきに影響を受ける。

30

【0121】

ところで、 V_p を決定する埋め込み部の底部の位置と Pt の蒸着膜厚には、以下の関係がある。

【0122】

図 5 は、Pt 蒸着膜厚と Pt 埋め込み深さ (埋め込み部の深さ) の相関を示す図であり、縦軸が Pt 埋め込み部の深さ ()、横軸が Pt 蒸着膜厚 () である。

【0123】

この図のごとく Pt 蒸着膜厚がある一定の膜厚以下であれば埋め込み部の深さは常に蒸着膜厚の 2.4 倍となり、リニアな特性を示す。一方、一定の蒸着膜厚以上になると埋め込み部の深さが飽和傾向を示す。この一定の蒸着膜厚とは、図に示す如く約 110 である。したがって、蒸着膜厚が約 110 以下であれば、Pt の蒸着膜厚のみで一義的に埋め込み部の深さを制御することができ、すなわち V_p の制御が可能となる。

40

【0124】

前述の如く埋め込み部の Pt は実質ゲート電極として作用する。そして Pt 蒸着膜厚が 110 以下の場合、埋め込み部は動作領域 100 表面にゲート金属層 120 を蒸着した場合のショットキ接合同様に片側階段接合を保っている。つまり、逆バイアスの印加時に半導体 (ここでは障壁層 36) 側にのみ空乏層が広がる。

【0125】

しかし、Pt 蒸着膜厚が約 110 を超えると、蒸着膜厚と埋め込み部の深さがリニアな特性にならないばかりか、基板との間に形成されるショットキ接合の電気的特性が変化

50

する。すなわち、Pt蒸着膜厚が110を超えると両側傾斜接合に変化し、埋め込み部の金属(Pt)側にも空乏層が広がるようになる。

【0126】

つまりHEMTにおいてゲート電極にPt埋め込み構造を採用した場合、Pt蒸着膜厚が110を超えるとHEMTの相互コンダクタンス $g_m (= I_D / V_G)$ (ドレイン電流) I_D / V_G (ゲート電圧) V_G が急激に下がってしまい大きな問題となる。

【0127】

このようなことから、ゲート電極にPt埋め込み構造を採用したHEMTを設計する際は、生産ばらつきも考慮してPt蒸着膜厚設定を100以下とするとよい。そして V_p ばらつきは蒸着膜厚ばらつきに比例するので、蒸着膜厚を薄くする程 V_p ばらつきの低減に有利となる。

10

【0128】

一方で、EB蒸着機での蒸着においてPt蒸着はかなり大きなパワーを必要とする。これは、Ptの薄過ぎる膜厚の蒸着は膜厚の制御性が悪いことを意味する。つまりPt蒸着膜厚を40より薄くすると、蒸着そのものが数秒で終わってしまう。蒸着開始直後は蒸着膜厚のレート(1秒間に蒸着される膜厚)が不安定なため、逆に蒸着膜厚のばらつきが大きくなってしまう。

【0129】

すなわち、Pt蒸着膜厚が40以上100以下であれば、Pt蒸着膜厚で埋め込み部の底部の位置を制御することができ、 V_p を一義的にかつ再現性良く制御することが可能となる。

20

【0130】

次に V_p のばらつきについて説明する。スイッチMMICを構成するD型HEMTの V_p は-0.8V程度が一般的であり、E型HEMTの V_p は+0.2V程度とすることが多い。

【0131】

また、前述の如く、HEMTのゲート電極底部の高さのばらつきの約10~15がHEMTの V_p ばらつき0.1Vに相当する。ここで、埋め込みゲート電極構造の場合、埋め込み部の底部がゲート電極底部に相当する。すなわち以下ゲート電極底部の高さのばらつきを、埋め込み部のばらつきGDと称する。GDそして一般にHEMTの V_p ばらつきの許容範囲はD型HEMT、E型HEMT共に最大で±0.2V程度である。従って V_p ばらつき最大で±0.2Vを達成するためには、埋め込み部のばらつきGDを最大で±20~30程度に抑える必要がある。

30

【0132】

ところで蒸着膜厚の生産ばらつきは常に最大で±10%である。蒸着膜厚が厚くなるとそのばらつきも大きくなる。

【0133】

すなわちPtの蒸着膜厚が厚い程、膜厚のばらつきはその10%であるため共に大きくなる。さらに埋め込み部は蒸着膜厚の2.4倍となるため、蒸着膜厚が厚いほど埋め込み部のばらつきGDが大きくなり、蒸着膜厚ばらつきに比例して結果として V_p のバラツキが大きくなる。

40

【0134】

前述の如くスイッチMMICを構成するE型HEMTおよびD型HEMTは、共に V_p ばらつきが小さい方が望ましい。従って第1ゲート電極127、第2ゲート電極128の蒸着膜厚はともに薄くする方がよい。

【0135】

本実施形態のPt蒸着膜厚は、40~100の範囲内でなるべく上限の蒸着膜厚を薄くし、例えば蒸着膜厚を40~60とする。

【0136】

例えば、蒸着膜厚が60の場合、最大で±10%の生産ばらつきによって蒸着膜厚は

50

±6ばらつく。このとき、埋め込み深さのばらつき、すなわち埋め込み部のばらつきGDは、 $6[\quad] \times 2.4 = 14.4[\quad]$ となる。そして、既述の如く、埋め込み部のばらつきGDの約10~15がVpばらつき0.1Vに相当する。つまり、埋め込み部のばらつきGDが15でVpが0.1V変化する比率であれば、埋め込み部のばらつきGDが14.4であれば $(0.1[V] / 15[\quad]) \times 14.4[\quad] = 0.096$ となり、Vpが±0.096Vばらつくことになる。

【0137】

また、埋め込み部のばらつきGDが10でVpが0.1V変化する比率であれば $(0.1[V] / 10[\quad]) \times (2.4 \times 6[\quad]) = 0.144$ となり、Vpは±0.144Vばらつく。従って蒸着膜厚が上限の60の場合であってもVpばらつきは±0.096~0.144Vとなる。 10

【0138】

つまり、本実施形態では蒸着膜厚を60以下と薄くでき、40~60の範囲すなわち±10の幅で目標のVpを得ることができる。

【0139】

例えば図4(B)に示す構造では、D型HEMT150のPt蒸着膜厚は45で、E型HEMTのPt蒸着膜厚は55でそれぞれ所定のVp(-0.8V、+0.2V)が得られている。蒸着膜厚の生産ばらつきは常に最大で±10%であり、蒸着膜厚の厚いE型HEMT160のPt蒸着膜厚55においてもその蒸着膜厚のばらつきは最大で±5.5である。従って埋め込み部のばらつきGDはその2.4倍の最大で±13.2となる。従って埋め込み部のばらつきGDの要求規格である最大で±20~30程度内に十分入り、Vpばらつきの要求規格である最大で±0.2Vを達成できる。 20

【0140】

また、本実施形態では蒸着膜厚設定を±10の範囲で変動させることによりVpを微調整することができる。ノンドープAlGaAs層36とノンドープInGaP層38は、D型HEMT150およびE型HEMT160のVpがそれぞれ所定の値(例えば-0.8V、+0.2V)に設定できるような膜厚(エピタキシャル層の厚み)に設計されている。例えば第1の実施形態ではノンドープInGaP層38の膜厚が100であり、ノンドープAlGaAs層36の膜厚が150である。

【0141】

このとき、Pt蒸着膜厚がある値に固定されていると設計に制限が加わる。具体的にはD型HEMTの第1ゲート電極127の底部(埋め込み部127b)の位置が決まってしまう。 30

【0142】

しかし、本実施形態ではゲート電極のPt蒸着厚みを、40~60の幅で微調整できる。つまり、20程度の自由度があるため、D型HEMTの第1埋め込み部127bの底部を、安定層38中に位置させるか、障壁層36中に位置させるか、またはそれぞれの層の中のどの位置に持っていかまでをある程度自由に選択することができる。

【0143】

換言すればノンドープInGaP層38の膜厚を最適化することにより、Vpの基本設計はエピタキシャル層の膜厚設定で行い、Pt蒸着厚み設定によってVpの微調整が可能である。更に蒸着膜厚が40~60の範囲であれば、蒸着膜厚によりVpを微調整しても、Vpばらつきは最大でも±0.096~0.144Vとなる。つまりD型HEMT、E型HEMT共に要求されるVpばらつきの最大で±0.2V程度に十分収めることができる。 40

【0144】

尚、既述の如く電子供給層33の設計はスイッチ回路を構成するD型HEMT150が最大限の特性が得られるよう設計されている。従ってE型HEMT160が所定の値(Vpの値)を得るには、E型HEMT160の第2ゲート電極128を形成する電子供給層33の上のノンドープのAlGaAs層の厚みと、ゲートのPt蒸着厚みをコントロール 50

する。

【0145】

Ptの埋め込み深さは最低でも $40 \times 2.4 = 96$ 、すなわち最低約100の深さが必要となる。埋め込みゲート構造の場合にはその分ゲート電極の底部がノンドープのAlGaAs層表面から下がる。従って、表面から下がる深さを考慮してノンドープのAlGaAs層の厚み(本実施形態では150)を設計する必要がある。

【0146】

また、D型HEMT150はE型HEMT160よりVpが深いのでゲート電極を形成する位置を、E型HEMT160のゲート電極形成位置より上方に持っていく必要がある。つまり、E型HEMT160の第2ゲート電極128を形成するノンドープのAlGaAs層上に、AlGaAsとの選択エッチングが可能なノンドープのInGaP層38を所定の厚みに積層し、InGaP層38表面にD型HEMT150の第1ゲート電極127を形成する。

10

【0147】

そしてD型HEMT150のVpのコントロールはノンドープのAlGaAs層の厚みに整合させたノンドープのInGaP層38の厚みとPt蒸着厚みで行う。このような構造により、再現性良くD型HEMT150とE型HEMT160のVpが得られ、且つスイッチ回路として非常に特性のよいD型HEMTを再現性良く形成できる。

【0148】

尚、D型HEMT150の方がE型HEMT160より大きな耐圧を必要とする。従って、D型HEMTの第1ゲート電極127はAlGaAsよりバンドギャップの大きなInGaP層38上に設け、E型HEMT160の第2ゲート電極128はAlGaAs層36上に設けるとよい。

20

【0149】

以下、D型HEMT150の第1ゲート電極をInGaP層(安定層38)上に設ける構造について、更に説明する。

【0150】

GaAsとAlGaAsは常に格子整合されているが、InGaP(ここでは安定層38)とGaAsあるいはAlGaAs(ここではキャップ層37あるいは障壁層36)は、InGaPにおいてInが49%、Gaが51%のモル比率の場合のみ格子整合する。本実施形態ではInGaPの結晶成長の条件を上記の如く設定することにより、GaAsあるいはAlGaAsと格子整合させる。これにより、結晶に歪みが生じることを抑制し、スリットなどの結晶欠陥が発生してしまう危険性も回避できる。

30

【0151】

また、InGaPの結晶成長の最適温度はGaAsやAlGaAsの結晶成長の最適温度より約100度低い温度である。エピタキシャル成長はMOCVD(Metal Organic Chemical Vapor Deposition)で各層を連続して行うが、途中で温度を変えると非常に時間がかかりコストアップとなる。従って温度を変えずにInGaPをGaAsやAlGaAsと同じ温度で成長させる場合も多い。

【0152】

その場合InGaPの結晶成長中にInとGaの比率に揺れが生じてInGaP結晶中にゴツゴツした構造物が結晶全体に渡って発生する。この構造物の大きさはXY方向(面方向)で直径約500程度、Z方向(厚み方向)で10~20程度である。

40

【0153】

本実施形態では、第1ゲート電極127はこのInGaP層上に形成するので、その表面に10~20の凹凸があることになる。前述の如くゲート電極の底部の位置が10~20変化すると、それだけでVpが0.1V程度変化する。Vpは±0.2Vの範囲にばらつきを押さえる必要があるので、そのうちの0.1VがInGaP層表面の凹凸によって発生してしまうのは非常に不都合である。

【0154】

50

このような場合、ゲート電極に埋め込みゲート構造を採用すると、ゴツゴツした構造物による InGaP 表面の凹凸がそのままゲート電極底部の高さのばらつき（埋め込み部のばらつき GD）とはならず、従って V_p のばらつきも緩和される。従って、埋め込みゲートで構造でないゲート電極（例えば Ti/Pt/Au）に比べて有利となる。本実施形態では Pt は最低約 100 の深さまで埋め込まれるため、Pt の横方向への拡散も考慮するとゲート電極底部の高さのばらつき（GD）は、表面の 10～20 の凹凸に比べかなり緩和される。従って V_p のばらつきとしては 0.1 V に比べ大幅に緩和される。

【0155】

InGaP 層の成長温度を下げるとこの凹凸は緩和されるが、前述の如く 100 度下げにはかなり時間がかかる。つまり埋め込みゲート構造でない場合は成長温度を数十度下げただけでは十分ではない。しかし、本実施形態では、InGaP が GaAs や AlGaAs と正確に格子整合する条件で、成長温度を下げる場合の下げ幅も 50 度程度以下に留めることにより工数をそれほど増やさずエピタキシャル成長を行うことができる。更に、ゲート電極に埋め込みゲート構造を採用することにより、InGaP 層の表面に多少の凹凸が残ってもその影響が V_p のばらつきに影響しないようにしている。

10

【0156】

更に、ゲート電極をノンドープ InGaP 層上に形成することにより、ゲート電極をノンドープ AlGaAs 層上に形成する場合と比較して HEMT の特性を向上させることができる。

【0157】

すなわち障壁層 36 である AlGaAs 層が表面に露出していると Al が含まれているため酸化されやすく、DX センターというキャリアトラップが発生しオン抵抗 R_{on} などの HEMT の特性が劣化する。さらに InGaP は AlGaAs に比べてバンドギャップが大きいのでゲート電極をノンドープ AlGaAs 層上に形成するより、ノンドープ InGaP 層上に形成した方が耐圧を大きくすることができる。換言すれば、所定の耐圧に設計する場合、電子供給層 33 の不純物濃度を上げることができ、その分オン抵抗 R_{on} を小さくすることができる。

20

【0158】

さらに、 V_p のばらつきを低減させるため記述の如く InGaP 層の成長温度を GaAs、AlGaAs 層の結晶成長温度より下げ、InGaP 層表面の凹凸を軽減した場合を

30

【0159】

本願の構造によれば、InGaP 層の上にはコンタクト層としての $n + GaAs$ 層（キャップ層 37）を成長するのみであり、コンタクト層の役割は単にソース抵抗、ドレイン抵抗といった寄生抵抗を低減するだけである。つまり、 $n + GaAs$ 層 37 の成長温度は特に GaAs 層の成長に最適な温度まで上げる必要はなく、InGaP 層を成長したままの低い温度で成長しても特性としてはほとんど変化はない。

【0160】

キャップ層 37 である $n + GaAs$ 層は例えば HEMT のチャネルのような、イントリシク部分ではなく寄生部分に過ぎない。例えば $n + GaAs$ 層の設計や成長後の結晶の状態によって V_p の値が変わることはない。つまり $n + GaAs$ 層は、チャネル層 35 や電子供給層 33 に比べて結晶として求められる精度が低い。

40

【0161】

これらを考慮すると、本実施形態の如く、InGaP 層 38 の積層順は $n + GaAs$ 層 37 の直前（つまり $n + GaAs$ 層の下層）が最適となる。例えば、本実施形態と積層順を逆にして、すなわち電子供給層の上にノンドープ InGaP 層、続いてノンドープ AlGaAs 層の順に積層し、且つ InGaP 層を低温で形成した場合には、コストアップとなる。HEMT の V_p の値を決定するノンドープの AlGaAs 層の成長には高い精度が

50

るからである。

【0162】

再び図4(B)を参照する。図の如く、第1ゲート電極127、第2ゲート電極128、第1ソース電極115および第2ソース電極135、第1ドレイン電極116および第2ドレイン電極136は、その周囲に密着する窒化膜51で被覆される。本実施形態の窒化膜51は第1窒化膜511、第2窒化膜512、第3窒化膜513からなるが、窒化膜51の構成内容の種類は部分的に異なり、これら3層がすべて存在する個所もあるが、これらのいずれか2層の組み合わせの個所、あるいはこれらのうち1つの窒化膜から構成される個所もある。具体的には、例えば第1ゲート電極127および第2ゲート電極128上の窒化膜51は第2窒化膜512+第3窒化膜513から構成され、第2ソース電極135および第2ドレイン電極136上の窒化膜51は第3窒化膜513のみから構成され、コンタクトホールCHの深さとなる窒化膜51は第1窒化膜511+第2窒化膜512から構成される。また第3の窒化膜513は存在する場合と存在しない場合がある。

10

【0163】

第1窒化膜511は、ソース領域37sおよび第1ソース電極115上を連続して覆う。また、ドレイン領域37dおよび第1ドレイン電極116上を連続して覆う。これにより、ソース領域37sと第1ソース電極115の段差および、ドレイン領域37dと第1ドレイン電極116の段差は、第1窒化膜511により完全に被覆され、第1ソース電極115(第1ドレイン電極116も同様)の端部は、第1窒化膜511と密着している。また、第1窒化膜511の端部は、ソース領域37sおよびドレイン領域37dとなるキャップ層37(およびE型HEMTの場合は安定層38)の端部と一致している。

20

【0164】

第2窒化膜512は、パッシベーション膜となり、第1ゲート電極127(第2ゲート電極128も同様)の側面および上面と第1ゲート電極127周囲に露出した安定層38上、および第2ゲート128周囲に露出した障壁層36上を覆う。更に安定層38とキャップ層37の側面を覆い、第1窒化膜511の上まで延在される。コンタクトホールCHは、第1窒化膜511および第2窒化膜512に設けられる。コンタクトホールCHを介して第2ソース電極135が第1ソース電極115とコンタクトし、第2ドレイン電極136が第1ドレイン電極116とコンタクトする。

30

【0165】

第3窒化膜513はジャケット膜であり、第2窒化膜512上を覆い、更に第2ソース電極135、第2ドレイン電極136を覆って全面に設けられ、図示は省くがボンディングパッド上のみ開口される。

【0166】

このように本実施形態では、第1窒化膜511がソース領域37sとなるキャップ層37と第1ソース電極115(ドレイン側も同様)の段差に完全に密着して被覆している。従って、従来如く隙間Gが形成されることがなく、製造工程中におけるガルバニック効果を防止できる。

【0167】

また、第1窒化膜511および第2窒化膜512はそれぞれ500、1500程度で、ほぼ均一な厚みで、第1ソース電極115(ドレイン側も同様)およびキャップ層37をまんべんなく覆っている。すなわち窒化膜はCVDにより堆積を行う。CVDにおいては装置のチャンパー内において雪が降り積もる如く窒化膜が堆積されていく。従って従来のように溝GVが形成されると、溝GVの底に近い部分は溝GVの影になる。このため窒化膜の厚みが薄くなったり、密度が薄くなる傾向がある。しかし、本実施形態では溝GVが形成されることはないので、側面でも上面(平面)の70%程度以上の膜厚が確保できる。従って、ウェハ完成後においても水分や薬剤などの滲入を完全に保護することができ、ガルバニック効果の発生を防止できる。

40

【0168】

ガルバニック効果は、オーミック電極である第1ソース電極315および第1ドレイン

50

電極 3 1 6 等の金属電極が半導体に接している場所で発生する。すなわち、製造プロセス中に水分または薬剤などによりオーミック電極の端部でオーミック電極と半導体の間に電流が発生し、半導体が電気化学的腐食を起こす。半導体の不純物濃度が高いなど、導電性が増せば増すほど大きな電流が流れるためガルバニック効果が激しくなり、その部分の半導体が大きくエッチングされてしまう。

【0169】

具体的には半導体層（キャップ層 3 7）の不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 以上、半導体層の厚みが 500 以上になるとガルバニック効果が著しくなる。

【0170】

例えば従来 of 製造方法においては、図 20 に示す工程により、オーミック電極と、隣り合う第 1 窒化膜 2 5 1 1 間には $0.1 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度の隙間 G が形成される。そして、以降その上層に第 2 窒化膜 2 5 1 2 が形成される（図 24 (A)）までの製造工程において、オーミック電極の端部において、キャップ層 2 3 7 は露出したままである。

【0171】

また、キャップ層 2 3 7 は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上の高い不純物濃度を有し、その厚みは 600 以上である。

【0172】

従って、ガルバニック効果により、オーミック電極の端部に位置するキャップ層 2 3 7（ソース領域 2 3 7 s、ドレイン領域 2 3 7 d）が、図 26 の如くエッチングされて、溝 G V が形成されてしまう。溝 G V の深さは数 100 以上と非常に深く、キャップ層 3 7 の厚みが 1000 の場合、溝 G V 深さが 500 以上となるケースも稀ではない。

【0173】

従って、図 26 の太実線で示すソース - ドレイン間の電流経路が溝 G V により狭められ、オン抵抗 R_{on} が増大する問題がある。

【0174】

また、隙間 G は、その上層に堆積された第 2 窒化膜 2 5 1 2 により被覆されるものの、隙間 G のステップカバレジが悪く、溝 G V 上では第 2 窒化膜 2 5 1 2 の成膜密度が低くなる。従って、パッシベーション効果が薄いためウェハ完成後においても外部からの水分などが基板表面に達する可能性が高く、ガルバニック効果が発生する場合がある。

【0175】

そこで、本実施形態では、上記の如く、第 1 窒化膜 5 1 1 によりキャップ層 3 7 と第 1 ソース電極 1 1 5（ドレイン側も同様）の段差を完全に被覆し、ガルバニック効果を防止している。

【0176】

ここで、この構造を実現するためには、第 1 ゲート電極 1 2 7（第 2 ゲート電極 1 2 8）上に設けられた窒化膜 5 1（第 2 窒化膜 5 1 2 + 第 3 窒化膜 5 1 3）の膜厚 T_1 、第 2 ソース電極 1 3 5 および第 2 ドレイン電極 1 3 6 上に設けられた窒化膜 5 1（第 3 窒化膜 5 1 3）の膜厚 T_2 、コンタクトホール C H の深さとなる窒化膜 5 1（第 1 窒化膜 5 1 1 + 第 2 窒化膜 5 1 2）の膜厚 T_3 は以下の関係を満たしている必要がある。

【0177】

$$T_3 - (T_1 - T_2) > 0$$

すなわち、 $T_3 - (T_1 - T_2)$ の値はコンタクトホール C H の周囲の第 1 窒化膜 5 1 1 の膜厚である。後に詳述するが、ガルバニック効果を防止するために第 1 窒化膜 5 1 1 でキャップ層 3 7 と第 1 ソース電極 1 1 5（ドレイン電極 1 1 6）を被覆した結果、コンタクトホール C H の周囲の窒化膜 5 1 には、第 1 窒化膜 5 1 1 が残ることになる。尚、第 3 窒化膜 5 1 3 は存在する場合と存在しない場合があり、第 3 窒化膜 5 1 3 が存在しない場合についても、 $T_3 = 0$ を代入することにより前記不等式は成り立つ。

【0178】

次に、図 6 を参照して、本発明の第 2 の実施形態について説明する。第 2 の実施形態は、第 1 の実施形態と第 2 ノンドープ層である安定層 3 8 の厚みおよび埋め込み部 1 2 7 b

の底部の位置が異なるものであり、第1の実施形態と重複する部分については詳細な説明を省略する。

【0179】

HEMTの基板は、半絶縁性GaAs基板31上に、ノンドープのバッファ層32、電子供給層33、チャンネル(電子走行)層35、障壁層36、安定層38、キャップ層37を積層したものである。チャンネル層35の上下には電子供給層33が配置され、さらにチャンネル層35と電子供給層33間にはスペーサ層34が配置される。そして、安定層38は、ノンドープInGaP層である。

【0180】

第2の実施形態も、チャンネル層35の上下に電子供給層33を配置したダブルヘテロ接合構造であり、更に電子供給層33の上にノンドープ層となる障壁層(ノンドープAlGaAs層)36および安定層(ノンドープInGaP層)38が設けられる。尚、安定層38の膜厚は150 であり、障壁層36の膜厚は150 である。

【0181】

そして、所定の耐圧を確保するため第1ゲート電極127は安定層38上に蒸着され、第2ゲート電極128は障壁層36上に蒸着される。

【0182】

またInGaP(安定層38)とGaAsおよびAlGaAs(キャップ層37および障壁層36)が格子整合し、障壁層36と電子供給層33が格子整合している。

【0183】

第1の実施形態のD型HEMT150の V_p は-0.8Vであり、スイッチMMICのスイッチ回路を構成するFETとして一般的な V_p の値である。しかし、スイッチ回路を構成するFETのオン抵抗 R_{on} の低減を図るため、 $V_p = -1.1V$ とする場合もある。このような場合は、第2の実施例の如く、D型HEMT150の第1ゲート電極127の第1埋め込み部127b底部をノンドープInGaP層38中に設定すると良い。

【0184】

D型HEMT150の第1ゲート電極127の蒸着金属は、例えばPt/Moであり、これらの蒸着膜厚はPtが50、Moが50 である。そして、最下層金属のPtの一部を熱処理により動作領域100に埋め込んだ構造である。第1埋め込み部127bの深さは120 であり、その底部は安定層38内に位置する。これにより、ピンチオフ電圧 $V_p = -1.1V$ を実現している。

【0185】

E型HEMT160の第2ゲート電極128の蒸着金属も同様にPt/Moであり、これらの蒸着膜厚はPtが55、Moが50 である。そして、最下層金属のPtの一部を熱処理により動作領域100に埋め込んだ構造である。第2埋め込み部128bの深さは132 であり、その底部は障壁層36内に位置する。これにより、ピンチオフ電圧 $V_p = +0.2V$ を実現している。

【0186】

つまり、実質的に、電子供給層33に連続するノンドープ層(障壁層36または、安定層38および障壁層36)に第1ゲート電極127および第2ゲート電極128が設けられている。

【0187】

第2の実施形態のD型HEMTにおいても、20Vのゲート耐圧を有しながら、Pt埋め込みゲート構造、ダブルヘテロ接合構造、電子供給層からゲート電極までをすべてノンドープ層とする構造を採用する。これにより、電子供給層の濃度を $2.6 \times 10^{18} \text{ cm}^{-3}$ まで上げることができる。この結果第2の実施形態では $V_p = -1.1V$ においてゲート幅1mmあたりのオン抵抗として、ゲート電圧 $V_g = 0V$ の場合にオン抵抗 $R_{on} = 1.25 / \text{mm}$ を実現した。この値は第1の実施形態の $1.4 / \text{mm}$ より一段と低く、スイッチ用HEMTとしては稀にみる低いオン抵抗である。

【0188】

10

20

30

40

50

第2の実施形態の場合、D型HEMT150のPt蒸着膜厚は50で、E型HEMT160のPt蒸着膜厚は55である。それぞれ所定のVpが得られている蒸着膜厚の生産ばらつきは常に最大で±10%であり、第2の実施形態の蒸着膜厚の厚いE型HEMTのPt蒸着膜厚においてもその蒸着膜厚ばらつきは最大で±5.5である。従って埋め込み部のばらつきGDはその2.4倍の最大で±13.2となり、要求規格のMAX±20~30程度内に十分入る。

【0189】

第2の実施形態においても、第1窒化膜511がソース領域37sとなるキャップ層37と第1ソース電極115の段差に完全に密着して被覆している。そして、窒化膜51の膜厚T1、T2、T3は、以下の関係を満たしている。

10

【0190】

$$T3 - (T1 - T2) > 0$$

従って、従来の如く隙間Gが形成されることがなく、製造工程中におけるガルバニック効果を防止できる。

【0191】

また、第1窒化膜511および第2窒化膜512は、ほぼ均一な厚みで、第1ソース電極115およびキャップ層37をまんべんなく覆っているため、ウェハ完成後においても水分や薬剤などの滲入から完全に保護することができ、ガルバニック効果の発生を防止できる。

【0192】

20

上記の如きスイッチ回路装置などに採用されるHEMTの製造方法について、以下図7~図17を参照して説明する。

【0193】

まず第1の実施形態を示す。第1の実施形態のスイッチ集積回路装置の製造方法は、半導体基板上に、ディプレッション型HEMTにより高周波アナログ信号をスイッチングするスイッチ回路を形成し、前記ディプレッション型HEMTと同一基板に集積化されたエンハンスメント型HEMTによりロジック回路を形成するスイッチ集積回路装置の製造方法であって、前記基板上にバッファ層、チャンネル層、該チャンネル層の上下に設けた2つの電子供給層、上層の該電子供給層上に当接して設けられ該電子供給層と格子整合する第1ノンドープ層、該第1ノンドープ層上に当接して設けられ該第1ノンドープ層と格子整合する第2ノンドープ層、該第2ノンドープ層上に当接して設けられ該第2ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程と、前記動作領域の前記キャップ層の一部にコンタクトする第1ソース電極および第1ドレイン電極を形成する工程と、全面に第1絶縁膜を形成する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し前記第2ノンドープ層を露出する工程と、前記動作領域の前記第2ノンドープ層の表面に第1ゲート電極を蒸着する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層および前記第2ノンドープ層の一部を除去し前記第1ノンドープ層を露出する工程と、前記動作領域の前記第1ノンドープ層の表面に第2ゲート電極を蒸着する工程と、前記ゲート電極を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、から構成される。

30

40

【0194】

第1工程(図7)：基板上にバッファ層、チャンネル層、チャンネル層の上下に設けた2つの電子供給層、上層の電子供給層上に当接して設けられ電子供給層と格子整合する第1ノンドープ層、第1ノンドープ層上に当接して設けられ第1ノンドープ層と格子整合する第2ノンドープ層、第2ノンドープ層上に当接して設けられ第2ノンドープ層と格子整合するキャップ層となる複数の半導体層を積層し、絶縁化層により動作領域を分離する工程。

50

【0195】

半絶縁性GaAs基板31上に複数の半導体層を積層する。半導体層は、バッファ層32、電子供給層33、チャンネル(電子走行)層35、電子供給層33、障壁層36、安定層38、キャップ層37であり、電子供給層33とチャンネル層35間には、スペーサ層34が配置される。

【0196】

ノンドープのバッファ層32は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度で、複数の層で形成される場合が多い。

【0197】

バッファ層32上に、電子供給層のn+AlGaAs層33、スペーサ層34、チャンネル層のノンドープInGaAs層35、スペーサ層34、電子供給層のn+AlGaAs層33を順次形成する。電子供給層33は、チャンネル層35よりバンドギャップが大きい材料が用いられ、n型不純物(例えばSi)が $2 \sim 4 \times 10^{18} \text{ cm}^{-3}$ 程度(例えば $2.6 \times 10^{18} \text{ cm}^{-3}$)に添加されている。

【0198】

障壁層36は、所定の耐圧とピンチオフ電圧を確保するため、電子供給層33上に積層され、電子供給層33と格子整合するノンドープAlGaAs層である。その上層に酸化しにくい材料のため外部からの化学的ストレスに強く信頼性上安定な安定層38を設ける。安定層38は、障壁層36と格子整合するノンドープInGaP層であり、エッチストップ層としても機能する。更にキャップ層となるn+GaAs層37を最上層に積層する。安定層38はキャップ層37とも格子整合する。

【0199】

安定層38は、100の膜厚であり、その下層の障壁層36は、150の膜厚である。また、キャップ層37は、1000であり、不純物濃度は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0200】

そして、基板全面に、初期窒化膜50を堆積する。初期窒化膜50は、ウェハ投入後の基板表面の保護膜となる。または、後の工程で絶縁化層を形成する際に注入される不純物の活性化アニールの保護膜となる。あるいは、これらの両方に共用される。

【0201】

レジスト(不図示)を設けてフォトリソグラフィプロセスによりアライメントマークのパターンが開口されたマスクを形成する。このマスクにより初期窒化膜50およびキャップ層37の一部をエッチングしてアライメントマーク(不図示)を形成する。

【0202】

レジスト除去後新たなレジスト(不図示)を設けてフォトリソグラフィプロセスにより絶縁化層を形成するためのマスクを形成する。初期窒化膜50上からボロン(B+)をイオン注入し、レジストを除去した後、500、30秒程度のアニールを行う。これにより、バッファ層32に達する絶縁化層60が形成される。

【0203】

絶縁化層60は、電氣的に完全な絶縁ではなく、不純物(B+)をイオン注入することによりエピタキシャル層にキャリアトラップを設け、絶縁化した領域である。つまり、絶縁化層60にもエピタキシャル層として不純物は存在しているが、絶縁化のためのB+注入により不活性化されている。

【0204】

すなわち、所定のパターンに絶縁化層60を形成することにより、HEMTの動作領域や、他の構成要素を分離する。

【0205】

ここで、動作領域100とは、絶縁化層60で分離され、HEMTの第1ソース電極115、第2ソース電極135、第1ドレイン電極116、第2ドレイン電極136およびゲート電極127、128が配置される領域の半導体層をいう。第1ソース電極115お

10

20

30

40

50

よび第1ドレイン電極116がコンタクトするキャップ層37は、後の工程で分離されてソース領域37s、ドレイン領域37dとなる。

すなわち電子供給層33、チャンネル(電子走行)層35、スペーサ層34、障壁層36、安定層38、キャップ層37などのHEMTを構成する各半導体層をすべて含んだトータルとしての領域を動作領域100とする。(図7(A))

その後、全面の初期窒化膜50を除去する。表面には、キャップ層37が露出する。本工程で、ウェハ投入後表面の保護のために堆積した初期窒化膜50および/又は絶縁化層60のイオン注入の活性化アニールの際の保護膜として堆積した初期窒化膜50が除去される。従来は、この窒化膜をゲート電極形成のマスクとして利用していたが、本実施形態では後の工程で新たにゲートのリセスエッチングのためのマスクとなる窒化膜を堆積する。本工程で初期窒化膜50を全面除去することにより、後の窒化膜を均一な膜厚に形成することができる(図7(B))。

【0206】

第2工程(図8):動作領域のキャップ層の一部とコンタクトする第1ソース電極および第1ドレイン電極を形成する工程。

【0207】

新たなレジストPRを全面に塗布し、フォトリソグラフィプロセスによりオーミック電極を形成するためのマスクを形成する。そして全面にオーミック金属層110(AuGe/Ni/Au)を蒸着する。

【0208】

その後、リフトオフし、アロイする。これにより、HEMTの動作領域100の一部にコンタクトする第1ソース電極115および第1ドレイン電極116が形成される。

【0209】

第3工程(図9):全面に第1絶縁膜を形成する工程。

【0210】

全面に、第1窒化膜511を形成する。この第1窒化膜511は、ゲートのリセスエッチングのマスクとなる。第1窒化膜511は、ほぼ均一な膜厚および膜質で、第1ソース電極115および第1ドレイン電極116の表面および側面と、これらの付近のキャップ層37に密着して被覆する。すなわち第1ソース電極115(第1ドレイン電極116も同様)とキャップ層37の段差はまんべんなく覆われる。つまり、従来のスルーイオン用窒化膜2511(ゲート電極形成のマスクとなる窒化膜)と、第1ソース電極315(第1ドレイン電極316)間に形成される隙間Gを防止できる。

【0211】

従って、以降の製造工程中、またはウェハ完成後において薬液及び水分から、第1ソース電極115および第1ドレイン電極116電極の付近のキャップ層37表面を完全に保護することができる。これによりガルバニック効果の発生を防止できる。

【0212】

また、第1窒化膜511は、最終構造(図4)において第1ソース電極115および第2ソース電極135(ドレイン電極も同様)の周囲を被覆する窒化膜51を構成する。

【0213】

第4工程(図10):第1ソース電極および第1ドレイン電極間の第1絶縁膜の一部を除去し、第1絶縁膜をマスクとしてキャップ層の一部を除去し第2ノンドープ層を露出する工程。

【0214】

D型HEMTの第1ゲート電極形成のために新たなレジストPRを設ける。フォトリソグラフィプロセスにより第1ゲート電極の形成領域がパターンニングされたマスクを形成する。そして、マスクの開口部分に露出した第1窒化膜511を除去して開口部OPを形成する。この開口部OPの開口幅がゲート長となる(図10(A))。

【0215】

その後、ゲートのリセスエッチングを行う。すなわち第1窒化膜511の開口部OPに

10

20

30

40

50

露出したキャップ層 37 を更にウェットエッチングにより除去する。開口部 OP には安定層（第 2 ノンドープ層）であるノンドープ InGaP 層 38 が露出する。

【0216】

また、キャップ層 37 は耐圧を確保するため、開口部 OP より大きい所定の寸法にサイドエッチングされる。所定の寸法とは、例えば後に形成されるゲート電極から $0.3\ \mu\text{m}$ の距離である。このときキャップ層の GaAs 層とその下の安定層の InGaP 層とは選択エッチングされるため、サイドエッチングの際 InGaP 層がエッチングされることは無い。キャップ層 37 のエッチングにより動作領域 100 のキャップ層 37 が分離される。また、キャップ層 37 のサイドエッチングにより、キャップ層 37 の端部から張り出した開口部 OP 付近の第 1 窒化膜 511 は、ひさし部 E となる（図 10（B））。

10

【0217】

キャップ層 37 から張り出した第 1 窒化膜 511 のひさし部 E は表面にレジストが密着しているため、裏側からプラズマエッチングにより除去する。すなわち、サイドエッチにより第 1 窒化膜 511 の開口部 OP より後退したキャップ層 37、安定層 38、第 1 窒化膜 511、およびレジストにより形成される袋状の部分にフッ素ラジカルを滞留させることにより、ひさし部 E を裏側からプラズマエッチングし、これを除去する（図 10（C））。

【0218】

ひさし部を除去する際ドライエッチングのプラズマにさらされる動作領域 100 表面は安定な InGaP 層 38 で覆われているため、動作領域 100 にダメージを与えずに、エッチングができる。また、ドライエッチングであるので、ひさし部 E のみ除去することができ、第 1 窒化膜 511 はオーバエッチングされることはない。

20

【0219】

第 5 工程（図 11）：動作領域の第 2 ノンドープ層の表面に第 1 ゲート電極を蒸着する工程。

【0220】

次に、全面にゲート金属層 120a を蒸着する。ゲート金属層 120a は、例えば Pt/Mo であり、蒸着膜厚は、Pt が 45、Mo が 50 である（図 11（A））。

【0221】

その後、リフトオフし、動作領域の電子供給層に連続する安定層 38 表面に D 型 HEMT を構成する第 1 ゲート電極 127 を蒸着する（図 11（B））。

30

【0222】

第 6 工程（図 12 および図 13）：第 1 ソース電極および第 1 ドレイン電極間の第 1 絶縁膜の一部を除去し、第 1 絶縁膜をマスクとしてキャップ層および第 2 ノンドープ層の一部を除去し第 1 ノンドープ層を露出する工程。

【0223】

第 2 ゲート電極形成領域となる第 1 ソース電極および第 1 ドレイン電極間の第 1 窒化膜 511 を除去して開口部 OP を形成する。この開口部 OP の開口幅がゲート長となる（図 12（A））。

【0224】

その後、ゲートのリセスエッチングを行う。すなわち第 1 窒化膜 511 の開口部 OP に露出したキャップ層 37 を更にウェットエッチングにより除去する。開口部 OP には安定層であるノンドープ InGaP 層 38 が露出する。

40

【0225】

また、キャップ層 37 は耐圧を確保するため、開口部 OP より大きい所定の寸法にサイドエッチングされる。所定の寸法とは、例えば後に形成されるゲート電極から $0.3\ \mu\text{m}$ の距離である。このときキャップ層の GaAs 層とその下の安定層の InGaP 層とは選択エッチングされるため、サイドエッチングの際 InGaP 層がエッチングされることは無い。キャップ層 37 のエッチングにより動作領域 100 のキャップ層 37 が分離され、第 1 ソース電極 115 にコンタクトするソース領域 37s、および第 1 ドレイン電極 11

50

6にコンタクトするドレイン領域37dとなる。また、キャップ層37のサイドエッチングにより、キャップ層37の端部から張り出した開口部OP付近の第1窒化膜511は、ひさし部Eとなる(図12(B))。

【0226】

更に、キャップ層37から張り出した第1窒化膜511のひさし部Eを、第4工程と同様に裏側からプラズマエッチングにより除去する(図13(A))。

【0227】

その後、レジストPRをそのままに、プラズマのダメージを受けたInGaP層38をエッチングし、第2ゲート電極形成領域のノンドープの障壁層(第1ノンドープ層)36を露出させる(図13(B))。

10

【0228】

このとき、安定層であるInGaP層38と、AlGaAs層(障壁層)36は、エッチングの選択性がよい。従来ではE型HEMTの第2ゲート電極を形成するため、ノンドープAlGaAsを所定の深さでエッチングしていたが、これは数nmの精度を必要とするため非常に難しく、歩留りが悪かった。しかし本実施形態では選択エッチングによりAlGaAs層36を再現性よく露出させることができる。

【0229】

また、第4工程と同様に、ひさし部を除去する際ドライエッチングのプラズマにさらされる動作領域100表面はInGaP層38で覆われているため、動作領域100にダメージを与えずに、エッチングができ、またドライエッチングであるため第1窒化膜511はオーバエッチングされることはない。

20

【0230】

第7工程(図14)：動作領域の第1ノンドープ層の表面に第2ゲート電極を蒸着する工程。

【0231】

次に、全面にゲート金属層120bを蒸着する。ゲート金属層120bは、例えばPt/Moであり、蒸着膜厚は、Ptが55、Moが50である(図14(A))。

【0232】

その後、リフトオフし、電子供給層33に連続する清浄な障壁層36表面にE型HEMT160を構成する第2ゲート電極128を蒸着する(図14(B))。

30

【0233】

第8工程(図15)：第1ゲート電極および第2ゲート電極の最下層金属の一部を熱処理により動作領域表面に埋め込む工程。

【0234】

第1ゲート電極127および第2ゲート電極128の最下層金属のPtを埋め込む熱処理を施す。これにより、第1ゲート電極127のPtは安定層38とショットキー接合を保ったまま一部が動作領域100に埋め込まれ、第1埋め込み部127bが形成される。同時に第2ゲート電極128のPtは障壁層36とショットキー接合を保ったまま一部が障壁層36内に埋め込まれ、第2埋め込み部128bが形成される。

【0235】

ここで、既述の如くPtの蒸着膜厚が約110以下の場合、埋め込み部の深さは常に蒸着膜厚の2.4倍とリニアな関係を保つ。従って、本工程によって第1ゲート電極127の埋め込まれたPt(第1埋め込み部127b)深さは108となり、底部は障壁層36に達する。また第2ゲート電極128の埋め込まれたPt(第2埋め込み部128b)深さは132となる。そして埋め込まれたPtの底部は障壁層36内に位置する。

40

【0236】

このように、本実施形態では安定層38となるInGaP層および障壁層となるAlGaAs層36の膜厚設定はD型HEMT、E型HEMTがそれぞれ目標のVpが得られるよう基本設計される。安定層38と障壁層36はエッチングの選択性がよく、選択エッチングすることにより第1ゲート電極127および第2ゲート電極128が蒸着される、第

50

2 および第1ノンドープ層の表面をそれぞれ再現性よく露出することができる。

【0237】

そしてこのとき安定層38および障壁層36の膜厚を所定の厚みとし、埋め込みゲート構造を採用する。これにより、ゲート電極の蒸着膜厚を±10の幅(40~60の蒸着膜厚)で変動させることにより、D型HEMT150、E型HEMT160ともにV_pの微調整が可能となる。

【0238】

蒸着膜厚は最大でも60で、V_pばらつきは±0.096~0.144Vとなるので、HEMTに要求されるV_pばらつき(最大で±0.2V)に十分収まる特性が得られる。

10

【0239】

尚、第5工程(図11)において、第1ゲート電極127は蒸着時の熱で最下層のPtはわずかながら動作領域100(安定層38)表面に埋め込まれるので、その後のプロセスで第1ゲート電極127が剥離することはない。従って、本工程でPtを埋め込む熱処理を行い、第1ゲート電極127および第2ゲート電極128の最下層のPtを同時に埋め込めばよい。

【0240】

更に、D型HEMT150の第1ゲート電極127を形成するノンドープInGaP層38の上部は、キャップ層37(n+GaAs層)のエッチングマスクとしてのひさし部Eをプラズマエッチングで除去する際に多少のプラズマダメージが発生したことが考えら

20

【0241】

またゲート金属層120としてPtの上にはMoなどPt埋め込み熱処理においてGaAsと反応しない金属を、Ptに引き続き連続して蒸着することが望ましい。ゲート電極をPtのみで形成すると、Pt蒸着後、Pt埋め込み熱処理までの間にPt表面に異物が付着した場合、その異物までPt埋め込み熱処理反応に関与することになり、HEMTの

30

【0242】

またウエハ完成後においても実装時に半田付けの熱が加わることなどが有る。この場合、ゲート電極をPtのみで形成するとPtの上に異物が付着している場合、その異物が半田付けの熱などによってGaAsと反応しHEMTの特性が劣化する場合がある。その際にもMoでPtの上を覆うことによりMo上に異物があってもMoがバリアとなりその異物が半田付けの熱などによってGaAsと反応することは無い。Moの厚みはあまり厚く

40

【0243】

スイッチMMICの場合、ゲート電極から制御端子までの間に10K程度以上の抵抗が挿入されるため、ゲート電極自体の抵抗値は高くても問題なく、Pt40~60/Mo50というゲート金属層の構造が最適である。

【0244】

また熱によりGaAsと反応しない金属としてMoの代わりにWも考えられるが、Wは融点が高いため一般にはスパッタで形成しており蒸着では形成できない。従ってPtの蒸着と連続してWは形成できず、またスパッタの場合高熱が発生するためレジストが耐えられずリフトオフによる形成も不可能である。

50

【0245】

第9工程(図16)：ゲート電極を覆う第2絶縁膜を形成する工程。

【0246】

全面にパッシベーション膜となる第2窒化膜512をデポジションする。第1ゲート電極127および第2ゲート電極128と、その周辺に露出した安定層38および障壁層36は、第2窒化膜512により被覆される。このとき、第1窒化膜511はほぼ均一な厚みで、第1ソース電極115(第1ドレイン電極116)とその端部周辺のキャップ層37を覆っている。従って、第1窒化膜511上層に形成する第2窒化膜512も、成膜の密度が均一となり、これらをまんべんなく被覆することができる。従って、ウェハ完成後においても水分または薬剤などの滲入を防ぎ、ガルバニック効果を防止できる(図16(A))。また、第2窒化膜512も、最終構造(図4)で、各電極周囲を被覆する窒化膜51を構成する。

10

【0247】

その後、新たなレジスト(不図示)を設けてコンタクトホール形成のためのマスクを形成し、第1ソース電極115、第1ドレイン電極116上の第1窒化膜511、第2窒化膜512をエッチングする。これにより、第1ソース電極115、第2ドレイン電極116(および他の所定の領域)上にコンタクトホールCHが形成され、その深さは、第1窒化膜511および第2窒化膜512の合計膜厚T3となる(図16(B))。

【0248】

第10工程(図17)：第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程。

20

【0249】

新たなレジスト(不図示)を設けてマスクを形成し、パッド金属層(Ti/Pt/Au)130を蒸着、リフトオフする。これにより、第1ソース電極115および第1ドレイン電極116にそれぞれコンタクトする第2ソース電極135および第2ドレイン電極136が形成される。これにより、第1ゲート電極127両側の第1ソース電極115、第2ソース電極135および第1ドレイン電極116、第2ドレイン電極136によりD型HEMT150が構成される。また第2ゲート電極128両側の第1ソース電極115、第2ソース電極135および第1ドレイン電極116、第2ドレイン電極136によりE型HEMT160が構成される。(図17(A))。

30

【0250】

更に、全面にジャケット膜となる第3窒化膜513を形成する。第3窒化膜は、第2窒化膜512および、第2ソース電極135と第2ドレイン電極136上を被覆する。

【0251】

また、第3窒化膜513は、窒化膜51を構成する。従って、第1ゲート電極127および第2ゲート電極128上の窒化膜51の膜厚T1と、第1ソース電極115(第1ドレイン電極116)上のコンタクトホールCH周囲の窒化膜51の膜厚T3と、第2ソース電極135(第2ドレイン電極136)上の窒化膜51の膜厚T2には、以下の関係が成り立つ(図17(B))。

40

【0252】

$$T3 - (T1 - T2) > 0$$

すなわち $T3 - (T1 - T2)$ とは第1窒化膜511の厚みであり、この不等式は第1窒化膜511がコンタクトホールCHの部分まで達していることを示す。

【0253】

尚、図示は省くがボンディングパッド部分のジャケット窒化膜にはワイヤボンド用の開口が設けられる。

【0254】

尚、D型HEMT150の第1ゲート電極127は、E型HEMT160の第2ゲート電極128の形成工程より先に行う。この理由は、D型HEMT150の第1ゲート電極

50

127形成後、第1ゲート電極127の周囲に露出する動作領域100の表面は安定なInGaP層38である。しかし、E型HEMT160の第2ゲート電極128形成後、第2ゲート電極128の周囲に露出する動作領域100表面は酸化されやすいAlを含むAlGaAs層36である。つまり、E型HEMT160の第2ゲート電極128形成後はただちにパッシベーション窒化膜512でゲート電極近傍のAlGaAs層による動作領域100表面を保護する必要がある。一方D型HEMTの第1ゲート電極127の場合はその周辺が安定なInGaP層であり、表面を保護する必要がないためである。

【0255】

また、第2の実施形態の製造方法は、第2ノンドープ層の膜厚と第1ゲート電極127のPt蒸着膜厚が異なるが、他は上記の第1の実施形態の製造方法と同様であるので図示及び説明は省略する。

10

【0256】

すなわち、安定層38が150、障壁層36が150である。第1ゲート電極127は、安定層38上にPtが50、Moが50蒸着される。また第2ゲート電極128は、障壁層36上にPtが55、Moが50蒸着される。

【0257】

第1ゲート電極127および第2ゲート電極128の最下層金属を同時に埋め込む熱処理を行い、深さは120で底部は安定層38内に位置する第1埋め込み部127bを形成する。また深さは132で底部は障壁層38内に位置する第2埋め込み部128bを形成する。

20

【図面の簡単な説明】

【0258】

【図1】本発明を説明するための(A)回路概要図、(B)回路概要図、(C)回路記号である。

【図2】本発明を説明するための(A)等価回路図、(B)ブロックダイアグラムである。

【図3】本発明を説明するための(A)等価回路図、(B)ブロックダイアグラムである。

【図4】本発明を説明するための(A)平面図、(B)断面図である。

30

【図5】本発明を説明するための特性図である。

【図6】本発明を説明するための断面図である。

【図7】本発明の製造方法を説明するための断面図である。

【図8】本発明の製造方法を説明するための断面図である。

【図9】本発明の製造方法を説明するための断面図である。

【図10】本発明の製造方法を説明するための断面図である。

【図11】本発明の製造方法を説明するための断面図である。

【図12】本発明の製造方法を説明するための断面図である。

【図13】本発明の製造方法を説明するための断面図である。

【図14】本発明の製造方法を説明するための断面図である。

40

【図15】本発明の製造方法を説明するための断面図である。

【図16】本発明の製造方法を説明するための断面図である。

【図17】本発明の製造方法を説明するための断面図である。

【図18】従来技術を説明するための断面図である。

【図19】従来技術の製造方法を説明するための断面図である。

【図20】従来技術の製造方法を説明するための断面図である。

【図21】従来技術の製造方法を説明するための断面図である。

【図22】従来技術の製造方法を説明するための断面図である。

【図23】従来技術の製造方法を説明するための断面図である。

【図24】従来技術の製造方法を説明するための断面図である。

50

【図 2 5】従来技術を説明するための断面図である。

【図 2 6】従来技術を説明するための断面図である。

【符号の説明】

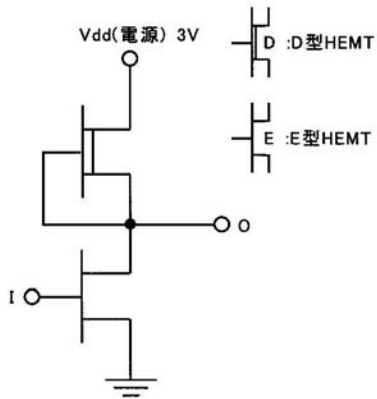
【0 2 5 9】

3 1	G a A s 基板	
3 2	バッファ層	
3 3	電子供給層	
3 4	スペーサ層	
3 5	電子走行層	
3 6	第 1 ノンドープ層	10
3 7	キャップ層	
3 8	第 2 ノンドープ層	
3 7 s	ソース領域	
3 7 d	ドレイン領域	
6 0	絶縁化層	
5 0	初期窒化膜	
5 1	窒化膜	
5 1 1	第 1 窒化膜	
5 1 2	第 2 窒化膜	
5 1 3	第 3 窒化膜	20
1 0 0	動作領域	
1 1 0	オーミック金属層	
1 1 5、1 3 5	ソース電極	
1 1 6、1 3 6	ドレイン電極	
1 2 0、1 2 0 a、1 2 0 b	ゲート金属層	
1 2 7	第 1 ゲート電極	
1 2 7 b	埋め込み部	
1 2 8	第 2 ゲート電極	
1 2 8 b	埋め込み部	
1 3 0	パッド金属層	30
1 5 0	D 型 H E M T	
1 6 0	E 型 H E M T	
2 3 1	G a A s 基板	
2 3 2	バッファ層	
2 3 3	電子供給層	
2 3 4	スペーサ層	
2 3 5	電子走行層	
2 3 6	障壁層	
2 3 7	キャップ層	
2 3 7 s	ソース領域	40
2 3 7 d	ドレイン領域	
2 6 0	絶縁化層	
2 5 1	窒化膜	
2 5 1 1	第 1 窒化膜	
2 5 1 2	第 2 窒化膜	
2 5 1 3	第 3 窒化膜	
3 0 0	動作領域	
3 1 0	オーミック金属層	
3 1 5、3 3 5	ソース電極	
3 1 6、3 3 6	ドレイン電極	50

3 2 0	ゲート金属層
3 2 7	第 1 ゲート電極
3 2 8	第 2 ゲート電極
3 3 0	パッド金属層
5 5 0	D 型 H E M T
5 6 0	E 型 H E M T
O P	開口部
C H	コンタクトホール
E	ひさし部
P R	レジスト
G	隙間
G V	溝
G D	ゲート電極底部の高さ(埋め込み部)のばらつき
I N	共通入力端子
I	入力端子
C t 1、C t 1 1、C t 1 2	制御端子
O、O U T 1、O U T 2	出力端子

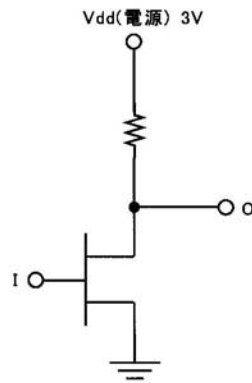
【 図 1 】

(A)

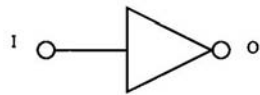


I	3V	0V
o	0V	3V

(B)

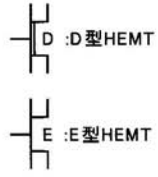
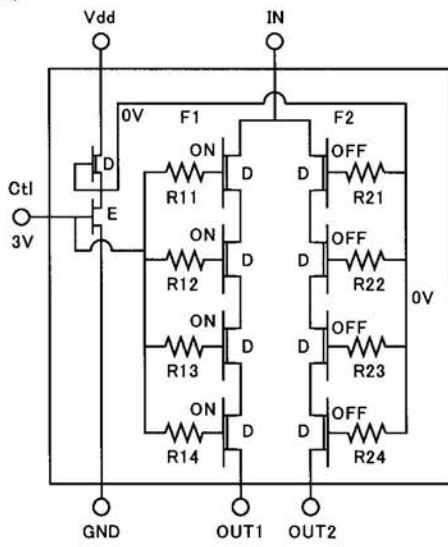


(C)



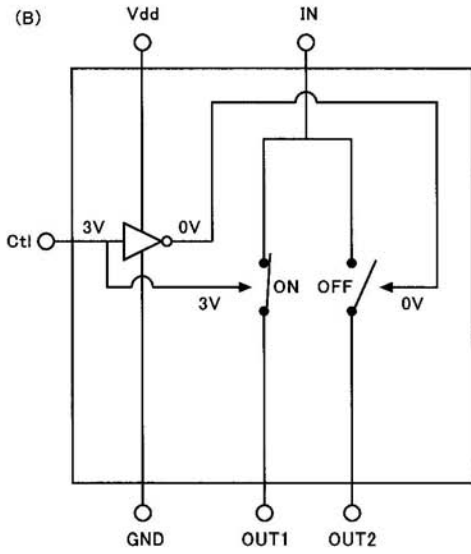
【 図 2 】

(A)



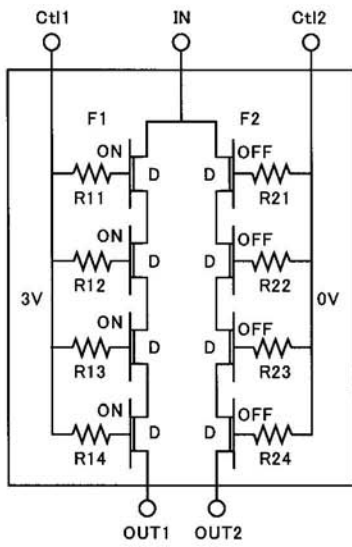
Ctl	IN-OUT1	IN-OUT2
3V	ON	OFF
0V	OFF	ON

(B)



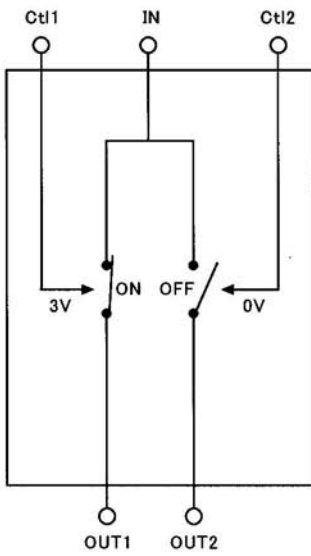
【 図 3 】

(A)

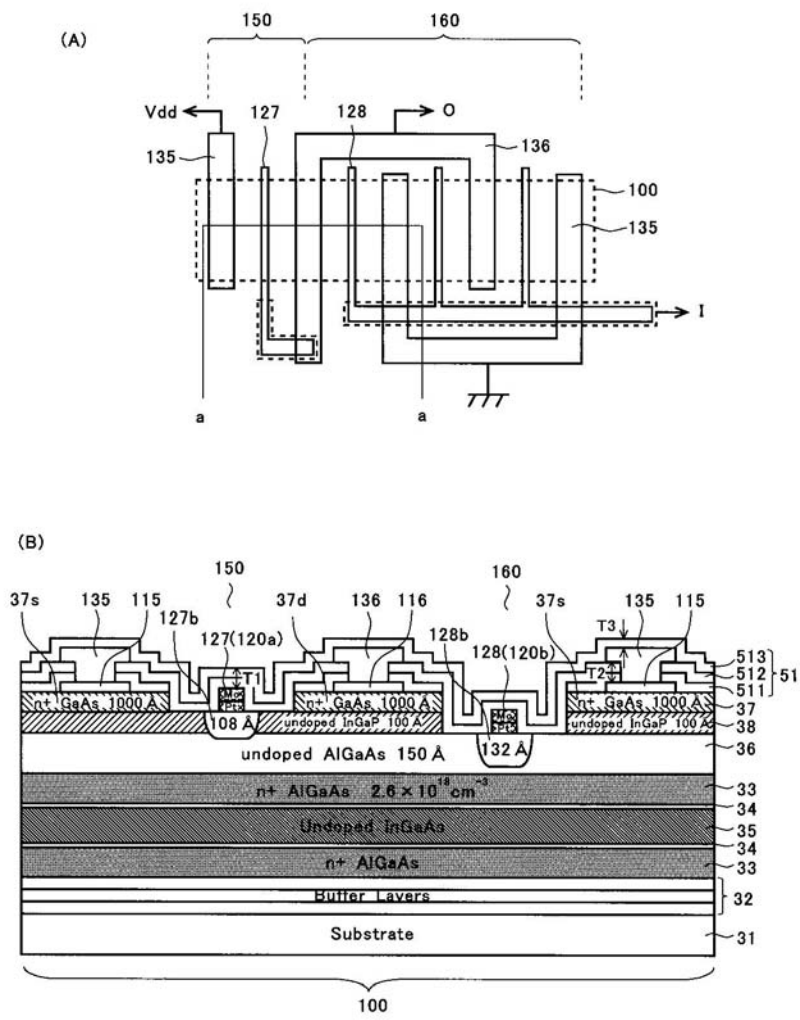


Ctl1	Ctl2	IN-OUT1	IN-OUT2
3V	0V	ON	OFF
0V	3V	OFF	ON

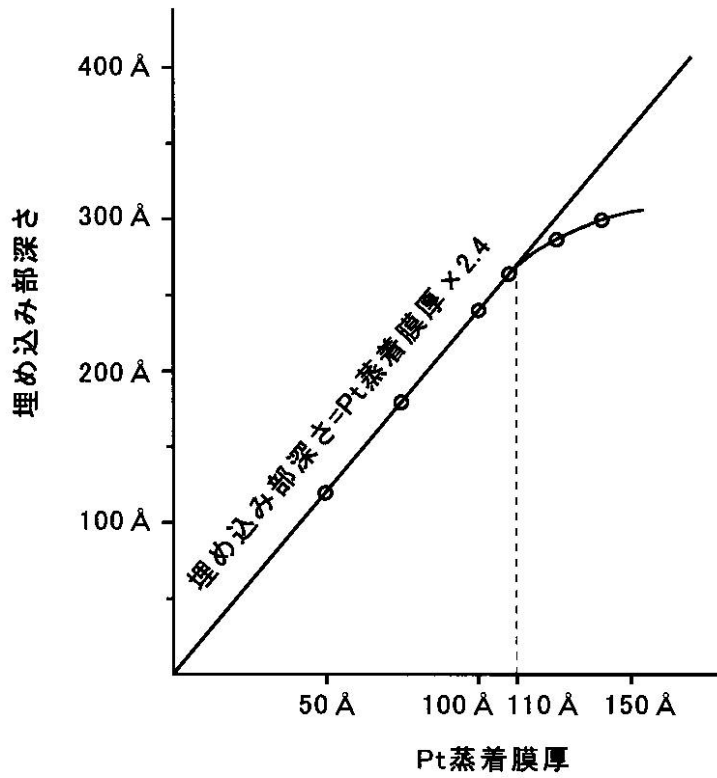
(B)



【 図 4 】

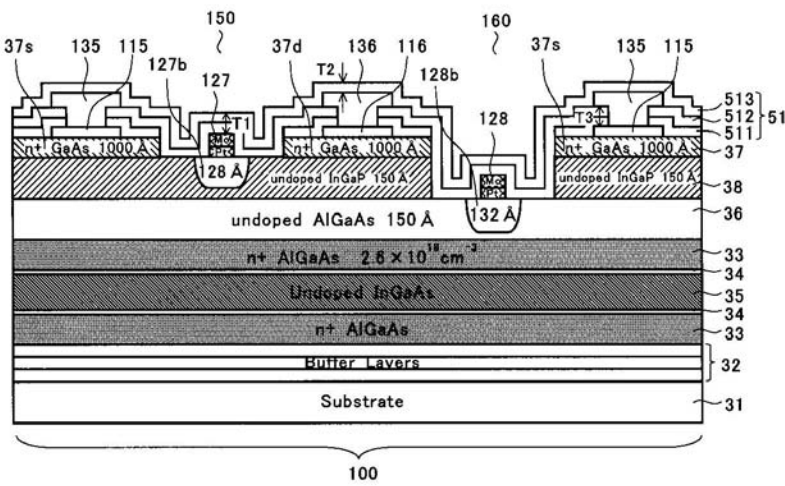


【 図 5 】

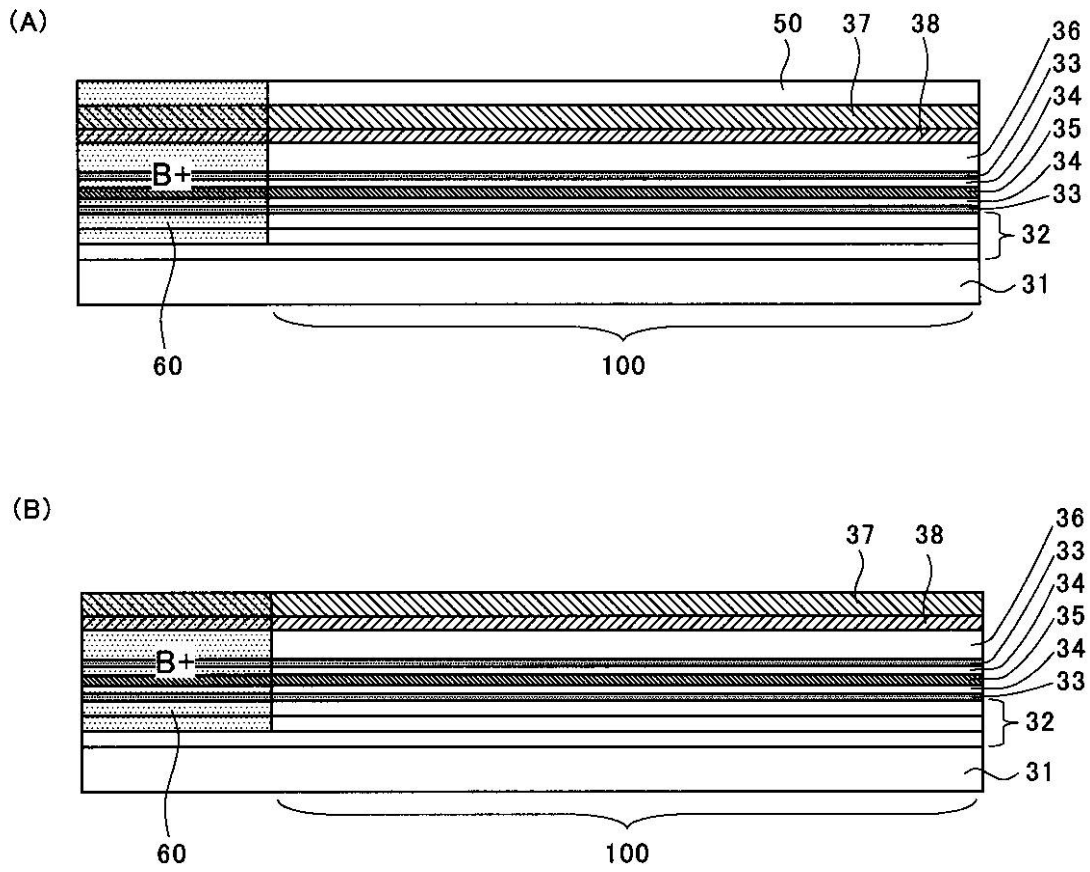


Pt蒸着膜厚と埋め込み部深さの相関

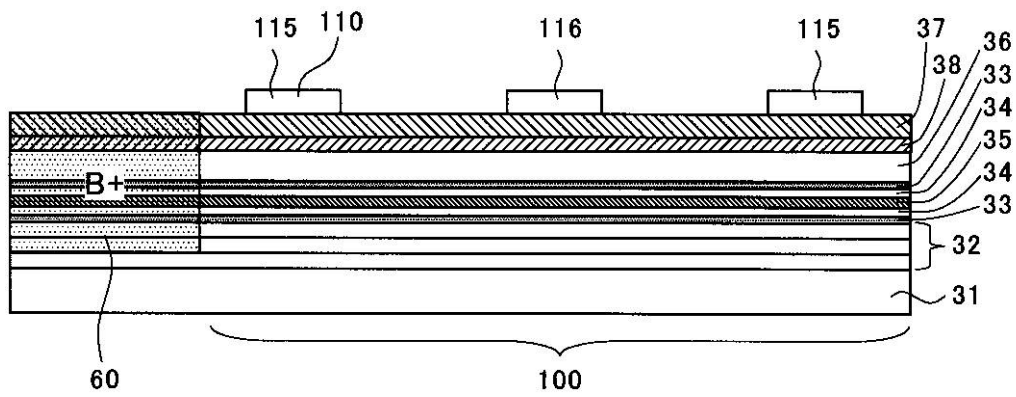
【 図 6 】



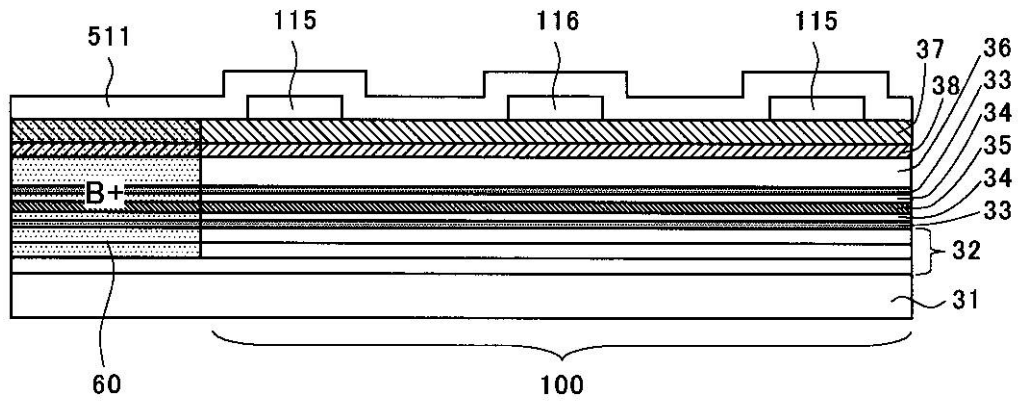
【 図 7 】



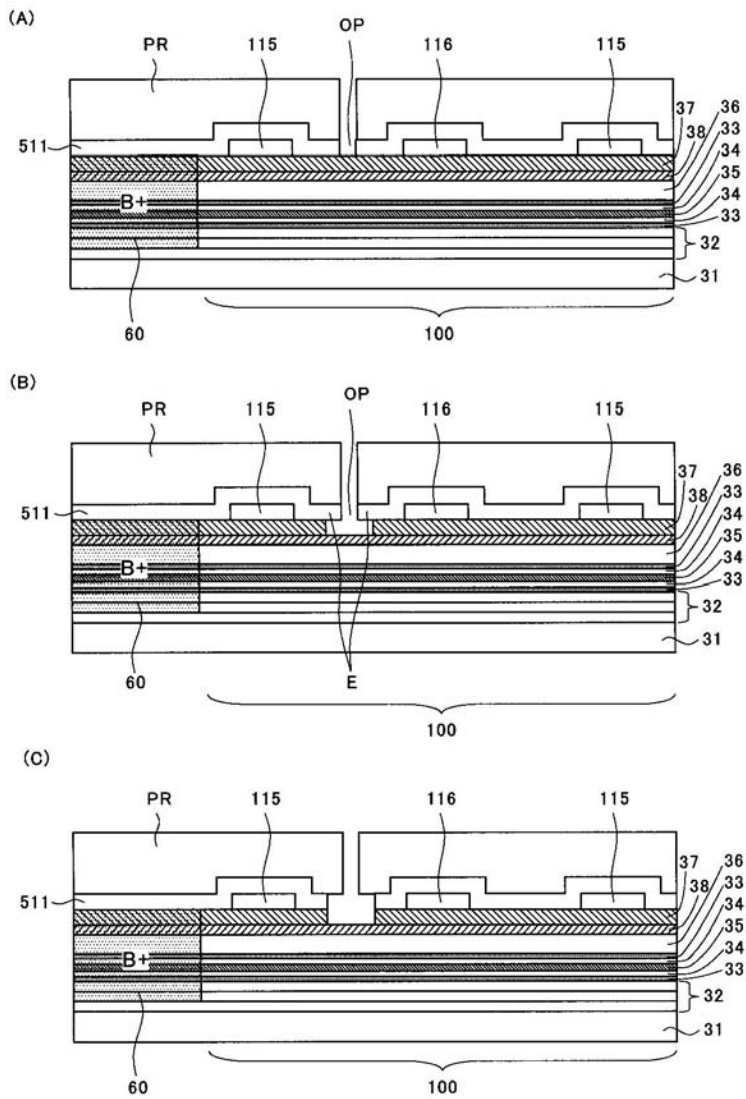
【 図 8 】



【 図 9 】

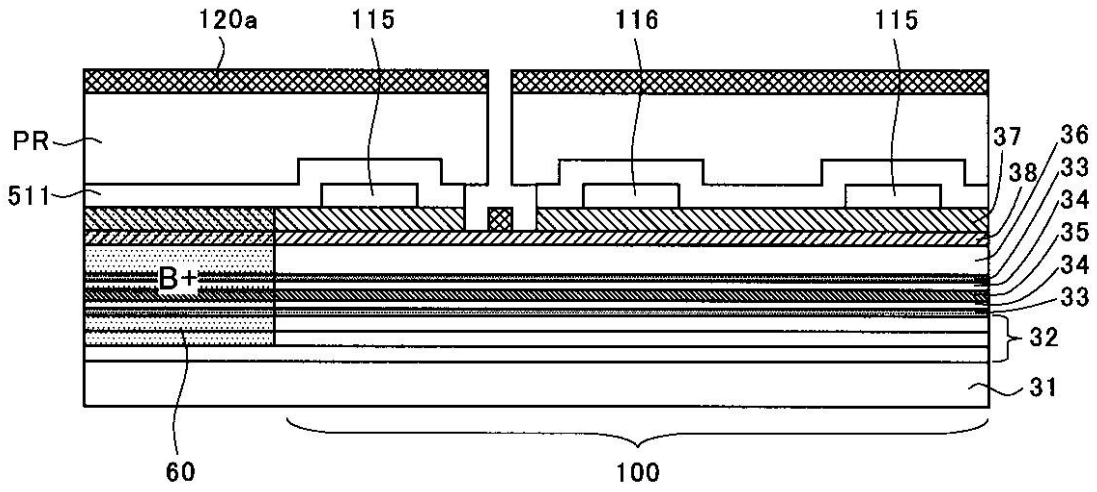


【 図 10 】

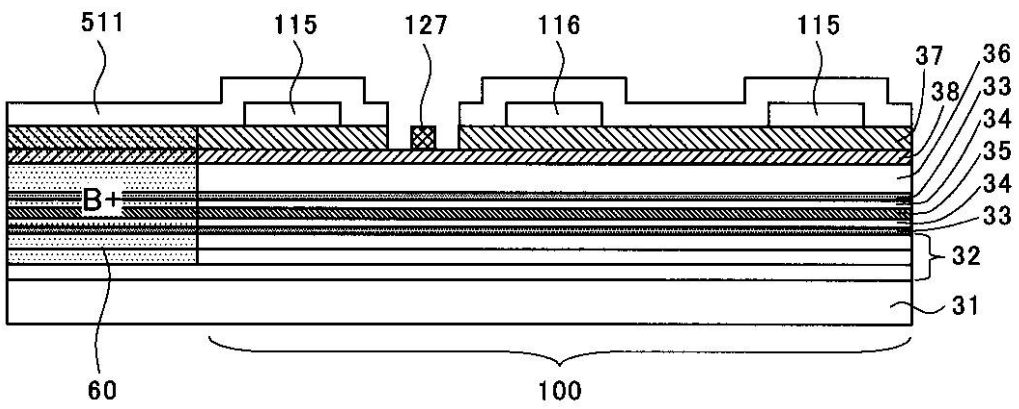


【図11】

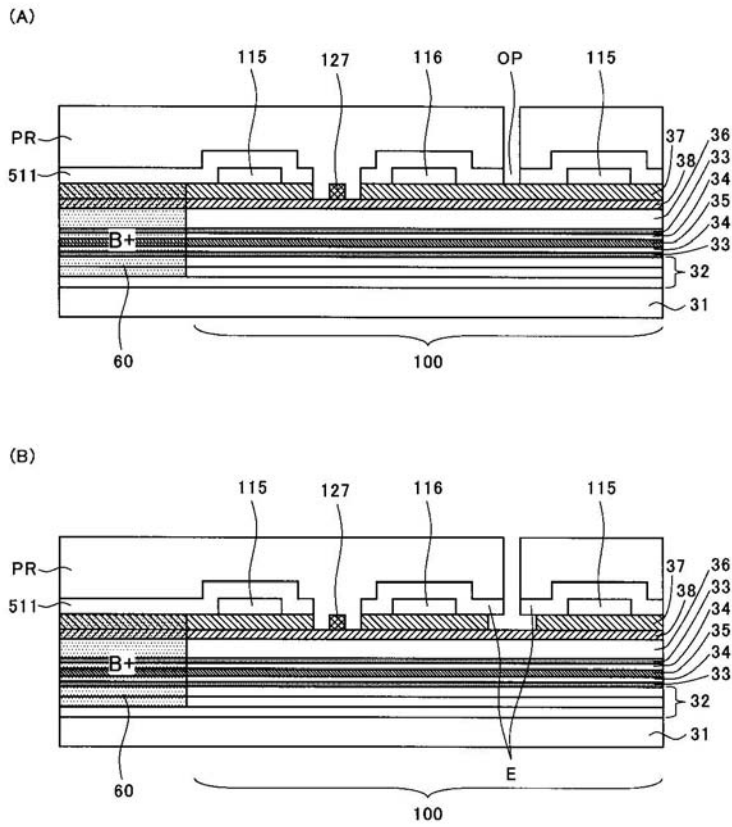
(A)



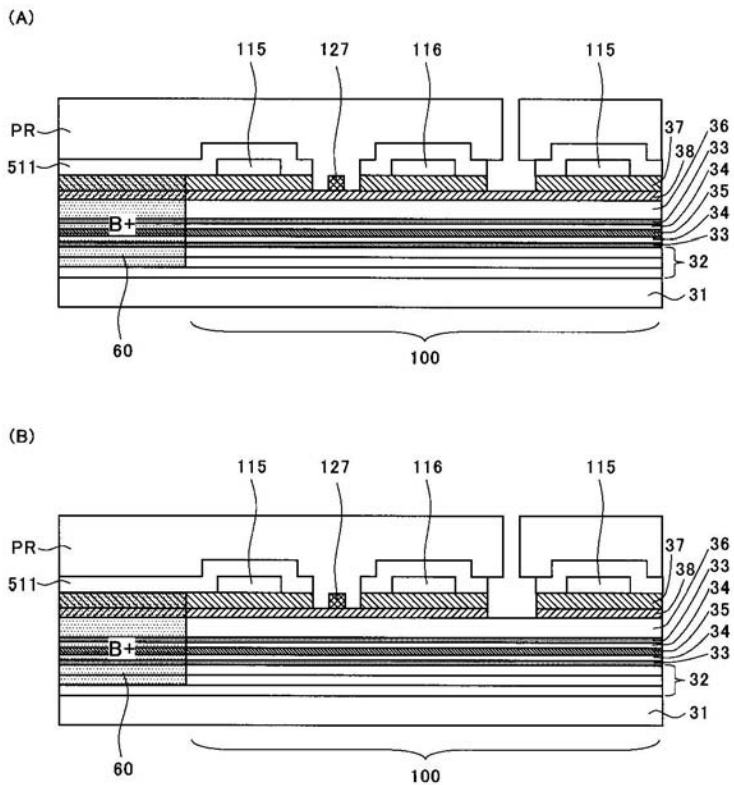
(B)



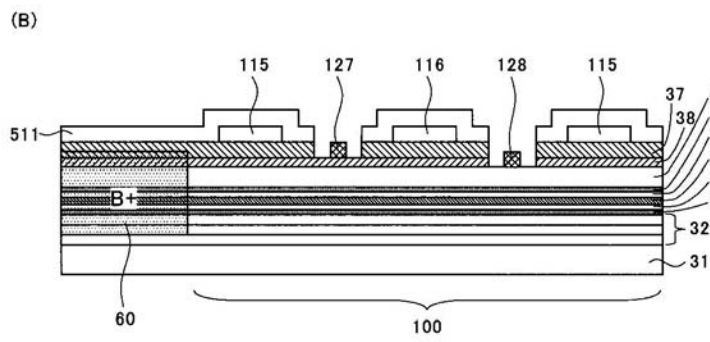
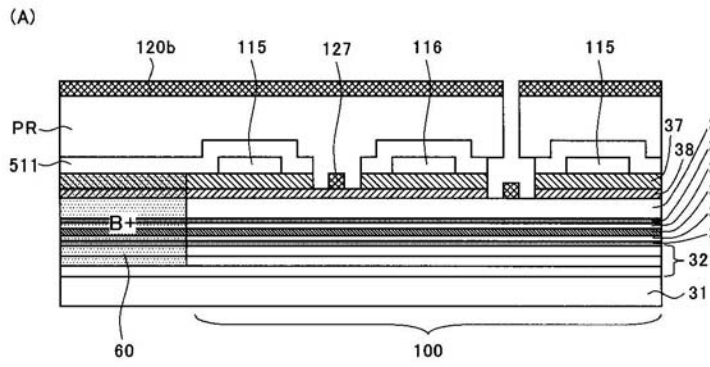
【 図 1 2 】



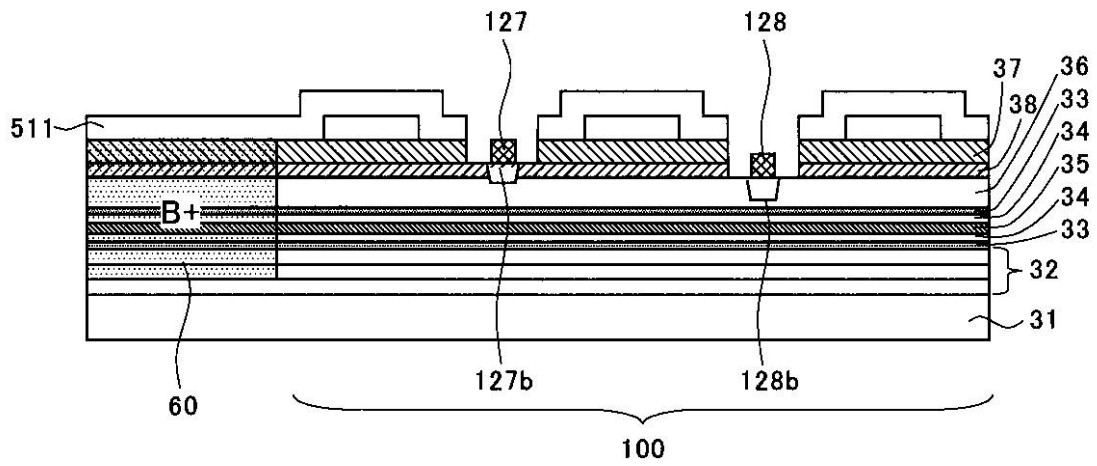
【 図 1 3 】



【 図 1 4 】

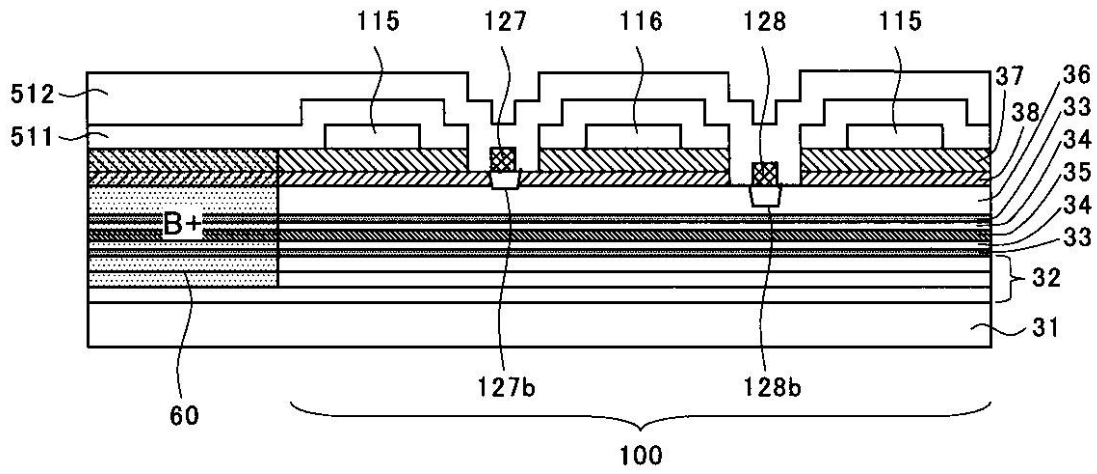


【 図 1 5 】

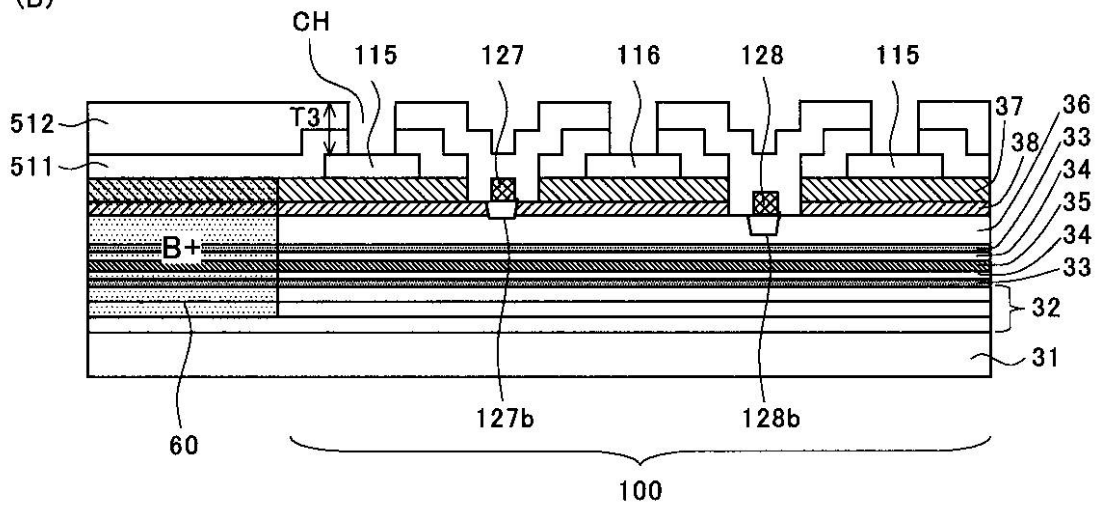


【図16】

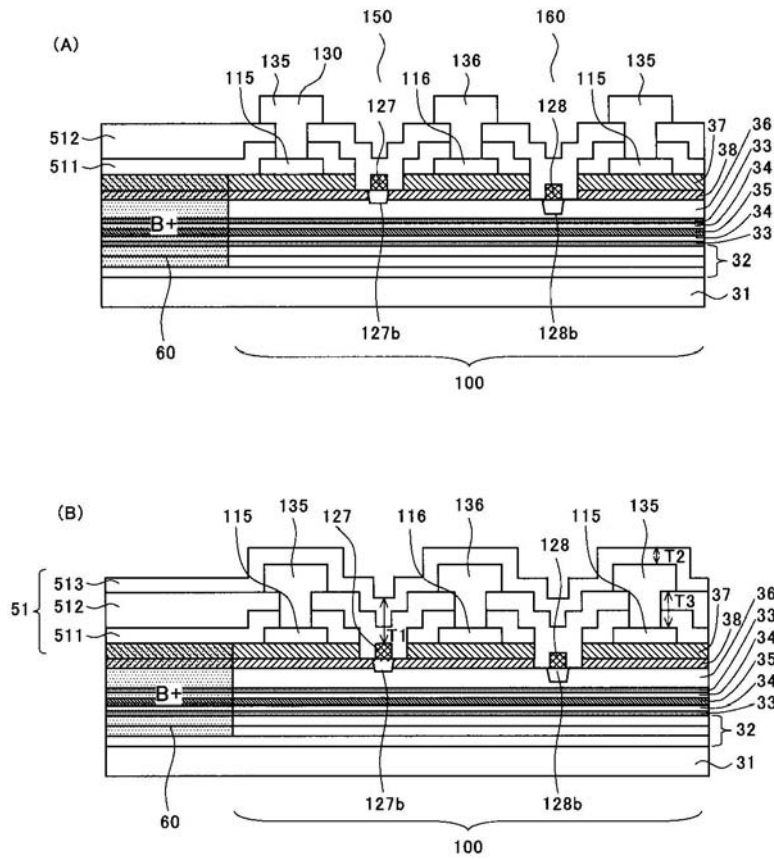
(A)



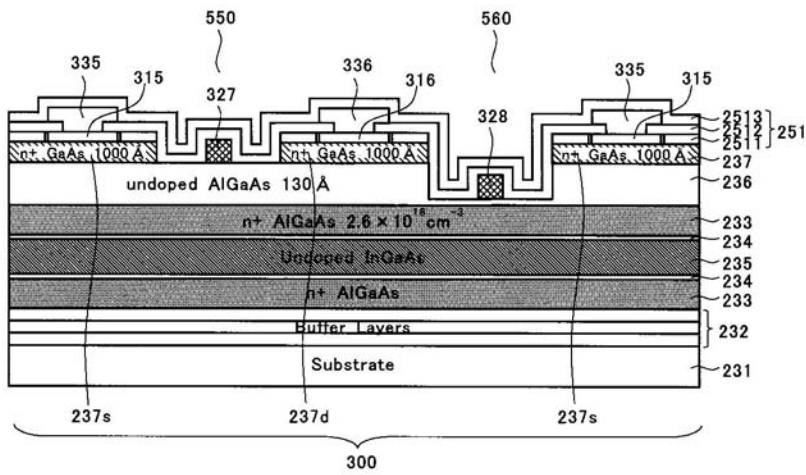
(B)



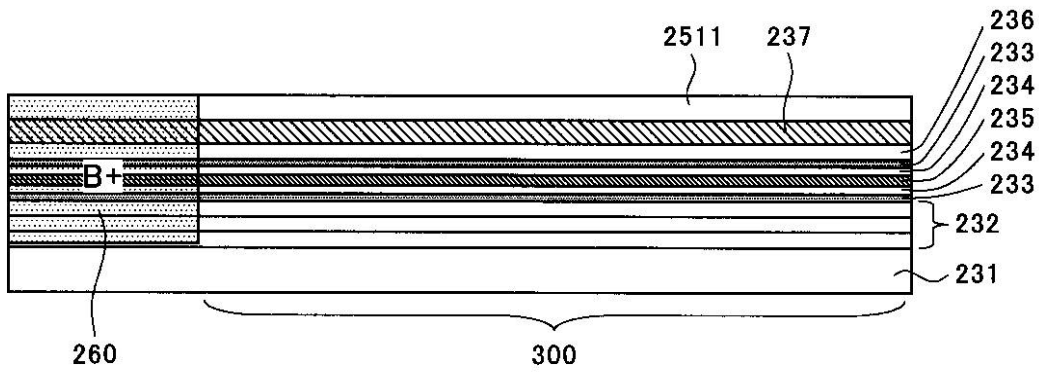
【 図 17 】



【 図 18 】

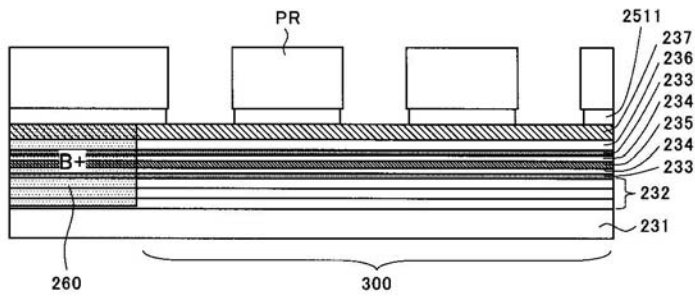


【 図 1 9 】

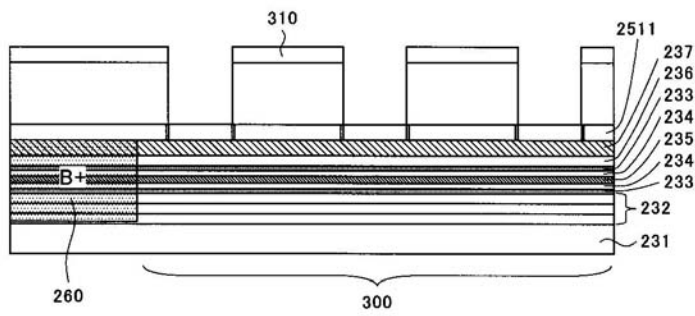


【 図 2 0 】

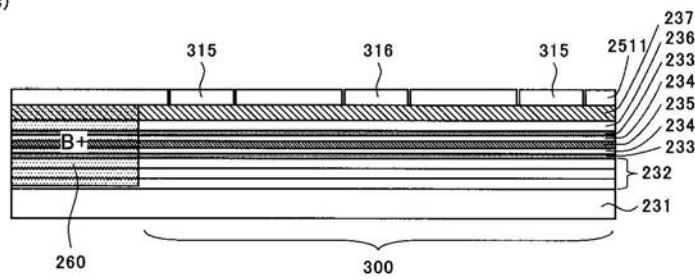
(A)



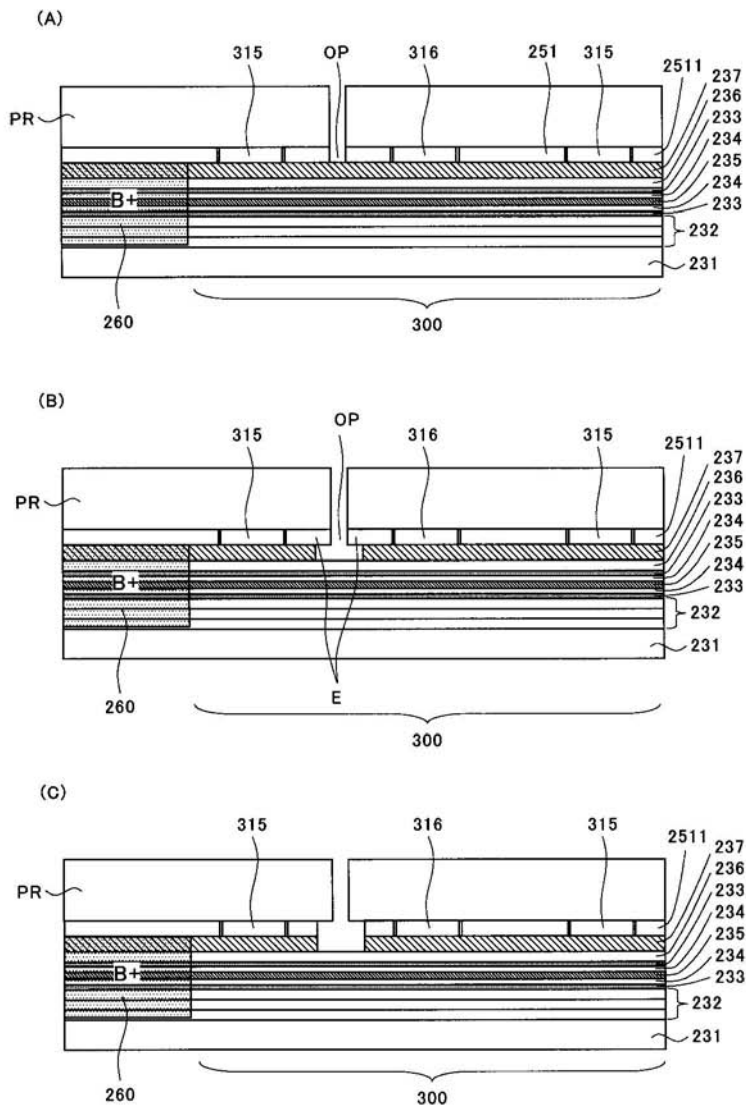
(B)



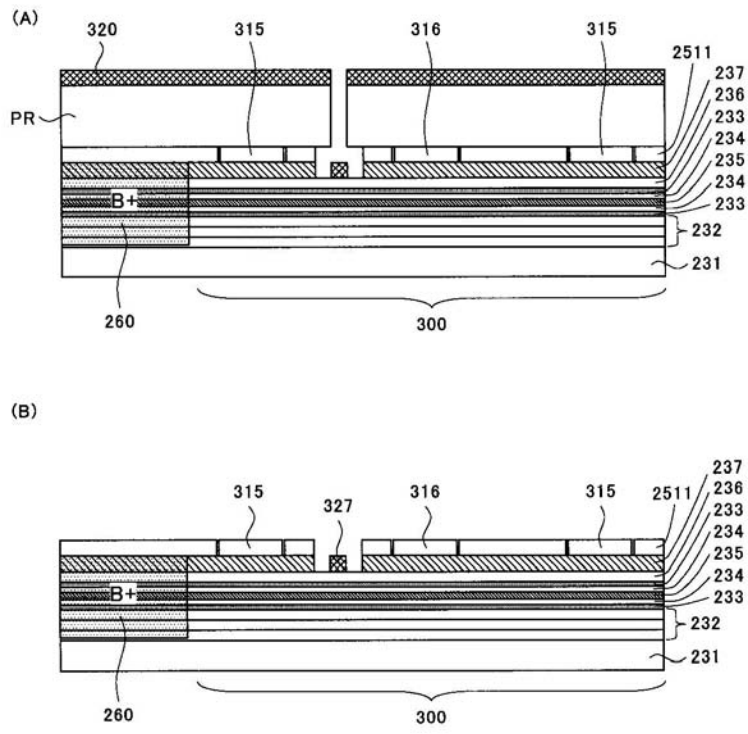
(C)



【 図 2 1 】

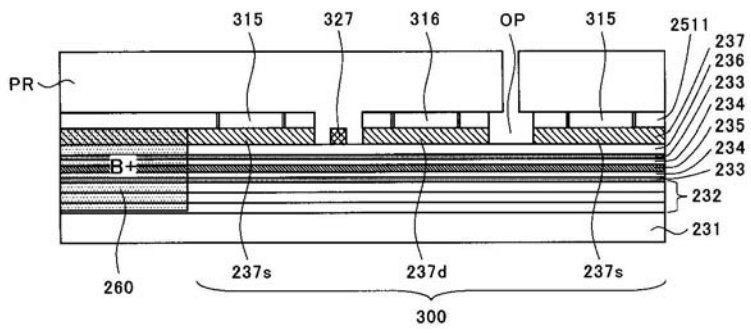


【 図 2 2 】

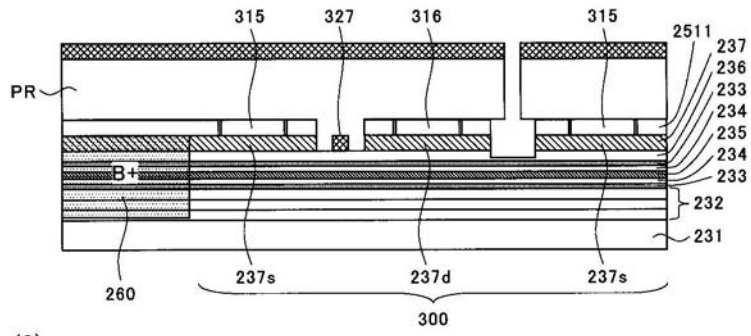


【 図 2 3 】

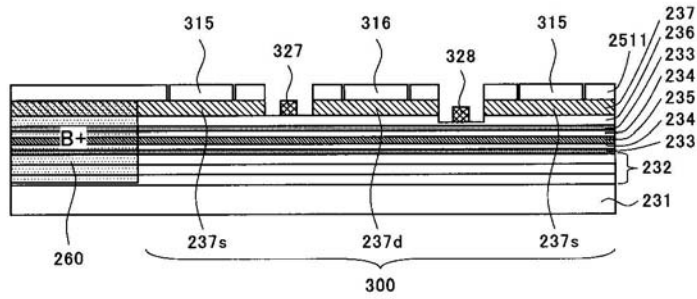
(A)



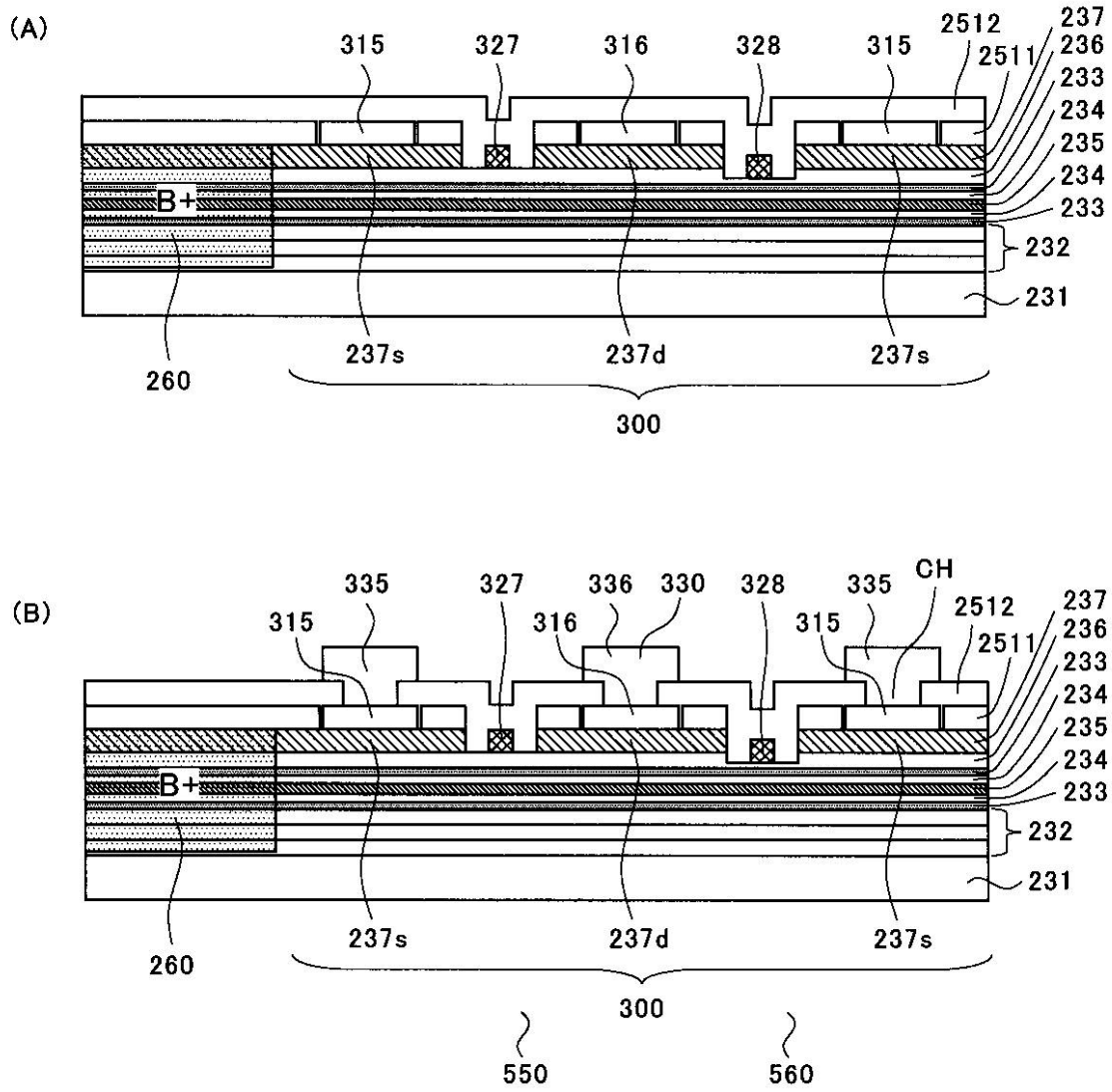
(B)



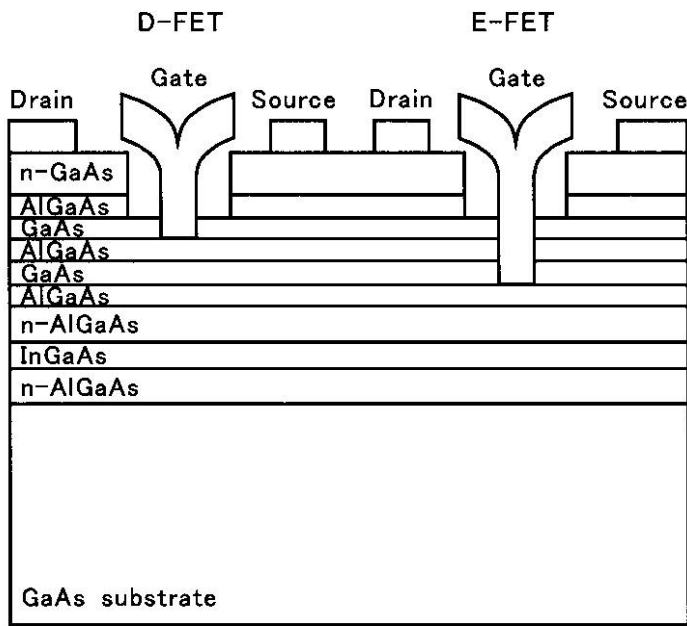
(C)



【 図 2 4 】



【 図 2 5 】



【 図 2 6 】

