



(12) 发明专利申请

(10) 申请公布号 CN 113327981 A

(43) 申请公布日 2021.08.31

(21) 申请号 202110215083.6

(22) 申请日 2021.02.26

(30) 优先权数据

20160168.9 2020.02.28 EP

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市坎茨昂1-15号

(72) 发明人 T·巴斯勒 H-G·埃克尔

J·富尔曼 D·皮特斯

F·斯托默

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 刘书航 周学斌

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/16 (2006.01)

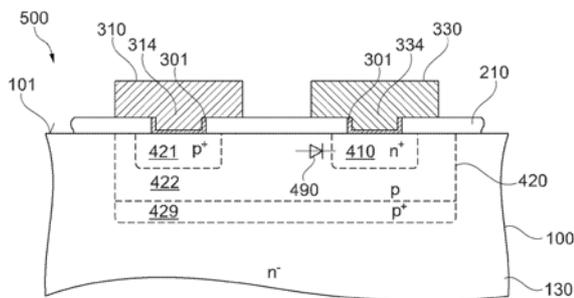
权利要求书2页 说明书15页 附图13页

(54) 发明名称

具有绝缘栅晶体管单元和整流结的半导体器件

(57) 摘要

公开了具有绝缘栅晶体管单元和整流结的半导体器件。一种半导体器件 (500) 包括绝缘栅晶体管单元 (TC)、漏极区/漂移区 (130)、阴极区 (410)、阳极区/分离区 (420) 和源极电极 (310)。绝缘栅晶体管单元 (TC) 包括源极区 (110) 和栅极电极 (155)。源极区 (110) 被形成在碳化硅本体 (100) 中。阴极区 (410) 被形成在碳化硅本体 (100) 中。栅极电极 (155) 和阴极区 (410) 电连接。阴极区 (410)、源极区 (110) 和漏极区/漂移区 (130) 具有第一导电类型。阳极区/分离区 (420) 具有第二导电类型并且被形成在阴极区 (410) 和漏极区/漂移区 (130) 之间。源极电极 (310) 和源极区 (110) 电连接。源极电极 (310) 和阳极区/分离区 (420) 彼此接触。整流结 (490) 被电耦合在源极电极 (310) 和阴极区 (410) 之间。



1. 一种半导体器件,包括:

绝缘栅晶体管单元(TC),其包括源极区(110)和栅极电极(155),其中源极区(110)被形成在碳化硅本体(100)中;

第一导电类型的漏极区/漂移区(130);

被形成在碳化硅本体(100)中的阴极区(410),其中阴极区(410)和源极区(110)具有第一导电类型,并且其中栅极电极(155)和阴极区(410)电连接;

在阴极区(410)和漏极区/漂移区(130)之间的第二导电类型的阳极区/分离区(420),以及

源极电极(310),其中源极电极(310)和源极区(110)电连接,并且其中源极电极(310)和阳极区/分离区(420)彼此接触,并且其中,

整流结(490)被电耦合在源极电极(310)和阴极区(410)之间。

2. 根据前述权利要求所述的半导体器件,

其中,源极电极(310)和阳极区/分离区(420)形成欧姆接触。

3. 根据前述权利要求中的任何一项所述的半导体器件,其中,阴极区(410)从第一表面(101)延伸到阳极区/分离区(420)中。

4. 根据前述权利要求中的任何一项所述的半导体器件,进一步包括:

形成在碳化硅本体(100)的前侧处的焊盘结构/布线结构(330),其中焊盘结构/布线结构(330)和栅极电极(155)电连接,并且其中焊盘结构/布线结构(330)和阴极区(410)电连接。

5. 根据前述权利要求所述的半导体器件,

其中,焊盘结构/布线结构(330)包括栅极焊盘(332)、集成栅极电阻器(333)和栅极布线(336),其中集成栅极电阻器(333)被电气地布置在栅极焊盘(332)和栅极布线(336)之间。

6. 根据前述权利要求所述的半导体器件,

其中,栅极布线(336)与阴极区(410)直接接触并且与栅极电极(155)直接接触。

7. 根据前述三项权利要求中的任何一项所述的半导体器件,进一步包括:

补充二极管结构(338,339),其在焊盘结构/布线结构(330)和阴极区(410)之间和/或在源极电极(310)和阳极区/分离区(420)之间,其中补充二极管结构(338,339)包括多晶半导体材料。

8. 根据前述权利要求中的任何一项所述的半导体器件,其中:

阴极区(410)和源极区(110)具有相同的竖向净掺杂剂浓度轮廓。

9. 根据前述权利要求中的任何一项所述的半导体器件,其中,阴极区(410)和阳极区/分离区(420)形成pn结,并且pn结形成整流结的至少一部分。

10. 根据前述权利要求中的任何一项所述的半导体器件,其中,阳极区/分离区(420)包括阳极接触部分(421)和结部分(422),其中与结部分(422)相比阳极接触部分(421)具有更高的净掺杂剂浓度,其中阳极接触部分(421)和源极电极(310)形成欧姆接触,并且其中结部分(422)和阴极区(410)形成pn结。

11. 根据前述权利要求中的任何一项所述的半导体器件,进一步包括:

第二导电类型的阻断区(429),其中阻断区(429)被形成在漏极区/漂移区(130)和阴极

区(410)之间,其中与在阳极区/分离区(420)中相比在阻断区(429)中的平均净掺杂剂浓度更高。

12.根据前述权利要求中的任何一项所述的半导体器件,其中,源极电极(310)和阴极区(410)形成肖特基接触(SC),并且肖特基接触(SC)形成整流结(490)的至少一部分。

13.根据前述权利要求所述的半导体器件,

其中,阴极区(410)包括阴极接触部分(411)和肖特基部分(412),其中与肖特基部分(412)相比阴极接触部分(411)具有更高的净掺杂剂浓度,其中阴极接触部分(411)和焊盘结构/布线结构(330)形成欧姆接触,并且其中肖特基部分(412)和源极电极(310)形成肖特基接触(SC)。

具有绝缘栅晶体管单元和整流结的半导体器件

技术领域

[0001] 本公开的示例涉及具有绝缘栅晶体管单元的半导体器件,特别是涉及具有绝缘栅晶体管单元和在绝缘栅晶体管的栅极电极和源极电极之间的整流结的半导体器件。

背景技术

[0002] 对于MOSFET(金属氧化物半导体场效应晶体管)而言要考虑的一个方面是在长期工作下的栅极阈值电压 $V_{GS(th)}$ 的漂移。栅极阈值电压漂移的动态分量可以取决于开关频率和用于关断 $V_{GS(off)}$ 的所选择的栅极到源极电压。例如,栅极端子处的负电压可能加速栅极阈值电压漂移。目的在于限制SiC MOSFET导通状态电阻 $R_{DS(on)}$ 的增加的设计准则推荐针对最小关断电压 $V_{GS(off)}$ 、开关频率和接通电压 $V_{GS(on)}$ 的特定的工作区域。

[0003] 存在对于以低的电路复杂性来减小半导体器件的长期栅极阈值电压漂移的需要。

发明内容

[0004] 本公开的实施例涉及一种半导体器件。该半导体器件包括绝缘栅晶体管单元、漏极区/漂移区、阴极区、阳极区/分离区和源极电极。绝缘栅晶体管单元包括源极区和栅极电极。源极区被形成在碳化硅本体中。阴极区被形成在碳化硅本体中。栅极电极和阴极区电连接。阴极区、源极区和漏极区/漂移区具有第一导电类型。阳极区/分离区具有第二导电类型,并且被形成在阴极区和漏极区/漂移区之间。源极电极和源极区电连接。源极电极和阳极区/分离区彼此接触。整流结被电耦合在源极电极和阴极区之间。

[0005] 在阅读随后的详细描述并且查看随附图时本领域技术人员将认识到附加的特征和优点。

附图说明

[0006] 随附图被包括以提供对实施例的进一步的理解,并且被合并在本说明书中并且构成本说明书的一部分。附图图示半导体器件的实施例,并且与描述一起用于解释实施例的原理。在随后的详细描述和权利要求中描述进一步的实施例。

[0007] 图1示出根据实施例的具有绝缘栅晶体管单元和整流结的半导体器件的一部分的简化竖向横截面视图。

[0008] 图2A示出具有栅极驱动器装置的简化电路图和具有绝缘栅晶体管单元的半导体器件的等效电路图,以用于讨论实施例的效果。

[0009] 图2B示出针对用于半导体器件的 V_{GS} 和 V_{DS} 的简化图,以用于说明实施例的效果。

[0010] 图3A至图3D示出根据实施例的具有绝缘栅晶体管单元和整流结的半导体器件的与平坦栅极电极和沟槽栅极电极有关的部分的简化竖向横截面视图。

[0011] 图4示出根据实施例的半导体器件的简化平面视图并且指示用于整流结的可能的区域。

[0012] 图5A至图5E示出根据实施例的半导体器件的与被直接形成在半导体器件的前侧

处的焊盘结构/布线结构下方的阴极区有关的部分的简化竖向横截面视图。

[0013] 图6A至图6B示出根据实施例的半导体器件的与形成在栅极焊盘下方的整流结有关的部分的简化平面视图和对应的简化竖向横截面视图。

[0014] 图7A至图7B示出根据实施例的半导体器件的与挨着栅极焊盘形成的整流结有关的部分的简化平面视图和对应的简化竖向横截面视图。

[0015] 图8A至图8D示出根据实施例的半导体器件的与形成在栅极流道下方的整流结有关的部分的简化平面视图和三个对应的简化竖向横截面视图。

[0016] 图9A至图9C示出根据另一实施例的半导体器件的与形成在栅极流道下方的整流结有关的部分的简化平面视图和两个对应的简化竖向横截面视图。

具体实施方式

[0017] 在以下的详细描述中参照随附图，随附图形成在此的一部分，并且在附图中通过图示方式示出其中可以实践半导体器件的具体实施例。要理解的是，在不脱离本公开的范围的情况下可以利用其它的实施例并且可以作出结构或逻辑上的改变。例如，针对一个实施例图示或描述的特征可以被使用在其它实施例上或者与其它实施例结合使用，以产生又一进一步的实施例。意图的是本公开包括这样的修改和变化。使用特定的语言描述了示例，特定的语言不应当被解释为限制所附权利要求的范围。附图并非按比例并且仅用于说明的目的。如果没有另外声明，则在不同的附图中对应的元素由相同的参考标号指明。

[0018] 术语“具有”、“包含”、“包括”和“包括有”等是开放式的，并且术语指示所声明的结构、元素或特征的存在但是不排除附加的元素或特征的存在。数量词“一”、“一个”和指代词“该”意图包括复数以及单数，除非上下文另外清楚地指示。

[0019] 术语“电连接”描述在电连接的元素之间的永久的低电阻欧姆连接，例如在相关元素之间的直接接触或者经由金属和/或重掺杂的半导体材料的低电阻连接。术语“电耦合”包括被适配用于信号和/或功率传输的一个或多个的(多个)中间元素可以被连接在电耦合的元素之间，例如，可控制以在第一状态中临时提供低电阻连接并且在第二状态中临时提供高电阻电耦合的元素。“欧姆接触”是具有线性或几乎线性的电流-电压特性的非整流电气结。

[0020] 各图通过挨着掺杂类型“n”或“p”指示“-”或“+”来图示相对掺杂浓度。例如，“n-”意味着与“n”掺杂区的掺杂浓度相比更低的掺杂浓度，而“n+”掺杂区与“n”掺杂区相比具有更高的掺杂浓度。相同相对掺杂浓度的掺杂区未必具有相同的绝对掺杂浓度。例如，两个不同的“n”掺杂区可以具有相同的或不同的绝对掺杂浓度。

[0021] 具有相同导电类型并且具有不同掺杂剂浓度的两个邻接的掺杂区形成单极结，例如，沿着两个掺杂区之间的边界表面的n/n+结或p/p+结。在单极结处，与单极结正交的掺杂剂浓度轮廓可以示出台阶或转折点，在其处掺杂剂浓度轮廓从凹改变为凸或者反之亦然。

[0022] 针对物理尺寸给定的范围包括边界值。例如，针对参数y的从a到b的范围读作为 $a \leq y \leq b$ 。这同样适用于具有一个边界值(如“至多”和“至少”)的范围。

[0023] 术语“在...上”不被解释为意味着“直接在...上”。相反，如果一个元素位于另一元素“上”(例如一层在另一层“上”或在衬底“上”)，则进一步的组件(例如进一步的层)可以位于两个元素之间(例如，如果层在衬底“上”，则进一步的层可以位于该层和所述衬底之间)。

[0024] 术语“功率半导体器件”指代具有至少30V(例如100V、600V、1.6 kV、3.3 kV或更高)的高电压阻断能力并且具有至少1A(例如10A或更高)的标称导通状态电流或正向电流的半导体器件。

[0025] 半导体器件可以包括绝缘栅晶体管单元。绝缘栅晶体管单元可以包括源极区和栅极电极。源极区可以被形成在碳化硅本体中。

[0026] 碳化硅本体可以具有两个本质上平行的主表面(其可以具有近似相同的形状和大小),以及具有连接两个主表面的边缘的侧表面区域。例如,碳化硅本体可以是具有或不具有倒圆角边缘的圆柱体或多边形(例如矩形或六边形)棱柱。碳化硅本体可以具有沿着两个水平方向的表面延伸,并且可以具有沿着垂直于水平方向的竖向方向的厚度。在下面水平方向还被称为横向方向。

[0027] 碳化硅本体的材料可以是单晶碳化硅,通过示例的方式,例如15R-SiC(15R多型碳化硅)或具有六边形多型的碳化硅(如2H-SiC、4H-SiC或6H-SiC)。除了主要组分硅和碳之外,碳化硅本体还可以包括掺杂剂原子,例如氮(N)、磷(P)、铍(Be)、硼(B)、铝(Al)和/或镓(Ga)。碳化硅本体还可以包括进一步的杂质,例如氢、氟和/或氧。

[0028] 除了源极区之外,绝缘栅晶体管单元可以进一步包括本体区。碳化硅本体可以进一步包括漏极区/漂移区。漏极区/漂移区的一部分可以作为绝缘栅晶体管单元的漏极而起效。

[0029] 源极区和漏极区/漂移区具有第一导电类型。本体区可以具有互补的第二导电类型。本体区可以在空间上分离源极区与漏极区/漂移区。栅极电介质可以被形成在栅极电极和本体区之间。施加到栅极电极的电势通过场效应控制本体区中的移动电荷载流子的分布。

[0030] 绝缘栅晶体管单元可以具有正的栅极阈值电压或负的栅极阈值电压。当栅极电极和源极区之间的栅极到源极电压VGS超过正的栅极阈值电压或下降到负的栅极阈值电压之下时,少数电荷载流子沿着栅极电介质在本体区中形成反型层(沟道)。反型沟道连接源极区和漏极区/漂移区,并且绝缘栅晶体管接通。当栅极到源极电压VGS下降到正的栅极阈值电压之下或增加到负的栅极阈值电压之上时,绝缘栅晶体管关断。在其处电流开始流动通过沟道的正的栅极阈值电压可以在2.5V和6V之间。

[0031] 半导体器件可以进一步包括源极电极。源极电极可以包括具有高电导率的一种或多种材料或者可以由具有高电导率的一种或多种材料构成。例如,源极电极可以包括至少一种金属、金属化合物和/或金属合金。

[0032] 源极电极可以被形成在碳化硅本体的在碳化硅本体的前侧处的第一主表面上。源极电极可以被直接形成在第一主表面上或者可以被直接形成于在空间上分离源极电极和碳化硅本体的层间电介质上。半导体器件可以进一步包括形成于在碳化硅本体的背侧处的第二主表面上的漏极电极。

[0033] 源极电极和源极区可以被电连接。例如,源极电极和源极区可以形成低电阻欧姆接触。例如,源极接触结构可以通过层间电介质中的开口而延伸至碳化硅本体或延伸到碳化硅本体中,其中源极接触结构和源极区形成欧姆接触。

[0034] 此外,源极电极和本体区可以被电连接。例如,源极电极和本体区可以形成低电阻欧姆接触。例如,源极接触结构和本体区可以形成欧姆接触。本体区和漏极区/漂移区形成

pn结,其可以作为本体二极管而起效。

[0035] 半导体器件可以进一步包括阴极区。阴极区可以被形成在碳化硅本体中,并且可以具有与源极区相同的导电类型。栅极电极和阴极区可以被电连接。

[0036] 栅极电极和阴极区可以直接接触或者可以通过低阻抗结构电连接。低阻抗结构可以具有欧姆行为。低阻抗结构的电阻可以是至多 $10\ \Omega$,例如至多 $5\ \Omega$ 或至多 $2\ \Omega$ 。

[0037] 第二导电类型的阳极区/分离区可以被形成在阴极区和漏极区/漂移区之间的碳化硅本体中。阳极区/分离区可以分离阴极区和漏极区/漂移区或者可以贡献于分离阴极区和漏极区/漂移区。阳极区/分离区和源极电极可以彼此直接接触。例如,源极电极和阳极区/分离区可以形成金属/半导体结,例如,低电阻欧姆接触或肖特基接触。

[0038] 整流结可以被电耦合在源极电极和阴极区之间。特别是,整流结可以被串联地电气布置在阴极区和源极电极之间。

[0039] 当施加在栅极电极和源极电极之间的栅极到源极电压VGS具有栅极阈值电压的极性(符号)时,例如当栅极到源极电压VGS接通绝缘栅晶体管单元时,整流结处于反向偏置(被反向偏置)。当施加在栅极电极和源极电极之间的栅极到源极电压VGS具有与栅极阈值电压相反的极性(符号)时,整流结处于正向偏置(被正向偏置)。

[0040] 漏极区/漂移区可以包括重掺杂的接触部分。接触部分和漏极电极可以沿着第二主表面形成低电阻欧姆接触。源极电极和漏极电极之间的负载电流实质上在竖向方向上通过碳化硅本体从第一主表面流动到第二主表面或者从第二主表面流动到第一主表面。

[0041] 在下面,参考具有正的栅极阈值电压的绝缘栅晶体管单元来描述实施例的效果。

[0042] 对于具有正的栅极阈值电压的绝缘栅晶体管单元而言,当在栅极电极和源极电极之间施加正的栅极到源极电压VGS时,整流结处于反向偏置。在反向偏置下,整流结阻断达到在其处发生反向击穿的峰值反向电压。峰值反向电压可以是最高的推荐的栅极电压的至少1.5倍或至少两倍。例如,整流结峰值反向电压可以是至少36V。

[0043] 当在栅极电极和源极电极之间出现负栅极到源极电压VGS时,整流结处于正向偏置。在大于整流结的接通(set-in)电压的正向偏置下,整流结导通。

[0044] 接通电压的绝对值可以比最小栅极阈值电压的绝对值的两倍小。例如,接通电压是SiC pn二极管的接通电压(大约3V)或者SiC肖特基二极管的接通电压(大约1.5V)。整流结的接通电压限定用于栅极电极和源极电极之间的负过冲的箝位电压。

[0045] 整流结可以是或者可以包括在阴极区和互补掺杂的阳极区/分离区之间的单晶碳化硅本体内形成的pn结。替换地或者此外,整流结可以是或者可以包括在阴极区和源极电极之间形成的肖特基接触。

[0046] 整流结可以作为直接在芯片水平上对于负VGS下冲(undershoot)的箝位二极管起效。负VGS下冲可能是碳化硅本体内的器件内部位移电流的结果。例如,在绝缘栅晶体管单元的断开状态下,在漏极端子处的负的 dV_{DS}/dt 可能造成通过本体二极管从源极流动到漏极的瞬时电流(本体二极管正向恢复)。电流流动使器件内部的米勒电容放电并且可能造成跨栅极到源极电容的短的负电压尖峰。

[0047] 当跨栅极到源极电容的负电压下降到负的整流结接通电压之下时,整流结变得导通并且切断更负的电压尖峰。对于0V的关断栅极驱动电压而言,整流结因此将跨栅极电介质的负电压限制到由整流结的接通电压给出的值。

[0048] 限制跨栅极电介质的负电压的峰值可以贡献于减少栅极电介质劣化。减少栅极电介质劣化可以造成在寿命期间更稳定的栅极阈值电压。特别是，整流结可以贡献于降低阈值电压漂移并且贡献于避免随时间经过而导通损耗增加。

[0049] 根据实施例，源极电极和阳极区/分离区可以形成欧姆接触。例如，源极电极可以包括层部分和阳极接触结构。阳极接触结构可以从层部分延伸至阳极区/分离区或者延伸到阳极区/分离区中，其中阳极接触结构和阳极区/分离区形成欧姆接触。

[0050] 通过共享用于在源极电极和源极区之间形成欧姆接触或金属源极接触结构的处理，可以有效地形成在源极电极和阳极区/分离区之间的连接。

[0051] 根据实施例，阴极区可以从第一主表面延伸到阳极区/分离区中。阳极区/分离区可以形成从第一主表面延伸到碳化硅本体中的阱。阴极区可以形成为从第一主表面延伸到阳极区/分离区中的阱。第一主表面和阳极区/分离区的底部之间的距离可以大于第一表面和阴极区的底部之间的距离。阳极区/分离区可以完全围绕碳化硅本体内的阴极区。阳极区/分离区可以在所有侧上横向地围绕阴极区，并且可以高效地将阴极区与碳化硅本体中的其它进一步的掺杂区分离开。

[0052] 根据实施例，半导体器件可以包括形成在碳化硅本体的前侧处的焊盘结构/布线结构。该焊盘结构/布线结构或焊盘结构/布线结构的一部分可以在阴极区和栅极电极之间形成低阻抗结构。焊盘结构/布线结构可以包括由重掺杂的多晶硅形成的部分结构和/或包含金属的部分结构。包含金属的部分结构可以由(多种)单质金属、(多种)金属化合物和/或(多种)金属合金构成。

[0053] 焊盘结构/布线结构和栅极电极可以被电连接。例如，焊盘结构/布线结构和栅极电极可以直接接触。焊盘结构/布线结构和阴极区可以被电连接。例如，焊盘结构/布线结构和阴极区可以形成低电阻欧姆金属/半导体接触。

[0054] 使用焊盘结构/布线结构来连接栅极电极和阴极区可以简化栅极电极和源极电极之间的电压箝位功能的高度有效的集成。

[0055] 焊盘结构/布线结构可以包括栅极焊盘。焊盘结构/布线结构可以进一步包括将栅极焊盘与栅极电极电连接的栅极布线。

[0056] 栅极焊盘可以是形成在碳化硅本体的前侧处的矩形金属结构。例如，栅极焊盘可以是具有足够的厚度并且具有足够的横向大小以适合作为用于布线接合的接合基底的近似方形的金属结构。栅极焊盘可以具有至少 $2\mu\text{m}$ 的厚度，例如至少 $5\mu\text{m}$ 或至少 $10\mu\text{m}$ 。栅极焊盘可以具有至少 0.1mm^2 的水平表面面积。栅极焊盘和源极电极可以被并排地形成在第一主表面上并且可以具有相同的结构配置。例如，栅极焊盘和源极电极可以包括相同的材料并且可以具有相同的厚度，或者可以包括相同的层堆叠，其中层堆叠的对应的子层由相同的材料形成并且具有相同的竖向延伸。

[0057] 栅极布线可以是在碳化硅本体的前侧处的进一步的平坦金属结构。栅极布线可以包括(多种)包含金属的材料(例如(多种)单质金属、(多种)金属化合物和/或(多种)金属合金)或者由(多种)包含金属的材料(例如(多种)单质金属、(多种)金属化合物和/或(多种)金属合金)构成。与栅极焊盘相比栅极布线可以是显著地更薄的。例如，栅极布线的厚度是至多 $5\mu\text{m}$ 。栅极布线可以包括具有 $10\mu\text{m}$ 的典型宽度的互连的条带形状的部分。

[0058] 栅极布线可以包括水平的栅极层部分。栅极层部分可以被形成在层间电介质上或

者被形成在层间电介质的子层上。栅极布线可以包括从栅极层部分延伸至栅极电极或延伸到栅极电极中的金属栅极接触结构。栅极布线可以包括从栅极层部分延伸至阴极区或延伸到阴极区中的金属阴极接触结构。

[0059] 栅极布线可以包括在碳化硅本体的横向外周中的栅极流道。栅极流道可以具有平行于碳化硅本体的最靠近的横向边缘的纵向延伸。栅极流道可以被形成在源极电极和碳化硅本体的边缘之间。

[0060] 替换地以及/或者除了栅极流道之外,栅极布线可以包括从外周和/或从栅极焊盘延伸到第一主表面的更加中心的部分中的一个或多个栅极指状物。栅极指状物可以被形成在源极电极下方或者被形成于在互连的源极电极区段之间的间隙中。

[0061] 焊盘结构/布线结构可以进一步包括集成栅极电阻器,其被串联地电连接在栅极焊盘和栅极布线之间或者被串联地电连接在第一栅极布线部分和第二栅极布线部分之间。集成栅极电阻器可以包括掺杂的半导体材料,例如掺杂的多晶硅。集成栅极电阻器的电阻可以在从 $1\ \Omega$ 至 $20\ \Omega$ 的范围内,例如至少 $1\ \Omega$,例如至少 $2\ \Omega$,并且至多 $20\ \Omega$,例如至多 $10\ \Omega$ 。根据另一实施例,栅极布线可以与栅极焊盘直接接触。

[0062] 栅极布线可以与栅极电极和阴极区直接接触。在集成栅极电阻器串联连接在第一栅极布线部分(其与栅极焊盘接触)和第二栅极布线部分之间的情况下,第二栅极布线部分可以与阴极区和栅极电极直接接触。

[0063] 将集成栅极电阻器 R_g 放置在阴极区和栅极电极之间的连接之外可以贡献于栅极电极和源极电极之间的箝位二极管的更快的响应时间。

[0064] 根据实施例,可以在焊盘结构/布线结构和阴极区之间和/或在源极电极和阳极区/分离区之间形成补充二极管结构。补充二极管结构可以包括多晶半导体材料或者可以由多晶半导体材料构成。补充二极管结构可以贡献于针对负过冲调谐箝位电压。

[0065] 根据实施例,阴极区和源极区可以具有相同的竖向净掺杂剂浓度轮廓。可以通过共享至少一些处理步骤来同时形成阴极区和源极区。例如,源极区和阴极处理可以被限定在同一平版印刷处理中和/或可以从同一掺杂剂注入处理得到,以使得内部箝位二极管可以是在没有附加成本的情况下或者是在低附加成本下以高效的方式形成的。

[0066] 根据实施例,阳极区/分离区和阴极区在碳化硅本体中形成pn结,并且在阴极区和阳极区/分离区之间形成的pn结可以形成在源极电极和阴极区之间的整流结的至少一部分。

[0067] 阳极区/分离区可以是排它地为整流结形成的结构。替换地,阳极区/分离区还用于另外的目的。

[0068] 例如,阳极区/分离区可以是绝缘栅晶体管单元的掺杂区的一部分,或者可以得自于对为绝缘栅晶体管单元提供的掺杂区的适度修改(例如横向延伸),使得内部箝位二极管可以是以有效的方式形成的,并且没有或仅有低的有源区域损耗。

[0069] 根据另一示例,阳极区/分离区可以是P导电阱的一部分,其中P导电阱的其它部分形成绝缘栅晶体管单元的本体区。阳极区/分离区可以是P导电深注入区的一部分,其中深注入区的其它部分形成用于沟槽栅极结构和/或用于深接触结构的屏蔽区。

[0070] 根据实施例,阳极区/分离区可以包括阳极接触部分和结部分。阳极接触部分和源极电极可以形成欧姆接触。结部分和阴极区可以形成pn结。与结部分相比阳极接触部分可

以具有更高的净掺杂剂浓度。例如,阳极接触部分中的最大净掺杂剂浓度是结部分中的平均净掺杂剂浓度的至少十倍那么高。

[0071] 对欧姆接触而言有效的掺杂剂浓度和对于整流结而言有效的掺杂剂浓度可以是彼此独立地选择的,并且可以被选择以实现与源极电极的低电阻欧姆接触以及用于整流结的足够的反向阻断能力(峰值反向电压)这两者。

[0072] 根据实施例,半导体器件可以进一步包括具有与阴极区的导电类型相反的导电类型的阻断区。阻断区可以被形成在漏极区/漂移区和阴极区之间。例如,阻断区可以被形成在阳极区/分离区和第二主表面之间。

[0073] 与在阳极区/分离区中相比阻断区中的平均净掺杂剂浓度可以更高。可以选择阻断区中的掺杂剂浓度和阻断区的竖向延伸,以可靠地抑制由n导电阴极区、p导电阳极区/分离区和n导电漏极区/漂移区形成的寄生npn结构的闩锁。例如,阻断区中的平均净掺杂剂浓度是阳极区/分离区中的平均净掺杂剂浓度的至少十倍那么高。

[0074] 阻断区可以与阳极区/分离区接触,并且可以竖向地分离阳极区/分离区和漏极区/漂移区。阻断区可以是水平的层。阻断区的横向延伸可以大于阴极区的横向延伸。阴极区到阻断区的水平表面上的竖向投影可以完全落入到阻断区的横向周界内。

[0075] 根据实施例,源极电极和阴极区可以形成肖特基接触。肖特基接触可以形成整流结或整流结的一部分。

[0076] 由于通过肖特基接触的正向电流是单极电流,因此箝位功能极其快速,并且甚至在高的开关频率下或者当在具有多个并联的半导体开关的功率模块中发生寄生芯片间振荡时也可以防止下冲。

[0077] 可以通过形成肖特基接触的金属来选择接通电压。例如,源极电极或金属源极接触结构可以包括从如下中选择的肖特基金属:单质金属、金属合金、金属碳化物或金属氮化物。合适的单质金属可以是钼(Mo)、铝(Al)、钛(Ti)、钨(W)或镍(Ni)。合适的金属氮化物可以是氮化钼(MoN)或氮化钛(TiN)。合适的金属碳化物可以是碳化钛(TiC)或碳化钨(WC)。

[0078] 通过选择适当的金属,整流结的接通电压可以被调整到在从0.5V到2V的范围内的值。

[0079] 根据实施例,阴极区可以包括阴极接触部分和肖特基部分。与肖特基部分相比阴极接触部分可以具有更高的净掺杂剂浓度。阴极接触部分和焊盘结构/布线结构形成欧姆接触。肖特基部分和源极电极形成肖特基接触。

[0080] 对于欧姆接触而言有效的掺杂剂浓度和对于肖特基接触而言有效的掺杂剂浓度可以是彼此独立地选择的,并且可以被适配为实现阴极区和栅极电极之间的低电阻欧姆接触以及阴极区和源极电极之间的合适的肖特基接触这两者。

[0081] 图1示出具有碳化硅本体100的半导体器件500的一部分。半导体器件500可以是或者可以包括IGFET(绝缘栅场效应晶体管),例如MOSFET(金属氧化物半导体FET)。

[0082] 碳化硅本体100可以包括单晶碳化硅或者由单晶碳化硅构成,单晶碳化硅例如为包括主要组分硅和碳的碳化硅晶体。碳化硅晶体可以包括掺杂剂原子和进一步的杂质,如氢、氟和/或氧。碳化硅晶体的多型可以是15R或者可以是六方晶系,例如2H、6H或4H。碳化硅本体100可以包括通过外延生长的碳化硅层或由通过外延生长的碳化硅层构成。

[0083] 在碳化硅本体100的前侧处的第一主表面101可以是平坦的或带棱的。第一主表面

101的平均平面沿着水平方向延伸。平坦的第一主表面101的平均平面与平坦的第一主表面101相同。在非平坦的第一主表面101的情况下,例如在带棱的第一主表面101的情况下,平均平面可以是平坦的最小二乘平面。平坦的最小二乘平面的位置和定向被限定以使得带棱的第一主表面101的表面点与平坦的最小二乘平面的偏差的平方和具有最小值。竖向方向与水平方向正交,例如平行于正交到平均平面上的表面。在下面水平方向也被称为横向方向。

[0084] 竖向方向可以与主晶格方向一致或者可以相对主晶格方向倾斜一偏轴角,其中该偏轴角可以在从 2° 到 8° 的范围内,特别是大约 4° 。在碳化硅本体100的背侧处,第二平均表面102可以平行于平坦的第一主表面101或者平行于带棱的第一主表面101的最小二乘平面延伸。

[0085] 绝缘栅晶体管单元TC被形成在碳化硅本体100的前侧处。漏极区/漂移区130在绝缘栅晶体管单元TC和第二主表面102之间横向地延伸通过的碳化硅本体100。漏极区/漂移区130可以包括电压维持结构,例如轻掺杂的漂移区带。

[0086] 绝缘栅晶体管单元TC包括源极区110和本体区120。源极区110、本体区120和漏极区/漂移区130是在碳化硅本体100中的掺杂区。源极区110具有第一导电类型。本体区120具有第二导电类型。例如,源极区110是n导电的并且本体区120是p导电的。

[0087] 源极区110和本体区120被电连接到源极电极310。源极电极310可以形成或者可以被电连接或电耦合到源极端子S。漏极区/漂移区130被电连接到漏极端子D。

[0088] 栅极电介质159将栅极电极155与本体区120分离。低阻抗路径可以电连接第一主表面101上的栅极电极155和焊盘结构/布线结构330。焊盘结构/布线结构330可以包括或者可以被电连接或耦合到栅极端子G。低阻抗路径可以示出欧姆行为并且可以具有至多 $10\ \Omega$ 的电阻,例如至多 $5\ \Omega$ 或至多 $2\ \Omega$ 。

[0089] 碳化硅本体100进一步包括第一导电类型的阴极区410。阴极区410和焊盘结构/布线结构形成低电阻欧姆接触。阴极区410可以从第一主表面101延伸到碳化硅本体100中。整流结490串联地电连接在源极电极310和阴极区410之间。

[0090] 多个绝缘栅晶体管单元TC可以并联地电连接。碳化硅本体100可以包括多个空间上分离的阴极区410。在每个阴极区410和源极电极310之间可以形成一个或多个整流结490。

[0091] 整流结490的接通电压对阴极区410和源极电极310之间的负的栅极电压VGS进行箝位。整流结490可以有效地限制栅极电极155和源极电极310之间的负电压毛刺的幅度。如果在绝缘栅晶体管单元TC的断开状态期间本体二极管BD开始导通(本体二极管正向恢复),则在栅极电极155和源极电极310之间可能出现负电压毛刺(下冲)。

[0092] 图2A示出与栅极驱动器电路600组合的具有绝缘栅晶体管单元TC和本体二极管BD的半导体器件500的简化的等效电路图。栅极到漏极电容CGD(米勒电容)在栅极端子G和漏极端子D之间有效。栅极到源极电容CGS在栅极端子G和源极端子S之间有效。寄生共源极电感LCS可以在栅极电流回路和负载电流回路这两者中有效。寄生内部栅极电感Lpar,int可以在栅极端子G和绝缘栅晶体管单元TC之间有效。内部栅极电阻RG,int可以在栅极端子G和绝缘栅晶体管单元TC之间有效。集成栅极电阻器、栅极端子和栅极焊盘之间的接合布线、以及焊盘结构/布线结构可以贡献于内部栅极电阻RG,int并且贡献于寄生内部栅极电感

$L_{par, int}$ 。源极端子S和源极焊盘之间的接合布线可以贡献于共源极电感LCS。

[0093] 栅极驱动器电路600的驱动器输出 G_{out} 被通过连接线连接到栅极端子G,该连接线贡献于寄生外部栅极电感 $L_{par, ext}$ 并且贡献于外部栅极电阻 $R_{G, ext}$ 。分立的电阻器元件可以被串联地电连接在驱动器输出 G_{out} 和栅极端子G之间。

[0094] 栅极驱动器600可以供给关断绝缘栅晶体管单元TC的0V的驱动栅极电压 V_{Gout} 。当在绝缘栅晶体管单元TC的断开状态期间出现负的 dV_{DS}/dt 时,本体二极管BD可能开始导通。当连接到漏极端子D的电感负载被通过另外的开关与正的电压供给分离时,本体二极管BD可能变为导通。特别是,本体二极管BD可能在谐振电源、逆变器电路和半桥中变得导通,其中电流可能在续流和同步整流操作期间流动通过本体二极管。

[0095] 本体二极管BD的正向恢复使米勒电容CGD放电。相关联的器件内部位移电流还使栅极到源极电容CGS放电,其中跨绝缘栅晶体管单元TC的栅极电介质的有效栅极到源极电压 V_{Geff} 可能下降到显著低于驱动栅极电压 V_{Gout} 。即使当栅极驱动器600使用0V作为关断电压时,绝缘栅晶体管单元TC的栅极电介质也可能被以高的重复速率周期性地施压有负的电压。负电压可能造成栅极电介质随时间经过而劣化。

[0096] 整流结490将跨栅极电介质的负电压限制于大约为整流结490的接通电压。整流结490的操作不受到或者仅在低的程度上不利地受到寄生电感LCS、 $L_{par, int}$ 和内部栅极电阻 $R_{G, int}$ 的影响。

[0097] 图2B图示在没有图2A的整流结490的情况下跨图2A的半导体器件500中的栅极电介质的漏极到源极电压梯度 V_{DS1} 、 V_{DS2} 和对应的有效栅极到源极电压梯度 V_{Geff1} 、 V_{Geff2} 。 V_{DS1} 、 V_{Geff1} 指代慢的开关。 V_{DS2} 、 V_{Geff2} 指代快速的开关。

[0098] 图2A中的栅极驱动器电路600驱动关断绝缘栅晶体管单元TC的0V的输出栅极电压 V_{Gout} 。半导体器件500可以阻断漏极和源极之间的高电压 V_B 。关闭连接到漏极端子的导电负载可能造成漏极到源极电压 V_{DS1} 和 V_{DS2} 下降到本体二极管的正向电压。米勒电容的放电造成 V_{Geff1} 下冲到-5V以下以及 V_{Geff2} 下冲到-5V以下。图2A中示出的整流结490可以针对 V_{Geff1} 和 V_{Geff2} 切断电压毛刺,其在整流结490是SiC pn结的情况下比大约-3V更负或者在整流结490是SiC肖特基接触的情况下比-1.5V更负。整流结490在每个开关周期中可以在多于50ns(例如多于100ns)内是激活的(正向导通)。整流结490对阈值电压稳定性的影响随着开关频率的增加而增加。

[0099] 图3A和图3B中的每个示出半导体器件500,其包括如参照图1描述的绝缘栅晶体管单元TC、焊盘结构/布线结构330、源极电极310和整流结490,其中整流结490是阴极区410和阳极区/分离区420之间的pn结。整流结490可以具有小于3.5V的接通电压。

[0100] 本体区120可以从第一主表面101延伸到碳化硅本体100中。源极区110可以从第一主表面101延伸到本体区120中。本体区120和漏极区/漂移区130形成第一pn结pn1。本体区120和源极区110形成第二pn结pn2。

[0101] 栅极电极155可以包括重掺杂的多晶硅。栅极电介质159可以由氧化硅、氮化硅和/或氮氧化硅构成,或者可以包括氧化硅、氮化硅和/或氮氧化硅。栅极电介质159将本体区120与栅极电极155分离。

[0102] 阳极区/分离区420可以从第一主表面101延伸到碳化硅本体100中。阳极区/分离区420和漏极区/漂移区130形成第三pn结pn3。阴极区410可以从第一主表面101延伸到阳极

区/分离区420中。阴极区410和阳极区/分离区420形成整流结490。

[0103] 阳极区/分离区420和本体区120可以是如图示那样在横向上分离的。根据另一示例,阳极区/分离区420和本体区120可以直接横向接触。换句话说,阳极区/分离区420和本体区120可以是包括本体区120和阳极区/分离区420的连续的掺杂区的一部分。

[0104] 阳极区/分离区420和本体区120可以具有相同的竖向延伸和/或可以具有相同或近似相同的竖向掺杂剂轮廓。阴极区410和源极区110可以具有相同的竖向延伸和/或可以具有相同或近似相同的竖向掺杂剂轮廓。

[0105] 焊盘结构/布线结构330被形成在第一主表面101上。焊盘结构/布线结构330和阴极区410形成欧姆金属/半导体结。焊盘结构/布线结构330可以形成栅极端子G或者可以被电连接或电耦合到栅极端子G。

[0106] 源极电极310被形成在第一主表面101上。源极电极310和阳极区/分离区420形成欧姆金属/半导体结。源极电极310可以形成源极端子S或者可以被电连接到源极端子S。漏极电极320可以被电连接到或电耦合到漏极区/漂移区130。漏极电极320可以形成或者可以被电连接到漏极端子D。

[0107] 源极电极310和源极区110可以形成欧姆金属/半导体结。源极电极310和本体区120可以形成欧姆金属/半导体结。

[0108] 在图3A中,包括栅极电极155和栅极电介质159的栅极结构150在第一主表面101上形成平坦栅极。

[0109] 在图3B中,栅极结构150形成从第一主表面101延伸到碳化硅本体100中的沟槽栅极。焊盘结构/布线结构330包括被电连接在栅极焊盘332和栅极布线336之间的集成栅极电阻器333。栅极焊盘332可以形成栅极端子G。替换地,接合布线可以电连接栅极焊盘332和栅极端子G。栅极布线336可以与阴极区410直接接触并且与栅极电极155直接接触。

[0110] 图3C和图3D中的每个示出具有肖特基接触SC的半导体器件500,肖特基接触SC形成在源极电极310和阴极区410之间的整流结490的至少一部分。阳极区/分离区420将阴极区410与碳化硅本体100中的进一步的掺杂区分离开(例如与漏极区/漂移区130分离开)。阳极区/分离区420和阴极区410形成第四pn结pn4。

[0111] 根据图3D,源极电极310可以包括与阴极区410直接接触的肖特基阳极层302。肖特基阳极层302可以被排它地形成在其中源极电极310与阴极区410接触的区中。肖特基阳极层302可以不存在于其中源极电极310与本体区120或者与源极区110接触的区中。

[0112] 图3C和图3D进一步将阳极区/分离区420和本体区120示出为连续的掺杂区的不同区段。

[0113] 图4示出碳化硅本体100的前侧的平面视图,其中一个图示的条带状的栅极结构150表示平行于水平的第一方向291延伸的多个沟槽栅极结构。在碳化硅本体100的前侧处的第一主表面101和碳化硅本体100的横向外表面103可以形成具有彼此正交地定向的四个笔直部分的前侧芯片边缘。

[0114] 焊盘结构/布线结构330包括栅极焊盘332、集成栅极电阻器333和栅极布线336。栅极焊盘332可以是靠近于芯片边缘形成的,例如沿着芯片边缘的笔直部分的中心部分形成。栅极焊盘332可以包括薄层部分和被形成在薄层部分上的厚金属化。薄层部分可以包括单质钽、钽化合物(例如氮化钽(TiN))、单质钽(Ta)和/或钽化合物(例如氮化钽(TaN))。厚金

属化可以包括单质铜(Cu)、铜合金、单质铝(Al)、铝合金和/或铜铝合金。

[0115] 集成栅极电阻器333可以包括掺杂的多晶硅。集成栅极电阻器333的第一侧可以被电连接到栅极焊盘332。集成栅极电阻器333的相对的第二侧可以与栅极布线336直接连接。栅极布线336包括薄层部分或者由薄层部分构成。栅极布线336的薄层部分和栅极焊盘332的薄层部分可以具有相同的结构配置。例如,两个薄层部分都可以包括相同的材料并且可以具有相同的厚度或者可以由相同的层堆叠形成。

[0116] 栅极布线336可以包括条带形状的栅极流道336₁和条带形状的栅极指状物336₂。栅极流道336₁可以具有平行于芯片边缘的最靠近的笔直部分的纵向延伸。四个栅极流道336₁可以沿着芯片边缘形成框架,其中框架可以具有间隙337。栅极指状物336₂沿着与栅极结构150相交的方向延伸。例如,栅极指状物336₂可以沿着与第一方向291正交的水平的第二方向292延伸。每个栅极指状物336₂可以与至少一个栅极流道336₁接触。每个栅极指状物336₂直接电连接多个栅极结构150的栅极电极155,或者通过从栅极布线336的平坦层部分延伸至栅极电极155或延伸到栅极电极155中的栅极接触结构而电连接多个栅极结构150的栅极电极155。每个栅极电极155可以被直接连接到多个栅极指状物336₂。

[0117] 源极电极310可以包括源极焊盘312。源极焊盘312可以包括薄层部分和形成在薄层部分上的功率金属化。薄层部分可以包括单质钛、钛化合物(例如氮化钛(TiN))、单质钽(Ta)和/或钽化合物(例如氮化钽(TaN))。功率金属化可以包括单质铜(Cu)、铜合金、单质铝(Al)、铝合金或铜铝合金。源极焊盘312的功率金属化和栅极焊盘332的厚金属化可以具有相同的结构配置。

[0118] 源极焊盘312可以覆盖栅极指状物336₂,或者源极焊盘312可以包括多个互连的源极焊盘区段,其中栅极指状物336₂被形成在邻近的源极焊盘区段之间的间隙中。

[0119] 源极电极310可以进一步包括源极流道317。源极流道317可以形成在栅极流道336₁和芯片边缘之间交错的框架。源极流道317包括薄层部分或者由薄层部分构成。源极流道317的薄层部分和源极焊盘312的薄层部分可以具有相同的结构配置,并且可以形成延伸通过栅极流道框架中的间隙337的连续结构。

[0120] 半导体器件500可以包括如下中的至少之一:沿着栅极焊盘332的边缘形成的第一整流结491;沿着栅极指状物336₂形成的第二整流结492;沿着栅极流道336₁——该栅极流道336₁沿着第一方向291延伸——形成的第三整流结493;以及沿着栅极流道336₁——该栅极流道336₁沿着第二方向292延伸——形成的第四整流结494。

[0121] 第一整流结491可以沿着栅极焊盘332中的一个、两个、三个或所有的边缘延伸。第一整流结491可以是一个连续的结构或者可以包括两个或更多个在横向上分离的子部分。

[0122] 第二整流结492可以沿着一个栅极指状物336₂延伸或者可以包括沿着一个、两个、三个或所有的栅极指状物336₂延伸的两个或更多个子部分。可以沿着栅极指状物336₂形成一个单个的子部分。单个子部分可以跨相应的栅极指状物336₂的长度的至少一半延伸或者跨栅极指状物长度的至少90%延伸。替换地,可以沿着至少一个栅极指状物336₂形成多于一个的子部分。

[0123] 第三整流结493可以沿着栅极流道336₁中的平行于第一方向291的栅极流道延伸,或者可以包括沿着不同的栅极流道336₁延伸的两个或更多个子部分。可以沿着每个栅极流道336₁形成一个单个的子部分。单个子部分可以跨相应的栅极流道336₁的长度的至少一半

延伸或者跨栅极流道长度的至少90%延伸。替换地,可以沿着栅极流道336₁形成多于一个的子部分。

[0124] 第四整流结494可以沿着栅极流道336₁中的平行于第二方向292的栅极流道延伸,或者可以包括沿着平行于第二方向292延伸的栅极流道336₁中的相同的或不同的栅极流道延伸的两个或更多个子部分。第四整流结494可以具有与第二整流结492类似的结构或相同的结构。第四整流结494可以被形成在栅极流道336₁和源极焊盘312之间和/或被形成在栅极流道336₁和源极流道317之间。

[0125] 半导体器件500可以排它地包括第一整流结491、第二整流结492、第三整流结493或第四整流结494,可以包括所述整流结491、492、493、494中的两个或三个的任何组合,或者可以包括所有四个整流结。

[0126] 图5A至图5E中的每个可以指代如参照图4描述的第一整流结491、第二整流结492、第三整流结493或第四整流结494中的任何一个。因此,相应的焊盘结构/布线结构330可以是栅极焊盘、栅极指状物或栅极流道。通过示例的方式,相应的源极结构310可以是源极焊盘或源极流道。

[0127] 碳化硅本体100包括n导电的阴极区410以及将阴极区410与漏极区/漂移区130的n导电部分分离的p导电的阳极区/分离区420。阳极区/分离区420和阴极区410形成整流结490。

[0128] 层间电介质210可以被直接形成在第一主表面101上。层间电介质210可以是均匀的层或者可以包括至少两个部分层。例如,层间电介质210可以包括具有与绝缘栅晶体管单元TC的栅极电介质相同的结构配置的基底层。

[0129] 焊盘结构/布线结构330包括阴极接触结构334,其从焊盘结构/布线结构330的层部分通过层间电介质210而延伸至第一主表面101或者延伸到阴极区410中。

[0130] 源极电极310包括阳极接触结构314,其从源极电极310的层部分通过层间电介质210而延伸至第一主表面101或者延伸到阳极区/分离区420中。

[0131] 在图5A中,阳极区/分离区420是在横向方向上近似均匀地掺杂的。

[0132] 图5B示出包括阳极接触部分421和结部分422的阳极区/分离区420。阳极接触部分421和源极电极310形成欧姆接触。结部分422和阴极区410形成整流结490。与结部分422相比阳极接触部分421具有更高的净掺杂剂浓度。例如,阳极接触部分421中的最大净掺杂剂浓度是结部分422中的最大净掺杂剂浓度的至少十倍那么高。

[0133] p导电阻断区429被形成在漏极区/漂移区130和阴极区410之间。阻断区429和阳极区/分离区420可以形成连续的p导电区。与在结部分422中相比在阻断区429中的最大净掺杂剂浓度更高。例如,阻断区429中的最大净掺杂剂浓度是结部分422中的最大净掺杂剂浓度的至少十倍那么高。

[0134] 阳极接触结构314和阴极接触结构334可以包括与碳化硅本体100直接接触的接触层301。接触层301可以衬垫在层间电介质210中的相应的接触开口。接触层301可以包括单质金属、金属硅化物、金属碳化物或金属氮化物。合适的单质金属可以是钛(Ti)或钽(Ta)。合适的金属氮化物可以是氮化钛(TiN)。

[0135] 在图5C中,n导电辅助区431在阳极接触部分421和阴极部分410之间从第一主表面101延伸到阳极区/分离区422中。辅助区431可以在定向到阴极区410的一侧处在横向上直

相邻阳极接触部分421。辅助区431中的最大掺杂剂浓度可以处在与阴极区410中的最大掺杂剂浓度相同的数量级内。辅助区431和阳极接触结构314可以形成欧姆接触。辅助区431可以在整流结490的反向偏置模式下限制耗尽区带的横向扩展。

[0136] 在图5D中,焊盘结构/布线结构330包括p掺杂的多晶部分338和n掺杂的多晶部分339。p掺杂的多晶部分338和n掺杂的多晶部分339形成与整流结490串联电连接并且在整流结490和焊盘结构/布线结构310之间的补充二极管结构。

[0137] 至少p掺杂的多晶部分338可以被形成在层间电介质210的接触开口中。n掺杂的多晶部分339也可以被形成在接触开口中和/或可以被形成在层间电介质210上。半导体器件500可以包括形成与整流结490串联电连接的pn结的多个相反地掺杂的多晶部分。替换地或者此外,如所描述的补充二极管结构可以被形成在源极电极310和阳极接触部分421之间,例如至少部分地代替阳极接触结构314。

[0138] 在图5E中,整流结490包括在源极电极310和阴极区410之间的肖特基接触SC。阴极区410可以在横向上从阴极接触结构334延伸到阳极接触结构314。阳极区/分离区420在横向上完全围绕阴极区410。

[0139] 阴极区410可以包括阴极接触部分411和肖特基部分412。与肖特基部分412相比阴极接触部分411具有更高的净掺杂剂浓度。例如,阴极接触部分411中的最大净掺杂剂浓度是肖特基部分412中的最大净掺杂剂浓度的至少十倍那么高。阴极接触部分411和焊盘结构/布线结构330形成低电阻欧姆接触。肖特基部分412和阳极接触结构314形成肖特基接触SC。阳极接触结构314可以包括与肖特基部分412直接接触的肖特基阳极层302。阳极接触结构314和阳极区/分离区420可以形成欧姆接触。

[0140] 图6A至图7B图示如在图4中图示那样的形成在栅极焊盘332的边缘和源极焊盘312的边缘之间的第一整流结491。

[0141] 碳化硅本体100包括如关于图3A和图3B描述的多个绝缘栅晶体管单元TC,其是沿着如关于图4描述的平行的沟槽栅极结构150形成的。绝缘栅晶体管单元TC可以来自单侧沟道类型,其中晶体管沟道仅沿着第一纵向栅极侧壁151形成。p导电屏蔽区140沿着每个第二纵向栅极侧壁152从第一主表面101延伸到沟槽栅极结构150下方。与第一沟槽栅极结构150接触的屏蔽区140和与邻近的第二沟槽栅极结构150接触的本体区120形成单极结。

[0142] 根据另一实施例(未图示),绝缘栅晶体管单元TC可以来自双侧沟道类型,其中晶体管沟道形成在两个纵向栅极侧壁上。包括本体区和源极区的区段可以沿着垂直于横截面平面的方向与包括从第一主表面101延伸到沟槽栅极结构150下方的p导电屏蔽区的区段交替。

[0143] 漏极区/漂移区130包括轻掺杂的漂移区带131以用于适应阻断电压。漂移区带131是可以跨碳化硅本体100的整个水平横截面延伸或者跨碳化硅本体100的几乎整个水平横截面延伸的分层结构。漂移区带131的竖向延伸和漂移区带131中的掺杂浓度支配半导体器件500的电压阻断能力。漏极区/漂移区130可以进一步包括重掺杂的接触部分139。接触部分139和漏极电极320可以形成低电阻欧姆接触。

[0144] 源极焊盘312的源极接触结构311通过层间电介质210中的接触开口而延伸至碳化硅本体100或者延伸到碳化硅本体100中。源极接触结构311和源极区110形成低电阻欧姆接触。源极接触结构311和屏蔽区140形成低电阻欧姆接触。

[0145] 最靠近于栅极焊盘332的屏蔽区140或者其至少一部分可以作为阳极区/分离区420的阳极接触部分421而起效。最靠近于栅极焊盘332的接触结构可以形成阳极接触结构314。

[0146] 阳极区/分离区420的结部分422可以从第一主表面101竖向地延伸到碳化硅本体100中。结部分422可以从最靠近于栅极焊盘322的屏蔽区140横向地延伸到栅极焊盘322下方。结部分422的底部边缘和本体区120的底部边缘可以具有相同的到第一主表面101的距离。结部分422和本体区120可以具有相同的或几乎相同的竖向掺杂剂轮廓。

[0147] 在图6A和图6B中,阴极区410在栅极焊盘332下方从第一主表面101延伸到结区422中。栅极焊盘332包括阴极接触结构334,阴极接触结构334延伸通过层间电介质210中的接触开口并且与阴极区410直接接触。

[0148] 在图7A和图7B中,在源极焊盘312和栅极焊盘332之间的间隙中形成栅极布线336的一部分。栅极布线336比栅极焊盘332薄。集成栅极电阻器333可以被电连接在栅极焊盘332和栅极布线336之间。阴极区410在栅极布线336下方从第一主表面101延伸到结区422中。栅极布线336包括阴极接触结构334,阴极接触结构334通过层间电介质210中的接触开口而延伸至碳化硅本体100或者延伸到碳化硅本体100中。阴极接触结构334和阴极区410形成低电阻欧姆接触。

[0149] 图8A至图9C图示如在图4中图示那样的沿着栅极指状物 336_2 形成的第二整流结492。栅极结构150是被平行地布置的条带状的沟槽栅极。绝缘栅晶体管单元TC可以来自如关于图6A至图7B描述的单侧沟道类型。

[0150] 栅极指状物 336_2 被形成在源极焊盘312的两个邻近的区段之间的间隙中。栅极指状物 336_2 的竖向延伸小于源极焊盘312的竖向延伸。栅极指状物 336_2 可以正交地跨经栅极结构150。栅极指状物 336_2 和栅极电极155直接接触。

[0151] 栅极指状物 336_2 的栅极层部分可以被形成在层间电介质210上。栅极指状物 336_2 可以包括从栅极层部分延伸至栅极电极155或延伸到栅极电极155中的金属栅极接触结构335。替换地,被直接形成在第一主表面101上并且形成层间电介质210的子层的栅极电介质159的表面部分可以部分地分离栅极指状物 336_2 和碳化硅本体100。

[0152] 绝缘栅晶体管单元TC的本体区120分别从源极焊盘312的在栅极指状物 336_2 的第一侧处的第一区段下方横向地延伸到源极焊盘312的在栅极指状物 336_2 的相对的第二侧处的第二区段下方。如在上面描述的那样,本体区120的在两个邻近的源极焊盘区段之间的部分可以作为阳极区/分离区420的结部分422而起效。

[0153] 绝缘栅晶体管单元TC的屏蔽区140可以从第一源极焊盘区段下方横向地延伸到第二源极焊盘区段下方,或者可以不存在于栅极指状物 336_2 下方,如在图8B中图示那样。

[0154] 绝缘栅晶体管单元TC的源极区110可以被排它地形成在源极焊盘312下方,例如在栅极指状物 336_2 的两侧上的源极焊盘区段下方。

[0155] 在栅极指状物 336_2 下方,阴极区410从第一主表面101延伸到阳极区/分离区420的结区422中。每个阴极区410可以被形成在碳化硅本体100的在邻近的沟槽栅极结构150之间的台面部分的横向中心中。替换地,阴极区410可以从一个沟槽栅极结构150延伸到邻近的沟槽栅极结构150。替换地,阴极区410可以被形成在台面部分中的位置处并且具有与第一方向291正交的与源极区110的宽度相等的宽度。

[0156] 栅极指状物336₂可以包括阴极接触结构334,其延伸通过层间电介质210并且通过阴极接触结构334与阴极区410直接接触。替换地,栅极指状物336₂可以通过栅极电介质表面部分中的接触开口与阴极区410直接接触,其中栅极指状物336₂的在接触开口中的部分形成阴极接触结构334。

[0157] 在图8A至图8D中示出的半导体器件500可以包括长的条带形状的源极接触结构311。沿着横向第一方向291,每个源极接触结构311可以与源极区110一样长、比源极区110长或者比源极区110短。在两个邻近的栅极结构150之间,在两个邻近的栅极指状物336₂之间形成有一个单个的源极接触结构311。每个源极接触结构311与源极区110形成欧姆接触并且与屏蔽区140形成欧姆接触。源极接触结构311的被定向到栅极指状物336₂的区段还作为阳极接触结构314而起效。屏蔽区140的如下的对应区段也可以作为阳极接触部分421而起效:其与源极接触结构311的作为阳极接触结构314而起效的区段直接接触,如参照图5B描述的那样。

[0158] 根据另一实施例(未图示),按每个源极区110形成多个短的源极接触结构311而不是一个单个的长的源极接触结构311。挨着栅极指状物336₂的源极接触结构311也作为阳极接触结构314而起效。屏蔽区140的如下的对应区段可以作为阳极接触部分421而起效:其与作为阳极接触结构314而起效的源极接触结构311直接接触。

[0159] 图9A至图9C示出除了源极接触结构311之外形成的专用的阳极接触结构314。阳极接触区421从第一主表面101延伸到本体区120的可以作为结区422而起效的部分中。专用的阳极接触结构314和阳极接触区421形成低电阻欧姆接触。每个阳极接触区421可以与邻近的屏蔽区140在横向上分离和/或可以与邻近的源极区110在横向上分离。阳极接触区421可以比屏蔽区140浅。

[0160] 根据实施例,半导体器件包括绝缘栅晶体管单元、源极电极、阴极区和整流结。绝缘栅晶体管单元包括源极区和栅极电极。源极区被形成在碳化硅本体中。源极电极和源极区电连接。阴极区被形成在碳化硅本体中。阴极区和源极区具有第一导电类型。栅极电极和阴极区电连接。整流结被电耦合在源极电极和阴极区之间。半导体器件可以包括如在上面描述的进一步的特征和结构。

[0161] 为了说明,已经关于具有条带形状的晶体管单元和单侧晶体管沟道的晶体管单元描述了各种情形。类似的技术可以被实现在基于其它类型的晶体管单元的半导体器件中,所述其它类型的晶体管单元例如为方形或多边形的晶体管单元或者具有条带形状的晶体管单元和双侧晶体管沟道的晶体管单元。

[0162] 为了说明,已经关于碳化硅器件描述了各种情形。类似的技术可以被实现在基于针对碳化硅本体的其它种类和类型的半导体材料的半导体器件中,所述其它种类和类型的半导体材料例如为硅(Si)、锗(Ge)、硅锗(SiGe)、氮化镓(GaN)或砷化镓(GaAs)等。

[0163] 另外为了说明,已经关于MOSFET描述了的各种技术。类似的技术可以被实现在具有绝缘栅晶体管单元的其它种类和类型的半导体器件中,所述其它种类和类型的半导体器件诸如为MGD(MOS栅控二极管)和IGBT(绝缘栅双极晶体管),特别是RC-IGBT(反向导通IGBT)。

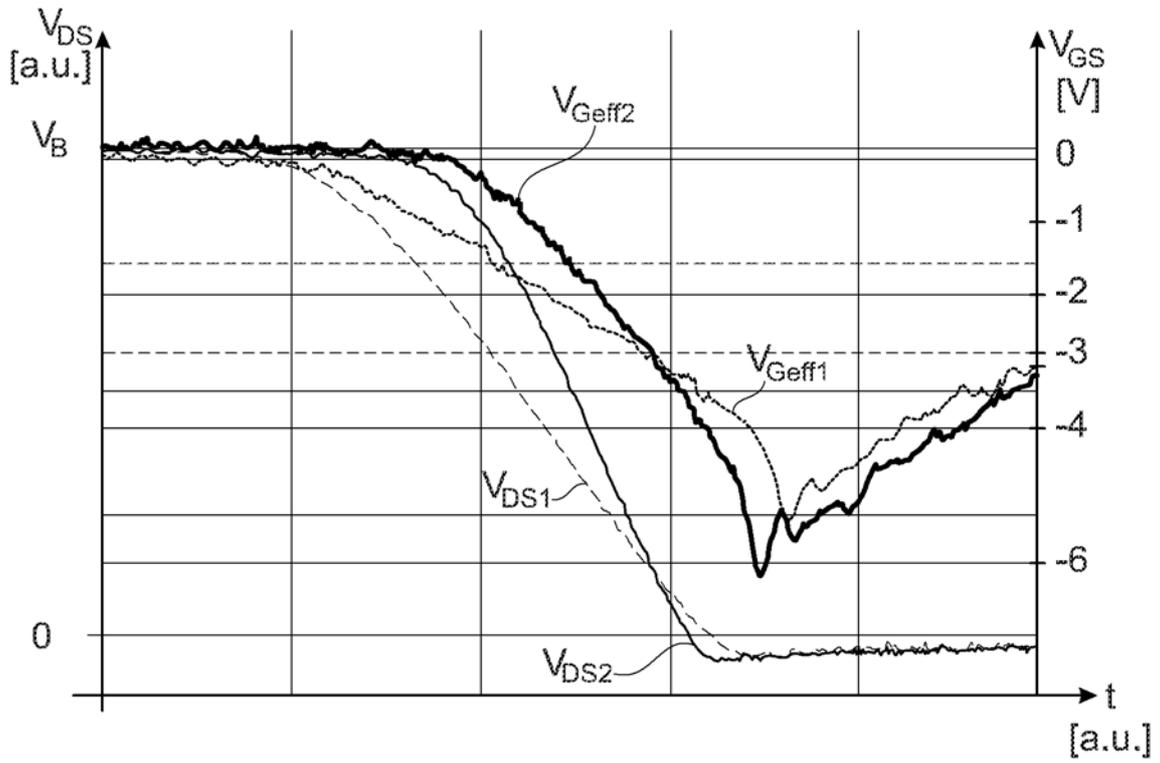


图 2B

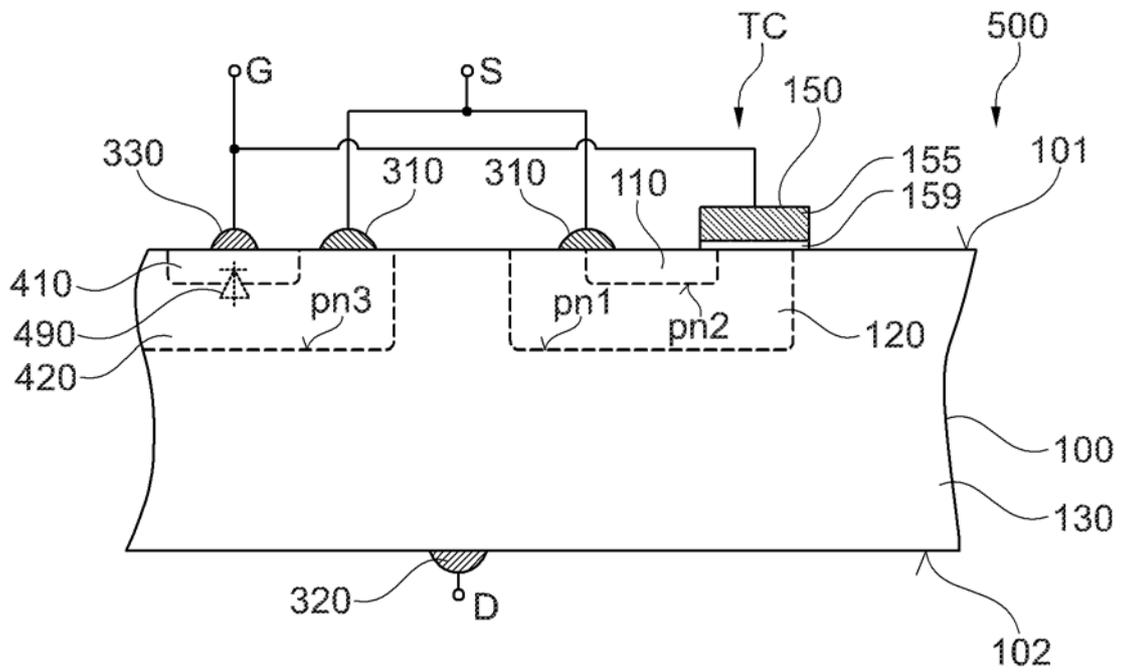


图 3A

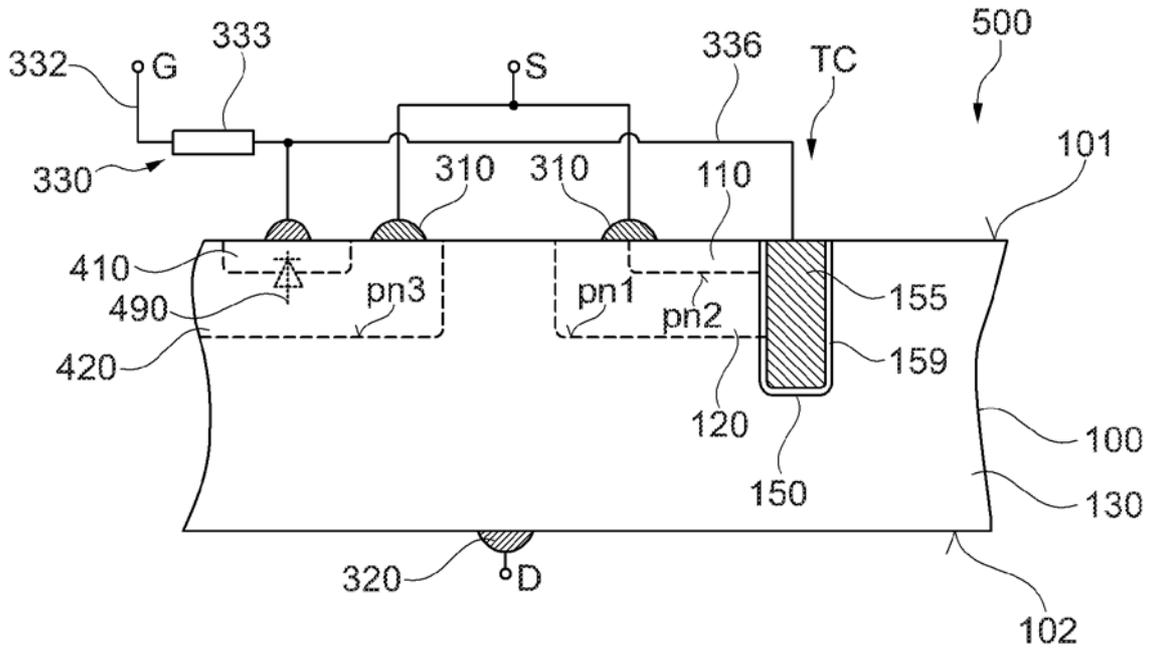


图 3B

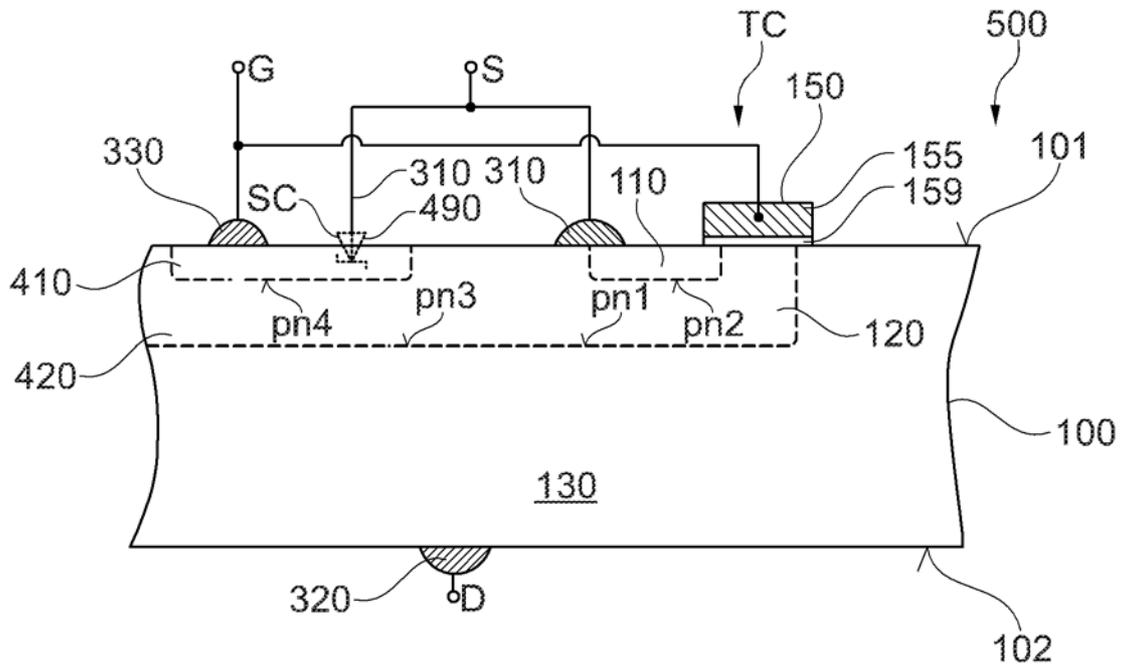


图 3C

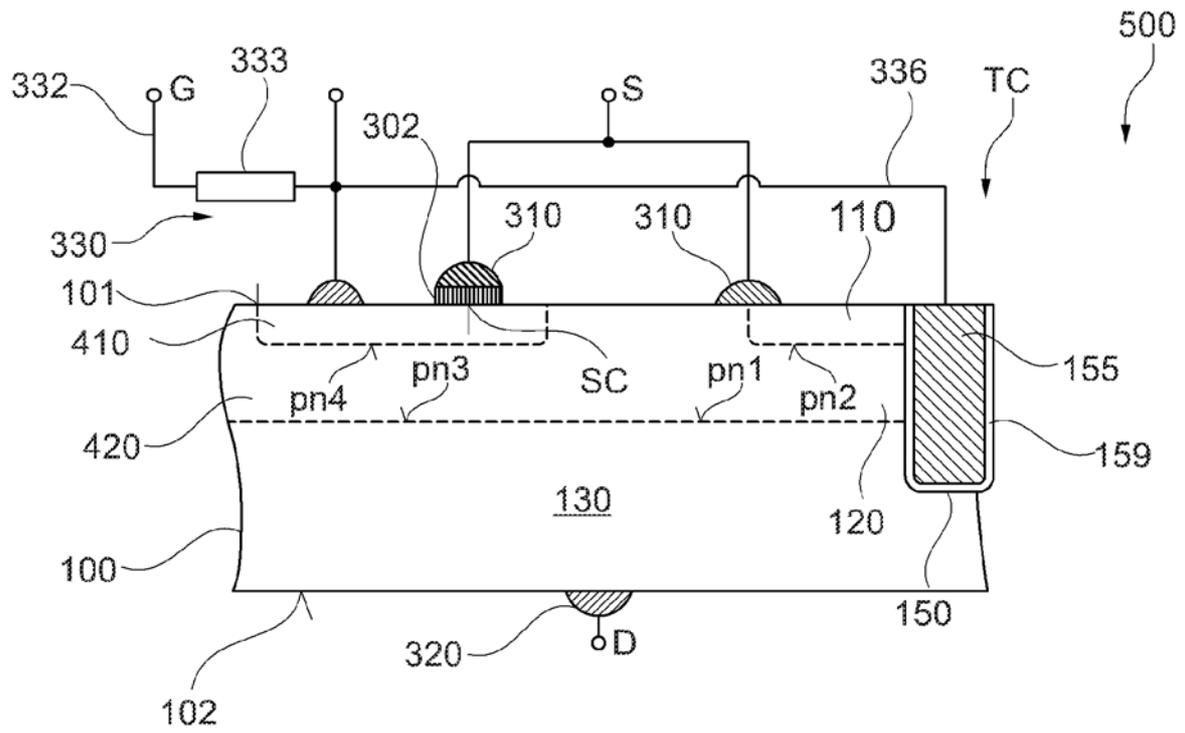


图 3D

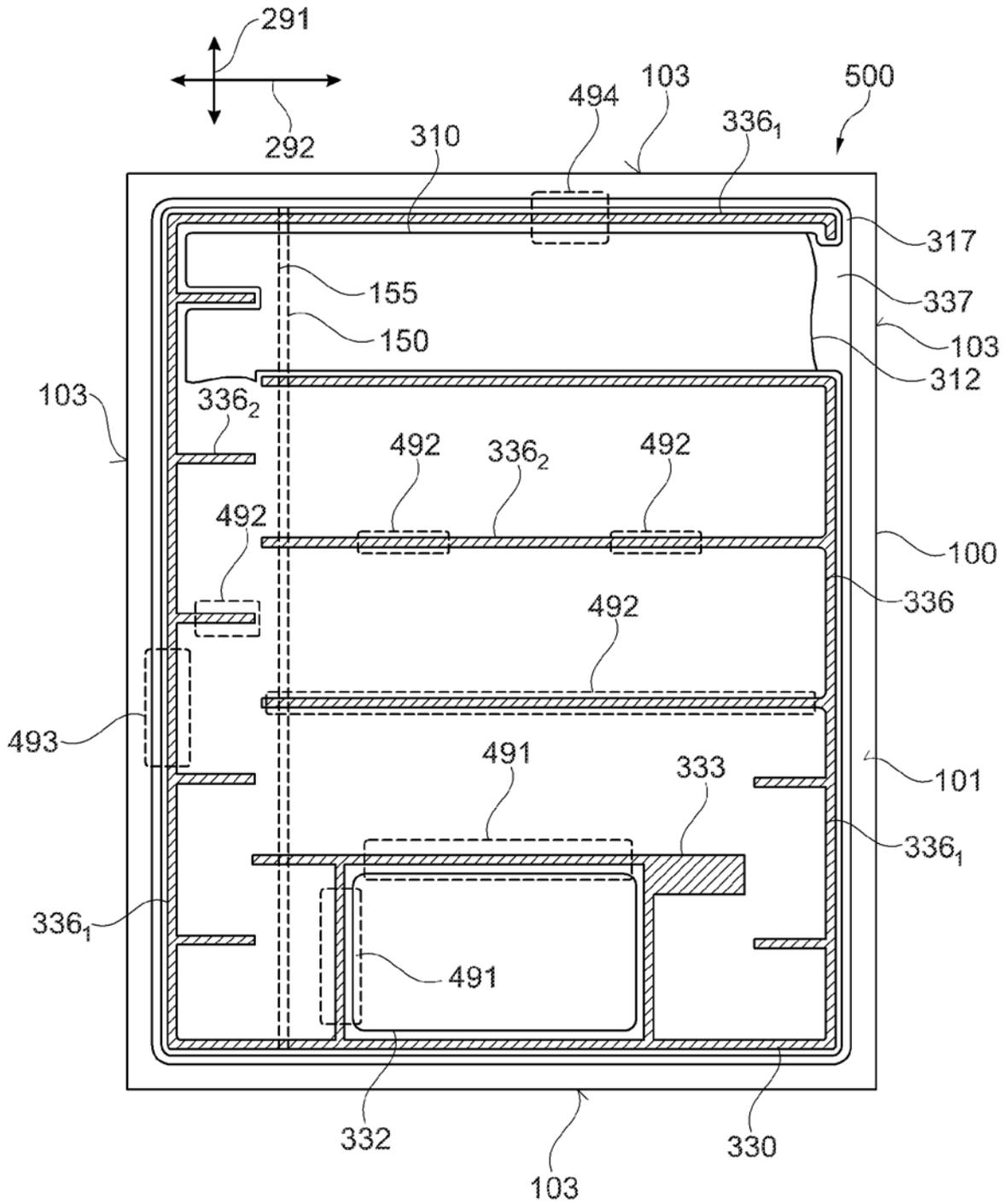


图 4

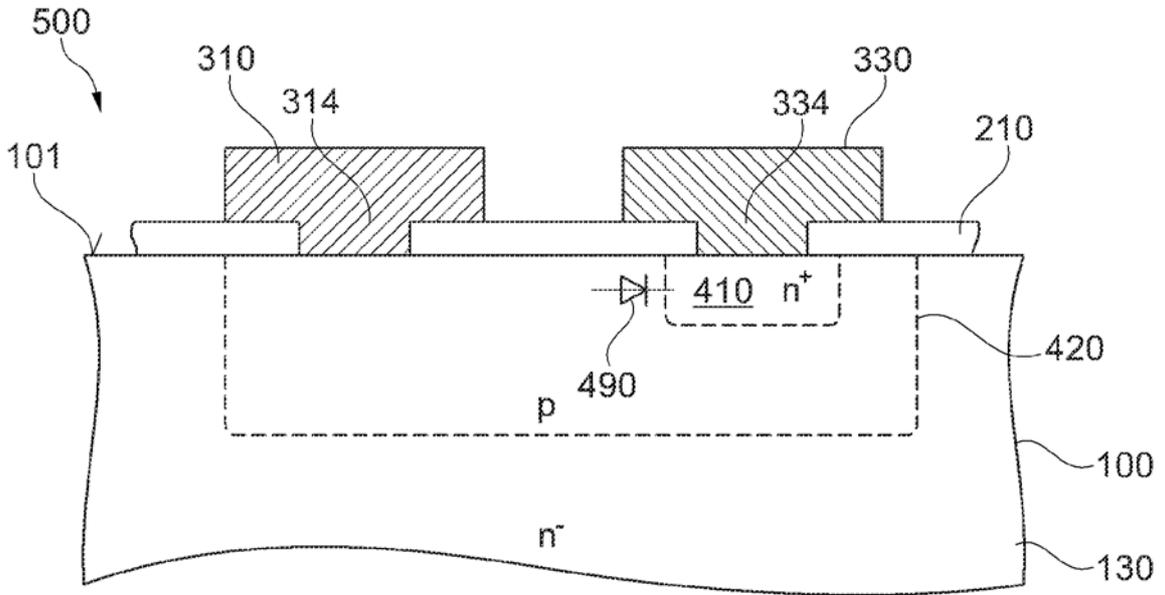


图 5A

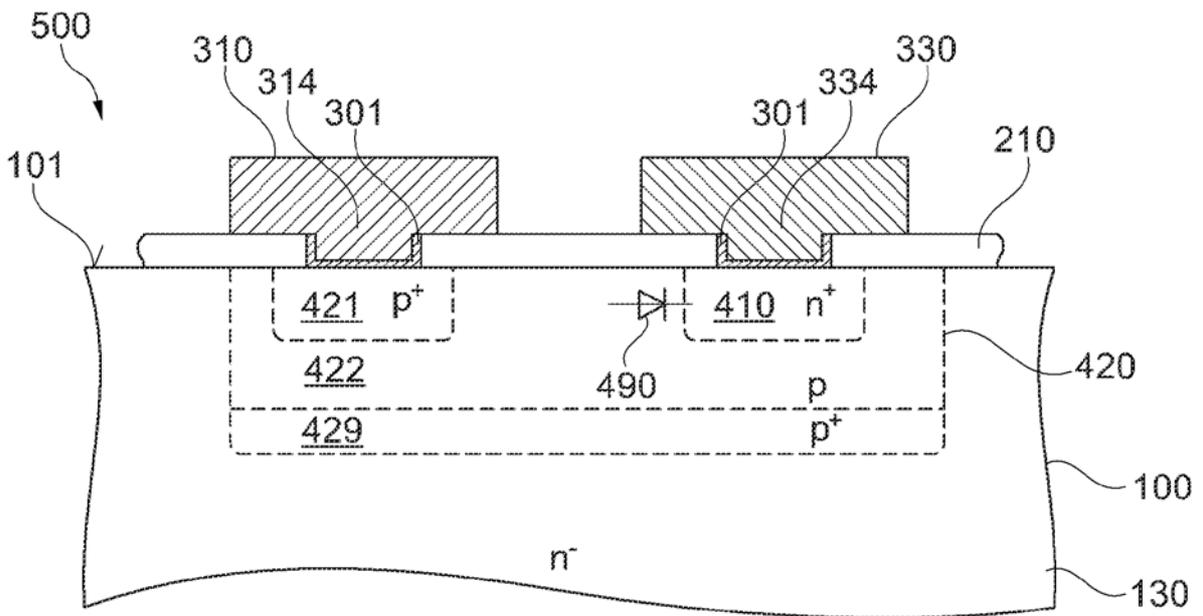


图 5B

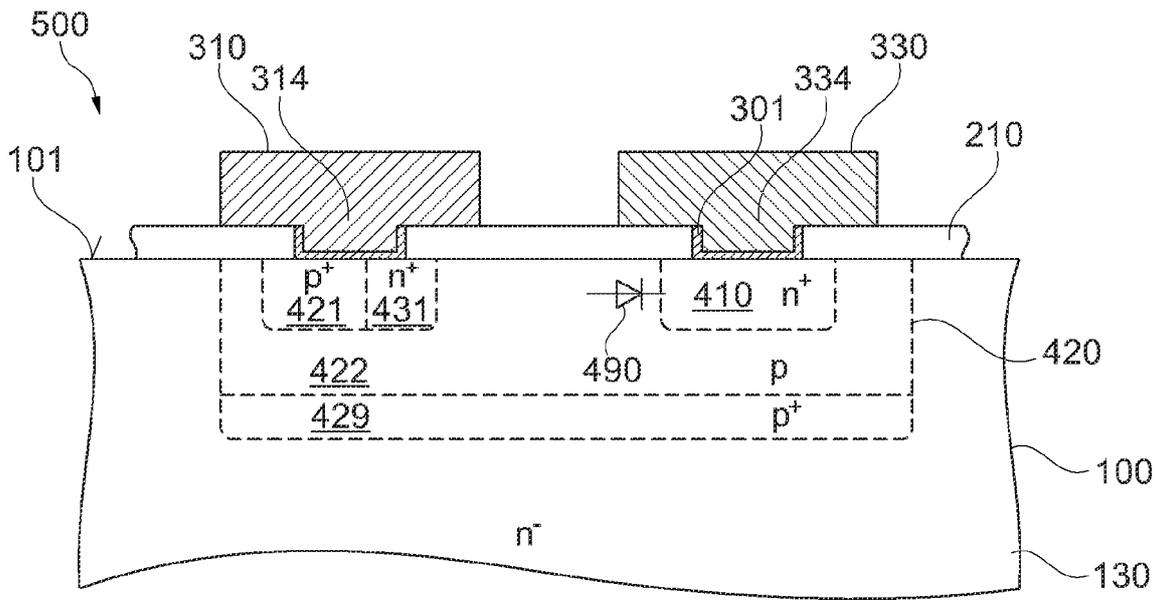


图 5C

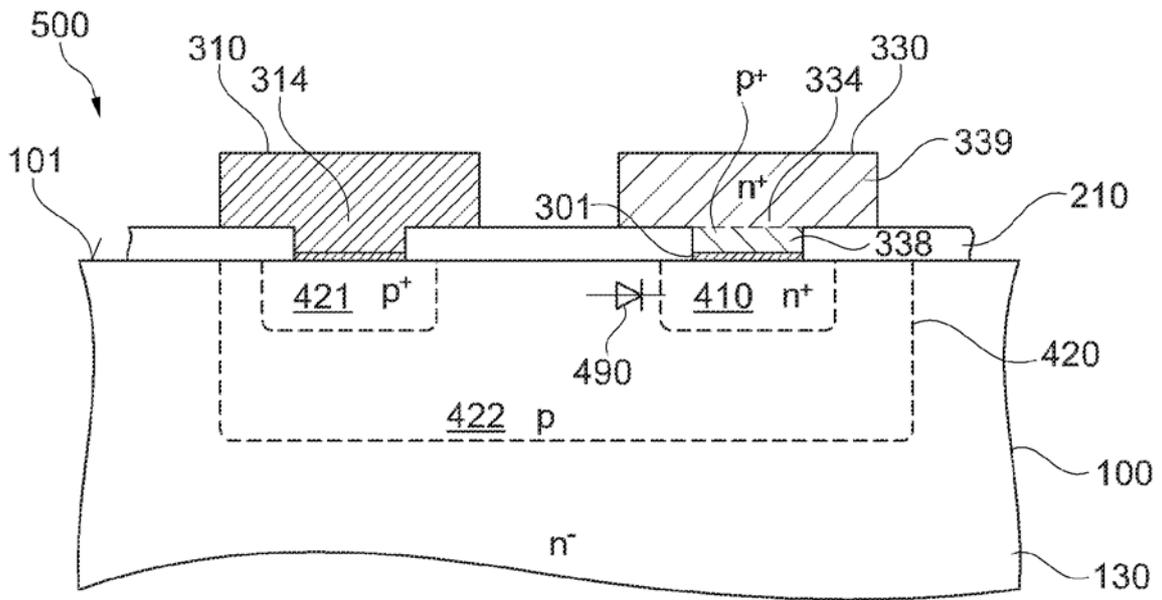


图 5D

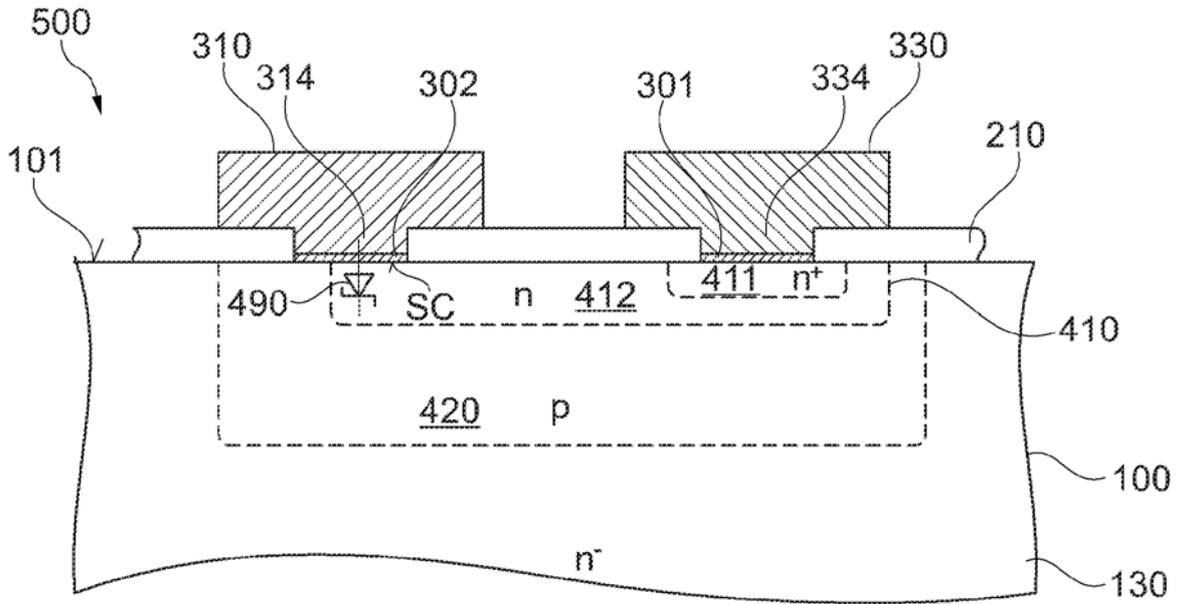


图 5E

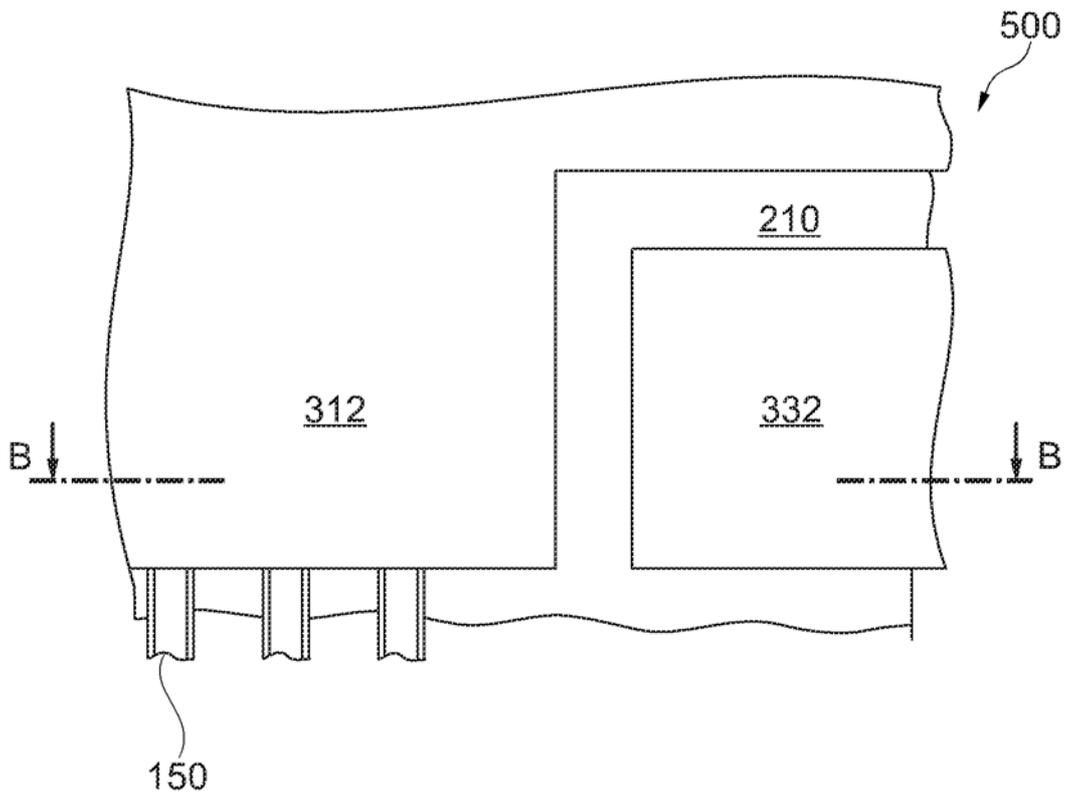


图 6A

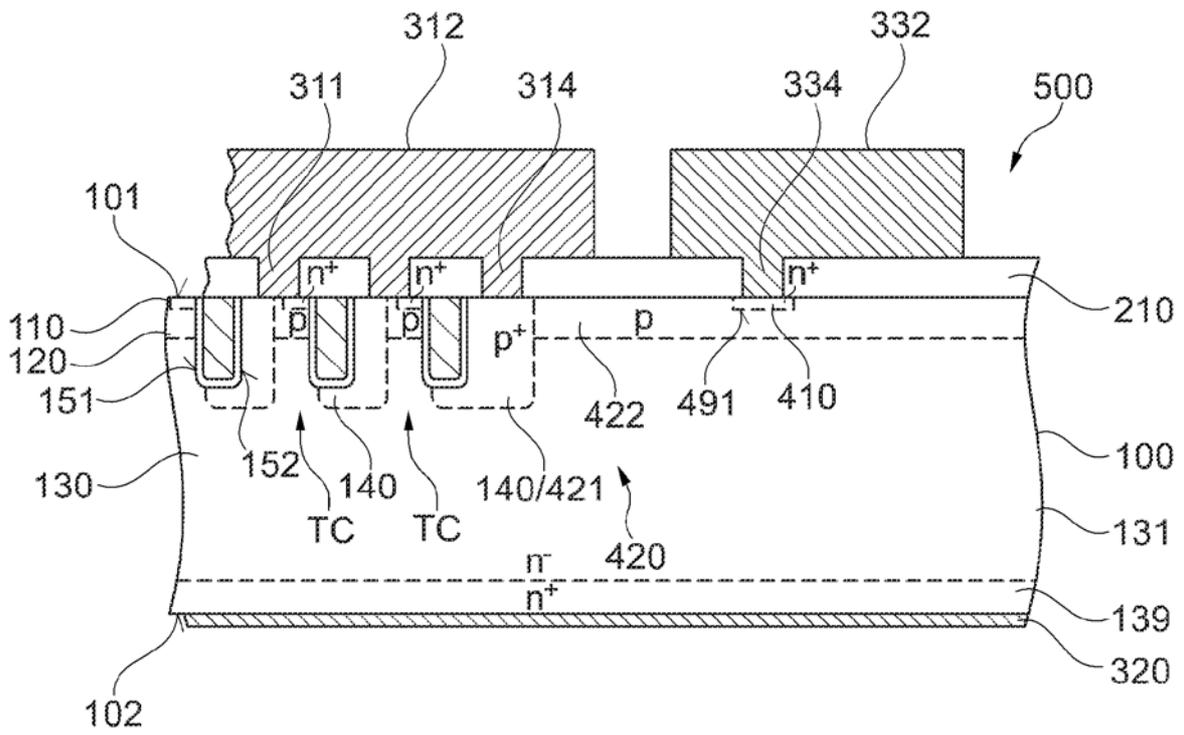


图 6B

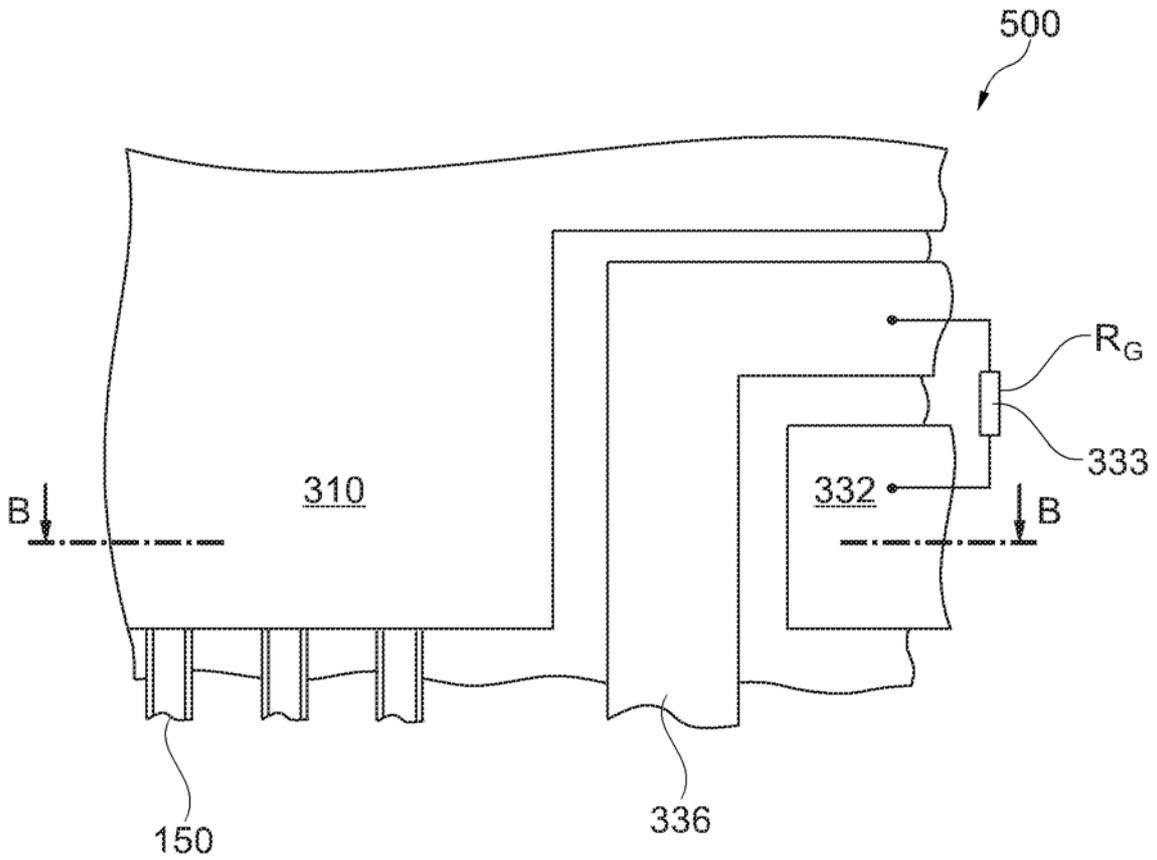


图 7A

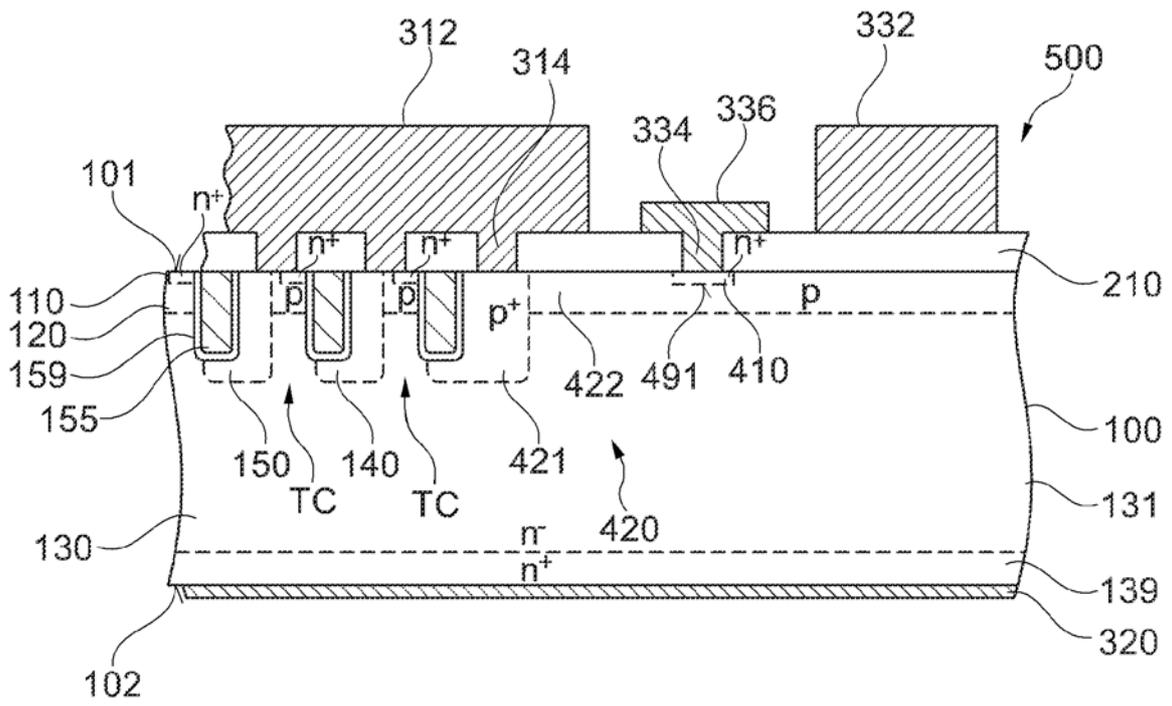


图 7B

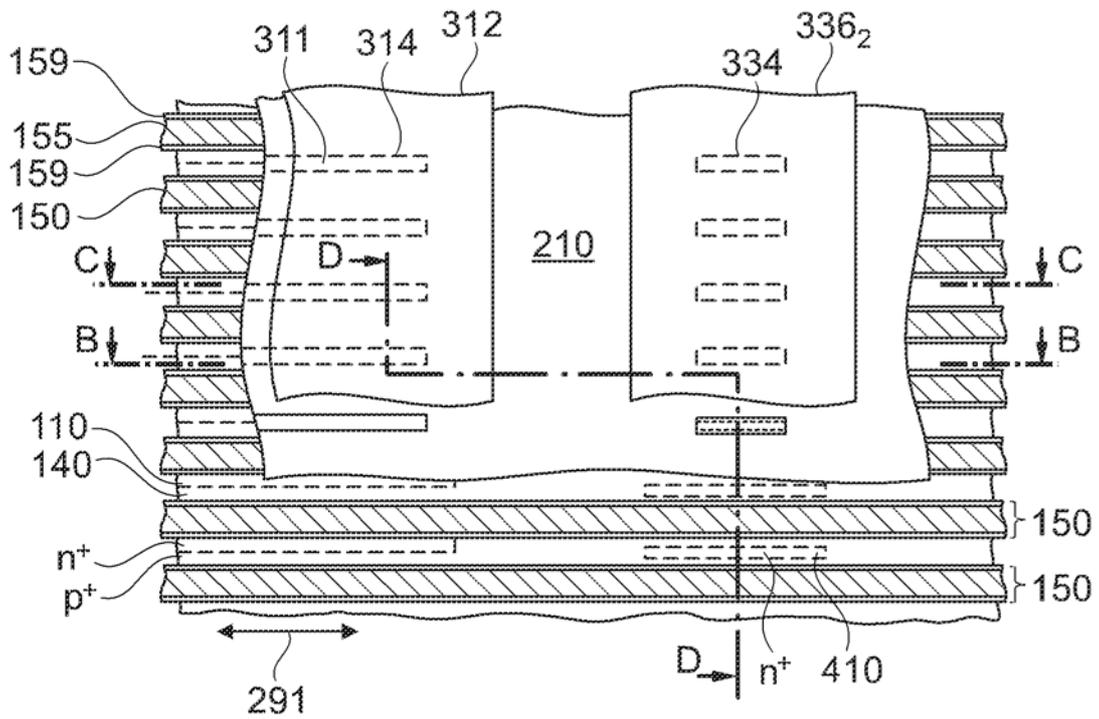


图 8A

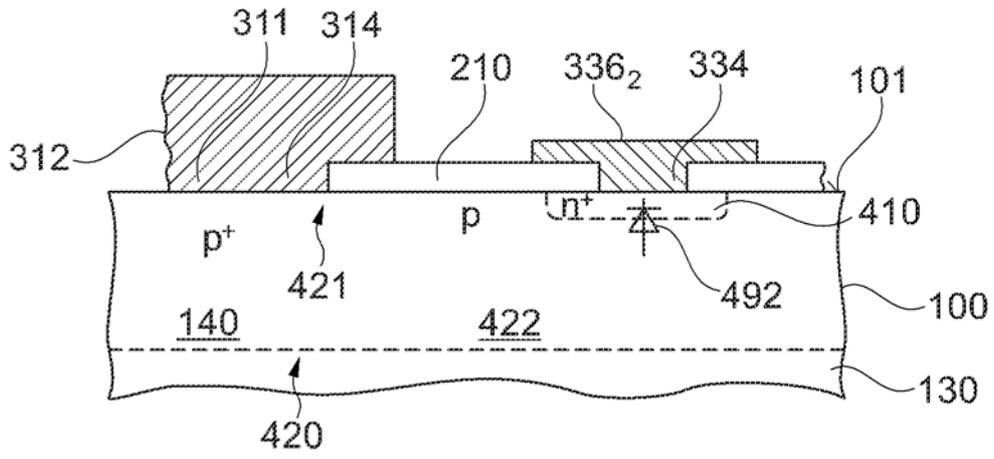


图 8B

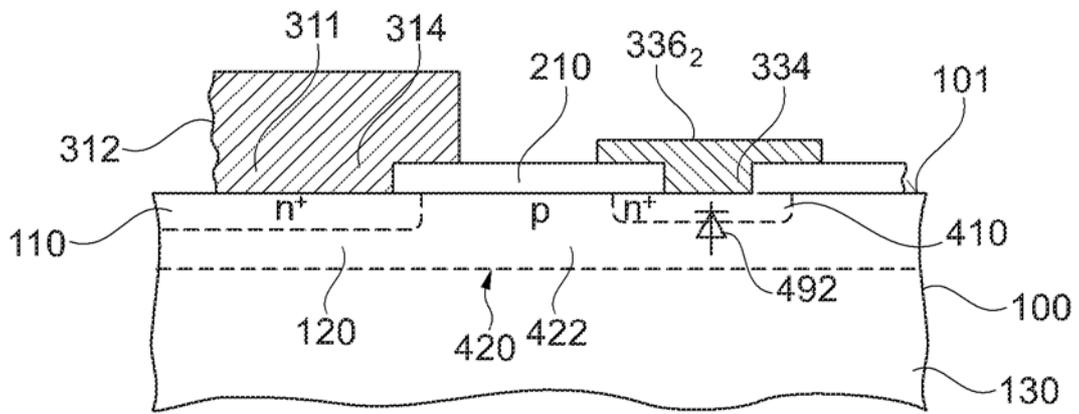


图 8C

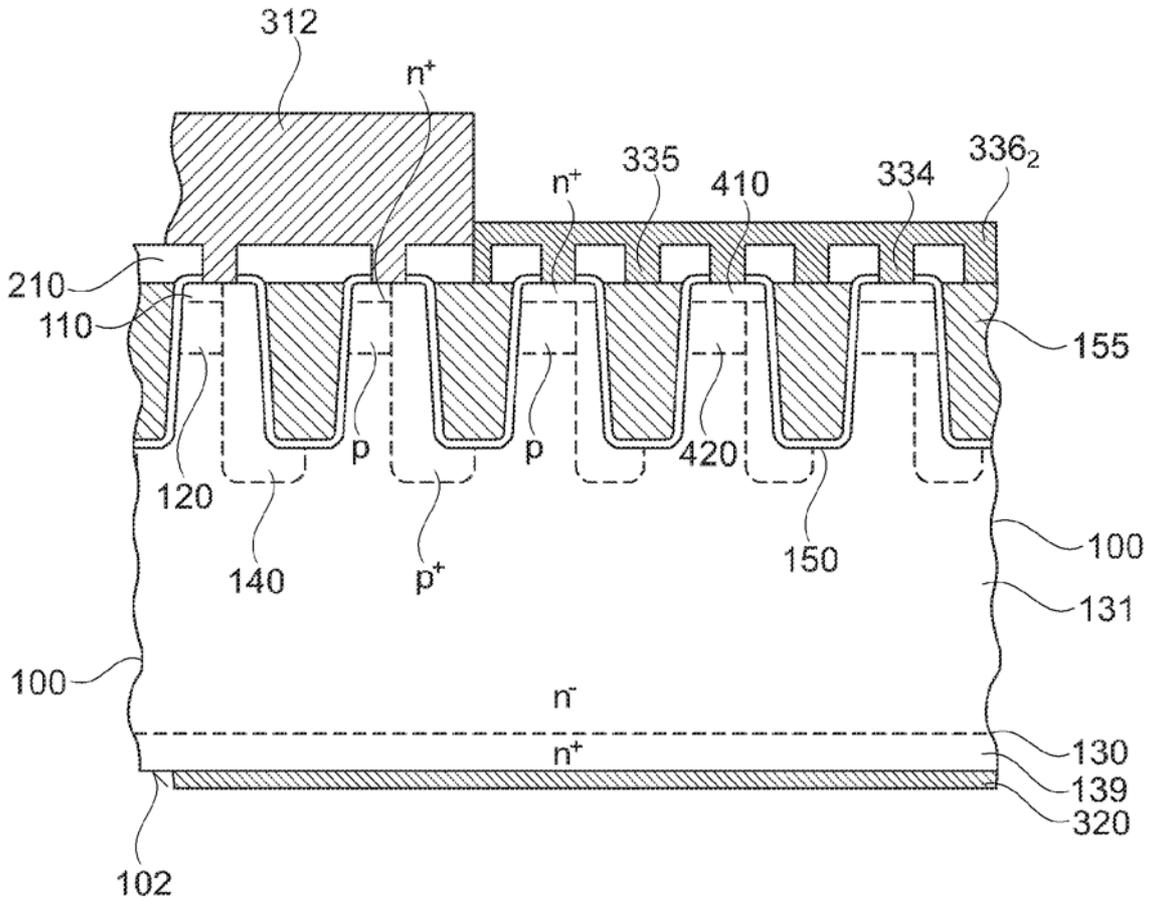


图 8D

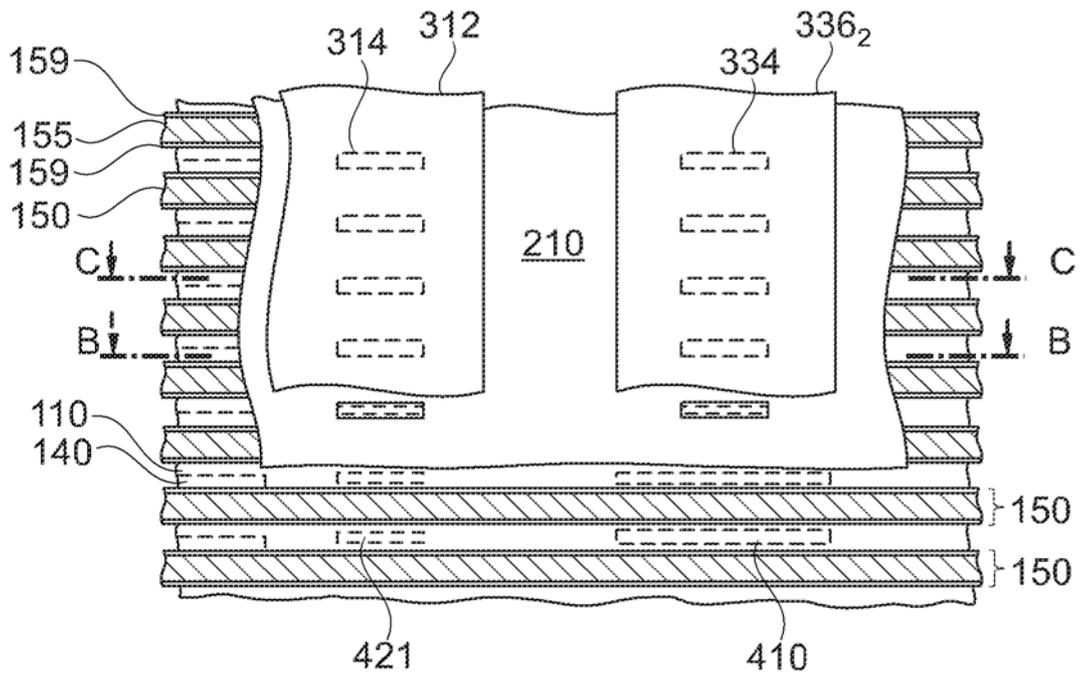


图 9A

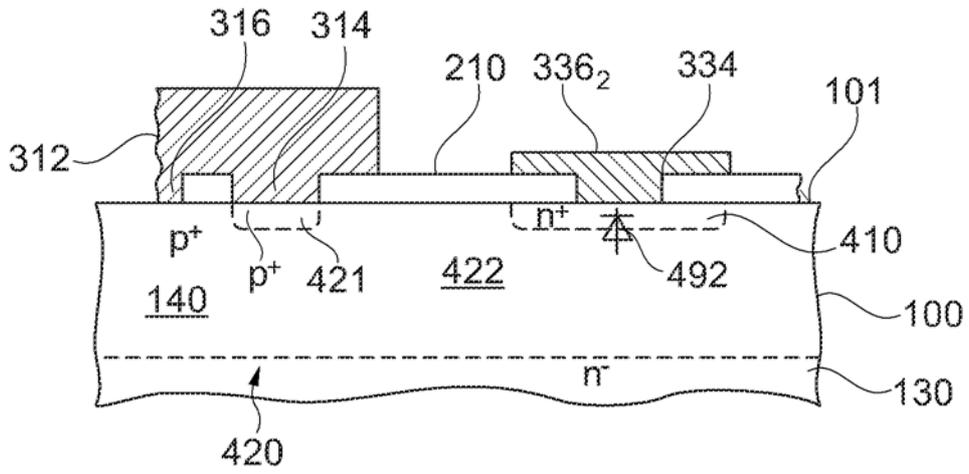


图 9B

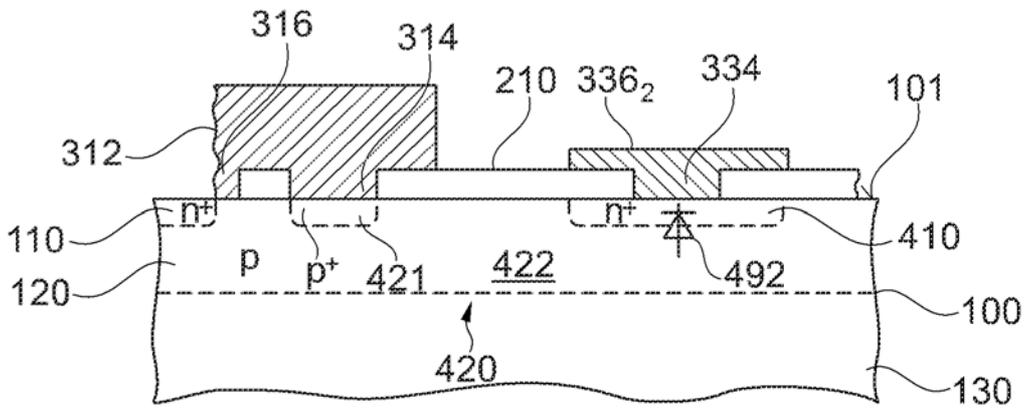


图 9C