

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4939838号
(P4939838)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月2日 (2012.3.2)

(51) Int.Cl.	F I	
HO 1 L 51/05 (2006.01)	HO 1 L 27/10	4 4 9
HO 1 L 27/28 (2006.01)	HO 1 L 27/10	4 8 1
HO 1 L 27/10 (2006.01)	HO 1 L 27/04	C
HO 1 L 27/04 (2006.01)	HO 1 L 29/78	6 1 3 B
HO 1 L 21/822 (2006.01)	HO 1 L 29/78	6 1 3 Z
請求項の数 5 (全 38 頁) 最終頁に続く		

(21) 出願番号 特願2006-146646 (P2006-146646)
 (22) 出願日 平成18年5月26日 (2006.5.26)
 (65) 公開番号 特開2007-13116 (P2007-13116A)
 (43) 公開日 平成19年1月18日 (2007.1.18)
 審査請求日 平成21年4月27日 (2009.4.27)
 (31) 優先権主張番号 特願2005-160343 (P2005-160343)
 (32) 優先日 平成17年5月31日 (2005.5.31)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 小森 重樹

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

同一基板上に、メモリ部と、ビット線駆動回路部と、周辺回路部とを有し、
 前記メモリ部は、ビット線を構成する第1の導電層と、有機化合物層と、ワード線を構成する第2の導電層との積層構造を有する記憶素子を複数有し、
 前記周辺回路部は、前記有機化合物層と同じ材料を誘電体とする容量素子を有し、
 前記有機化合物層の材料は、正孔輸送性を有する有機化合物材料、又は電子輸送性を有する有機化合物材料であり、
 前記記憶素子は、前記第1の導電層と前記第2の導電層との間に電圧が印加されることで生じる導電性の変化を記憶する機能を有し、
 前記ビット線駆動回路部は、前記導電性の変化を読み取ることで、前記導電性の変化に対応するデータを判別する機能を有することを特徴とする記憶装置。

【請求項2】

同一基板上に、メモリ部と、ビット線駆動回路部と、周辺回路部とを有し、
 前記メモリ部は、ビット線を構成する第1の導電層と、有機化合物層と、ワード線を構成する第2の導電層との積層構造を有する記憶素子を複数有し、
 前記周辺回路部は、前記有機化合物層と同じ材料を誘電体とする容量素子と、トランジスタと、配線とを有し、
 前記容量素子は、前記トランジスタまたは前記配線の上方に形成されており、
 前記有機化合物層の材料は、正孔輸送性を有する有機化合物材料、又は電子輸送性を有

する有機化合物材料であり、

前記記憶素子は、前記第 1 の導電層と前記第 2 の導電層との間に電圧が印加されることで生じる導電性の変化を記憶する機能を有し、

前記ビット線駆動回路部は、前記導電性の変化を読み取ることで、前記導電性の変化に対応するデータを判別する機能を有することを特徴とする記憶装置。

【請求項 3】

同一基板上に、メモリ部と、ビット線駆動回路部と、周辺回路部とを有し、

前記メモリ部は、トランジスタと記憶素子と有するメモリセルを複数有し、

前記記憶素子は、前記トランジスタのソースまたはドレインと電気的に接続された第 1 の導電層と、有機化合物層と、第 2 の導電層の積層構造を有し、

前記周辺回路部は、前記有機化合物層と同じ材料を誘電体とする容量素子を有しており、

前記有機化合物層の材料は、正孔輸送性を有する有機化合物材料、又は電子輸送性を有する有機化合物材料であり、

前記記憶素子は、前記第 1 の導電層と前記第 2 の導電層との間に電圧が印加されることで生じる導電性の変化を記憶する機能を有し、

前記ビット線駆動回路部は、前記導電性の変化を読み取ることで、前記導電性の変化に対応するデータを判別する機能を有することを特徴とする記憶装置。

【請求項 4】

同一基板上に、メモリ部と、ビット線駆動回路部と、周辺回路部とを有し、

前記メモリ部は、第 1 のトランジスタと記憶素子と有するメモリセルを複数有し、

前記記憶素子は、前記第 1 のトランジスタのソースまたはドレインと電気的に接続された第 1 の導電層と、有機化合物層と、第 2 の導電層との積層構造を有し、

前記周辺回路部は、前記有機化合物層と同じ材料を誘電体とする容量素子と、第 2 のトランジスタと、配線とを有し、

前記容量素子は、前記第 2 のトランジスタまたは前記配線の上方に形成されており、

前記有機化合物層の材料は、正孔輸送性を有する有機化合物材料、又は電子輸送性を有する有機化合物材料であり、

前記記憶素子は、前記第 1 の導電層と前記第 2 の導電層との間に電圧が印加されることで生じる導電性の変化を記憶する機能を有し、

前記ビット線駆動回路部は、前記導電性の変化を読み取ることで、前記導電性の変化に対応するデータを判別する機能を有することを特徴とする記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記周辺回路部は、共振回路、電源回路、昇圧回路、D/A コンバータ、または保護回路を有することを特徴とする記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置、および半導体装置の作製方法に関する。特に、記憶回路および容量素子に有機化合物を用いることによりデータを記憶可能な半導体装置に関する。

【背景技術】

【0002】

近年、個々の対象物に ID (個体識別番号) を与えることで、その対象物の履歴等の情報を明確にし、生産・管理等に役立てるといった個体認識技術が注目されている。その中でも、非接触でデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置として、特に、RFID (Radio Frequency Identification) (ID タグ、IC タグ、IC チップ、RF タグ (Radio Frequency)、無線タグ、電子タグ、無線チップともよばれる) 等が企業内、市場等で導入され始めている。

10

20

30

40

50

【0003】

これらの半導体装置の多くは、シリコン(Si)等の半導体基板を用いた回路(以下、IC(Integrated Circuit)チップとも記す)とアンテナとを有し、当該ICチップは記憶回路(以下、メモリとも記す)や制御回路等から構成されている。また、有機化合物を用いた有機薄膜トランジスタ(以下、TFTとも記す)や有機メモリ等を有する制御回路や記憶回路等を搭載した半導体装置の開発が盛んに行われている。

【0004】

例えば、有機メモリを用いた例として、特許文献1がある。また例えば、RFIDの例として、特許文献2がある。

【特許文献1】特開平7-22669号公報

【特許文献2】特開2000-299440号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、上記半導体装置を構成する回路で用いられる容量素子としては、基板上に形成したトランジスタのソース電極とドレイン電極を接続し、半導体層とゲート電極間に生じる容量を利用することが多い。この場合、他のトランジスタと同時に作りこめるという利点があるが、その反面、容量の面積が半導体装置の面積に占める割合が大きく、削減が困難という問題点があった。

【0006】

また、整流能力や昇圧機能の向上のために容量を増大させようとした場合、半導体層とゲート電極を用いた容量では容量の増大がそのまま半導体装置の面積の増大に直結することになる。しかし、特にRFIDに用いられる半導体装置はできる限り小型化することが望ましく、半導体装置に占める容量素子の縮小化、もしくは容量の増大が期待される。

【0007】

本発明はその点を鑑みてなされたものであり、半導体装置内の回路内に占める容量素子の面積を縮小させ、それら容量素子と有機メモリを搭載した半導体装置の小型化を図る事、もしくは半導体装置の面積を増大させることなく回路内の容量を増加させて機能の向上を図る事を目的とする。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置を指す。本発明を用いて、多層配線層を有する集積回路や、プロセッサチップ(無線チップ、無線プロセッサ、無線メモリ、無線タグともよぶ)などの半導体装置を作製することができる。

【課題を解決するための手段】

【0008】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部と電気的に接続する周辺回路とを有し、前記メモリ部は、第1の方向に延びたビット線と、前記第1の方向と垂直な第2の方向に延びたワード線と、前記ビット線を構成する第1の導電層と、有機化合物を含む層と、前記ワード線を構成する第2の導電層との積層構造からなる記憶素子を複数有し、前記周辺回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

【0009】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部を制御する回路と、電源回路とを有し、前記メモリ部は、第1の方向に延びたビット線と、前記第1の方向と垂直な第2の方向に延びたワード線と、前記ビット線を構成する第1の導電層と、有機化合物を含む層と、前記ワード線を構成する第2の導電層との積層構造からなる記憶素子を複数有し、前記電源回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

【0010】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部を制御する回路と、送受信回路とを有し、前記メモリ部は、第1の方向に延びたビット線と、前記第1の方向と垂直

10

20

30

40

50

な第2の方向に延びたワード線と、前記ビット線を構成する第1の導電層と、有機化合物を含む層と、前記ワード線を構成する第2の導電層との積層構造からなる記憶素子を複数有し、前記送受信回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

【0011】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部と電氣的に接続する周辺回路とを有し、前記メモリ部は、トランジスタと記憶素子と有するメモリセルと、複数の前記メモリセルからなるメモリセルアレイとを有し、前記記憶素子は、前記トランジスタのソースまたはドレイン領域と電氣的に接続された第1の導電層と、前記第1の導電層上に設けられた有機化合物層と、前記有機化合物層上に設けられた第2の導電層とを有し、前記周辺回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

10

【0012】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部を制御する回路と、電源回路とを有し、前記メモリ部は、トランジスタと記憶素子と有するメモリセルと、複数の前記メモリセルからなるメモリセルアレイとを有し、前記記憶素子は、前記トランジスタのソースまたはドレイン領域と電氣的に接続された第1の導電層と、前記第1の導電層上に設けられた有機化合物層と、前記有機化合物層上に設けられた第2の導電層とを有し、前記電源回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

20

【0013】

本発明の一つは、同一基板上に、メモリ部と、前記メモリ部を制御する回路と、送受信回路とを有し、前記メモリ部は、トランジスタと記憶素子と有するメモリセルと、複数の前記メモリセルからなるメモリセルアレイとを有し、前記記憶素子は、前記トランジスタのソースまたはドレイン領域と電氣的に接続された第1の導電層と、前記第1の導電層上に設けられた有機化合物層と、前記有機化合物層上に設けられた第2の導電層とを有し、前記送受信回路は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴としている。

【0014】

上記構成において、前記有機化合物を含む層と同じ材料を誘電体とする第1の容量素子と、同一基板上に、半導体を誘電体とする第2の容量素子を有していてもよい。なお、前記有機化合物を含む層と同じ材料を誘電体とする第1の容量素子と、前記半導体を誘電体とする第2の容量素子は並列に接続されていることが望ましい。また、前記有機化合物を含む層と同じ材料を誘電体とする第1の容量素子の一方の電極に、前記第2の導電層と同じ材料を用いてもよい。

30

【0015】

なお、上記構成において、前記第1の導電層と前記有機化合物を含む層との間、または前記有機化合物を含む層と前記第2の導電層との間に整流性を有する素子が設けてもよく、前記整流性を有する素子としては、ゲート電極とドレイン電極を接続したトランジスタがある。

40

【0016】

本発明の一つは、絶縁表面上に、記憶素子を有するメモリ部と、前記メモリ部と電氣的に接続する周辺回路と、前記周辺回路は容量素子を有する半導体装置の作製方法であり、前記絶縁表面上に、下から順に第1の導電層、有機化合物を含む層、第2の導電層を形成し、前記有機化合物を含む層を、前記容量素子の誘電体の層に用いることを特徴としている。

【0017】

本発明の一つは、絶縁表面を有する基板上に、トランジスタを有するメモリ部と、第1の容量素子を有し、且つ、前記メモリ部と電氣的に接続する周辺回路と、前記周辺回路は第2の容量素子を有する半導体装置の作製方法であり、絶縁表面を有する基板上に第1の

50

半導体層および第2の半導体層を形成し、前記第1の半導体層を有するトランジスタと、前記第2の半導体層を有する第1の容量素子とを形成し、前記トランジスタと電氣的に接続する第1の導電層、前記第1の導電層上に有機化合物を含む層を形成し、前記第1の導電層と重なる前記有機化合物を含む層上に第2の導電層を形成し、前記有機化合物を含む層を、前記第2の容量素子の誘電体の層に用いることを特徴としている。

【0018】

上記構成において、前記第1の容量素子と、前記第2の容量素子は並列に接続されることが望ましい。また、前記容量素子の一方の電極に、前記第2の導電層と同じ材料を用いてもよい。

【0019】

なお、上記構成において、前記第1の導電層と前記有機化合物を含む層との間または前記有機化合物を含む層と前記第2の導電層との間に整流性を有する素子が設けられていてもよい。前記整流性を有する素子としては、ゲート電極とドレイン電極を接続したトランジスタがある。

【0020】

なお、有機メモリとは、一对の導電層間に有機化合物を有する層を挟んで設けたものをいう。本発明は、有機メモリに用いられる有機化合物を含む層と同じ材料を誘導体とする容量素子を用いることを特徴としている。本明細書中の周辺回路とは、共振回路、電源回路、昇圧回路、DAコンバータや保護回路など、少なくとも容量素子を有する回路をいう。また、前記有機化合物を含む層と同じ材料を誘電体とする容量素子の他に、同一基板上に、半導体を誘電体とする容量素子を設けてもよい。この場合、前記有機化合物を含む層と同じ材料を誘電体とする容量素子と、半導体を誘電体とする容量素子は並列に接続されることが望ましい。

【発明の効果】

【0021】

本発明により、特殊なプロセスを用いず、またプロセスを特に増加させることもなく、安価かつ容易に形成可能な有機メモリを搭載した半導体装置を得ることができる。

【0022】

従来のトランジスタと同一の半導体層を誘電体とした容量素子ではゲート絶縁膜と半導体層の重なる面積でしか実効的な容量にならない。それに対して、有機メモリに用いられる有機化合物を含む層を用いた容量素子は、トランジスタなどの素子や配線などの直上に形成できるなど配置に要する面積のほとんどが容量に寄与できるため、半導体装置内の回路内に占める容量素子の面積を縮小させることができる。

【0023】

また、本発明に係る有機化合物を含む層に、誘電率の高い材料を選択的に用いることで、容量素子の単位面積当たりの容量値を向上させることができる。

【発明を実施するための最良の形態】

【0024】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0025】

(実施の形態1)

本実施の形態では、二つの導電層の間に有機化合物を含む層が設置された記憶素子と、二つの導電層の間に前記記憶素子と同じ有機化合物を含む層が設置された容量素子とからなる半導体装置の一構成例に関して図面を用いて説明する。

【0026】

本発明に係わる半導体装置は、図1に示すように、基板100上に形成された記憶素子108と、容量素子109とが設けられている。

【0027】

図1に示す記憶素子108は第1の導電層101と有機化合物を含む層104と第2の導電層106とが積層されて形成される。また、容量素子109は第1の導電層102と記憶素子部と同一の材料を用いた有機化合物を含む層105と第2の導電層107とが積層されて形成される。隔壁層110a、110b、110cは第1の導電層101と第2の導電層106、あるいは第1の導電層102と第2の導電層107とが直接接触されることを防ぐ働きを持つ。

【0028】

第1の導電層101、102、103と、有機化合物を含む層104、105と、第2の導電層106、107と、隔壁層110a、110b、110cとはそれぞれ同一のプロセスで形成することができる。したがって、記憶素子108と容量素子109とは同一のプロセスでそれぞれの層を同時に形成することが可能である。

【0029】

上記の構成において、第1の導電層101、102、103と、第2の導電層106、107には、導電性の高い元素や化合物等用いる。代表的には、金(Au)、銀(Ag)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、炭素(C)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)等から選ばれた一種の元素または当該元素を複数含む合金からなり、単層または積層構造を用いることができる。上記元素を複数含んだ合金としては、例えば、AlとTiを含んだ合金Al-Ti、TiとCを含んだ合金Ti-C、AlとNiを含んだ合金Al-Ni、AlとCを含んだ合金Al-C、AlとNiとCを含んだ合金Al-Ni-CまたはAlとMoを含んだ合金Al-Mo等を用いることができる。上記材料は蒸着法、スパッタ法、CVD法、印刷法または液滴吐出法を用いて形成することができる。例えば、Agを液滴吐出法で形成したり、Alを蒸着法により形成することができる。

【0030】

また、第1の導電層101、102、103、第2の導電層106、107のうち、一方または両方が透光性を有するように設けてもよい。透光性を有する導電層は、透明な導電性材料を用いて形成するか、または、透明な導電性材料でなくても光を透過する厚さで形成する。透明な導電性材料としては、インジウム錫酸化物(ITO、Indium Tin Oxide)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いることが可能である。ITO及び酸化珪素を含むインジウム錫酸化物(以下、ITSOと記す)や、酸化珪素を含んだ酸化インジウムに、さらに2~20wt%の酸化亜鉛(ZnO)を混合したものをを用いても良い。

【0031】

有機化合物を含む層104、105は有機化合物、電気的作用により導電性が変化する有機化合物、または有機化合物と無機化合物とが混合してなる層で形成する。有機化合物を含む層104、105は、単層で設けてもよいし、複数の層を積層させて設けてもよい。また、電気的作用により導電性が変化する有機化合物からなる層を積層させて設けてもよい。

【0032】

有機化合物を含む層104、105を構成することが可能な有機化合物としては、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、エポキシ等に代表される有機樹脂等である。

【0033】

また、有機化合物を含む層104、105を構成することが可能な、電気的作用により導電性が変化する有機化合物としては、正孔輸送性を有する有機化合物材料又は電子輸送性

10

20

30

40

50

を有する有機化合物材料等である。

【0034】

正孔輸送性を有する有機化合物材料としては、4, 4' - ビス [N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル (略称 : - N P D) や 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (略称 : T P D) や 4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (略称 : T D A T A)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (略称 : M T D A T A) や 4, 4' - ビス (N - (4 - (N, N - ジ - m - トリルアミノ) フェニル) - N - フェニルアミノ) ビフェニル (略称 : D N T P D) などの芳香族アミン系 (即ち、ベンゼン環 - 窒素の結合を有する) の化合物や 10
フタロシアニン (略称 : H₂Pc)、銅フタロシアニン (略称 : CuPc)、バナジルフタロシアニン (略称 : VOPc) 等のフタロシアニン化合物を用いることができる。ここに述べた物質は、主に 10⁻⁶ cm² / Vs 以上の正孔移動度を有する物質である。

【0035】

電子輸送性を有する有機化合物材料としては、トリス (8 - キノリノラト) アルミニウム (略称 : Alq₃)、トリス (4 - メチル - 8 - キノリノラト) アルミニウム (略称 : Almq₃)、ビス (10 - ヒドロキシベンゾ [h] - キノリノラト) ベリリウム (略称 : BeBq₂)、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム (略称 : BAlq) 等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス [2 - (2 - ヒドロキシフェニル) ベンゾオキサゾラト] 亜鉛 (略称 : Zn (BOX)₂)、ビス [2 - (2 - ヒドロキシフェニル) ベンゾチアゾラト] 亜鉛 (略称 : Zn (BTZ)₂) などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。 20

【0036】

さらに、金属錯体以外にも、2 - (4 - ビフェニリル) - 5 - (4 - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール (略称 : PBD)、1, 3 - ビス [5 - (p - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール - 2 - イル] ベンゼン (略称 : OXD - 7)、3 - (4 - tert - ブチルフェニル) - 4 - フェニル - 5 - (4 - ビフェニリル) - 1, 2, 4 - トリアゾール (略称 : TAZ)、3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニリル) - 1, 2, 4 - トリアゾール (略称 : p - EtTAZ)、バソフェナントロリン (略称 : BPhen)、バソキュプロイン (略称 : BCP) 等を用いることができる。ここに述べた物質は、主に 10⁻⁶ cm² / Vs 以上の電子移動度を有する物質である。 30

【0037】

作製法としては、蒸着法、電子ビーム蒸着法、スパッタリング法、CVD法等を用いて形成することができる。また、有機化合物と無機化合物とを含む混合層は、各々の材料を同時に成膜することにより形成することができ、抵抗加熱蒸着同士による共蒸着法、電子ビーム蒸着同士による共蒸着法、抵抗加熱蒸着と電子ビーム蒸着による共蒸着法、抵抗加熱蒸着とスパッタリングによる成膜、電子ビーム蒸着とスパッタリングによる成膜など、同種、異種の方法を組み合わせる形成することができる。また塗布法や、液滴吐出法、印刷法 (スクリーン印刷やオフセット印刷など選択的にパターン形状で形成される方法) などを用いることもできる。 40

【0038】

また、有機化合物を含む層 104、105 に誘電率の高い材料を用いることで、容量素子 109 の単位面積当たりの容量値を向上させることができる。

【0039】

隔壁層 110 a、110 b、110 c としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) 50

）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、 $Si-O-Si$ 結合を含む樹脂に相当する。シロキサンは、シリコン（ Si ）と酸素（ O ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フッ化アリレンエーテル、ポリイミドなどの有機材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）を用いることもできる。塗布法で得られるTOF膜やSOG膜なども用いることができる。

10

【0040】

また、液滴吐出法により、導電層、絶縁層などを、組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしたりしてもよい。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。

20

【0041】

複数の有機化合物層を用いて記憶素子部および容量素子を形成した例を図13に示す。

【0042】

図13では、記憶素子108は第1の導電層101上に第1の有機化合物を含む層113が形成され、第1の有機化合物層を含む層113の上に第1の有機化合物を含む層113を覆う形状で第2の有機化合物を含む層114が形成され、第2の有機化合物を含む層114の上に第2の導電層106が形成されている。また、容量素子109は第1の導電層102上に第1の有機化合物を含む層115が形成され、第1の有機化合物を含む層115の上に第1の有機化合物を含む層115を覆う形状で第2の有機化合物を含む層116が形成され、第2の有機化合物を含む層116の上に第2の導電層107が形成されている。

30

【0043】

また、記憶素子、容量素子のどちらか一方を積層とする場合は、1層目の有機化合物を含む層と第2の導電層の間に、選択的に2層目の有機化合物を含む層を形成してもよい。

【0044】

また、本実施の形態の上記構成において、記憶素子108の第1の導電層101と有機化合物を含む層104との間に、整流性を有する素子を設けてもよい。整流性を有する素子としては、ゲート電極とドレイン電極を接続したトランジスタ、またはダイオードである。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が流れないために、誤差が減少し、読み出しマージンが向上する。なお、整流性を有する素子は、有機化合物を含む層104と第2の導電層106との間に設けてもよい。

40

【0045】

隔壁層110a、110b、110cは前述したように、第1の導電層101と第2の導電層106、あるいは第1の導電層102と第2の導電層107とが直接接触されることを防ぐ働きを持つが、第1の導電層の膜厚が十分薄く、端など段差が生じる領域において有機化合物を含む層が断裂するおそれがない場合には隔壁層110a、110b、110cの一部もしくはすべてを除くことができる。

【0046】

隔壁層を用いない構成をとった半導体装置の構成例を図2(A)に示す。図2(A)で

50

は、記憶素子 108 は第 1 の導電層 101 の全面を有機化合物を含む層 104 で覆うように形成され、さらに第 2 の導電層 106 が覆うように形成されている。容量素子 109 も同様に、第 1 の導電層 102 を有機化合物を含む層 105 で覆い、さらに第 2 の導電層 107 が覆うように形成されている。隔壁層を形成しないことによりプロセスの簡略化に寄与する。

【0047】

なお、第 2 の導電層 106 と 107 とは通常電氣的に切り離されているが、記憶素子部の電極の一方と容量素子の一端とが同一の電位で用いることができるような場合には、第 2 の導電層 106 と 107 とを接続してもよい。

【0048】

このような構成をとった半導体装置の構成例を図 2 (B) に示す。図 2 (B) では、記憶素子 108 と容量素子 109 を形成する有機化合物を含む層と第 2 の導電層を共通して用いたものであり、記憶素子 108 では第 1 の導電層 101 と有機化合物を含む層 112 と第 2 の導電層 111 との積層構造をとり、容量素子 109 では第 1 の導電層 102 と有機化合物を含む層 112 と第 2 の導電層 111 との積層構造をとる。記憶素子部の電極の一方と容量素子の一端とが同一の電位で用いることができるような場合にはこのような構成をとってもよい。

【0049】

このような構成をとることにより、プロセスを増やすことなく同一基板上に記憶素子と容量素子とを同時に形成することが可能となる。

【0050】

(実施の形態 2)

本実施の形態では、二つの導電層の間に有機化合物を含む層が設置された記憶素子と、二つの導電層の間に前記記憶素子と同じ有機化合物を含む層が設置された容量素子とからなる半導体装置の一構成例に関して実施の形態 1 とは異なる構成例を図面を用いて説明する。

【0051】

図 1 では基板 100 上に記憶素子 108 と容量素子 109 を設ける構成を示したが、これに限られず、図 3 に示すように、基板 100 上にトランジスタ群 200 を設け、その上に記憶素子 108 と容量素子 109 を形成してもよい。図 3 では、トランジスタ群 200 の直上に容量素子 109 を形成し、電極の一端を配線 150 と接続した構成を示している。これにより容量素子 109 はトランジスタ群 200 と配線 150 間の容量として働く。

【0052】

トランジスタ群 200 は図 3 では薄膜トランジスタ (TFET) を設けているが、これは一例であって公知のものであれば、どのような構成を用いてもよい。例えば CMOS トランジスタや電界効果トランジスタなどを用いることができる。また、トランジスタ群 200 に含まれる半導体層の構造もどのようなものを用いてもよく、例えば不純物領域 (ソース領域、ドレイン領域、LDD 領域を含む) を形成してもよいし、p チャネル型または n チャネル型のどちらかで形成してもよい。

【0053】

また、用いられるトランジスタのチャネル形成領域は、一つで形成されるシングルゲート構造でもよいし、二つで形成されるダブルゲート構造または三つで形成されるトリプルゲート構造であってもよい。本発明とシングルゲート構造を組み合わせて用いることにより、さらに微細化された半導体装置を得ることができる。また、本発明とダブルゲートまたはトリプルゲート構造を組み合わせることにより、オフ電流のばらつきをさらに低減することができる。信頼性の高い半導体装置を得ることができる。

【0054】

また、ゲート電極の側面と接するように絶縁層 (サイドウォール) を形成してもよいし、ソース、ドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タングステン、モリブデン、コバルト、白金

10

20

30

40

50

等を用いることができる。

【 0 0 5 5 】

なお、ここでは、トランジスタ群 2 0 0 上に記憶素子 1 0 8 と容量素子 1 0 9 を形成した例を示したが、記憶素子 1 0 8 と容量素子 1 0 9 と、トランジスタ群 2 0 0 とを別工程で作製し、導電性フィルムなどを用いて貼りあわせて設けてもよい。

【 0 0 5 6 】

また、図 3 ではトランジスタ群 2 0 0 の直上に容量素子 1 0 9 を形成し接続した例を示したが、容量素子に接続するものはトランジスタに限られず、配線でもよい。配線の直上に容量素子を形成し接続した例を図 4 に示す。

【 0 0 5 7 】

図 4 では配線 2 5 0 の直上に容量素子 1 0 9 を形成し、容量素子 1 0 9 の第 2 の導電層は第 1 の導電層 1 0 3 を介して配線 1 5 0 に接続された構成をとっている。これにより、容量素子 1 0 9 は配線 1 5 0 と配線 2 5 0 間の容量として働く。

【 0 0 5 8 】

さらに、容量素子を形成する領域は直接接続するトランジスタや配線の上である必要はなく、任意に決定することができる。図 5 はトランジスタ 3 0 0 およびトランジスタ群 3 1 0 上に記憶素子 1 0 8 と容量素子 1 0 9 とを形成した例を示した図である。図 5 において容量素子 1 0 9 は、容量素子 1 0 9 とは接続されていないトランジスタ群 3 1 0 の直上で形成されている。

【 0 0 5 9 】

同様に、容量素子と直接接続しない配線の直上にも容量素子を形成することは可能である。図 6 は配線 1 5 0、3 5 0、3 5 1、3 5 2、および 3 5 3 上に記憶素子 1 0 8 と容量素子 1 0 9 とを形成した例を示した図である。図 6 において容量素子 1 0 9 は、容量素子と 1 0 9 とは接続されていない配線 3 5 1、3 5 2、3 5 3 の直上で形成されている。

【 0 0 6 0 】

図 5 および図 6 のような構成をとることにより、本発明の容量素子は直接接続しない回路および配線の直上にも形成することが可能である。

【 0 0 6 1 】

このように、容量素子を本発明の形態のような構成とすることにより、半導体層とゲート電極を用いた従来の容量素子の全部もしくは一部を削減し、回路や配線上に配置することが可能となる。その結果、半導体装置の面積縮小化に寄与することができる。

【 0 0 6 2 】

(実施の形態 3)

本実施の形態では、二つの導電層の間に有機化合物を含む層が設置された記憶素子と、二つの導電層の間に前記記憶素子と同じ有機化合物を含む層が設置された容量素子とからなる半導体装置の一構成例に関して実施の形態 1 および実施の形態 2 とは異なる構成例を図面を用いて説明する。

【 0 0 6 3 】

本発明による容量素子は、既存の容量素子と組み合わせることで容量の増加を図ることも可能である。図 7 は半導体層とゲートメタルを用いた従来の容量素子と本発明の容量素子を組み合わせた例である。

【 0 0 6 4 】

図 7 に示す例では、基板 1 0 0 上に既存の容量素子 4 0 0 を形成し、その上に記憶素子 1 0 8 と容量素子 1 0 9 が形成されている。容量素子 4 0 0 は、従来使用されている容量素子であり、T F T のソース電極層とドレイン電極層と接続することで、半導体層とゲート電極間の容量を用いた容量素子として働く。

【 0 0 6 5 】

また、配線 1 5 0 と既存の容量素子 4 0 0 内のゲート電極とを接続することにより、配線 1 5 0 と既存の容量素子 4 0 0 のドレイン・ソース電極間に既存の容量素子 4 0 0 の容量と容量素子 1 0 9 の容量とを足し合わせた容量が発生する。

10

20

30

40

50

【 0 0 6 6 】

このような構成をとることにより、容量素子と、半導体層とゲート電極を用いた従来の容量素子とを同時に用いることができる。そのため、従来よりもチップ面積を増やすことなく容量を増やすことができ、回路の機能向上を図ることが可能となる。

【 0 0 6 7 】

また、素子に掛かる電圧によって用いる容量素子を使い分けることも可能である。例えば、高電圧が発生し本発明による容量素子では破損するような領域での容量は既存の容量素子を用い、それ以外の低電圧を扱う領域での容量は本発明の容量素子を用いるというように、領域によって用いる容量素子を変えてもよい。

【 0 0 6 8 】

さらに、上記実施の形態と組み合わせることにより、従来の容量素子を削減しつつ本発明による容量素子を大幅に増やすことにより、チップ面積を縮小化させつつ機能向上を果たすことも可能である。

【 0 0 6 9 】

(実施の形態 4)

本実施の形態では上記実施の形態で示す容量素子と有機メモリを形成し、アンテナを搭載した R F I D チップの構成例を図面を用いて説明する。

【 0 0 7 0 】

本実施の形態で示す R F I D チップは、非接触でデータの読み出しと書き込みが可能であることを特徴としており、データの伝送形式は、一対のコイルを対向に配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の 3 つに大別されるが、いずれの方式を用いてもよい。また、データの伝送に用いるアンテナは 2 通りの設け方があり、1 つは複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合、もう 1 つは複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

【 0 0 7 1 】

まず、複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合の R F I D チップの一構成例を、図面を用いて説明する。

【 0 0 7 2 】

図 8 は R F I D チップの概略を示した図である。図 8 に示すように、基板 1 1 0 0 上にアンテナ回路 1 1 0 1、クロック発生回路 1 1 0 4、電源回路 1 1 0 5、制御回路 1 1 1 2、メモリ回路 1 1 1 3 を有する。アンテナ回路 1 1 0 1 はアンテナ 1 1 0 2 と共振容量 1 1 0 3 を有し、電源回路 1 1 0 5 は平滑化回路 1 1 0 6 と昇圧回路 1 1 0 7 を有する。さらに、平滑化回路 1 1 0 6 は交流信号を整流するダイオード 1 1 0 8 と平滑化容量 1 1 0 9 を有し、昇圧回路 1 1 0 7 は電圧を昇圧するためのダイオード群 1 1 1 0 と容量素子群 1 1 1 1 を有する。図示しないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【 0 0 7 3 】

本発明により、共振容量 1 1 0 3、平滑化容量 1 1 0 9、容量素子群 1 1 1 1 の一部もしくはすべて上記実施形態のように有機メモリを構成する導電層および有機化合物を用いた容量素子に置き換えることが可能である。

【 0 0 7 4 】

ただし、容量素子群 1 1 1 1 の最終段のように記憶素子が破壊できるほどの高電圧がかかるような領域に本発明の構成を適用する場合には、有機メモリを構成する導電層および有機化合物を用いた容量素子が破壊されないような手段をとる必要がある。例えば該当部分の容量素子の絶縁層の膜厚を局所的に増やす、または該当部分の容量素子の絶縁層を他の絶縁層に置き換える、もしくは他の絶縁層を追加して形成する、などである。

【 0 0 7 5 】

もちろん、従来の容量素子と置き換えてもよく、使用領域に合わせた容量素子の置き換

10

20

30

40

50

えは上記の例に限定はされず、チップ内の容量素子を備えた回路におけるすべての容量素子に対して適用することが可能であることは言うまでもない。

【0076】

図9(A)はアクティブマトリクス型で構成される記憶装置を有するRFIDチップの上面図であり、記憶素子の上部電極および本発明の容量素子における上部電極として用いられる導電層とアンテナとして機能する導電層とが形成される位置を上面から見た図である。図9(A)では基板1000上にメモリ1001、アンテナ回路1005、電源回路1009を有する。図示しないが、これらの回路以外に制御回路、クロック発生回路を有し、データ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【0077】

メモリ1001はメモリセル1002を複数配置して構成されたメモリセルアレイ1003を有し、メモリセルアレイ1003を覆う形状で導電層1004が形成される。アンテナ回路1005はアンテナ1006と共振容量1007とを有し、共振容量1007を覆う形状で導電層1008が形成される。電源回路1009は平滑化回路1010と昇圧回路1013を有する。平滑化回路1010はさらに平滑化回路1012を有し、平滑化回路1012を覆う形状で導電層1011が形成される。昇圧回路1013は容量1015、1017、1019、1021、1023を有し、それぞれの容量を覆う形状で導電層1014、1016、1018、1020、1022が形成される。

【0078】

導電層1004、1008、1011、1014、1016、1018、1020、1022はすべて同一の材料であり、同一のプロセスで同時に形成される。

【0079】

なお、アンテナ1006は共振容量1007と電源回路1009とを囲むような形状になっているが、これは一例であって実際のアンテナの形状はこれに限定されない。また、形成した容量の数や形状、配置などの構成は一例であり、実際の容量の構成はこれに限定されない。

【0080】

図9(B)に示すのはアクティブマトリクス型で構成される記憶装置の一構成例である。メモリセル1002がマトリクス状に設けられたメモリセルアレイ1003、カラムデコード1076aと読み出し回路1076bとセレクト1076cを有するビット線駆動回路1076、ロウデコード1074aとレベルシフト1074bを有するワード線駆動回路1074、書き込み回路等を有し外部とのやりとりを行うインターフェース1073を有している。なお、ここで示すメモリ1001の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

【0081】

メモリセル1002は、ワード線 $W_y(1 \leq y \leq n)$ を構成する第1の配線と、ビット線 $B_x(1 \leq x \leq m)$ を構成する第2の配線と、トランジスタ1060と、記憶素子1065とを有する。記憶素子1065は、一对の導電層の間に、有機化合物層が挟まれた構造を有する。

【0082】

図9(A)において、AB間の断面の構成を示した図が図10である。図10に、アクティブマトリクス型で構成される記憶装置を有する半導体装置を示す。基板500上にトランジスタ510a、510bを有するトランジスタ部530と、トランジスタ520a、520bを有するトランジスタ部540と、トランジスタ550a、550bを有するトランジスタ部560と、絶縁層501a、501b、508、509、511、516、514を含む素子形成層535が設けられ、素子形成層535の上方に記憶素子部525、記憶素子と同一の材料を用いて形成した容量素子570、アンテナとして機能する導電層543が設けられている。

【0083】

10

20

30

40

50

なお、ここでは素子形成層 5 3 5 の上方に記憶素子部 5 2 5、容量素子 5 7 0、アンテナとして機能する導電層 5 4 3 を設けた場合を示しているが、この構成に限られず記憶素子部 5 2 5、容量素子 5 7 0、アンテナとして機能する導電層 5 4 3 を、素子形成層 5 3 5 の下方の層に設けることも可能である。

【 0 0 8 4 】

記憶素子部 5 2 5 は、記憶素子 5 1 5 a、5 1 5 b で構成される。記憶素子 5 1 5 a は、第 1 の導電層 5 0 6 a 上に、隔壁層（絶縁層）5 0 7 a、隔壁層（絶縁層）5 0 7 b、有機化合物を含む層 5 1 2 及び第 2 の導電層 5 1 3 が積層して構成される。記憶素子 5 1 5 b は、第 1 の導電層 5 0 6 b 上に、隔壁層（絶縁層）5 0 7 b、隔壁層（絶縁層）5 0 7 c、有機化合物を含む層 5 1 2 及び第 2 の導電層 5 1 3 が積層して設けられている。また、第 2 の導電層 5 1 3 を覆って保護膜として機能する絶縁層 5 1 4 が形成されている。

10

【 0 0 8 5 】

また、複数の記憶素子 5 1 5 a、5 1 5 b が形成される第 1 の導電層 5 0 6 a、第 1 の導電層 5 0 6 b は、トランジスタ 5 1 0 a、トランジスタ 5 1 0 b それぞれのソース電極層又はドレイン電極層に、接続されている。すなわち、記憶素子はそれぞれひとつのトランジスタに接続されている。また、有機化合物を含む層 5 1 2 が第 1 の導電層 5 0 6 a、5 0 6 b および隔壁層（絶縁層）5 0 7 a、5 0 7 b、5 0 7 c を覆うように全面に形成されているが、各メモリセルに選択的に形成されていてもよい。なお、記憶素子 5 1 5 a、5 1 5 b は上記実施の形態で示した材料または作製方法を用いて形成することができる。

20

【 0 0 8 6 】

第 1 の導電層 5 0 6 a、5 0 6 b、および第 2 の導電層 5 1 3 に電圧を印加することにより、有機化合物を含む層 5 1 2 に電流が流れる。よって、ジュール熱によって有機化合物を含む層 5 1 2 の温度は上昇して、流動化し、流動性を有する組成物は固体状態の形状を維持せずに移動する。よって、有機化合物を含む層 5 1 2 の膜厚は不均一となり、有機化合物を含む層 5 1 2 が変形し、第 1 の導電層 5 0 6 a、5 0 6 b と第 2 の導電層 5 1 3 とが短絡する。よって、電圧印加前後での記憶素子の導電性が変化する。

【 0 0 8 7 】

データの読み出しは各記憶素子における導電性の変化を読み出すことで行われる。読み出し方法の一例として図 1 2 を用いて説明する。

30

【 0 0 8 8 】

図 1 2 (A) は、アクティブマトリクス型の記憶素子およびその駆動回路の模式図であり、ワード線駆動回路 7 2 4、ビット線駆動回路 7 2 6、そしてビット線 B x とワード線 W y が接続された記憶素子部 7 2 1 から構成される。ビット線駆動回路 7 2 6 の中にはカラムデコーダ 7 2 6 a と読み出し回路 7 2 6 b とセレクタ 7 2 6 c とを有する。また、読み出し回路 7 2 6 b はセンスアンプ 7 4 7 と抵抗素子 7 4 6 を有する。なお、ここで示す構成はあくまで一例であり、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

【 0 0 8 9 】

図 1 2 (B) は、記憶素子部に「 0 」のデータの書き込みを行った記憶素子部の電流電圧特性 7 0 1 と、「 1 」のデータの書き込みを行った記憶素子部の電流電圧特性 7 0 2 と、抵抗素子 7 4 6 の電流電圧特性 7 0 3 を示しており、ここでは抵抗素子 7 4 6 としてトランジスタを用いた場合を示す。また、データを読み出す際の動作電圧として、第 1 の導電層 5 0 6 a と第 2 の導電層 5 1 3 の間に 3 V を印加した場合について説明する。

40

【 0 0 9 0 】

図 1 2 において、「 0 」のデータの書き込みが行われた記憶素子部を有するメモリセルでは、記憶素子部の電流電圧特性 7 0 1 とトランジスタの電流電圧特性 7 0 3 との交点 7 0 4 が動作点となり、このときのノード の電位は V 2 (V) となる。ノード の電位はセンスアンプ 7 4 7 に供給され、当該センスアンプ 7 4 7 において、上記メモリセルが記憶するデータは、「 0 」と判別される。

50

【 0 0 9 1 】

一方、「1」のデータの書き込みが行われた記憶素子部を有するメモリセルでは、記憶素子部の電流電圧特性702とトランジスタの電流電圧特性703との交点705が動作点となり、このときのノードの電位は $V_1(V)$ ($V_1 > V_2$)となる。ノードの電位はセンスアンプ747に供給され、当該センスアンプ747において、上記メモリセルが記憶するデータは、「1」と判別される。

【 0 0 9 2 】

このように、記憶素子部721の抵抗値に従って、抵抗分割された電位を読み取ることによって、メモリセルに記憶されたデータを判別することができる。

【 0 0 9 3 】

また、記憶素子515aにおいて、第1の導電層506aと有機化合物を含む層512、もしくは有機化合物を含む層512と第2の導電層513との間に整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。例えば、N型半導体層およびP型半導体層を積層させて設けられたPN接合ダイオードを用いることができる。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が流れないために、誤差が減少し、読み出しマージンが向上する。なお、ダイオードを設ける場合、PN接合を有するダイオードではなく、PIN接合を有するダイオードやアバランシェダイオード等の、他の構成のダイオードを用いてもよい。なお、記憶素子515bにおいても同様である。

【 0 0 9 4 】

容量素子570は、第1の導電層506a、506bと同一の層で形成された第1の導電層561上に、隔壁層(絶縁層)507d、隔壁層(絶縁層)507e、有機化合物を含む層512と同一の層で形成された有機化合物を含む層562及び第2の導電層513と同一の層で形成された第2の導電層563が積層して設けられている。また、第2の導電層563を覆って保護膜として機能する絶縁層514が形成され。さらに、第2の導電層563は、第1の導電層561とは分離された導電層564を通して配線565と接続され、配線565を通して他の回路に接続される。このような構造をとることにより、トランジスタや配線の直上に容量素子を配することが可能となる。

【 0 0 9 5 】

アンテナとして機能する導電層543は第2の導電層513と同一の層で形成された導電層542上に設けられている。なお、第2の導電層513と同一の層でアンテナとして機能する導電層を形成してもよい。また、導電層542は、第1の導電層506a、506bと同一の層で形成された導電層541上に設けられている。導電層541は、トランジスタ520aのソース電極層又はドレイン電極層に接続されている。

【 0 0 9 6 】

アンテナとして機能する導電層543の材料としては、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)等から選ばれた一種の元素または当該元素を複数含む合金等を用いることができる。また、アンテナとして機能する導電層543の形成方法は、蒸着、スパッタ、CVD法、スクリーン印刷やグラビア印刷等の各種印刷法または液滴吐出法等を用いることができる。

【 0 0 9 7 】

素子形成層535に含まれるトランジスタ510a、510b、520a、520b、550a、550bは、pチャネル型TFT、nチャネル型TFTまたはこれらを組み合わせたCMOSで設けることができる。また、トランジスタ510a、510b、520a、520b、550a、550bに含まれる半導体層の構造もどのようなものを用いてもよく、例えば不純物領域(ソース領域、ドレイン領域、LDD領域を含む)を形成してもよいし、pチャネル型またはnチャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層(サイドウォール)を形成してもよいし、ソース、ドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の

10

20

30

40

50

材料としては、ニッケル、タングステン、モリブデン、コバルト、白金等を用いることができる。

【0098】

また、素子形成層535に含まれるトランジスタ510a、510b、520a、520b、550a、550bは、半導体層も非晶質半導体、結晶性半導体、多結晶半導体、微結晶半導体など様々な半導体を用いることができ、構成する半導体層を有機化合物で形成する有機トランジスタで設けてもよい。この場合、基板500としてプラスチック等の可撓性を有する基板上に、直接印刷法や液滴吐出法等を用いて有機トランジスタからなる素子形成層535を形成することができる。印刷法や液滴吐出法等を用いて形成することによってより低コストで半導体装置を作製することが可能となる。

10

【0099】

また、素子形成層535、記憶素子515a、515b、容量素子570、アンテナとして機能する導電層543は、上述したように蒸着、スパッタ法、CVD法、印刷法または液滴吐出法等を用いて形成することができる。なお、各領域によって異なる方法を用いて形成してもかまわない。例えば、高速動作が必要とされるトランジスタは基板上にSi等からなる半導体層を形成した後に熱処理により結晶化させて設け、その後、素子形成層の上方にスイッチング素子として機能するトランジスタを印刷法や液滴吐出法を用いて有機トランジスタとして設けることができる。

【0100】

なお、トランジスタに接続するセンサを設けてもよい。センサとしては、温度、湿度、照度、ガス（気体）、重力、圧力、音（振動）、加速度、その他の特性を物理的又は化学的手段により検出する素子が挙げられる。センサは、代表的には抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオードなどの半導体素子で形成される。

20

【0101】

次に、複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合の半導体装置の一構成例に関して図11を用いて説明する。

【0102】

図11に、アクティブマトリクス型の記憶装置を有する半導体装置を示す。基板600上にトランジスタ610a、610bを有するトランジスタ部630と、トランジスタ620a、トランジスタ620bを有するトランジスタ部640と、トランジスタ650a、トランジスタ650bを有するトランジスタ部660と、絶縁層601a、601b、608、609、611、616、614を含む素子形成層635が設けられている。また、素子形成層635の上方に記憶素子部625、記憶素子の材料を用いて形成した容量素子670が設けられている。さらに、基板646に設けられたアンテナとして機能する導電層643が素子形成層635と接続するように設けられている。

30

【0103】

なお、ここでは素子形成層635の上方に記憶素子部625またはアンテナとして機能する導電層643を設けた場合を示しているが、この構成に限られず記憶素子部625、容量素子670、アンテナとして機能する導電層643を素子形成層635の下方に設けることも可能である。

40

【0104】

記憶素子部625は、記憶素子615a、615bで構成され、記憶素子615aは第1の導電層606a上に、隔壁層（絶縁層）607a、隔壁層（絶縁層）607b、有機化合物を含む層612及び第2の導電層613が積層して構成され、記憶素子615bは、第1の導電層606b上に、隔壁層（絶縁層）607b、隔壁層（絶縁層）607c、有機化合物を含む層612及び第2の導電層613が積層して設けられている。また、第2の導電層613を覆って保護膜として機能する絶縁層614が形成されている。

【0105】

50

また、複数の記憶素子 6 1 5 a、6 1 5 b が形成される第 1 の導電層 6 0 6 a、第 1 の導電層 6 0 6 b は、トランジスタ 6 1 0 a、トランジスタ 6 1 0 b それぞれのソース電極層又はドレイン電極層に、接続されている。すなわち、記憶素子はそれぞれひとつのトランジスタに接続されている。また、有機化合物を含む層 6 1 2 が第 1 の導電層 6 0 6 a、6 0 6 b および隔壁層（絶縁層）6 0 7 a、6 0 7 b、6 0 7 c を覆うように全面に形成されているが、各メモリセルに選択的に形成されていてもよい。なお、記憶素子 6 1 5 a、6 1 5 b は上記実施の形態で示した材料または作製方法を用いて形成することができる。

【0106】

第 1 の導電層 6 0 6 a、6 0 6 b と、第 2 の導電層 6 1 3 に電圧を印加することにより、有機化合物を含む層 6 1 2 に電流が流れる。よって、ジュール熱によって有機化合物を含む層 6 1 2 の温度は上昇して、流動化し、流動性を有する組成物は固体状態の形状を維持せずに移動する。よって、有機化合物を含む層 6 1 2 の膜厚は不均一となり、有機化合物を含む層 6 1 2 が変形し、第 1 の導電層 6 0 6 a、6 0 6 b と第 2 の導電層 6 1 3 とが短絡する。よって、電圧印加前後での記憶素子の導電性が変化する。

【0107】

データの読み出しは前述のように、各記憶素子における導電性の変化を読み出すことで行われる。

【0108】

また、記憶素子 6 1 5 a において、第 1 の導電層 6 0 6 a と有機化合物を含む層 6 1 2、もしくは有機化合物を含む層 6 1 2 と第 2 の導電層 6 1 3 との間に整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。例えば、N 型半導体層および P 型半導体層を積層させて設けられた PN 接合ダイオードを用いることができる。このように、整流性があるダイオードを設けることにより、1 つの方向にしか電流が流れないために、誤差が減少し、読み出しマージンが向上する。なお、ダイオードを設ける場合、PN 接合を有するダイオードではなく、PIN 接合を有するダイオードやアバランシェダイオード等の、他の構成のダイオードを用いてもよい。なお、記憶素子 6 1 5 b においても同様である。

【0109】

容量素子 6 7 0 は、第 1 の導電層 6 0 6 a、6 0 6 b と同一の層で形成された第 1 の導電層 6 6 1 上に、隔壁層（絶縁層）6 0 7 d、隔壁層（絶縁層）6 0 7 e、有機化合物を含む層 6 1 2 と同一の層で形成された有機化合物を含む層 6 6 2 及び第 2 の導電層 6 1 3 と同一の層で形成された第 2 の導電層 6 6 3 が積層して設けられている。また、第 2 の導電層 6 6 3 を覆って保護膜として機能する絶縁層 6 1 4 が形成されている。さらに、第 2 の導電層 6 6 3 は第 1 の導電層 6 6 1 とは分離された導電層 6 6 4 を通して配線 6 6 5 と接続され、配線 6 6 5 を通して他の回路に接続される。このような構造をとることにより、トランジスタや配線の直上に容量素子を配することが可能となる。

【0110】

また、素子形成層 6 3 5 と記憶素子部 6 2 5 と容量素子 6 7 0 とを含む基板 6 0 0 と、アンテナとして機能する導電層 6 4 3 が設けられた基板 6 4 6 は、接着性を有する樹脂 6 4 5 により貼り合わされている。そして、素子形成層 6 3 5 と導電層 6 4 3 とは樹脂 6 4 5 中に含まれる導電性微粒子 6 4 4 を介して電氣的に接続されている。また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いて素子形成層 6 3 5 と記憶素子部 6 2 5 と容量素子 6 7 0 とを含む基板 6 0 0 と、アンテナとして機能する導電層 6 4 3 が設けられた基板 6 4 6 とを貼り合わせてもよい。

【0111】

アンテナとして機能する導電層 6 4 3 の材料としては、金 (Au)、白金 (Pt)、ニッケル (Ni)、タングステン (W)、モリブデン (Mo)、コバルト (Co)、銅 (Cu)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti) 等から選ばれた一種の元素または当該元素を複数含む合金等を用いることができる。また、導電層 6 4 3 の形成

10

20

30

40

50

方法は、蒸着、スパッタ、CVD法、スクリーン印刷やグラビア印刷等の各種印刷法または液滴吐出法等を用いることができる。

【0112】

このように、配線もしくはトランジスタの直上に容量素子を配した記憶装置およびアンテナを備えたRFIDチップを形成することができる。また、本実施の形態では、基板上に薄膜トランジスタを形成して素子形成層を設けることもできるし、基板としてSi等の半導体基板を用いて、基板上に電界効果トランジスタを形成することによって素子形成層を設けてもよい。また、基板としてSOI基板を用いて、その上に素子形成層を設けてもよい。この場合、SOI基板はウェハの貼り合わせによる方法や酸素イオンをSi基板内に打ち込むことにより内部に絶縁層を形成するSIMOXと呼ばれる方法を用いて形成す

10

【0113】

さらには、記憶素子部および容量素子を、アンテナとして機能する導電層が設けられた基板に設けてもよい。またトランジスタに接続するセンサを設けてもよい。

【0114】

なお、本実施の形態では、アクティブマトリクス型のメモリの場合の適用例を説明したが、公知の方法で作られたパッシブマトリクス型のメモリにおいても、同様に適用が可能である。

【0115】

図17(A)はパッシブマトリクス型で構成される記憶装置を有するRFIDチップの上面図であり、記憶素子の上部電極および本発明の容量における上部電極として用いられる導電層とアンテナとして機能する導電層とが形成される位置を上面から見た図である。図17(A)では基板1000上にメモリ1201、アンテナ回路1005、電源回路1009を有する。図示しないが、これらの回路以外に制御回路、クロック発生回路を有し、データ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

20

【0116】

メモリ1201はメモリセル1202を複数配置して構成されたメモリセルアレイ1203を有し、メモリセル1列分をまたぐ形状で導電層1204がメモリセルの行数分形成される。導電層1204は、導電層1008、1011、1014、1016、1018、1020、1022と同一の材料、同一のプロセスで同時に形成される。

30

【0117】

なお、図17(A)では導電層1204はメモリセル1列分をまたぐ形状で形成されているが、この形状には限定されず、メモリセル1行分をまたぐ形状で形成してもよい。

【0118】

図17(B)に示すのは、パッシブマトリクス型の記憶装置が有する一構成例である。メモリセル1202がマトリクス状に設けられたメモリセルアレイ1203、カラムデコーダ1226aと読み出し回路1226bとセクタ1226cを有するビット線駆動回路1226、ロウデコーダ1224aとレベルシフト1224bを有するワード線駆動回路1224、書き込み回路等を有し外部とのやりとりを行うインターフェース1223を有している。なお、ここで示すメモリ1201の構成はあくまで一例であり、センスアン

40

【0119】

メモリセル1202は、ワード線 $W_y(1 \leq y \leq n)$ を構成する第1の導電層と、ビット線 $B_x(1 \leq x \leq m)$ を構成する第2の導電層と、有機化合物を含む層とを有する。有機化合物を含む層は、第1の導電層と第2の導電層の間に単層または積層して設けられている。

【0120】

図17(A)において、AB間の断面の構成を示した図が図18である。図18に、パッシブマトリクス型で構成される記憶装置を有する半導体装置を示す。基板1500上に

50

トランジスタ1520a、1520bを有するトランジスタ部1540、トランジスタ1550a、1550bを有するトランジスタ部1560、絶縁層1501a、1501b、1508、1509、1511、1516、1514を含む素子形成層1535が設けられる。また、素子形成層1535の上方に記憶素子部1525、記憶素子と同一の材料を用いて形成した容量素子1570、アンテナとして機能する導電層1543が設けられている。

【0121】

なお、ここでは素子形成層1535の上方に記憶素子部1525、容量素子1570、アンテナとして機能する導電層1543を設けた場合を示しているが、この構成に限られず記憶素子部1525、容量素子1570、アンテナとして機能する導電層1543を、素子形成層1535の下方の層に設けることも可能である。

10

【0122】

記憶素子部1525は、記憶素子1515a、1515bで構成される。記憶素子1515aは、第1の導電層1506上に、隔壁(絶縁層)1507a、隔壁(絶縁層)1507b、有機化合物を含む層1512a及び第2の導電層1513aが積層して構成される。記憶素子1515bは、第1の導電層1506上に、隔壁(絶縁層)1507b、隔壁(絶縁層)1507c、有機化合物を含む層1512b及び第2の導電層1513bが積層して設けられている。また、第2の導電層1513a、1513bを覆って保護膜として機能する絶縁層1514が形成されている。また、複数の記憶素子1515a、1515bが形成される第1の導電層1506は、配線1530に接続されている。即ち、第1の導電層1506がワード線、第2の導電層1513a、1513bがビット線として機能する。

20

【0123】

もちろん、第1の導電層をビット線として用い、第2の導電層をワード線として用いるような構成でもよい。そのように形成した構成例を図19に示す。図19では、第1の導電層1600a、1600bをビット線、第2の導電層1601をワード線として用いている。第1の導電層1600a、1600bと第2の導電層1601の間に形成される有機化合物を含む層1602は記憶素子ごとに分離してもよい。

【0124】

なお、素子形成層1535、記憶素子部1525、容量素子1570、アンテナとして機能する導電層1543は上記実施の形態で示した材料または作製方法を用いて形成することができる。

30

【0125】

また、本実施の形態で作製したRFIDチップを、基板より公知の剥離工程により剥離し、フレキシブルな基板上に接着することで、フレキシブルな基板上に設けることができ、可撓性を有する半導体装置を得ることができる。フレキシブルな基体とは、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなるフィルム、繊維質な材料からなる紙、基材フィルム(ポリエステル、ポリアミド、無機蒸着フィルム、紙類等)と接着性合成樹脂フィルム(アクリル系合成樹脂、エポキシ系合成樹脂等)との積層フィルムなどに相当する。フィルムは、被処理体と加熱処理と加圧処理が行われるものであり、加熱処理と加圧処理を行う際には、フィルムの最表面に設けられた接着層か、又は最外層に設けられた層(接着層ではない)を加熱処理によって溶かし、加圧により接着する。また、基体に接着層が設けられていてもよいし、接着層が設けられていなくてもよい。接着層は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤を含む層に相当する。

40

【0126】

本発明の容量素子および有機メモリを本実施形態のように適用することにより、配線もしくはトランジスタの直上に容量素子を形成することができ、そしてその容量素子は有機メモリの形成と同時に形成可能である。このように、配線もしくはトランジスタの直上に容量素子を形成することにより、面積の縮小化、容量が増えることによる特性の向上、お

50

よびその双方を満たした記憶装置およびアンテナを備えたRFIDチップが提供される。

【0127】

(実施の形態5)

本実施の形態では、薄膜トランジスタ、記憶素子、容量素子およびアンテナを含む本発明の半導体装置の作製方法について、図14～16を参照して説明する。

【0128】

まず、基板2000上に、下地となる絶縁層2001、2002を形成する(図14(A))。基板2000は、ガラス基板、石英基板、金属基板やステンレス基板の一表面に絶縁層を形成したものの、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いるとよい。このような基板2000であれば、その面積や形状に大きな制限はないため、基板2000として、例えば、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。また、基板2000と絶縁層2001との間に、剥離層を用いれば、薄膜トランジスタを有する層を、導電膜等が形成された基板へ転置することができ、その結果、薄膜トランジスタに接続された導電膜と、転置先の基板上の導電膜との接続を簡便なものとすることができる。

【0129】

次に、絶縁層2001を1層目として窒化酸化珪素層で形成し、絶縁層2002を2層目として酸化窒化珪素層で形成する。絶縁層2001、2002は、公知の手段(スパッタ法やプラズマCVD法等)により、珪素の酸化物または珪素の窒化物を含む層を形成する。珪素の酸化物材料とは、珪素(Si)と酸素(O)を含む物質であり、酸化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。珪素の窒化物材料とは、珪素と窒素(N)を含む物質であり、窒化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。下地となる絶縁層は単層または積層であってもよく、例えば、下地となる絶縁層が3層構造の場合、1層目の絶縁層として酸化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。または、1層目の絶縁層として酸化窒化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。下地となる絶縁層は、基板2000からの不純物の侵入を防止するブロッキング膜として機能する。

【0130】

次に、絶縁層2002上に非晶質半導体層2003(例えば非晶質珪素を含む層)を形成する(図14(B))。非晶質半導体層2003は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)により、25～200nm(好ましくは30～150nm)の厚さで形成する。続いて、非晶質半導体層2003を公知の結晶化法(レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザ結晶化法を組み合わせた方法等)により結晶化して、結晶質半導体層を形成する。その後、得られた結晶質半導体層を所望の形状にパターンニングして、結晶質半導体層2004～2009を形成する(図14(C))。

【0131】

結晶質半導体層2004～2009の作成工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚66nmの非晶質半導体層を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体層上に保持させた後、非晶質半導体層に脱水素化の処理(500℃、1時間)と、熱結晶化の処理(550℃、4時間)を行って結晶質半導体層を形成する。その後、必要に応じてレーザ光を照射し、フォトリソグラフィ法を用いたパターンニング処理によって結晶質半導体層2004～2009を形成する。レーザ結晶化法で結晶質半導体層を形成する場合、連続発振またはパルス発振の気体レーザ又は固体レーザを用いる。気体レーザとしては、エキシマレーザ、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いる。固体レーザとしては、Cr、Nd、Er、Ho

10

20

30

40

50

、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザを用いる。

【0132】

また、結晶化を助長する金属元素を用いて非晶質半導体層の結晶化を行うと、低温で短時間の結晶化が可能となるうえ、結晶の方向が揃うという利点がある一方、金属元素が結晶質半導体層に残存するためにオフ電流が上昇し、特性が安定しないという欠点がある。そこで、結晶質半導体層上に、ゲッターリングサイトとして機能する非晶質半導体層を形成するとよい。ゲッターリングサイトとなる非晶質半導体層には、リンやアルゴンの不純物元素を含有させる必要があるため、好適には、アルゴンを高濃度に含有させることが可能なスパッタ法で形成するとよい。その後、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、非晶質半導体層中に金属元素を拡散させ、続いて、当該金属元素を含む非晶質半導体層を除去する。そうすると、結晶質半導体層中の金属元素の含有量を低減又は除去することができる。

10

【0133】

次に、結晶質半導体層2004~2009を覆うゲート絶縁層2010を形成する(図14(D))。ゲート絶縁層2010は、公知の手段(プラズマCVD法やスパッタ法)により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層して形成する。具体的には、酸化珪素を含む層、酸化窒化珪素を含む層、窒化酸化珪素を含む層を、単層又は積層して形成する。

【0134】

20

次に、ゲート絶縁層2010上に、第1の導電層と第2の導電層を積層して形成する。第1の導電層は、公知の手段(プラズマCVD法やスパッタリング法)により、20~100nmの厚さで形成する。第2の導電層は、公知の手段により、100~400nmの厚さで形成する。第1の導電層と第2の導電層は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電層と第2の導電層の組み合わせの例を挙げると、窒化タンタル(TaN)層とタングステン(W)層、窒化タングステン(WN)層とタングステン層、窒化モリブデン(MoN)層とモリブデン(Mo)層等が

30

【0135】

また、本実施の形態では、LDDを設けないシングルドレイン構造のトランジスタを用いているが、これは一例であって公知のものであれば、どのような構造を用いてもよい。

【0136】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、ゲート電極として機能する導電層(ゲート電極層とよぶことがある)2011~2016を形成する(図15(A))。

40

【0137】

次に、フォトリソグラフィ法により、レジストからなるマスクを形成して、結晶質半導体層2004~2009に、イオンドープ法又はイオン注入法により、N型またはP型の所望の不純物領域2017b~2022bと、チャネル形成領域2017a~2022aを形成する(図15(B))。例えば、N型を付与する場合、N型を付与する不純物元素として、15族に属する元素を用いれば良い。例えばリン(P)、砒素(As)を用いて不純物元素を添加し、N型の不純物領域を形成する。次に、P型を付与する場合、フォトリソグラフィ法によりレジストからなるマスクを形成して、所望の結晶質半導体層に、P型を付与する不純物元素、例えばボロン(B)を添加して、P型不純物領域を形成する。

50

【 0 1 3 8 】

次に、ゲート絶縁層 2010 と導電層 2011 ~ 2016 を覆うように、絶縁層 2023、2024 を形成する（図 15 (C)）。絶縁層 2023、2024 は、公知の手段（SOG 法、液滴吐出法等）により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ、シロキサン等の有機材料等で形成する。シロキサンとは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基とフルオロ基とを用いてもよい。また、導電層を覆う絶縁層は単層または積層であってもよく、3層構造の場合、1層目の絶縁層に酸化珪素を含む層を形成し、2層目の絶縁層に樹脂を含む層を形成し、3層目の絶縁層に窒化珪素を含む層を形成するとよい。

10

【 0 1 3 9 】

なお、絶縁層 2023、2024 を形成する前、又は絶縁層 2023、2024 のうちの 1 つ又は複数の薄膜を形成した後に、半導体層の結晶性の回復や半導体層に添加された不純物元素の活性化、半導体層の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザアニール法又は RTA 法などを適用するとよい。

【 0 1 4 0 】

次に、フォトリソグラフィ法により絶縁層 2023、2024 をエッチングして、不純物領域 2017b ~ 2022b を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成し、当該導電層をパターン加工して、ソースドレイン配線として機能する導電層 2025 ~ 2037 を形成する（図 15 (D)）。

20

【 0 1 4 1 】

導電層 2025 ~ 2037 は、公知の手段（プラズマ CVD 法やスパッタリング法）により、チタン（Ti）、アルミニウム（Al）、ネオジウム（Nd）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電層 2025 ~ 2037 は、例えば、バリア層とアルミニウムシリコン（Al-Si）層とバリア層の積層構造、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン（TiN）層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層 2025 ~ 2037 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

30

【 0 1 4 2 】

次に、導電層 2025 ~ 2037 を覆うように、絶縁層 2038、2039 を形成する（図 16 (A)）。絶縁層 2038、2039 は、公知の手段（SOG 法、液滴吐出法等）を用いて、無機材料又は有機材料により、単層又は積層で形成する。

40

【 0 1 4 3 】

続いて、フォトリソグラフィ法により絶縁層 2038、2039 をエッチングして、導電層 2025 ~ 2037 を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成する。導電層は、公知の手段（プラズマ CVD 法やスパッタリング法）を用いて、導電性材料により形成する。次に、導電層をパターン加工して、導電層 2040 ~ 2044 を形成する（図 16 (A)）。なお、導電層 2040、2041 は、記憶素子が含む一対の導電層のうちの一方向の導電層となる。従って、好適には、導電層 2040 ~ 2044 は、チタン、又はチタンを主成分とする合金材料若しく

50

は化合物材料により、単層又は積層で形成するとよい。チタンは、抵抗値が低いため、記憶素子のサイズの縮小につながり、高集積化を実現することができる。また、導電層2040~2044を形成するためのフォトリソグラフィ工程においては、下層の薄膜トランジスタにダメージを与えないために、ウエットエッチング加工を行うとよく、エッチング剤にはフッ化水素(HF)又はアンモニア過水を用いるとよい。

【0144】

次に、導電層2040~2044を覆うように、絶縁層を形成し、フォトリソグラフィ法により、絶縁層をエッチングして、導電層2040~2044を露出させるコンタクトホールを形成し、隔壁層(絶縁層)2045~2049を形成する。隔壁層2045~2049は、公知の手段(SOG法、液滴吐出法等)を用いて、無機材料又は有機材料により、単層又は積層で形成する。また、隔壁層2045~2049は、好適には、0.75 μm ~3 μm の厚さで形成する。

10

【0145】

次に、導電層2040、2041、2043に接するように有機化合物を含む層2050、2051を形成する(図16(B))。有機化合物を含む層2050、2051は液滴吐出法、印刷法またはスピコート法を用いることができるが、特にスピコート法を用いることによって作業効率を向上させることができる。スピコート法を用いた場合、あらかじめマスクを設けておくか、または全面に形成した後にフォトリソグラフィ工程を用いることにより選択的に有機化合物層を設けることができる。また、液滴吐出法や印刷法を用いて行うことによって、材料の利用効率を向上させることができる。

20

【0146】

続いて、有機化合物を含む層2050、2051に接するように、導電層2052、2054を、導電層2042に接するように導電層2053を形成する。導電層2052~2054は、公知の手段(プラズマCVD法、スパッタリング法、印刷法、液滴吐出法)により形成することができる。

【0147】

次に、導電層2053に接し、アンテナとして機能する導電層2055を形成する(図16(B))。導電層2055は、公知の手段(プラズマCVD法、スパッタリング法、印刷法、液滴吐出法)を用いて、導電性材料により形成する。好ましくは、導電層2055は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。具体的には、導電層2055は、スクリーン印刷法により、銀を含むペーストを用いて形成し、その後、50~350度の加熱処理を行って形成する。又は、スパッタリング法によりアルミニウム層を形成し、当該アルミニウム層をパターン加工することにより形成する。アルミニウム層のパターン加工は、ウエットエッチング加工を用いるとよく、ウエットエッチング加工後は200~300度の加熱処理を行うとよい。

30

【0148】

次に、導電層2052~2055を覆うように保護膜として機能する絶縁層2056を設ける(図16(B))。絶縁層2056は、液滴吐出法、印刷法またはスピコート法を用いて単層または積層構造で形成することができる。

40

【0149】

以上の工程を経て、導電層2040、有機化合物を含む層2050及び導電層2052の積層体からなる記憶素子部と、導電層2041、有機化合物を含む層2050及び導電層2052の積層体からなる記憶素子部と、導電層2043、有機化合物を含む層2051及び導電層2054の積層体からなる容量素子部とが完成することができ、アクティブマトリクス型の記憶素子と、容量素子を含む回路とを構成する半導体装置を形成することができる。

【0150】

本発明の容量素子および有機メモリを本実施形態のように作製することにより、配線もしくはトランジスタの直上に容量素子を形成することができ、そしてその容量素子は有機

50

メモリの形成と同時に形成可能である。このように、配線もしくはトランジスタの直上に容量素子を形成することにより、面積の縮小化、容量が増えることによる特性の向上、およびその双方を満たした記憶装置およびアンテナを備えたRFIDチップが提供される。

【実施例1】

【0151】

本実施例では実施の形態を用いて形成したRFIDチップの応用例を図面を用いて説明する。また、上記実施の形態とは異なるトランジスタの作製方法について説明する。

【0152】

図20は、無線通信を使って信号の送受信をする本発明を用いた半導体装置の構成を示す。この半導体装置2501は、リーダ/ライタ装置2509と無線通信を行う機能を備えている。リーダ/ライタ装置2509は、通信回線で接続されていて、コンピュータの制御により、若しくはコンピュータの端末として半導体装置2501とデータの通信を行う機能を備えている。また、リーダ/ライタ装置2509は、ネットワークから独立して半導体装置2501と通信を行う構成としても良い。

10

【0153】

半導体装置2501は共振回路2502、電源回路2503、クロック発生回路2504、復調回路2505、制御回路2506、メモリ部2507、符号化及び変調回路2508を有する。共振回路2502、電源回路2503はアナログ回路で構成され、制御回路2506及びメモリ部2507はデジタル回路で構成されている。クロック発生回路2504、復調回路2505、符号化及び変調回路2508は、アナログ部分とデジタル部

20

【0154】

これらの回路はトランジスタを含んで構成されている。トランジスタは単結晶基板に形成されるMOSトランジスタの他、薄膜トランジスタ(TFT)で構成することもできる。図21はこれらの回路を構成するトランジスタの断面構造を示す図である。図21は、nチャネル型トランジスタ2201、2202、容量素子2204、抵抗素子2205、pチャネル型トランジスタ2203が示されている。各トランジスタは半導体層2305、ゲート絶縁層2308、ゲート電極2309を備えている。ゲート電極2309は、第1導電層2303と第2導電層2302の積層構造で形成されている。また、図22(A)~(D)は、図21で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり

30

【0155】

図21において、nチャネル型トランジスタ2201は、チャネル長方向(キャリアの流れる方向)において、半導体層2305に配線2304とコンタクトを形成するソース及びドレイン領域を形成する不純物領域2306と、その不純物濃度よりも低濃度にドーパされた不純物領域2307が形成されている。不純物領域2307は低濃度ドレイン(LDD)とも呼ばれている。不純物領域2306と不純物領域2307には、nチャネル型トランジスタ2201を構成する場合、n型を付与する不純物としてリンなどが添加されている。LDDはホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

40

【0156】

図22(A)で示すように、nチャネル型トランジスタ2201のゲート電極2309において、第1導電層2303は、第2導電層2302の両側に広がって形成されている。この場合において、第1導電層2303の膜厚は、第2導電層の膜厚よりも薄く形成されている。第1導電層2303の厚さは、10~100kVの電界で加速されたイオン種を通過させることが可能な厚さに形成されている。不純物領域2307はゲート電極2309の第1導電層2303と重なるように形成されている。すなわち、ゲート電極2309とオーバーラップするLDD領域を形成している。この構造は、ゲート電極2309において、第2導電層2302をマスクとして、第1導電層2303を通して一導電型の不純物を添加することにより、自己整合的に不純物領域2307を形成している。すなわち

50

、ゲート電極とオーバーラップするLDDを自己整合的に形成している。

【0157】

チャンネル形成領域の両側にLDDを有するトランジスタは、図20における電源回路2503の整流用のTF Tや、論理回路に用いられるトランスミッションゲート(アナログスイッチとも呼ぶ)を構成するトランジスタに適用される。これらのTF Tは、ソースドレイン電極に正負両方の電圧が印加されるため、チャンネル形成領域の両側にLDDを設けることが好ましい。

【0158】

図21において、nチャンネル型トランジスタ2202は、半導体層2305にソース及びドレイン領域を形成する不純物領域2306と、その不純物濃度よりも低濃度にドーパされた不純物領域2307が半導体層2305に形成されている。不純物領域2307は、チャンネル形成領域の片側に、不純物領域2306と接するように設けられている。図22(B)で示すように、nチャンネル型トランジスタ2202のゲート電極2309において、第1導電層2303は、第2導電層2302の片側に広がって形成されている。この場合も同様に、第2導電層2302をマスクとして、第1導電層2303を通して一導電型の不純物を添加することにより、自己整合的にLDDを形成することができる。

【0159】

チャンネル形成領域の片側にLDDを有するトランジスタは、ソース及びドレイン電極間に正電圧のみ、もしくは負電圧のみが印加されるトランジスタに適用すればよい。具体的には、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成するトランジスタに適用すればよい。

【0160】

図21において、容量素子2204は、第1導電層2303と半導体層2305とでゲート絶縁層2308を挟んで形成されている。容量素子2204を形成する半導体層2305には、不純物領域2310と不純物領域2311を備えている。不純物領域2311は、半導体層2305において第1導電層2303と重なる位置に形成される。また、不純物領域2310は配線2304とコンタクトを形成する。不純物領域2311は、第1導電層2303を通して一導電型の不純物を添加することができるので、不純物領域2310と不純物領域2311に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子2204において、半導体層2305は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第1導電層2303は、図22(C)に示すように、第2導電層2302を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第1導電層2303と第2導電層2302を組み合わせさせた複合的な電極構造とすることにより、容量素子2204を自己整合的に形成することができる。

【0161】

容量素子は、図20において、電源回路2503が有する保持容量、あるいは共振回路2502が有する共振容量として用いられる。但し、これらの容量素子はすべて本発明の容量素子に置き換えることが可能である。必要に応じて置き換えるか、もしくは併用してもよい。

【0162】

図21において、抵抗素子2205は、第1導電層2303によって形成されている。第1導電層2303は30~150nm程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【0163】

抵抗素子は、図20において変調回路2508が有する抵抗負荷として用いられる。また、VCOなどで電流を制御する場合の負荷としても用いられる場合がある。抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すればよい。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して、金属層は、

10

20

30

40

50

膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。

【0164】

図21において、pチャネル型トランジスタ2203は、半導体層2305に不純物領域2312を備えている。この不純物領域2312は、配線2304とコンタクトを形成するソース及びドレイン領域を形成する。ゲート電極2309の構成は第1導電層2303と第2導電層2302が重畳した構成となっている。pチャネル型トランジスタ2203はLDDを設けないシングルドレイン構造のトランジスタである。pチャネル型トランジスタ2203を形成する場合、不純物領域2312にはp型を付与する不純物として硼素などが添加される。一方、不純物領域2312にリンを添加すればシングルドレイン構造のnチャネル型トランジスタとすることもできる。

10

【0165】

半導体層2305及びゲート絶縁層2308の一方若しくは双方に対して、マイクロ波で励起され、電子温度が2eV以下、イオンエネルギーが5eV以下、電子密度が $10^{11} \sim 10^{13} / \text{cm}^3$ 程度である高密度プラズマ処理によって酸化又は窒化処理しても良い。このとき、基板温度を300~450とし、酸化雰囲気(O₂、N₂Oなど)又は窒化雰囲気(N₂、NH₃など)で処理することにより、半導体層2305とゲート絶縁層2308の界面の欠陥準位を低減することができる。ゲート絶縁層2308に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを3V以下の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された絶縁層をゲート絶縁層2308として適用することができる。また、トランジスタの駆動電圧が3V以上の場合には、このプラズマ処理で半導体層2305の表面に形成した絶縁層とCVD法(プラズマCVD法若しくは熱CVD法)で堆積した絶縁層とを組み合わせることでゲート絶縁層2308を形成することができる。また、同様にこの絶縁層は、容量素子2204の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1~10nmの厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

20

【0166】

図21及び図22を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第1導電層のみが形成される領域と、第1導電層と第2導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて形成することができる。すなわち、フォトリソグラフィ工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスクまたはレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成してもよい。また、現像後に約200のバークを行ってフォトレジスト材料で形成されるマスクパターンを変形させてもよい。

30

【0167】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることにより、第1導電層のみが形成される領域と、第1導電層と第2導電層が積層されている領域を連続して形成することができる。図22(A)に示すように、第1導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域(ゲート電極と連続する配線領域)では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第1導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

40

【0168】

図21及び図22の場合には、第1導電層はタングステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属、

50

又は高融点金属を主成分とする合金もしくは化合物を30～50nmの厚さで形成する。また、第2導電層はタングステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で300～600nmの厚さに形成する。例えば、第1導電層と第2導電層をそれぞれ異なる導電材料を用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。一例として、第1導電層をTaNを用い、第2導電層としてタングステン膜を用いることができる。

【0169】

本実施例では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターンニング工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

10

【0170】

なお、本実施例は、上記の実施の形態1から5と自由に組み合わせることができる。

【実施例2】

【0171】

図20で示す半導体装置を構成する要素の一つとして、スタティックRAM(SRAM)を構成する一例について、図23～図25を参照して説明する。

【0172】

20

図23(A)で示す半導体層10、11はシリコン若しくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適用される。その他にも半導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用することも可能である。

【0173】

いずれにしても、最初に形成する半導体層は絶縁表面を有する基板の全面若しくは一部(トランジスタの半導体領域として確定されるよりも広い面積を有する領域)に形成する。そして、フォトリソグラフィ技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、TFTのソース及びドレイン領域及びチャネル形成領域を含む特定形状の島状の半導体層10、11を形成する。その半導体層10、11はレイアウトの適切さを考慮して決められる。

30

【0174】

図23(A)で示す半導体層10、11を形成するためのフォトマスクは、図23(B)に示すマスクパターン30を備えている。このマスクパターン30は、フォトリソグラフィ工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図23(B)で示すマスクパターン30は、遮光部として作製される。マスクパターン30は、多角形の頂部Aを削除した形状となっている。また、屈曲部Bにおいては、その角部が直角とならないように複数段に渡って屈曲する形状となっている。このフォトマスクのパターンは、例えば、パターンの角部であって直角三角形の一辺が10mm以下の大きさに角部を削除している。

40

【0175】

図23(B)で示すマスクパターン30は、その形状が、図23(A)で示す半導体層10、11に反映される。その場合、マスクパターン30と相似の形状が転写されても良いが、マスクパターン30の角部がさらに丸みを帯びるように転写されていても良い。すなわち、マスクパターン30よりもさらにパターン形状をなめらかにした、丸め部を設けても良い。

【0176】

半導体層10、11の上には、酸化シリコン若しくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そし

50

て、図24(A)で示すように、半導体層と一部が重なるようにゲート配線12、13、14を形成する。ゲート配線12は半導体層10に対応して形成される。ゲート配線13は半導体層10、11に対応して形成される。また、ゲート配線14は半導体層10、11に対応して形成される。ゲート配線は、金属層又は導電性の高い半導体層を成膜し、フォトリソグラフィ技術によってその形状を絶縁層上に作り込む。

【0177】

このゲート配線を形成するためのフォトマスクは、図24(B)に示すマスクパターン31を備えている。このマスクパターン31は、角部であって、直角三角形の一辺が10 μ m以下、または、配線の線幅の1/2以下で、線幅の1/5以上の大きさに角部を削除している。図24(B)で示すマスクパターン31は、その形状が、図24(A)で示すゲート配線12、13、14に反映される。その場合、マスクパターン31と相似の形状が転写されても良いが、マスクパターン31の角部がさらに丸みを帯びるように転写されていても良い。すなわち、ゲート配線12、13、14にマスクパターン31よりもさらにパターン形状をなめらかにした、丸め部を設けても良い。すなわち、ゲート配線12、13、14の角部は、線幅の1/2以下であって1/5以上にコーナー部に丸みをおびさせる。凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す。結果として歩留まり向上が甚だしく期待できるという効果を有する。

【0178】

層間絶縁層はゲート配線12、13、14の次に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層とゲート配線12、13、14の間には窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を介在させても良い。また、層間絶縁層上にも窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を設けても良い。この絶縁層は、外因性の金属イオンや水分などTFEにとっては良くない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

【0179】

層間絶縁層には所定の位置に開孔が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属若しくは金属化合物の一層若しくは複数層で形成される配線層は、フォトリソグラフィ技術によってマスクパターンが形成され、エッチング加工により所定のパターンに形成される。そして、図25(A)で示すように、半導体層と一部が重なるように配線15~20を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等若しくは大きい場合には、その部分で配線幅が広がるように変化する。

【0180】

この配線15~20を形成するためのフォトマスクは、図25(B)に示すマスクパターン32を備えている。図25(B)の上面図に示すように、配線層は、L字形に折れ曲がった各コーナー部であって、直角三角形の一辺が10 μ m以下、または、配線の線幅の1/2以下で、線幅の1/5以上の大きさに角部を削除し、コーナー部を丸みをおびるパターンを有せしめる。即ち、上面からみたコーナー部における配線層の外周は曲線を形成するようにする。具体的には、コーナー部の外周縁に丸みを帯びさせるため、コーナー部を挟む互いに垂直な2つの第1直線と、これら2つの第1直線と約45度の角度をなす一つの第2直線と、で形成される直角2等辺三角形の部分に相当する配線層の一部を除去する。除去すると新たに2つの鈍角の部分に配線層に形成されるが、マスク設計や、エッチング条件を適宜設定することにより、各鈍角部分に第1直線と第2直線との両方に接する曲線が形成されるように配線層をエッチングすることが好ましい。なお、前記直角2等辺三角形の互いに等しい2辺の長さは、配線幅の1/5以上1/2以下とする。またコーナー部の内周についても、コーナー部の外周に沿って内周が丸みを帯びるよう形成する。こ

のような配線は、凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す。結果として歩留まり向上が甚だしく期待できるという効果を有する。配線の角部がラウンドをとることにより、電気的にも伝導させることが期待できる。また、多数の平行配線では、ゴミを洗い流すのにはきわめて好都合である。

【0181】

図25(A)には、nチャンネル型トランジスタ21~24、pチャンネル型トランジスタ25、26が形成されている。nチャンネル型トランジスタ23とpチャンネル型トランジスタ25及びnチャンネル型トランジスタ24とpチャンネル型トランジスタ26はインパータを構成している。この6つのトランジスタを含む回路はSRAMを形成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていても良い。

10

【0182】

なお、本実施例は、上記の実施の形態1から5と、並びに実施例1と自由に組み合わせることができる。

【実施例3】

【0183】

本実施例では実施の形態を用いて形成した半導体装置の応用例を図面を用いて説明する。

【0184】

本発明によりプロセッサチップ(無線チップ、無線プロセッサ、無線メモリ、無線タグともよぶ)として機能する半導体装置を形成することができる。本発明の半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

20

【0185】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指し、プロセッサチップ800を設けることができる(図26(A)参照)。証書類とは、運転免許証、住民票等を指し、プロセッサチップ801を設けることができる(図26(B)参照)。身の回り品とは、鞆、眼鏡等を指し、プロセッサチップ802を設けることができる(図26(C)参照)。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指し、プロセッサチップ803を設けることができる(図26(D)参照)。書籍類とは、書物、雑誌等を指し、プロセッサチップ804を設けることができる(図26(E)参照)。記録媒体とは、DVDソフト、ビデオテープ等を指し、プロセッサチップ805を設けることができる(図26(F)参照)。乗物類とは、自転車等の車両、船舶等を指し、プロセッサチップ806を設けることができる(図26(G)参照)。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(テレビ受像機、薄型テレビ受像機)、携帯電話等を指す。

30

40

【0186】

また、本発明によってより小型化、またはより高機能化、あるいはその双方の特徴を持つプロセッサチップは、プリント基板に実装したり、表面に貼ったり、埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明のプロセッサチップは、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明のプロセッサチップを設けることにより、認証機能を設けることができ、この認証機能を活

50

用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0187】

次に、本発明による容量素子を有する半導体装置を実装した電子機器の一態様について図面を参照して説明する。図27で例示する電子機器は携帯電話機であり、筐体900、906、パネル901、ハウジング902、プリント配線基板903、操作ボタン904、バッテリー905を有する。パネル901はハウジング902に脱着自在に組み込まれ、ハウジング902はプリント配線基板903に嵌着される。ハウジング902はパネル901が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板903には、パッケージングされた複数の半導体装置が実装されており、このうちの1つとして、本発明による容量素子を適用することができる。プリント配線基板903に実装される複数の半導体装置は、コントローラ、中央処理ユニット(CPU、Central Processing Unit)、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

10

【0188】

パネル901は、接続フィルム908を介して、プリント配線基板903と接続される。上記のパネル901、ハウジング902、プリント配線基板903は、操作ボタン904やバッテリー905と共に、筐体900、906の内部に収納される。パネル901が含む画素領域909は、筐体900に設けられた開口窓から視認できるように配置されている。

20

【0189】

上記の通り、本発明の容量素子を適用した半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体900、906内部の限られた空間を有効に利用することができる。

【0190】

なお、筐体900、906は、携帯電話機の外觀形状を一例として示したものであり、本実施の形態に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

【図面の簡単な説明】

【0191】

【図1】本発明の実施の形態を示した断面図である。

【図2】本発明の実施の形態を示した断面図である。

【図3】本発明の実施の形態を示した断面図である。

【図4】本発明の実施の形態を示した断面図である。

【図5】本発明の実施の形態を示した断面図である。

【図6】本発明の実施の形態を示した断面図である。

【図7】本発明の実施の形態を示した断面図である。

【図8】RFIDチップの概要図である。

【図9】アクティブマトリクス型メモリを搭載したRFIDチップの概要図である。

【図10】本発明の実施の形態を示した断面図である。

【図11】本発明の実施の形態を示した断面図である。

【図12】アクティブマトリクス型メモリの読み出しの概要図である。

【図13】本発明の実施の形態を示した断面図である。

【図14】本発明の回路を形成する工程を示した断面図である。

【図15】本発明の回路を形成する工程を示した断面図である。

【図16】本発明の回路を形成する工程を示した断面図である。

【図17】パッシブマトリクス型メモリを搭載したRFIDチップの概要図である。

【図18】本発明の実施の形態を示した断面図である。

【図19】本発明の実施の形態を示した断面図である。

【図20】本発明を用いた半導体装置の構成を示す図である。

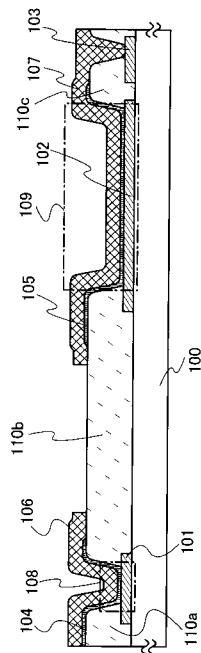
30

40

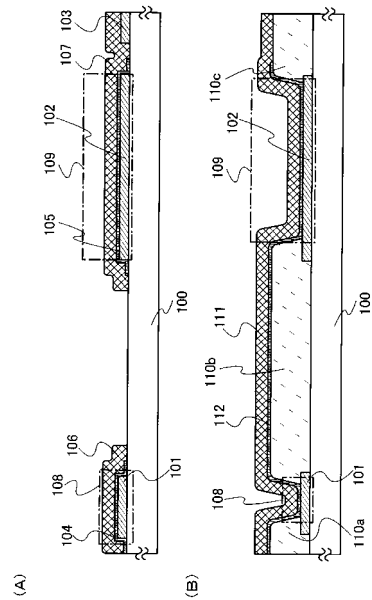
50

- 【図 2 1】本発明を用いた回路の断面を示す図である。
- 【図 2 2】本発明を用いた回路の上面を示す図である。
- 【図 2 3】本発明を用いた回路の上面およびマスクパターンを示す図である。
- 【図 2 4】本発明を用いた回路の上面およびマスクパターンを示す図である。
- 【図 2 5】本発明を用いた回路の上面およびマスクパターンを示す図である。
- 【図 2 6】本発明の応用例を示した図である。
- 【図 2 7】本発明の応用例を示した図である。

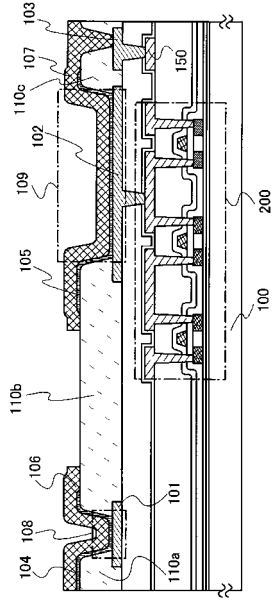
【図 1】



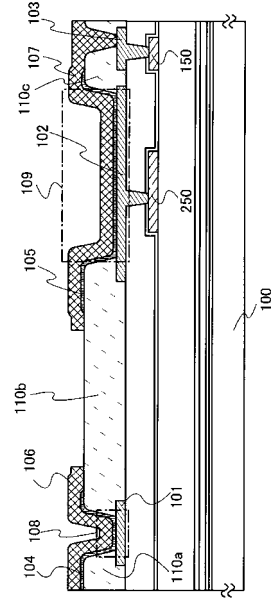
【図 2】



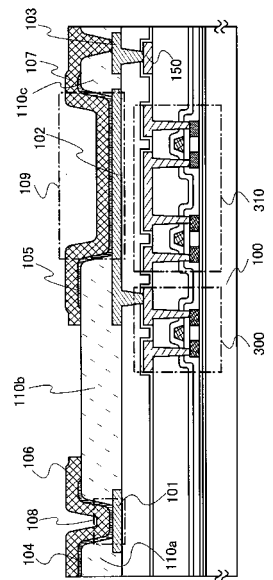
【図3】



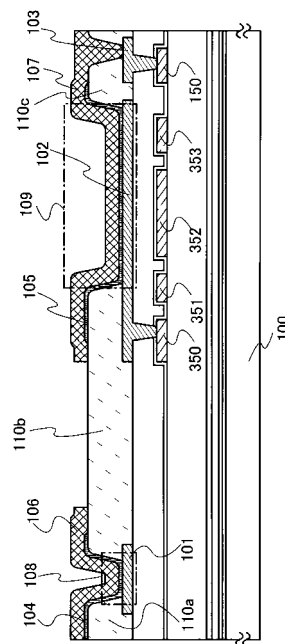
【図4】



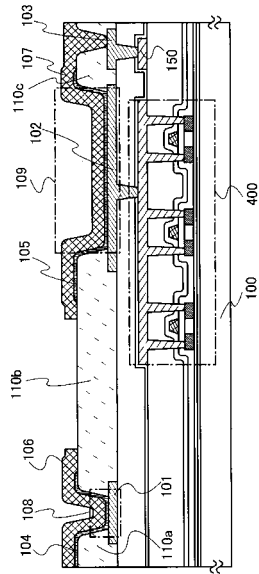
【図5】



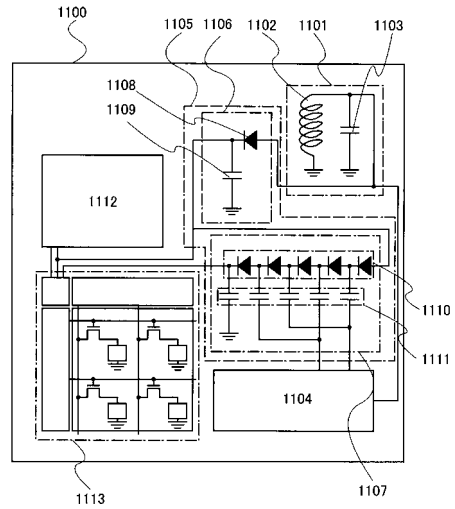
【図6】



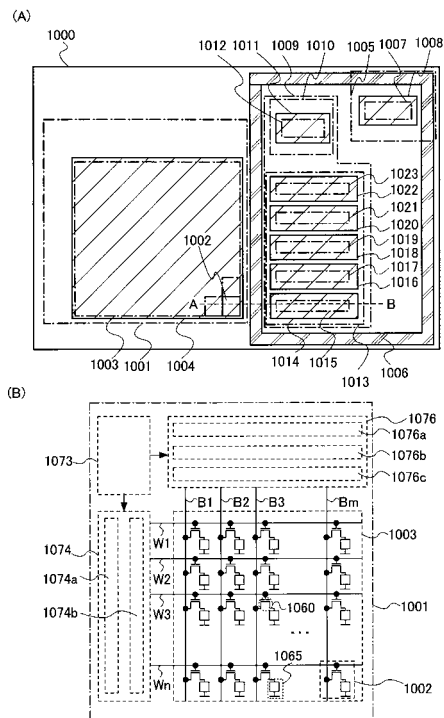
【 図 7 】



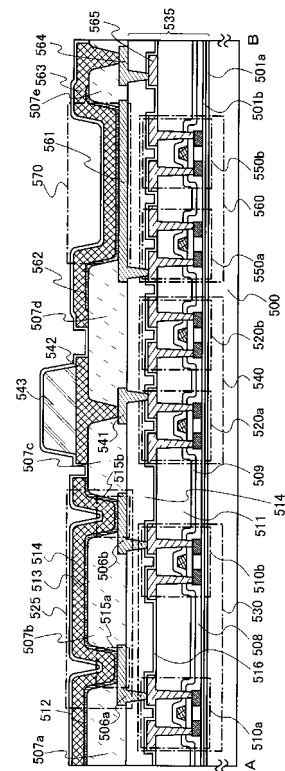
【 図 8 】



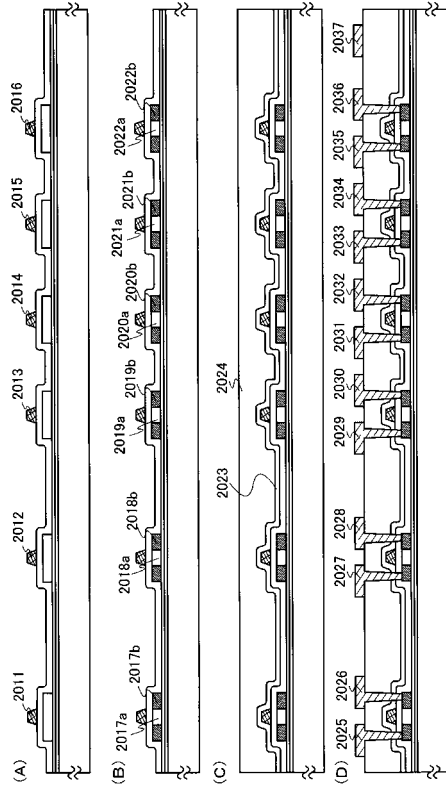
【 図 9 】



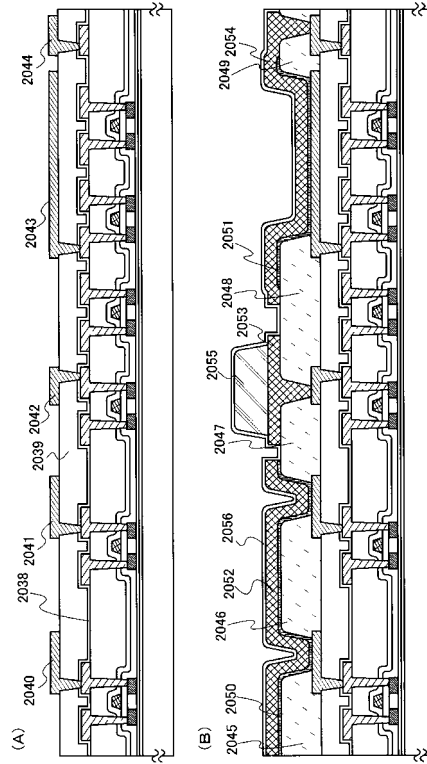
【 図 10 】



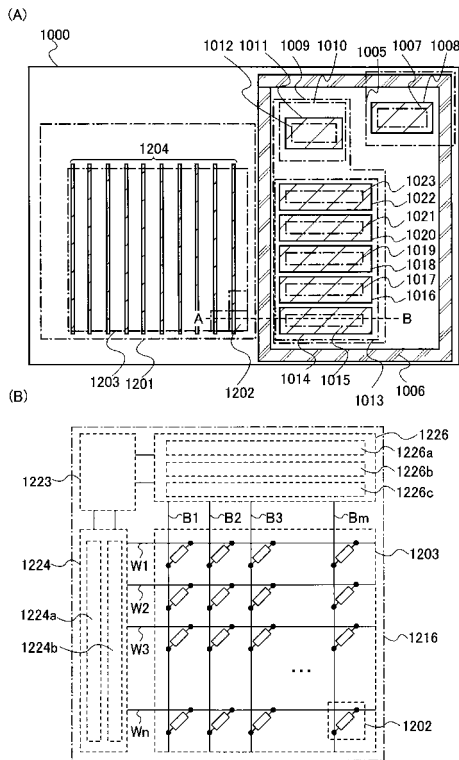
【 図 15 】



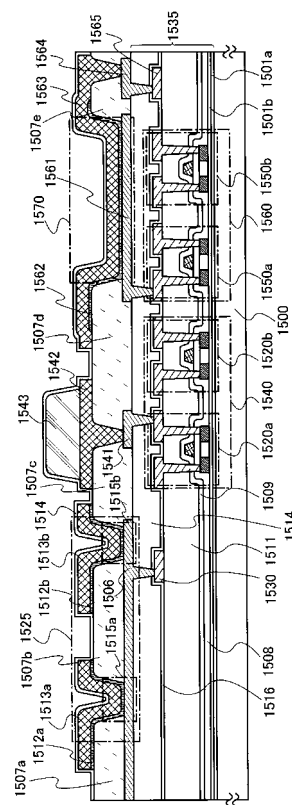
【 図 16 】



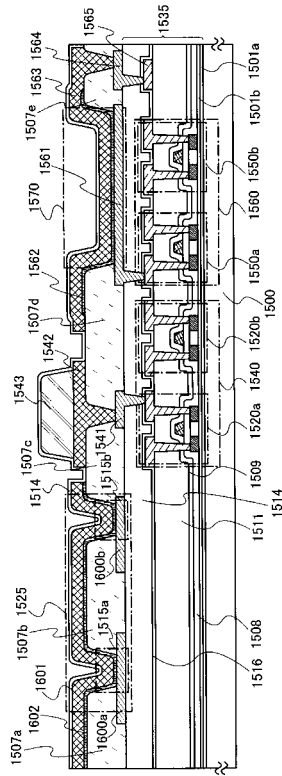
【 図 17 】



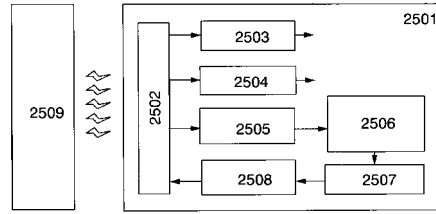
【 図 18 】



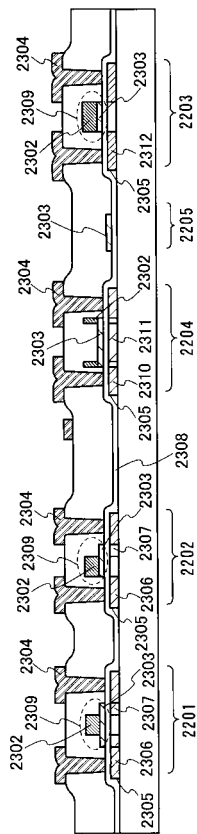
【 図 19 】



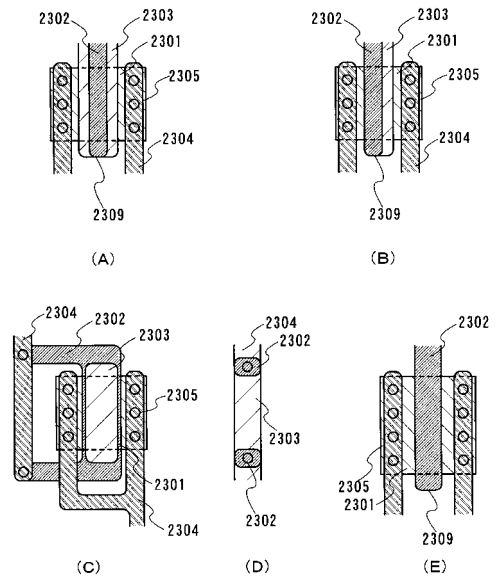
【 図 20 】



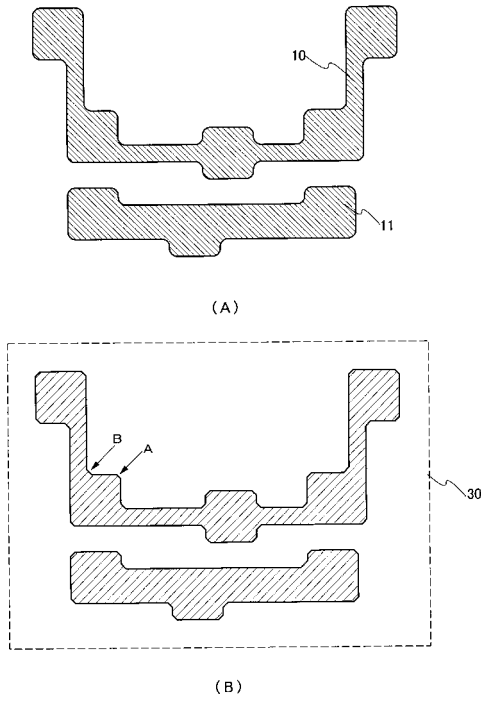
【 図 21 】



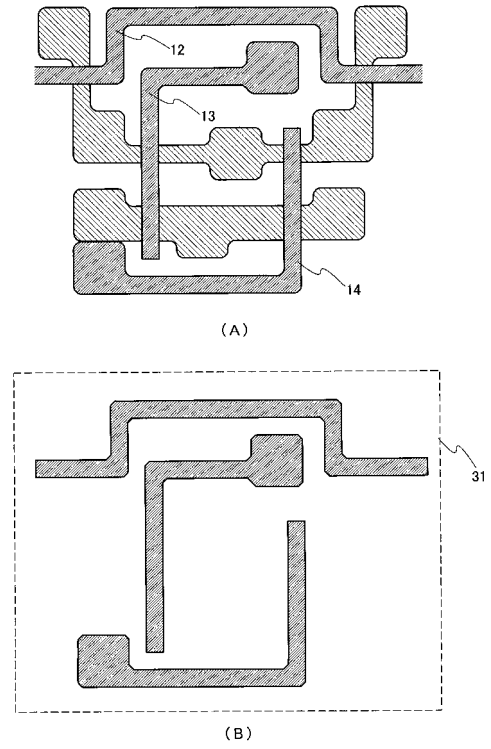
【 図 22 】



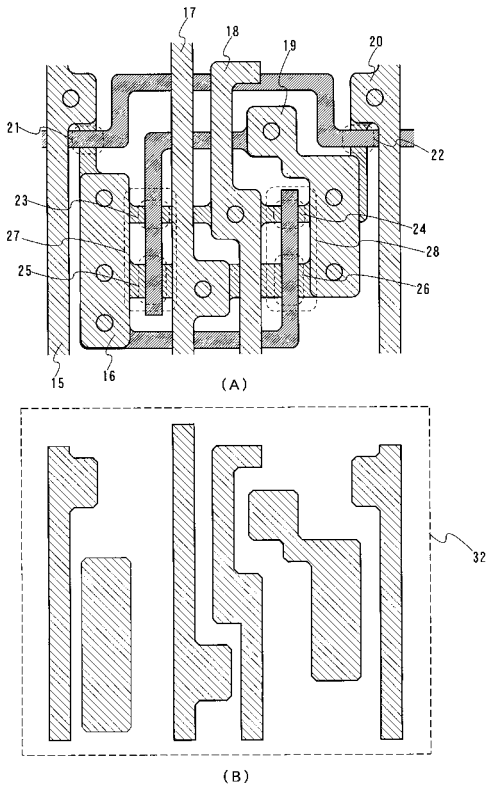
【図23】



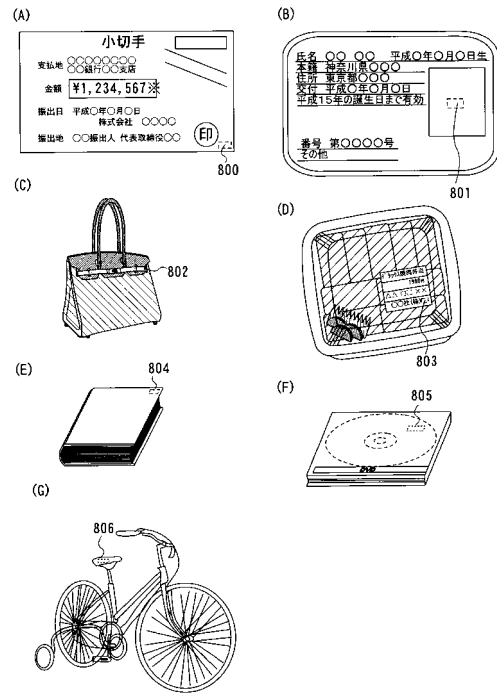
【図24】



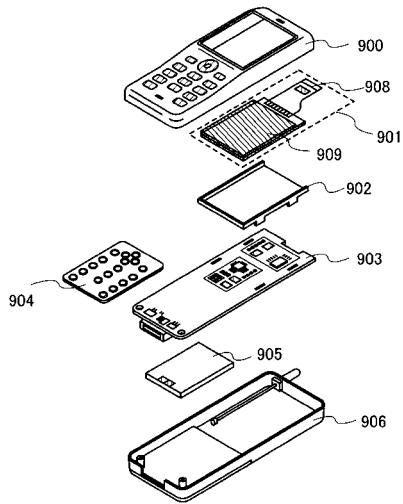
【図25】



【図26】



【図 27】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/28 1 0 0 A

(56)参考文献 国際公開第2003/052829(WO, A1)
特表2005-510078(JP, A)
特開2001-338733(JP, A)
特開平04-362924(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 2 8
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 1 0
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 0 5