



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I587261 B

(45) 公告日：中華民國 106 (2017) 年 06 月 11 日

(21) 申請案號：102118046 (22) 申請日：中華民國 102 (2013) 年 05 月 22 日
 (51) Int. Cl. : G09G3/20 (2006.01) G09G3/36 (2006.01)
 (30) 優先權：2012/06/01 日本 2012-126402
 (71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本
 (72) 發明人：木村肇 KIMURA, HAJIME (JP)
 (74) 代理人：林志剛
 (56) 參考文獻：
 US 2005/0140605A1 US 2009/0309816A1
 US 2011/0090200A1 US 2012/0026145A1
 審查人員：陳恩笙
 申請專利範圍項數：24 項 圖式數：53 共 171 頁

(54) 名稱

半導體裝置及半導體裝置的驅動方法

SEMICONDUCTOR DEVICE AND METHOD FOR DRIVING SEMICONDUCTOR DEVICE

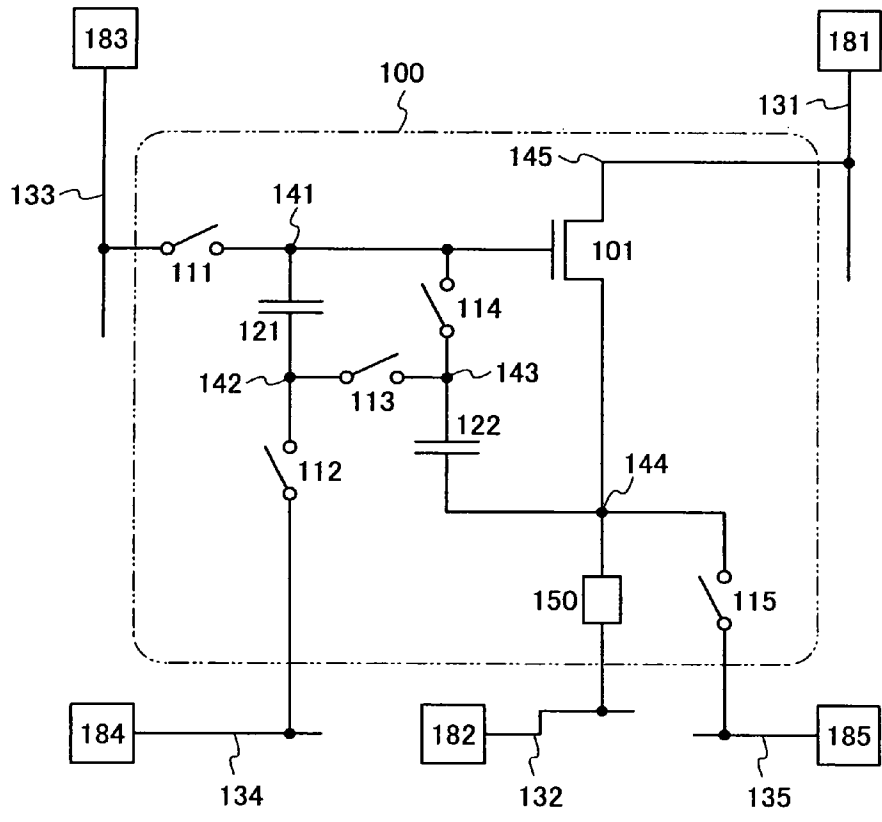
(57) 摘要

本發明的課題是降低臨界電壓偏差的影響。在第一電容元件中保持對應於影像信號的電壓，在第二電容元件中保持對應於電晶體的臨界電壓的電壓，然後對電晶體的源極和閘極之間施加第一電容元件和第二電容元件的總計電壓，因此即使臨界電壓變動也可以將對應於影像信號的電流流過負載。分別取得對應於影像信號的電壓和對應於電晶體的臨界電壓的電壓。

By holding a voltage that depends on a video signal in a first capacitor, holding a voltage that depends on a threshold voltage of a transistor in a second capacitor, and then applying a total voltage of the voltage held in the first capacitor and the voltage held in the second capacitor between a source and a gate of the transistor, even when the threshold voltage varies, a current corresponding to the video signal can be supplied to a load. The voltage that depends on the video signal and the voltage that depends on the threshold voltage of the transistor are separately acquired.

指定代表圖：

圖 1



符號簡單說明：

- 131、132、133、
- 134、135 . . . 佈線
- 181、182、183、
- 184、185 . . . 電路
- 100 . . . 像素電路
- 141、142、143、
- 144、145 . . . 節點
- 101 . . . 電晶體
- 111、112、113、
- 114、115 . . . 開關
- 121、122 . . . 電容
- 元件
- 150 . . . 負載

發明摘要

※申請案號：102118046

※申請日：102年05月22日

※IPC分類：

G09F3/20

(2006.01)

G09F3/36

(2006.01)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的驅動方法

Semiconductor device and method for driving semiconductor device

【中文】

本發明的課題是降低臨界電壓偏差的影響。在第一電容元件中保持對應於影像信號的電壓，在第二電容元件中保持對應於電晶體的臨界電壓的電壓，然後對電晶體的源極和閘極之間施加第一電容元件和第二電容元件的總計電壓，因此即使臨界電壓變動也可以將對應於影像信號的電流流過負載。分別取得對應於影像信號的電壓和對應於電晶體的臨界電壓的電壓。

【英文】

By holding a voltage that depends on a video signal in a first capacitor, holding a voltage that depends on a threshold voltage of a transistor in a second capacitor, and then applying a total voltage of the voltage held in the first capacitor and the voltage held in the second capacitor between a source and a gate of the transistor, even when the threshold voltage varies, a current corresponding to the video signal can be supplied to a load. The voltage that depends on the video signal and the voltage that depends on the threshold voltage of the transistor are separately acquired.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

131、132、133、134、135：佈線

181、182、183、184、185：電路

100：像素電路

141、142、143、144、145：節點

101：電晶體

111、112、113、114、115：開關

121、122：電容元件

150：負載

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的驅動方法

Semiconductor device and method for driving semiconductor device

【技術領域】

本發明係關於一種半導體裝置、顯示裝置、發光裝置、這些的製造方法以及這些的驅動方法。

此外，在本說明書等中，半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，例如在很多情況下，電光裝置、顯示裝置、發光裝置、半導體電路以及電器設備包括半導體裝置。

尤其是，本發明關於一種具備根據電流改變亮度的電流驅動型發光元件的顯示裝置。或者，本發明關於一種具備該顯示裝置的電子裝置。

【先前技術】

近年來，液晶顯示器(LCD)等平面顯示器不斷得到普及。正在對作為LCD以外的顯示器，具有根據電流改變亮度的電流驅動型發光元件的有機EL元件(也稱為電致發光元件、有機發光二極體、OLED等)的顯示器(OELD)積極進行研究開發(專利文獻1)。例如，正在研討校正電晶體的臨界電壓的偏差的方法(參照專利文

獻 1) 。

[專利文獻 1]日本專利申請公開第 2003-195810 號公報

【發明內容】

本發明的一個方式的課題是提出可以降低電晶體的臨界電壓的偏差的影響的結構。或者，本發明的一個方式的課題是提出可以降低電晶體的遷移率的偏差的影響的新結構。或者，本發明的一個方式的課題是提出可以降低電晶體的電流特性的偏差的影響的新結構。或者，本發明的一個方式的課題是提出可以降低電晶體的劣化的影響的新結構。或者，本發明的一個方式的課題是提出可以降低顯示元件的劣化的影響的新結構。或者，本發明的一個方式的課題是提出可以降低顯示不均勻的新結構。或者，本發明的一個方式的課題是提出可以實現高品質的顯示的新結構。或者，本發明的一個方式的課題是提出可以使用較少的電晶體實現所希望的電路的新結構。或者，本發明的一個方式的課題是提出可以使用較少的佈線實現所希望的電路的新結構。或者，本發明的一個方式的課題是提出可以以低成本實現所希望的電路的新結構。或者，本發明的一個方式的課題是提出可以降低常導通型（空乏型）電晶體的臨界電壓的偏差的影響的新結構。或者，本發明的一個方式的課題是提出可以降低常導通型（空乏型）電晶體的遷移率的偏差的影響的新結構。或者，本發明的一個方式

的課題是提出可以降低常導通型（空乏型）電晶體的電流特性的偏差的影響的新結構。或者，本發明的一個方式的課題是提出可以降低常導通型（空乏型）電晶體的劣化的影響的新結構。

注意，這些課題的記載不妨礙其他課題的存在。此外，本發明的一個方式並不需要解決所有上述課題。另外，根據說明書、圖式、申請專利範圍等的記載，這些課題以外的課題是顯然的，從而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的課題。

本發明的一個方式是一種半導體裝置，包括電晶體、負載、第一電容元件、第二電容元件、第一開關、第二開關、第三開關、第四開關以及第五開關，其中電晶體的源極和汲極中的一方連接到負載的一個電極，電晶體的源極和汲極中的另一方連接到第一佈線，負載的另一個電極連接到第二佈線，第一開關的一個電極連接到第三佈線，第一開關的另一個電極連接到電晶體的閘極，第一電容元件的一個電極連接到第一開關的另一個電極，第一電容元件的另一個電極連接到第二開關的一個電極，第二開關的另一個電極連接到第四佈線，第三開關的一個電極連接到第二開關的一個電極，第三開關的另一個電極連接到第二電容元件的一個電極，第二電容元件的另一個電極連接到負載的一個電極，第四開關的一個電極連接到電晶體的閘極，第四開關的另一個電極連接到第二電容元件的一個電極，第五開關的一個電極連接到負載的一個電極，並且第

五開關的另一個電極連接到第五佈線。

本發明的一個方式是具有電晶體、負載、第一電容元件和第二電容元件的半導體裝置的驅動方法，其中在第一電容元件中保持對應於影像信號的電壓，在第二電容元件中保持對應於電晶體的臨界電壓的電壓，對電晶體的源極和閘極之間施加保持在第一電容元件中的電壓和保持在第二電容元件中的電壓的總計電壓，來對負載供應對應於總計電壓的電流。

本發明的一個方式是具有電晶體、負載、第一電容元件和第二電容元件的半導體裝置的驅動方法，其中在第一期間中進行用來取得電晶體的臨界電壓的初始化工作和對第一電容元件寫入影像信號的工作，在第一期間之後的第二期間中進行對第二電容元件寫入臨界電壓的工作，在第二期間之後的第三期間中使第一電容元件和第二電容元件處於浮動狀態，在第三期間之後的第四期間中對電晶體的源極和閘極之間施加保持在第一電容元件中的電壓和保持在第二電容元件中的電壓的總計電壓來使電流流過負載。

上述電晶體既可以是增強型電晶體，又可以是空乏型電晶體。

此外，第一開關至第五開關也可以為第一電晶體至第五電晶體。上述電晶體與第一電晶體至第五電晶體也可以使用相同導電型電晶體。

另外，關於在說明書中的圖式或文章中不規定的內容，本發明可以構成規定了該內容除外的發明。或者，在

關於某個值記載有用上限值及下限值等所示的數值範圍的情況下，藉由任意地縮小該範圍或該範圍的一個點除外，由此可以以該範圍的一部分除外的方式規定發明。由此，例如可以規定本發明不包括在現有技術中。

作為具體例子，當在某個電路圖中記載有使用第一電晶體至第五電晶體的電路時，可以在發明中規定該電路沒有第六電晶體。或者，可以規定該電路沒有電容元件。再者，可以規定該電路沒有具有某個特定的連接結構的第六電晶體而構成發明。或者，可以規定某個電路沒有具有某個特定的連接結構的電容元件而構成發明。例如，可以在發明中規定沒有其閘極與第三電晶體的閘極連接的第六電晶體。或者，例如可以在發明中規定沒有其第一電極與第三電晶體的閘極連接的電容元件。

作為另一個具體例子，關於某個值，例如，記載有“某個電壓較佳為 3V 以上且 10V 以下”。在此情況下，例如，可以在發明中規定某個電壓為 -2V 以上且 1V 以下的情況除外。或者，例如，可以在發明中規定某個電壓為 13V 以上的情況除外。此外，例如，也可以在發明中規定該電壓為 5V 以上且 8V 以下。另外，例如，也可以在發明中規定該電壓為 9V 左右。此外，例如，可以在發明中規定該電壓為 3V 以上且 10V 以下，且 9V 的情況除外。

作為另一個具體例子，當關於某個值，例如，記載有“某個電壓較佳為 10V”時，例如，可以在發明中規定某個電壓為 -2V 以上且 1V 以下的情況除外。或者，例如，

可以在發明中規定某個電壓為 13V 以上的情況除外。

作為另一個具體例子，當關於某個物質的性質，例如，記載有“某個膜是絕緣膜”時，例如，可以在發明中規定該絕緣膜是有機絕緣膜的情況除外。或者，例如，可以在發明中規定該絕緣膜是無機絕緣膜的情況除外。

作為另一個具體例子，當關於某個疊層結構，例如，記載有“在 A 與 B 之間設置有某個膜”時，例如，可以在發明中規定該膜是四層以上的疊層膜的情況除外。或者，例如，可以在發明中規定在 A 與該膜之間設置有導電膜的情況除外。

本發明的一個方式可以降低電晶體的臨界電壓的偏差的影響。或者，本發明的一個方式可以降低電晶體的遷移率的偏差的影響。或者，本發明的一個方式可以降低電晶體的劣化的影響。或者，本發明的一個方式可以降低顯示元件的劣化的影響。或者，本發明的一個方式可以降低顯示不均勻。或者，本發明的一個方式可以實現高品質的顯示。或者，本發明的一個方式可以使用較少的電晶體實現所希望的電路。或者，本發明的一個方式可以使用較少的佈線實現所希望的電路。或者，本發明的一個方式可以藉由較少的製程製造。

【圖式簡單說明】

在圖式中：

圖 1 是說明本發明的一個方式的電路圖；

圖 2A 至圖 2C 是說明本發明的一個方式的流程圖；

圖 3 是說明本發明的一個方式的時序圖；

圖 4A 和圖 4B 是說明本發明的一個方式的電路圖；

圖 5A 和圖 5B 是說明本發明的一個方式的電路圖；

圖 6 是說明本發明的一個方式的電路圖；

圖 7A 至圖 7D 是說明本發明的一個方式的電路圖；

圖 8 是說明本發明的一個方式的電路圖；

圖 9 是說明本發明的一個方式的電路圖；

圖 10 是說明本發明的一個方式的電路圖；

圖 11 是說明本發明的一個方式的電路圖；

圖 12 是說明本發明的一個方式的電路圖；

圖 13 是說明本發明的一個方式的電路圖；

圖 14 是說明本發明的一個方式的電路圖；

圖 15 是說明本發明的一個方式的電路圖；

圖 16 是說明本發明的一個方式的電路圖；

圖 17A 和圖 17B 是說明本發明的一個方式的電路圖；

圖 18 是示出本發明的一個方式的像素電路的圖；

圖 19 是示出顯示裝置的結構例子的圖；

圖 20 是說明本發明的一個方式的電路圖；

圖 21 是說明本發明的一個方式的圖；

圖 22 是說明本發明的一個方式的圖；

圖 23 是說明本發明的一個方式的電路圖；

圖 24 是說明本發明的一個方式的圖；

圖 25 是說明本發明的一個方式的俯視圖；

圖 26A 和圖 26B 是說明本發明的一個方式的剖面圖；

圖 27 是說明本發明的一個方式的俯視圖；

圖 28 是說明本發明的一個方式的俯視圖；

圖 29 是說明本發明的一個方式的俯視圖；

圖 30 是說明本發明的一個方式的俯視圖；

圖 31 是說明本發明的一個方式的俯視圖；

圖 32 是說明本發明的一個方式的俯視圖；

圖 33A 和圖 33B 是說明本發明的一個方式的剖面圖；

圖 34 是說明本發明的一個方式的俯視圖；

圖 35 是說明本發明的一個方式的電路圖；

圖 36A 至圖 36E 是說明氧化物材料的結晶結構的圖；

圖 37A 至圖 37C 是說明氧化物材料的結晶結構的圖；

圖 38A 至圖 38C 是說明氧化物材料的結晶結構的圖；

圖 39A 和圖 39B 是說明氧化物材料的結晶結構的圖；

圖 40A 和圖 40B 是說明半導體裝置的結構例子的圖；

圖 41A 和圖 41B 是說明本發明的一個方式的俯視圖

及剖面圖；

圖 42 是說明本發明的一個方式的圖；

圖 43A 至圖 43H 是說明電子裝置的圖；

圖 44A 至圖 44H 是說明電子裝置的圖；

圖 45 是示出本發明的一個方式的像素電路的圖；

圖 46 是示出本發明的一個方式的像素電路的圖；

圖 47 是示出本發明的一個方式的像素電路的圖；

圖 48 是示出本發明的一個方式的像素電路的圖；

圖 49 是示出本發明的一個方式的像素電路的圖；

圖 50 是示出本發明的一個方式的像素電路的圖；

圖 51 是示出本發明的一個方式的像素電路的圖；

圖 52 是示出本發明的一個方式的像素電路的圖；

圖 53 是示出本發明的一個方式的像素電路的圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明在不脫離其宗旨及其範圍的條件下，其方式及詳細內容可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的結構中，在不同的圖式之間共同使用同一元件符號來表示同一部分或具有同一功能的部分，而省略其重複說明。

此外，在某一個實施方式中說明的內容（也可以是其

一部分的內容)對於在該實施方式中說明的其他內容(也可以是其一部分的內容)和/或在一個或多個其他實施方式中說明的內容(也可以是其一部分的內容)可以進行應用、組合或置換等。

另外,可以將在某一個實施方式中說明的圖式(也可以是其一部分)的結構與該圖式的其他部分的結構、在該實施方式中說明的其他圖式(也可以是其一部分)的結構和/或在一個或多個其他實施方式中說明的圖式(也可以是其一部分)的結構組合。

注意,在圖式中,大小、厚度或區域有時爲了明確起見而被誇大。因此,本發明的實施方式的一個方式並不限於圖式中的尺寸。或者,在圖式中,示意性地示出理想例子。因此,本發明的實施方式的一個方式不侷限於圖式所示的形狀等。例如,可以包括製造技術所引起的形狀偏差、誤差所引起的形狀偏差等。

此外,當明確地記載“X和Y連接”時,包括如下情況: X和Y電連接; X和Y在功能上連接;以及X和Y直接連接。在此,X和Y爲目標物(例如,裝置、元件、電路、佈線、電極、端子、導電膜、層等)。因此,還包括圖式或文章所示的連接關係以外的連接關係,而不侷限於規定的連接關係例如圖式或文章所示的連接關係。

作爲X和Y電連接的情況的一個例子,可以在X和Y之間連接一個以上的能夠電連接X和Y的元件(例如開關、電晶體、電容元件、電感器、電阻元件、二極體、

顯示元件、發光元件、負載等)。此外，開關具有控制導通或截止的功能。換言之，開關具有成爲導通狀態或非導通狀態而控制是否使電流流過的功能。

作爲 X 和 Y 在功能上連接的情況的一個例子，可以在 X 和 Y 之間連接一個以上的能夠在功能上連接 X 和 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、 γ （伽馬）校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移器電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極跟隨電路、緩衝器電路等）、信號產生電路、記憶體電路、控制電路等）。另外，例如，即使在 X 和 Y 之間夾有其他電路，在從 X 輸出的信號傳送到 Y 的情況下也可以說 X 和 Y 在功能上連接。

此外，當明確地記載“X 和 Y 連接”時，包括如下情況：X 和 Y 電連接；X 和 Y 在功能上連接；以及 X 和 Y 直接連接。換言之，明確地記載“電連接”的情況與簡單地明確記載“連接”的情況相同。

此外，在將在電路圖上獨立的結構要素圖示爲它們彼此電連接的情況下，在實際上也有時有一個導電層具有如佈線及電極那樣多個結構要素的功能的情況，例如佈線的一部分還被用作電極的情況等。在本說明書中的“電連接”的範疇內包括這種一個導電層兼具有多個構成要素的

功能的情況。

另外，有時即使不指定有源元件（電晶體、二極體等）、無源元件（電容元件、電阻元件等）等所具有的所有元件的連接位置，所屬技術領域的普通技術人員也能夠構成發明的一個方式。尤其是，在作為端子的連接位置可考慮出多個部分的情況下，該端子的連接位置不限於特定的部分。因此，有時藉由僅指定有源元件（電晶體、二極體等）、無源元件（電容元件、電阻元件等）等所具有的端子的一部分的連接位置，能夠構成發明的一個方式。

另外，當至少指定某個電路的連接位置時，有時所屬技術領域的普通技術人員能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的普通技術人員能夠指定發明。因此，當指定某個電路的連接位置而不指定功能時，該電路是作為本發明的一個方式公開的，所以可以構成發明的一個方式。或者，當指定某個電路的功能而不指定連接位置時，該電路是作為本發明的一個方式公開的，所以可以構成發明的一個方式。

另外，電晶體是具有閘極、汲極和源極的至少三個端子的元件。在汲極（汲極端子、汲極區或汲極電極）和源極（源極端子、源極區或源極電極）之間具有通道區域，經過汲極、通道區域、源極能夠使電流流過。在此，因為源極和汲極根據電晶體的結構或工作條件等而更換，所以很難限定哪個是源極哪個是汲極。因此，在本檔（說明書、申請專利範圍或圖式等）中，有時不將用作源極和汲

極的區域稱為源極或汲極。在此情況下，例如，有時將它們分別表示為第一端子、第二端子。或者，有時將它們分別表示為第一電極、第二電極。或者，有時將它們分別表示為第一區、第二區。或者，有時將它們表示為源極區、汲極區。

注意，在本說明書中像素相當於能夠控制一個色彩單元（例如，R（紅色）、G（綠色）、B（藍色）中任一種）的亮度的顯示單位。因此，當採用彩色顯示裝置時，彩色影像的最小顯示單位由 R 的像素、G 的像素和 B 的像素的三種像素構成。但是，用來顯示彩色影像的色彩單元不侷限於三種顏色，而也可以是三種以上的顏色或 RGB 以外的顏色。

另外，第一、第二、第三等詞句是用來區分描述各種因素、構件、領域、層、區域的詞句。因此，第一、第二、第三等詞句不是限定因素、構件、領域、層、區域等的個數的詞句。再者，例如，可以用“第二”或“第三”等替換“第一”。

另外，開關是具有切換端子間的導通狀態（ON）和非導通狀態（OFF）而工作的功能，並具有控制是否使電流流過的功能的元件。作為開關的一個例子，可以使用電開關或機械開關等。例如，使用如電晶體、二極體、數位微鏡裝置（DMD）那樣，利用 MEMS（微電子機械系統）技術的開關等構成即可。此外，開關也可以是組合電晶體的邏輯電路。在將電晶體用作開關的情況下，對該電晶體

的極性（導電型）沒有特別的限制。但是，較佳為使用關態電流（off-state current）較小的電晶體，並較佳為採用根據輸入電位適當地使用電晶體的極性的結構。

作為關態電流較小的電晶體，有具有 LDD 區域的電晶體、具有多閘極結構的電晶體或作為半導體層使用氧化物半導體的電晶體等。此外，在組合電晶體將其用作開關的情況下，開關可以是使用 n 通道型和 p 通道型兩者的互補型開關。藉由使用互補型開關，即使輸入到開關的電位與輸出電位之間有相對變化，互補型開關也可以適當地工作。

另外，當使用電晶體作為開關時，開關有時具有輸入端子（源極和汲極中的一方）、輸出端子（源極和汲極中的另一方）以及控制導通的端子（閘極）。另一方面，當使用二極體作為開關時，該開關有時沒有用來控制導通的端子。因此，與使用電晶體作為開關的情況相比，藉由使用二極體作為開關可以減少用來控制端子的佈線。

另外，作為電晶體的一個例子，可以應用在通道上下配置有閘極電極的結構的電晶體。藉由採用在通道上下配置有閘極電極的結構，實現多個電晶體如以串聯的方式連接的電路結構。因此，通道區域增加，所以可以增大電流值。或者，藉由採用在通道上下配置有閘極電極的結構，容易產生空乏層，因此可以改善 S 值。

另外，作為電晶體的一個例子，可以採用具有源極電極、汲極電極重疊於通道區域（或其一部分）的結構的電

晶體。藉由採用源極電極、汲極電極重疊於通道區域（或其一部分）的結構，可以防止因電荷聚集在通道區域的一部分中而導致的工作不穩定。

在本說明書中，“平行”是指在從 -10° 以上且 10° 以下的範圍中兩個直線形成的角度，因此也包括 -5° 以上且 5° 以下的角度的情況。另外，“垂直”是指在 80° 以上且 100° 以下的範圍中兩個直線形成的角度，因此也包括 85° 以上且 95° 以下的角度的情況。

另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

實施方式 1

本發明的一個方式所說明的電路例如可以用於具有發光元件的像素電路。但是，除了像素電路以外，還可以用於用作使電流流過負載的電流源的電路。或者，例如，本發明的實施方式之一既可以用作類比電路，又可以用作影像信號線驅動電路（源極驅動器）的一部分。

此外，電流源具有即使施加到與其連接的負載（電路）的電壓有變化也供應固定的電流的功能。此外，作為電流源以外的電源，有電壓源。電壓源具有即使流過與其連接的負載（電路）的電流有變化也供應固定的電壓的功能。因此，雖然電流源和電壓源都具有供應電壓和電流的功能，但是在供應固定電流或供應固定電壓這一點上具有不同功能。

另外，在本說明書中，負載例如是指具有整流性的元件、具有電容性的元件、具有電阻性的元件、具有開關的電路、像素電路等。因此，負載不侷限於特定的元件。例如，“具有整流性的元件”是指具有根據所施加的偏壓方向而具有不同的電阻值的電流電壓特性，並具有幾乎只在一個方向上電流流過的電特性的元件。在圖 1 的電路結構中，例如，負載 150 設置為從電晶體 101 向佈線 132 使電流流過。

注意，有可能負載和具有電流源的電路由別的人製造。因此，具有電流源的電路並不需要與負載連接。

或者，作為負載 150 的另一個例子，有顯示元件（例如，液晶元件）、發光元件（例如，EL 元件、無機 LED 元件、LED 晶片等）或者顯示元件的一部分或發光元件的一部分（例如，像素電極、陽極電極、陰極電極）等。於是，在本實施方式中，說明作為發光元件（EL 元件等）將負載用於半導體裝置的一個方式的顯示裝置的像素電路的情況的一個例子。

首先，使用圖 1 說明本發明的像素電路的一個例子。圖 1 所示的像素電路 100 具有電晶體 101、負載 150、開關 111、開關 112、開關 113、開關 114、開關 115、電容元件 121、電容元件 122。

此外，藉由利用電晶體的閘極電容（寄生電容）可以刪掉電容元件。因此，像素電路 100 可以不具有電容元件。

此外，圖 1 所示的像素電路 100 爲了校正電晶體的臨界電壓等的電流特性的偏差具有用來釋放保持在電晶體的閘極中的電荷的電路。實際上，上述電路具有如下電路連接關係，即藉由控制設置在佈線間的多個開關的導通或截止，可以校正電晶體的電流特性的偏差。

此外，像素電路 100 具有作爲可以對負載 150 供應電流的電流源電路的功能。

開關 111 的一個電極（端子）連接到佈線 133，而另一個電極（端子）連接到電容元件 121 的一個電極（端子）。將連接於開關 111 的另一個電極和電容元件 121 的一個電極的節點稱爲節點 141。電容元件 121 的另一個電極連接到開關 112 的一個電極。將連接於電容元件 121 的另一個電極和開關 112 的一個電極的節點稱爲節點 142。開關 112 的另一個電極連接到佈線 134。開關 114 的一個電極連接到節點 141，而另一個電極連接到電容元件 122 的一個電極。將連接於開關 114 的另一個電極和電容元件 122 的一個電極的節點稱爲節點 143。電容元件 122 的另一個電極連接到開關 115 的另一個電極，而開關 115 的另一個電極連接到佈線 135。將連接於電容元件 122 的另一個電極和開關 115 的一個電極的節點稱爲節點 144。開關 113 的一個電極連接到節點 142，而另一個電極連接到節點 143。電晶體 101 的源極和汲極中的一方（也稱爲第一電極（端子））連接到節點 144，源極和汲極中的另一方（也稱爲第二電極（端子））連接到佈線 131，而閘極連

接到節點 141。負載 150 的一個電極連接到節點 144，而另一個電極連接到佈線 132。此外，將連接於電晶體 101 的第二電極的節點稱為節點 145。在圖 1 中，電晶體 101 的第二電極和佈線 131 藉由節點 145 連接。

此外，圖 1 所示的像素電路 100 連接到佈線 131、佈線 132、佈線 133、佈線 134 和佈線 135。此外，在圖 1 中，連接到像素電路 100 的佈線 131、佈線 132、佈線 133、佈線 134 和佈線 135 設置在像素電路 100 的外側。但是，在實際上佈線和像素電路 100 電連接，因此也可以以像素電路 100 包括各佈線的結構為前提進行說明。

此外，作為一個例子，佈線 131 至少連接到供應高電位側電源電位的電位 VDD （以下，也簡單地稱為“ VDD ”）的電路 181。此外，根據電晶體 101 的極性或負載 150 的電流特性等，電路 181 有時供應低電位側電源電位的電位 VSS （以下，也簡單地稱為“ VSS ”）。作為電路 181 的例子，有電源電路、放大電路等。因此，佈線 131 具有能夠傳送或供應電位 VDD 的功能。此外，佈線 131 具有能夠對電晶體 101 供應電流的功能。此外，佈線 131 具有作為電源線的功能。此外，佈線 131 具有能夠對負載 150 供應電流的功能。此外，作為一個例子，有時對佈線 131 供應用來使負載 150 處於反偏壓狀態的電位或用來控制節點 144 的電位的電位。注意，較佳為對佈線 131 供應固定的電位。注意，本發明的實施方式之一不侷限於此，也可以供應不固定的電位，例如脈衝信號。作為此時

的電路 181 的例子，有數碼電路、移位暫存器電路、掃描線驅動電路等。

此外，作為一個例子，佈線 133 至少連接到具有供應影像信號 V_{sig} （以下，也簡單地稱為“ V_{sig} ”）的功能的電路 183。作為電路 183 的例子，有源極驅動器（信號線驅動電路）等。因此，佈線 133 具有能夠傳送 V_{sig} 或能夠供應 V_{sig} 的功能。此外，作為一個例子，有時對佈線 133 供應預充電信號、初始化信號、用來能夠將負載 150 控制為反偏壓狀態的信號等。

V_{sig} 例如具有根據對負載 150 供應的電流的大小而變動的電位。例如，當對負載 150 供應的電流是固定值時 V_{sig} 是固定的電位的信號，而當對負載 150 供應的電流不是固定值時 V_{sig} 是隨著時間的推移根據對負載 150 供應的電流的大小而變化的電位的信號。使用該信號可以顯示影像。

此外，作為一個例子，佈線 134 至少連接到供應電位 $V1$ （以下，也簡單地稱為“ $V1$ ”）的電路 184。作為電路 184 的例子，有電源電路、放大電路等。因此，佈線 134 具有能夠傳送 $V1$ 或能夠供應 $V1$ 的功能。此外，佈線 134 具有能夠對電容元件 121 供應電荷的功能。此外，佈線 134 具有能夠將節點 142 的電位固定為 $V1$ 的功能。此外，較佳為對佈線 134 供應固定的電位。注意，本發明的實施方式之一不侷限於此，也可以供應不固定的電位，例如脈衝信號。作為此時的電路 184 的例子，有數碼電路、

移位暫存器電路、掃描線驅動電路等。

此外，作為一個例子，佈線 135 至少連接到供應電位 V2（以下，也簡單地稱為“V2”）的電路 185。作為電路 185 的例子，有電源電路、放大電路等。因此，佈線 135 具有能夠傳送 V2 或能夠供應 V2 的功能。此外，佈線 135 具有能夠對電容元件 122 供應電荷的功能。此外，佈線 135 具有能夠將節點 144 的電位固定為 V2 的功能。此外，佈線 135 具有能夠將電晶體 101 的源極的電位固定為 V1 的功能。此外，佈線 135 具有能夠使電晶體 101 初始化的功能。注意，較佳為對佈線 135 供應固定的電位。注意，本發明的實施方式之一不侷限於此，也可以供應不固定的電位，例如脈衝信號。作為此時的電路 185 的例子，有數碼電路、移位暫存器電路、掃描線驅動電路等。

此外，作為一個例子，佈線 132 至少連接到供應電位 V3（以下，也簡單地稱為“V3”）的電路 182。作為電路 182 的例子，有電源電路、放大電路等。因此，佈線 132 具有能夠傳送 V3 或能夠供應 V3 的功能。此外，佈線 132 具有能夠對負載 150 供應電荷的功能。此外，佈線 132 具有能夠將負載 150 的陰極的電位固定為 V3 的功能。注意，較佳為對佈線 132 供應固定的電位。注意，本發明的一個方式不侷限於此，也可以供應不固定的電位，例如脈衝信號。作為此時的電路 182 的例子，有數碼電路、移位暫存器電路、掃描線驅動電路等。

此外，作為一個例子，電容元件 121 及電容元件 122

採用使用佈線、半導體層或電極等夾著絕緣膜的結構即可。此外，作為一個例子，電容元件 121 具有能夠保持根據 V_{sig} 的電壓的功能。此外，作為一個例子，電容元件 122 具有能夠保持根據電晶體 101 的特性的電壓（例如，根據臨界電壓的電壓、根據遷移率的電壓等）的功能。此外，電容元件 122 具有能夠保持根據對負載 150 供應的電流的大小的電壓的功能。

接著，作為一個例子，使用圖 2A 至圖 8 說明將以電致發光元件（EL 元件）為代表的發光元件用作負載 150 的情況下的像素電路 100 的工作。即使在負載 150 不是 EL 元件的情況下，也可以使像素電路 100 同樣地工作。

圖 2A 至圖 2C 是說明從期間 201 到期間 205 的工作的流程圖。圖 2A 是在期間 201 中進行初始化工作和 V_{sig} 取得工作的情況的流程圖，圖 2B 是在期間 202 中進行 V_{th} 取得工作和 V_{sig} 取得工作的情況的流程圖。此外，根據需要既可以省略期間 203，又可以在期間 203 中進行 V_{sig} 取得工作。此外，也可以同時進行期間 204 和期間 205。 V_{th} 取得工作和 V_{sig} 取得工作即可以分別在不同期間進行，又可以同時進行。

圖 2C 是在進行 V_{th} 取得工作之後進行 V_{sig} 取得工作的情況的流程圖。如圖 2C 所示那樣，也可以在期間 202 中進行 V_{th} 取得工作之後，作為期間 2021 進行 V_{sig} 取得工作。此外，也可以在期間 202 中進行 V_{sig} 取得工作之後，作為期間 2021 進行 V_{th} 取得工作。因為不同時進行

V_{th} 取得工作和 V_{sig} 取得工作，所以工作期間比圖 2A 和圖 2B 多一個，但是可以使半導體裝置進一步正確地工作。

如圖 2A 至圖 2C 所示那樣，期間 201 至期間 205 分別被設置作為不同期間。因此，容易適當地進行每一個工作。尤其是，可以保持期間 201、期間 202、期間 2021、期間 204 及/或期間 205 的較長工作期間，因此可以使半導體裝置進一步正確地工作。

此外，在圖 2A 至圖 2C 的流程圖中，也可以在各步驟之間或者在各步驟的同時追加進行其他工作。

此外，較佳為在上一個步驟完全結束之後進入下一個步驟。注意，本發明的實施方式之一不侷限於此，也可以在上一個步驟完全結束之前進入下一個步驟。

此外，在圖 2A 至圖 2C 中，期間 201 至期間 205 分別被設置作為不同期間，但是本發明的實施方式之一不侷限於此。

圖 3 是說明對應於圖 2A 的流程圖的像素電路 100 的工作的時序圖的一個例子。在此，作為一個例子，示出佈線 131 的電位高於佈線 132 的電位的情況。因此，電晶體 101 的源極相當於連接到節點 144 的端子。在圖 3 中，一個圖框期間包括進行初始化工作和 V_{sig} 取得工作的期間 201、進行電晶體 101 的臨界電壓 V_{th} （以下，也簡單地稱為“ V_{th} ”）取得工作的期間 202、進行 V_{th} 和 V_{sig} 的保持工作的期間 203、算出 V_{th} 和 V_{sig} 的總計的期間 204

以及進行影像顯示工作的期間 205。注意，本發明的實施方式之一不侷限於此，例如可以不設置一部分期間（期間 203 等），也可以還設置其他期間。

此外，一個圖框期間相當於用來顯示一個畫面的影像的期間，有時將期間 201 至期間 203 或期間 201 至期間 204 總稱為地址期間。

圖 4A 至圖 8 是說明各工作期間中的像素電路 100 的工作的一個例子的電路圖。圖 7A 至圖 7D 以及圖 8 是省略在圖 4A 至圖 6 中記載的開關 111 至開關 115，以易於理解地示出像素電路 100 的工作的電路圖。在本實施方式中，作為一個例子，在負載 150 所具有的電極中，連接到節點 144 的電極用作陽極，而連接到佈線 132 的電極用作陰極。此外，當負載 150 所具有的陽極和陰極之間的電位差超過 V_{EL} （負載 150 的臨界電壓）時，負載 150 發光。此外，在本實施方式中，作為一個例子，將 n 通道型電晶體用於電晶體 101，並且當閘極電極和源極電極之間的電位差 V_{gs} （以下，也簡單地稱為“ V_{gs} ”）超過 V_{th} 時，源極電極和汲極電極之間處於導通狀態（開關狀態）。

在此， V_{sig} 是用來表示相當於影像信號的像素的灰階的信號。在本實施方式中 V_{sig} 是對應於亮度資料的電位。此外，將用來獲得最大亮度的 V_{sig} 設定為 V_{sigH} ，而將用來獲得最小亮度的 V_{sig} 設定為 V_{sigL} 。因此， V_{sig} 的電位在 V_{sigL} 與 V_{sigH} 的範圍內有變化。此外， V_{sig} 既可以使用其電位連續地改變的類比信號，又可以使用其

電位在離散值之間變化的數碼信號。

此外，V1 至少在期間 201 及期間 202 的期間中較佳為固定電位。此外，例如也可以使 V1 為與 VsigL 相同的電位。注意，本說明書中的“相同”包括 20%以下，較佳為 10%以下，更佳為 5%以下的誤差。此外，藉由調整 V1 的電位，可以改變電晶體 101 的 Vgs。

此外，V2 及 V3 至少在期間 201 的期間中較佳為固定電位。此外 V2 及 V3 較佳為低於 VDD 的電位。此外，當將 n 通道型電晶體用於電晶體 101 時，V2 及 V3 較佳為低於 VDD-Vth 的電位。例如，V2 及 V3 也可以是 GND 電位或 VSS 電位。注意，本發明的實施方式之一不侷限於此。

此外，根據後述的公式 3，較佳為將 V3 設定為滿足 $V3 \geq V_{sig} - V_{th} - V_{EL}$ 。注意，本發明的實施方式之一不侷限於此。此外，較佳為考慮 Vth 及 VEL 的變動（偏差）而決定 V3。此外，也可以根據需要使 V1 至 V3 的電位變動。

在本實施方式中，作為一個例子，對 Vth=2V、VEL=1V、VsigH=5V、VsigL=0V、V1=0V、V2=-3V 和 V3=2V 的情況進行說明。

首先，在期間 201 中，進行像素電路 100 的初始化工作和 Vsig 取得工作（參照圖 4A 和圖 7A）。初始化工作是指在電容元件 122 中積蓄使電晶體 101 處於導通狀態所需要的電荷，來使電晶體 101 處於導通狀態的工作。或者，初始化工作也是指設定節點 144 的電位以將電晶體

101 的節點 144 一側成爲源極的工作。此外，在期間 201 中，較佳爲停止對負載 150 的電荷供應。在本實施方式中，在期間 201 中，較佳爲停止來自負載 150 的發光。

在期間 201 中，開關 111、開關 112、開關 114、開關 115 處於導通狀態。開關 113 處於截止狀態。於是，節點 141 的電位成爲 V_{sig} ，節點 142 的電位成爲 $V1$ 。此外，節點 143 的電位成爲 V_{sig} ，節點 144 的電位成爲 $V2$ 。在本實施方式中，電晶體 101 爲 n 通道型電晶體，因此藉由將 $V2$ 設定爲低於 VDD 的電位，電晶體 101 的節點 144 一側成爲源極，而電晶體 101 的佈線 131 一側成爲汲極。

此外，較佳爲將 $V2$ 設定爲滿足公式 1。藉由將 $V2$ 設定爲滿足公式 1，可以使節點 144 和佈線 132 之間的電位差爲 V_{EL} 以下或者實現負載 150 被施加反偏壓的狀態，從而可以防止不必要的電流流過負載 150 導致耗電量的增加。在本實施方式中，作爲負載 150 的一個例子使用發光元件，因此可防止來自負載 150 的不必要的發光。此外，藉由反偏壓狀態降低負載 150 的劣化，而也可以改善劣化的負載 150 的特性。

[公式 1]

$$V2 \leq V_{EL} + V3$$

此外，爲了更確實地進行之後進行的 V_{th} 取得，較佳爲將 V_{sig} 設定爲滿足公式 2。

[公式 2]

$$V_{sig} > V_{th} + V_2$$

在此，在圖 2A 的情況下，還進行 V_{sig} 取得工作。 V_{sig} 取得工作是指對電容元件 121 寫入對應於 V_{sig} 的電壓的工作。藉由使開關 113 處於截止狀態且使開關 111 和開關 112 處於導通狀態，對電容元件 121 供應 V_{sig} 和 V_1 之間的電位差。在本實施方式中， $V_1=0V$ ，因此對電容元件 121 供應 V_{sig} 的電壓。

V_{sig} 是與從 V_{sigH} 到 V_{sigL} 的亮度資料對應的電位。在本實施方式中，對節點 141 及節點 143 供應對應於亮度資料的從 5V 到 0V 的電位作為 V_{sig} 。此外，將 V_1 、 V_2 、 V_3 分別設定為 0V、-3V、2V，且對節點 142 供應 0V，對節點 144 供應 -3V，對與佈線 132 連接的負載 150 的陰極供應 2V。此外，較佳為考慮 V_{th} 及 V_{EL} 的變動（偏差）決定 V_2 及 V_{sig} 。

此外，當不進行 V_{sig} 取得工作時，也可以使開關 112 及開關 113 處於截止狀態。此時，節點 142 處於浮動狀態。或者，此時，也可以使開關 112 截止且使開關 113 導通。

此外，如圖 2B 所示那樣，也可以在期間 202 中進行 V_{sig} 取得工作。當在期間 202 中進行 V_{sig} 取得工作時，只要在期間 201 中開關 112 處於截止狀態，可以使開關 113 處於導通狀態來防止在電容元件 121 中積蓄電荷。就是說，在期間 201 中既可以對電容元件 121 寫入影像信

號，又可以對電容元件 121 不寫入影像信號。換言之，也可以在期間 201 中不完全對電容元件 121 供應影像信號，而在期間 201 中到中途對電容元件 121 供應影像信號且在期間 202 中結束寫入工作。就是說，也可以使用期間 201 和期間 202 的兩者期間完成 V_{sig} 取得工作。

接著，在期間 202 中，進行電晶體 101 的 V_{th} 取得工作（參照圖 4B、圖 7B）。 V_{th} 取得工作是指對電容元件 122 寫入對應於 V_{th} 的電壓的工作。此外，寫入到電容元件 122 中的電壓也可以不是與電晶體 101 的 V_{th} 完全相同的電壓。

首先，在期間 201 結束之後，使開關 115 處於截止狀態。藉由使開關 115 處於截止狀態，節點 144 處於浮動狀態。但是，在期間 201 中，電晶體 101 處於導通狀態，因此電流經過電晶體 101 從佈線 131 到節點 144 流過。

當節點 144 處於浮動狀態時電流經過電晶體 101 到節點 144 流過，則根據流過的電流量節點 144 的電位上升。而且，當節點 143 與節點 144 之間的電位差（ V_{gs} ）等於 V_{th} 時，電晶體 101 處於截止狀態，而節點 144 的電位上升停止。或者， V_{gs} 越靠近 V_{th} ，流過電晶體 101 的電流越小，而節點 144 的電位上升變緩。因此，節點 144 的電位上升到 $V_{sig}-V_{th}$ 的電位或者近於 $V_{sig}-V_{th}$ 的電位。而且，此時的 V_{gs} 積蓄在電容元件 122 中。就是說，相當於電晶體 101 的 V_{th} 的電位寫入到電容元件 122 中。

此外，有時到 V_{gs} 等於電晶體 101 的臨界電壓 V_{th} 為

止需要非常長時間。因此，在很多情況下，在 V_{gs} 完全降低到臨界電壓 V_{th} 之前開始驅動。就是說，在本實施方式中電晶體 101 是 n 通道型電晶體，因此在很多情況下，在 V_{gs} 呈現比臨界電壓 V_{th} 稍微高的值的狀態下結束期間 202。此外，當將 p 通道型電晶體用於電晶體 101 時，在很多情況下，在 V_{gs} 呈現比臨界電壓 V_{th} 稍微低的值的狀態下結束期間 202。換言之，在期間 202 結束時的點上， V_{gs} 成爲對應於電晶體 101 的 V_{th} 的大小的電壓。

此外，節點 144 的電位上升到電晶體 101 處於截止狀態爲止。因此，節點 144 的電位也可以比節點 141 的電位高。因此，不管電晶體 101 的臨界電壓 V_{th} 是正值（常截止型或增強型電晶體）還是負值（常導通型或空乏型電晶體）都可以取得電晶體 101 的臨界電壓。或者，即使在因電晶體的劣化而電晶體 101 從常截止型變爲常導通型的情況下，也可以經常取得電晶體 101 的臨界電壓。

此外，到 V_{gs} 等於電晶體 101 的臨界電壓 V_{th} 的時間（到節點 144 的電位上升而電晶體 101 處於截止狀態的時間）根據電晶體 101 的遷移率而不同。就是說，遷移率較高的電晶體 101 可以以比遷移率較低的電晶體 101 短的時間使 V_{gs} 等於臨界電壓 V_{th} ，另一方面，遷移率較低的電晶體 101 需要比遷移率較高的電晶體 101 長的時間。因此，藉由以相同時間使遷移率較高的電晶體 101 和遷移率較低的電晶體 101 進行放電，可以使前者的情況下的 V_{gs} 較小，而可以使後者的情況下的 V_{gs} 較大。就是說，藉由

適當地設定放電的時間，可以取得其遷移率的偏差被校正的 V_{gs} ，因此可以降低遷移率的偏差所導致的亮度偏差。明確地說，在 V_{gs} 成爲與遷移率較高的電晶體 101 的臨界電壓 V_{th} 相當的電壓之前，結束期間 202 即可。

此外，當節點 144 的電位上升時，如果節點 144 與佈線 132 之間的電位差比 V_{EL} 大，則電流流過負載 150 而有時節點 143 與節點 144 之間的電位差不成爲 V_{th} 。因此，較佳爲將 V_{sig} 設定爲滿足公式 3 的關係。注意，本發明的實施方式之一不侷限於此。

[公式 3]

$$V_{sig} \leq V_{EL} + V_3 + V_{th}$$

在本實施方式中，因爲採用 $V_{sig}=5V$ 至 $0V$ 、 $V_{EL}=1V$ 、 $V_3=2V$ 、 $V_{th}=2V$ 的關係，因此滿足了公式 3 的關係。

此外，在期間 202 中，開關 112 可以處於導通狀態，也可以處於截止狀態，還可以中途改變其狀態。如圖 2B 的流程圖所示那樣，當在期間 202 中取得 V_{sig} 時，在期間 202 中使開關 113 處於截止狀態，而使開關 111 和開關 112 處於導通狀態即可。當在期間 201 中取得 V_{sig} 時，也可以在期間 202 中使開關 112 處於截止狀態，而使節點 142 處於浮動狀態。就是說，在期間 201 和期間 202 中的一個或兩個期間中，對電容元件 121 寫入 V_{sig} 即可。當在兩個期間中寫入 V_{sig} 時，可以以較長的時間輸入信號，因此可以更正確地輸入信號。

接著，在期間 203 中，使開關 111 至開關 115 處於截止狀態，進行所取得的 V_{sig} 和 V_{th} 的保持工作（參照圖 5A、圖 7C）。此時，在電容元件 121 中保持 $V_{sig}-V_1$ 的電壓，並且在電容元件 122 中保持對應於 V_{th} 的大小的電壓。此時， $V_{sig}-V_1$ 較佳為 0V 以上。由此，可以在期間 205 中，從電晶體 101 對負載 150 供應電流。但是，當顯示黑色時，爲了進一步減少電晶體 101 的關態電流，有時使 $V_{sig}-V_1$ 成爲負電壓。由此，可以進一步降低顯示黑色時的亮度，因此可以提高對比度。

在期間 203 中，節點 141 至節點 144 處於浮動狀態，因此即使佈線 133 至佈線 135 的電位變動，也可以保持寫入到電容元件 121 及電容元件 122 中的電壓。

此外，也可以在期間 203 中，使開關 115 處於導通狀態。由此，可以降低負載 150 亂發光。

此外，在期間 203 中，佈線 133 和節點 141 不導通。因此，當佈線 133 連接於其他像素電路 100 時，也可以在其他像素電路 100 中開始期間 201。就是說，也可以使其他像素電路 100 中的開關 111 處於導通狀態。藉由上述步驟，即使當佈線 133 連接於多個像素電路 100 時，也可以對各像素電路 100 分配充分的期間，由此可以正確地取得信號。

在本實施方式中，在電容元件 121 中保持 5V 至 0V，並且在電容元件 122 中保持 2V。

此外，也可以不設置期間 203 而在期間 202 之後設置

期間 204。

接著，在期間 204 中進行算出電容元件 121 的電壓和電容元件 122 的電壓的總計的工作。該總計電壓相當於電晶體 101 的 V_{gs} 。在期間 204 中，使開關 111、開關 112 和開關 114 處於截止狀態，而使開關 113 和開關 115 處於導通狀態。於是，電容元件 121 和電容元件 122 串聯連接，而對電晶體 101 的閘極和源極之間施加保持在電容元件 121 和電容元件 122 中的電壓的總和（參照圖 5B、圖 7D）。

在本實施方式中，獨立取得 V_{sig} 和 V_{th} ，然後進行將該兩種電壓加在一起的工作。就是說，不同時進行 V_{th} 取得工作、 V_{sig} 取得工作和算出 V_{th} 和 V_{sig} 的總計的工作。

此時，較佳先使開關 111、開關 112 和開關 114 處於截止狀態，然後開關 113 和開關 115 處於導通狀態。這是因為如下緣故：例如，如果開關 112 和開關 113 同時處於導通狀態，則有節點 143 被供應 V_1 而導致保持在電容元件 122 中的電壓變動的憂慮。

此外，當在期間 204 中使開關 113 處於導通狀態時，電容元件 121 的電壓和電容元件 122 的電壓被加在一起，而電晶體 101 處於導通狀態，電流流過。此外，藉由使開關 115 處於導通狀態，節點 144 的電位固定為 V_2 。因此，上述電流不向負載 150 的方向流過而經過開關 115 流過佈線 135，因此負載 150 不發光。

開關 113 導通的那一瞬間的節點 141 的電位可以表示為 $2 \times V_{sig} - V_1$ 。此外，節點 141 與節點 144 之間的電位差相當於 V_{gs} 並可以表示為 $V_{gs} = V_{sig} - V_1 + V_{th}$ 。在本實施方式中，將 V_1 設定為 $0V$ ，因此可以表示為 $V_{gs} = V_{sig} + V_{th}$ 。

接著，當在期間 205 中使開關 115 處於截止狀態時，對應於該 V_{gs} 的電流流過電晶體 101 和負載 150，並且根據所流過的電流值節點 144 的電位上升，負載 150（在本實施方式中，是發光元件）發光（參照圖 6、圖 8）。

此外，當在期間 204 中使開關 115 處於截止狀態時，在剛期間 204 之後或者在幾乎同時期間 205 開始並進行影像顯示工作。

此外，因為節點 141 至節點 143 處於浮動狀態，所以伴隨節點 144 的電位的上升節點 141 至節點 143 的電位也上升。就是說，伴隨電晶體 101 的源極電位的上升電晶體 101 的閘極電位也上升，因此電晶體 101 的 V_{gs} 沒有變化。就是說，進行自舉工作。

當使用本實施方式所公開的結構時，即使因劣化等而電晶體 101 的 V_{th} 變化，也可以將對應於所變化的 V_{th} 的電壓保持在電容元件 122 中。就是說，即使電晶體 101 的 V_{th} 變化，也可以對負載 150 正確地供應對應於 V_{sig} 的電流。

此外，即使在多個像素電路 100 中，各像素電路 100 所具有的電晶體 101 的 V_{th} 發生偏差時，可以看作實際上

各像素電路 100 所具有的電晶體 101 的 V_{th} 沒有偏差。由此，藉由對顯示裝置應用本實施方式所公開的結構，可以實現顯示品質良好的顯示裝置。

此外，也可以將電晶體 101 的 V_{th} 和 V_{sig} 分別寫入到不同的電容元件中，然後可以將這兩個電壓加在一起並供應該總計電壓作為電晶體 101 的 V_{gs} 。由此，當取得各電壓時，可以使每個工作正確結束，因此可以防止信號波形的畸變所導致的電位的變動。藉由對顯示裝置應用本實施方式所公開的結構，可以實現顯示品質良好的顯示裝置。

此外，根據本實施方式所公開的結構，在取得 V_{th} 和 V_{sig} 之後可以保持它們，因此可以有時間裕度而開始對負載 150 的電流流過。因此，可以減小週邊驅動電路的負載而降低耗電量。

此外，在期間 205 中，當在飽和區域中使電晶體 101 工作時，可以以公式 4 表示流過負載 150 的電流 I 。

[公式 4]

$$I = \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{sig})^2$$

此外，在期間 205 中，當在線性區域中使電晶體 101 工作時，可以以公式 5 表示流過負載 150 的電流 I 。

[公式 5]

$$I = \left(\frac{W}{L} \right) \mu C_{ox} \left[(V_{sig})V_{ds} - \frac{1}{2}V_{ds}^2 \right]$$

在此， W 表示電晶體 101 的通道寬度， L 表示通道長度， μ 表示遷移率， C_{ox} 表示積蓄容量， V_{ds} 表示汲極和源極之間的電壓。

根據公式 4 及公式 5 可知，不管電晶體 101 的工作區域是飽和區域還是線性區域，流過負載 150 的電流都不依賴於電晶體 101 的 V_{th} 。因此，可以抑制起因於電晶體 101 的 V_{th} 偏差的電流 I 偏差，對負載 150 供應對應於亮度資料的電流值。

由此，可以抑制起因於電晶體 101 的 V_{th} 的偏差的負載 150 的亮度偏差。

而且，當在飽和區域中使電晶體 101 工作時，也可以抑制起因於負載 150 的劣化或特性偏差的亮度偏差。當負載 150 劣化時，負載 150 的 V_{EL} 或電壓電流特性變動，因此節點 144 的電位也變動。就是說，電晶體 101 的源極的電位變動。此時，電晶體 101 的閘極連接到節點 141，並且電晶體 101 的閘極處於浮動狀態。因此，隨著源極電位的變動，電晶體 101 的閘極電位也變動與源極電位相同的電位量。因此，即使 V_{EL} 有變化，電晶體 101 的 V_{gs} 也沒有變化，而即使負載 150 劣化，也沒有對流過電晶體 101 及負載 150 的電流的影響。此外，從公式 4 中可知，流過負載 150 的電流 I 不依賴於源極電位或汲極電位。

因此，當在飽和區域中使電晶體 101 工作時，可以抑制起因於電晶體 101 及負載 150 的特性的劣化或偏差的流過電晶體 101 的電流偏差。

注意，當在飽和區域中使電晶體 101 工作時，通道長度 L 越短，在顯著增大汲極電壓時由於屈服現象而大量的電流越容易流過。

此外，當將汲極電壓增大為比夾斷電壓多時，夾中斷點轉移到源極一側且實質上被用作通道的實效通道長度減少。由此，電流值增多。將該現象稱為通道長度調變、扭結效應等。此外，夾中斷點是指隨著通道消滅而閘極下的通道的厚度成為 0 的邊界部分，並且夾斷電壓是指夾中斷點成為汲極端時的電壓。該現象也通道長度 L 越短越容易發生。

由此，當在飽和區域中使電晶體 101 工作時，相對於 V_{ds} 的電流 I 較佳為近於恆定。因此，電晶體 101 的通道長度 L 較佳長。例如，電晶體的通道長度 L 較佳比通道寬度 W 長。此外，通道長度 L 較佳為 $10\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下，更佳為 $15\mu\text{m}$ 以上且 $40\mu\text{m}$ 以下。或者，較佳為與像素電路 100 所具有的其他電晶體（例如，開關 111 至開關 115 使用電晶體構成的情況）或電路 181 至電路 185 所具有的電晶體相比，電晶體 101 的通道長度 L 較長。注意，電晶體 101 的通道長度 L 及通道寬度 W 不侷限於此。

此外，在通道形成區域中，使用氧化物半導體形成的電晶體的少數載流子的個數非常少，因此不容易發生夾斷現象。由此，藉由作為電晶體 101 使用如其通道形成區域具有氧化物半導體那樣的電晶體，可以進一步降低負載 150 的劣化所帶來的影響。

如上所述，可以抑制起因於電晶體的 V_{th} 偏差的電流值的偏差，因此，在本發明中對由電晶體控制的電流的供應目的地沒有特別的限制。因此，作為負載 150，可以典型地應用 EL 元件（有機 EL 元件、無機 EL 元件或包含有機物及無機物的 EL 元件）。此外，也可以使用電子發射元件、液晶元件、電子墨水等。

另外，電晶體 101 只要具有控制對負載 150 供應的電流或電壓的功能即可，因此對電晶體的種類沒有限制而可以使用各種各樣的電晶體。例如，可以將如下電晶體應用於電晶體 101：使用結晶性半導體膜的薄膜電晶體（TFT）、使用以非晶矽或多晶矽代表的非單晶半導體膜的薄膜電晶體、使用半導體基板或 SOI 基板形成的電晶體、MOS 型電晶體、接合型電晶體、雙極電晶體、使用 GaAs 或 CdTe 等化合物半導體的電晶體、使用 ZnO 或 InGaZnO 等氧化物半導體的電晶體、使用有機半導體或碳奈米管的電晶體或者其他電晶體。

此外，藉由將產生在像素電路 100 中的寄生電容或電晶體 101 的閘極電容用作電容元件 121 及電容元件 122，可以省略電容元件 121 及電容元件 122。本實施方式所公開的像素結構只是一個例子而已，只要在本發明的技術思想的範圍內，就可以省略電晶體 101、負載 150、開關 111、開關 112、開關 113、開關 114、開關 115、電容元件 121 和電容元件 122 中的一個或多個，也可以改變上述結構的連接。此外，也可以對上述結構的一部分或全部還

追加其他元件或佈線。

因此，可以將本發明的一個方式換稱為如下半導體裝置：具有或沒有電晶體 101、具有或沒有負載 150、具有或沒有開關 111、具有或沒有開關 112、具有或沒有開關 113、具有或沒有開關 114、具有或沒有開關 115、具有或沒有電容元件 121、具有或沒有電容元件 122 的半導體裝置。

此外，作為像素電路 100 的工作例子使用期間 201 至期間 205 進行說明，但是本實施方式所公開的工作例子只是一個例子而已，只要在本發明的技術思想的範圍內，就可以省略期間 201 至期間 205 中的一個或多個，也可以改變各期間的順序或追加新期間。此外，也可以對期間 201 至期間 205 的一部分或全部之內追加在本實施方式中沒有公開的工作。

因此，可以將本發明的一個方式換稱為如下半導體裝置的驅動方法：有或沒有期間 201、有或沒有期間 202、有或沒有期間 203、有或沒有期間 204、有或沒有期間 205 的半導體裝置的驅動方法。

此外，在上述說明中使用的公式只是用來說明工作條件的一個例子而已。因此，在本發明的一個方式中，當然既可以使用上述公式，又可以不使用上述公式。

此外，作為像素電路 100 可以使用圖 9 至圖 14 所示的結構。在這些電路中，也可以取得電晶體 101 的 V_{th} 。

圖 9 所示的像素電路 100 具有如下結構：在圖 1 所示

的像素電路 100 的節點 141 和節點 145 之間設置開關 171，並且在節點 144 和佈線 132 之間設置電容元件 123 的結構。藉由以下步驟，可以進行圖 9 所示的像素電路 100 中的 V_{th} 取得。首先，作為初始化工作，在使開關 111 及開關 113 處於截止狀態之後使開關 171、開關 114 及開關 115 處於導通狀態。此外，當開關 113 處於截止狀態時，開關 112 可以處於截止狀態或導通狀態。但是，當開關 113 處於導通狀態時，較佳為使開關 112 處於截止狀態。另外，雖然開關 113 也可以處於導通狀態，但是因為當開關 113 處於導通狀態時電容元件 121 的電荷被釋放，因此當希望防止電荷的釋放時較佳為使開關 113 處於截止狀態。於是，節點 141 和節點 145 的電位成為 V_{DD} ，節點 144 的電位成為 V_2 。此時，電晶體 101 處於導通狀態，因此電流流過節點 145 與節點 144 之間，但是節點 144 的電位保持 V_2 ，而電流不流過負載 150。接著，作為 V_{th} 取得工作，使開關 115 處於截止狀態。於是，節點 144 的電位上升到節點 141 與節點 144 之間的電位差成為相當於 V_{th} 的電壓為止。然後，藉由使開關 114 處於截止狀態，在電容元件 122 中保持相當於 V_{th} 的電壓。此外，較佳為在 V_{th} 取得工作結束之後，使開關 171 處於截止狀態。

此外，在圖 9 所示的像素電路 100 中，也可以在期間 204 中將電容元件 121 的電壓和電容元件 122 的電壓加在一起之後，設置使開關 111、開關 112 及開關 114 處於截

止狀態且使開關 113 及開關 171 處於導通狀態的期間 2041（未圖示）。此外，在期間 2041 中，開關 115 既可以處於導通狀態，又可以處於截止狀態。

在期間 2041 中，根據期間 2041 的長度電晶體 101 的閘極和源極之間的電壓減少 dV_x 。 dV_x 是指對應於期間 2041 的長度和電晶體的遷移率等電特性而變化的電位的變化量。

藉由將期間 2041 的長度設定為適當的長度且將電晶體 101 的閘極和源極之間的電壓設定為所希望的值，可以減輕像素之間的電晶體 101 的遷移率偏差，而抑制電晶體 101 的遷移率偏差所導致的顯示品質的降低。此外，藉由調整電容元件 123 的電容值，可以使 dV_x 變化。此外，在圖 9 中，雖然使電容元件 123 的一個端子連接到佈線 132，但是電容元件 123 的一個端子的連接關係不侷限於此。電容元件 123 的一個端子至少連接到在期間 2041 中被供應任意的固定電位的佈線，即可。例如，使電容元件 123 的一個端子既可以連接到佈線 134 或佈線 135，又可以連接到未圖示的被供應共同電位的佈線。

此外，電容元件 123 也可以設置在具有圖 9 以外的結構的像素電路 100 中。此外，在具有圖 9 以外的結構的像素電路 100 中，也可以適用期間 2041 來減輕電晶體 101 的遷移率偏差。

此外，即使在不適用期間 2041 的情況下，也可以在像素電路 100 中設置電容元件 123。此外，也可以不設置

電容元件 123 而適用期間 2041。

圖 10 所示的像素電路 100 具有對圖 1 所示的像素電路 100 的節點 141 連接開關 171 的一個端子的結構。此外，開關 171 的另一個端子連接到電路 186。電路 186 可以採用與電路 181 至電路 185 相同的結構。電路 186 藉由開關 171 對節點 141 供應使電晶體 101 處於導通狀態的電位。可以以與圖 9 所示的像素電路 100 中的 V_{th} 取得工作同樣的方式進行圖 10 所示的像素電路 100 中的 V_{th} 取得工作。此外，在此情況下，藉由使用電路 186 可以控制開關 171 處於導通狀態時的電晶體 101 的閘極電位的大小。因此，藉由降低電晶體 101 的閘極電位，可以當進行 V_{th} 取得工作時，以電位不成為過高的方式調節節點 141 的電位。因為節點 141 的電位不成為過高，所以電流不容易流過負載 150。或者，因為可以控制電晶體 101 的閘極電位的大小，所以即使電晶體 101 是常導通（空乏型）的電晶體也可以正常取得 V_{th} 。

圖 11 所示的像素電路 100 具有在圖 9 所示的像素電路 100 的節點 145 與佈線 131 之間設置開關 172 的結構。藉由以下步驟，可以進行圖 11 所示的像素電路 100 中的 V_{th} 取得。首先，作為初始化工作，在使開關 111 及開關 113 處於截止狀態之後使開關 171、開關 172、開關 114 及開關 115 處於導通狀態。此外，當開關 113 處於截止狀態時，開關 112 可以處於截止狀態或導通狀態。但是，當開關 113 處於導通狀態時，較佳為使開關 112 處於截止狀

態。此外，雖然開關 113 也可以處於導通狀態，但是因為當開關 113 處於導通狀態時電容元件 121 的電荷被釋放，因此當希望防止電荷的釋放時較佳為使開關 113 處於截止狀態。於是，節點 141 和節點 145 的電位成為 VDD，節點 144 的電位成為 V2。此時，電晶體 101 處於導通狀態，因此電流流過節點 145 與節點 144 之間，但是節點 144 的電位保持 V2，而電流不流過負載 150。接著，作為 Vth 取得工作，使開關 172 處於截止狀態。於是，在初始化工作時積蓄在電容元件 122 中的電荷轉移，由此節點 145 的電位降低到節點 141 與節點 144 之間的電位差成為相當於 Vth 的電壓。然後，藉由使開關 114 處於截止狀態，在電容元件 122 中保持相當於 Vth 的電壓為止。此外，較佳為在 Vth 取得工作結束之後，使開關 171 處於截止狀態。此外，在 Vth 取得工作中，開關 115 也可以處於導通狀態或截止狀態。但是，當開關 115 處於導通狀態時，節點 144 的電位穩定，所以是較佳的。

圖 12 所示的像素電路 100 具有在圖 9 所示的像素電路 100 中的節點 144 與負載 150 之間設置開關 174 的結構。可以以與圖 9 所示的像素電路 100 中的 Vth 取得工作同樣的方式進行圖 12 所示的像素電路 100 中的 Vth 取得工作。此外，藉由在初始化工作及 Vth 取得工作中使開關 174 處於截止狀態，即使不滿足上述公式 1 的條件也可以使不必要的電流不流過負載 150，因此可以提高適用於像素電路 100 的電位設定的自由度。



圖 13 所示的像素電路 100 具有在圖 1 所示的像素電路 100 中的節點 144 與負載 150 之間設置開關 174 的結構。可以以與圖 1 所示的像素電路 100 中的 V_{th} 取得工作同樣的方式進行圖 13 所示的像素電路 100 中的 V_{th} 取得工作。此外，藉由在初始化工作及 V_{th} 取得工作中使開關 174 處於截止狀態，即使不滿足上述公式 1 的條件也可以使不必要的電流不流過負載 150，因此可以提高適用於像素電路 100 的電位設定的自由度。此外，藉由使開關 174 處於截止狀態，可以防止電流流過電晶體 101 和負載 150。因此，當設置電流不流過負載 150 的期間時，藉由控制開關 174 來可以實現該期間。

圖 14 所示的像素電路 100 具有從圖 13 所示的像素電路 100 去除開關 115 的結構。除了沒有開關 115 的工作這一點以外，可以以與圖 1 所示的像素電路 100 中的 V_{th} 取得工作同樣的方式進行圖 14 所示的像素電路 100 中的 V_{th} 取得工作。藉由在 V_{th} 取得工作中使開關 174 處於截止狀態，可以實現在圖 14 所示的像素電路 100 中的 V_{th} 取得。此外，在 V_{th} 取得工作以外的工作期間中，使開關 174 處於導通狀態，因此在初始化工作中節點 144 和佈線 132 導通，而電流流過負載 150。就是說，在將發光元件用作負載 150 時，在初始化工作中負載 150 發光，但是在非常短時間內完成初始化工作，因此在實質上不產生顯示品質的降低。

此外，在圖 9 至圖 14 所示的像素電路 100 中，在進

行初始化工作及 V_{th} 取得工作的情況下，當開關 113 處於截止狀態時，開關 112 也可以處於導通狀態或截止狀態。此外，在圖 9 至圖 14 所示的像素電路 100 中，在初始化工作及 V_{th} 取得工作以外的工作期間中進行 V_{sig} 的取得，因此也可以不滿足上述公式 2 的條件。因此，可以提高適用於像素電路 100 的電位設定的自由度。此外，當開關 111 處於截止狀態時進行初始化工作及 V_{th} 取得工作，因此可以進行初始化工作及 V_{th} 取得工作而與佈線 133 的電位狀態無關。因此，可以充分確保初始化工作及 V_{th} 取得工作的期間長度。此外，在圖 12 至圖 14 所示的像素電路 100 中，藉由在節點 144 與負載 150 之間設置開關 174，不需要考慮上述公式 3 的條件。因此，可以提高適用於像素電路 100 的電位設定的自由度。

此外，在本實施方式中，說明了將 n 通道型電晶體用於電晶體 101 的情況，但是也可以將 p 通道型電晶體用於電晶體 101。圖 15 示出將 p 通道型電晶體用於電晶體 101 時的像素電路的一個例子。當將 p 通道型電晶體用於電晶體 101 時，將供應給佈線 131 的電位設定為低於 V_2 或 V_3 的電位，例如電位 V_{SS} （以下，也簡單地稱為“ V_{SS} ”）。此外，在負載 150 所具有的電極中，連接到佈線 132 的電極用作陽極，而連接到節點 144 的電極用作陰極。此外，藉由將公式 1 至公式 3 中的不等號的方向逆轉，可以將公式 1 至公式 3 適於圖 15 所公開的結構例子。

此外，也可以將 p 通道型電晶體用於開關 111 至開關 115，而將 n 通道型電晶體用於電晶體 101。此外，也可以以具有彼此不同的導電型的方式設置構成像素電路 100 的各開關。例如，也可以使用 p 通道型電晶體形成開關 111，使用 n 通道型電晶體形成開關 112，使用 p 通道型電晶體形成開關 113，使用 n 通道型電晶體形成開關 114，而且使用 p 通道型電晶體形成開關 115。

圖 16 示出圖 1 所示的像素電路 100 的配置例。在圖 16 中，像素電路 100 (R) 相當於對應於紅色 (R) 的像素，像素電路 100 (G) 相當於對應於綠色 (G) 的像素，並且像素電路 100 (B) 相當於對應於藍色 (B) 的像素。在本發明的一個方式中，也可以在像素電路 100 (R) 所具有的電晶體 101 (R)、像素電路 100 (G) 所具有的電晶體 101 (G) 和像素電路 100 (B) 所具有的電晶體 101 (B) 中的至少一個中，其通道寬度和通道長度的比例與其他的比例不同。藉由採用上述結構，將供應到像素電路 100 (R) 所具有的負載 150 (R)、供應到像素電路 100 (G) 所具有的負載 150 (G) 和供應到像素電路 100 (B) 所具有的負載 150 (B) 的每一個的電流設定為不同的值。作為負載 150 (R)、負載 150 (G) 和負載 150 (B)，可以使用對應於各色調的發光元件。

此外，像素電路 100 (R) 連接到佈線 131 (R)、佈線 132 (R)、佈線 133 (R)、佈線 134 (R) 和佈線 135 (R)，像素電路 100 (G) 連接到佈線 131 (G)、佈線

132 (G) 、佈線 133 (G) 、佈線 134 (G) 和佈線 135 (G) ，並且像素電路 100 (B) 連接到佈線 131 (B) 、佈線 132 (B) 、佈線 133 (B) 、佈線 134 (B) 和佈線 135 (B) 。

此外，圖 17A 示出與圖 16 不同的配置例。圖 17A 示出作為在圖 16 中與各個像素連接的佈線 131 (R) 、佈線 131 (G) 和佈線 131 (B) 使用共同佈線 131 的例子。佈線 131 配置為與佈線 133 (R) 、佈線 133 (G) 、佈線 133 (B) 交叉。

此外，圖 17A 示出作為在圖 16 中與各個像素連接的佈線 135 (R) 、佈線 135 (G) 和佈線 135 (B) 使用共同佈線 135 的例子。此外，圖 17A 示出作為在圖 16 中與各個像素連接的佈線 132 (R) 、佈線 132 (G) 和佈線 132 (B) 使用共同佈線 132 的例子。此外，圖 17A 示出作為在圖 16 中與各個像素連接的佈線 134 (R) 、佈線 134 (G) 和佈線 134 (B) 使用共同佈線 134 的例子。

藉由使用在圖 17A 中例示出的結構，由於縮減佈線，可以縮減設置像素的區域中的佈線所占的面積。因此，可以容易實現高精細化，而可以實現顯示品質良好的顯示裝置。此外，也可以容易實現半導體裝置的積體化。此外，由於縮減佈線而可以縮減週邊電路，因此可以縮減構成顯示裝置的部件數，並且可以提高顯示裝置的產生性和可靠性。

此外，在圖 17B 中，示出省略在圖 17A 中示出的連



接到像素電路 100 的佈線 134 以及佈線 135，而將連接到佈線 134 以及佈線 135 的端子連接到佈線 132 的結構例子。藉由使用在圖 17B 中例示出的結構，可以進一步縮減設置像素的區域中的佈線所占的面積。

此外，在圖 16 及在圖 17A 和圖 17B 中示出的佈線 131 至佈線 135 的一部分或全部既可以交叉配置，又可以並行配置。

另外，作為圖 1 的開關 111、開關 112、開關 113、開關 114 及開關 115 例如可以使用電晶體。作為一個例子，圖 18 示出作為開關 111、開關 112、開關 113、開關 114 及開關 115 使用 n 通道型電晶體的情況的電路圖。注意，使用同一元件符號表示與圖 1 的結構相同的部分，省略其說明。如圖 18 所示，藉由使用具有同一極性的電晶體作為所有的電晶體，可以以較少的製程數製造半導體裝置，來可以減少製造成本。此外，作為開關 111、開關 112、開關 113、開關 114 和開關 115 中的至少一個可以應用 p 通道型電晶體。

在圖 18 中，電晶體 111T 相當於開關 111。電晶體 112T 相當於開關 112。電晶體 113T 相當於開關 113。電晶體 114T 相當於開關 114。電晶體 115T 相當於開關 115。

電晶體 111T 的閘極與佈線 161 連接，第一端子與佈線 133 連接，第二端子與節點 141 連接。因此，當佈線 161 的電位為 H 位準時電晶體 111T 處於導通狀態，當佈

線 161 的電位為 L 位準時，電晶體 111T 處於非導通狀態。

此外，電晶體 112T 的閘極與佈線 162 連接，第一端子與佈線 134 連接，第二端子與節點 142 連接。因此，當佈線 162 的電位為 H 位準時電晶體 112T 處於導通狀態，當佈線 162 的電位為 L 位準時電晶體 112T 處於非導通狀態。

此外，電晶體 113T 的閘極與佈線 163 連接，第一端子與節點 142 連接，第二端子與節點 143 連接。因此，當佈線 163 的電位為 H 位準時電晶體 113T 處於導通狀態，當佈線 163 的電位為 L 位準時電晶體 113T 處於非導通狀態。

此外，電晶體 114T 的閘極與佈線 164 連接，第一端子與節點 141 連接，第二端子與節點 143 連接。因此，當佈線 164 的電位為 H 位準時電晶體 114T 處於導通狀態，當佈線 164 的電位為 L 位準時電晶體 114T 處於非導通狀態。

此外，電晶體 115T 的閘極與佈線 165 連接，第一端子與佈線 135 連接，第二端子與節點 144 連接。因此，當佈線 165 的電位為 H 位準時電晶體 115T 處於導通狀態，當佈線 165 的電位為 L 位準時電晶體 115T 處於非導通狀態。

另外，作為一個例子，佈線 161 與電路 186A 連接，佈線 162 與電路 186B 連接，佈線 163 與電路 186C 連

接，佈線 164 與電路 186D 連接，佈線 165 與電路 186E 連接。電路 186A 至電路 186E 例如至少具有供應 H 位準或 L 位準的信號的功能。此外，電路 186A 至電路 186E 既可以是獨立的電路，又可以將幾個電路組合為一個電路。作為電路 186A 至電路 186E 的例子，有閘極驅動器（掃描線驅動電路）等。因此，佈線 161 具有能夠傳送 H 位準或 L 位準的信號的功能或能夠供應 H 位準或 L 位準的信號的功能。或者，佈線 161 具有能夠控制開關 111 或電晶體 111T 的導通狀態的功能。佈線 162 具有能夠控制開關 112 或電晶體 112T 的導通狀態的功能。佈線 163 具有能夠控制開關 113 或電晶體 113T 的導通狀態的功能。佈線 164 具有能夠控制開關 114 或電晶體 114T 的導通狀態的功能。佈線 165 具有能夠控制開關 115 或電晶體 115T 的導通狀態的功能。

另外，佈線 161、佈線 162、佈線 163、佈線 164、佈線 165 分別可以是獨立的佈線。注意，本發明的實施方式的一個方式不侷限於此，可以將多個佈線組合為一個佈線。由此，可以用較少的佈線構成電路。

此外，電晶體 101 當電流流過時在很多情況下在飽和區域中進行工作。因此，較佳為使電晶體 101 的通道長度或閘極長度比電晶體 111T、電晶體 112T、電晶體 113T、電晶體 114T、電晶體 115T 長。藉由使通道長度或閘極長度長，飽和區域中的特性為平坦，從而可以降低扭結效應（kink effect）。注意，本發明的實施方式的一個方式不

侷限於此。

此外，電晶體 101 當電流流過時在很多情況下在飽和區域中進行工作。因此，較佳為使電晶體 101 的通道寬度或閘極寬度比電晶體 111T、電晶體 112T、電晶體 113T、電晶體 114T、電晶體 115T 中的任一個或全部寬。藉由使通道寬度或閘極寬度寬，即使在飽和區域中電晶體 101 工作時也可以使較多電流流過。注意，本發明的實施方式的一個方式不侷限於此，電晶體 101 的通道寬度或閘極寬度既可以與電晶體 111T、電晶體 112T、電晶體 113T、電晶體 114T、電晶體 115T 中的任一個或全部相同，又可以比電晶體 111T、電晶體 112T、電晶體 113T、電晶體 114T、電晶體 115T 中的任一個或全部短。

此外，圖 19 的塊圖示出應用圖 18 所示的像素電路 100 的顯示裝置的結構例子。

顯示裝置例如具有信號線驅動電路 301、掃描線驅動電路 302A、掃描線驅動電路 302B、掃描線驅動電路 302C、掃描線驅動電路 302D、掃描線驅動電路 302E、電位供應電路 303、電位供應電路 304、電位供應電路 305、電位供應電路 306 及像素區域 310。在像素區域 310 中設置有從信號線驅動電路 301 在列方向上延伸配置的多個信號線 S1 至 Sn。此外，在像素區域 310 中設置有從掃描線驅動電路 302A 在行方向上延伸配置的掃描線 Ga1 至 Gam。此外，在像素區域 310 中設置有從掃描線驅動電路 302B 在行方向上延伸配置的多個掃描線 Gb1 至 Gbm。此

外，在像素區域 310 中設置有從掃描線驅動電路 302C 在行方向上延伸配置的多個掃描線 $Gc1$ 至 Gcm 。此外，在像素區域 310 中設置有從掃描線驅動電路 302D 在行方向上延伸配置的多個掃描線 $Gd1$ 至 Gdm 。另外，在像素區域 310 中設置有從掃描線驅動電路 302E 在行方向上延伸配置的多個掃描線 $Ge1$ 至 Gem 。

此外，在像素區域 310 中設置有從電位供應電路 303 在列方向上延伸配置的多個佈線 $Ba1$ 至 Ban 。此外，在像素區域 310 中設置有從電位供應電路 304 在列方向上延伸配置的多個佈線 $Bb1$ 至 Bbn 。此外，在像素區域 310 中設置有從電位供應電路 305 在列方向上延伸配置的多個佈線 $P1$ 至 Pn 。此外，在像素區域 310 中設置有從電位供應電路 306 在列方向上延伸配置的多個佈線 $L1$ 至 Ln 。

另外，在像素區域 310 中設置有配置為矩陣狀的多個像素電路 100。各像素電路 100 分別與信號線 Sj （信號線 $S1$ 至 Sn 中的任一個）、掃描線 Gai （掃描線 $Ga1$ 至 Gam 中的任一個）、掃描線 Gbi （掃描線 $Gb1$ 至 Gbm 中的任一個）、掃描線 Gci （掃描線 $Gc1$ 至 Gcm 中的任一個）、掃描線 Gdi （掃描線 $Gd1$ 至 Gdm 中的任一個）、掃描線 Gei （掃描線 $Ge1$ 至 Gem 中的任一個）、佈線 Baj （佈線 $Ba1$ 至 Ban ）中的任一個）、佈線 Bbj （佈線 $Bb1$ 至 Bbn ）中的任一個）、佈線 Lj （佈線 $L1$ 至 Ln 中的任一個）、佈線 Pj （佈線 $P1$ 至 Pn ）中的任一個）以及佈線 Lj （佈線 $L1$ 至 Ln ）中的任一個）。

此外，掃描線 G_{ai} 相當於圖 18 的佈線 161。掃描線 G_{bj} 相當於圖 18 的佈線 162。掃描線 G_{cj} 相當於圖 18 的佈線 163。掃描線 G_{dj} 相當於圖 18 的佈線 164。掃描線 G_{ej} 相當於圖 18 的佈線 165。信號線 S_j 相當於圖 18 的佈線 133。佈線 P_j 相當於圖 18 的佈線 131。佈線 L_j 相當於圖 18 的佈線 132。

另外，將左右相鄰的像素分別具有的佈線 P_j 組合在一起，例如每兩個像素具有一個佈線，而可以減少佈線的個數。而且，將左右相鄰的像素分別具有的佈線 L_j 組合在一起，例如每兩個像素具有一個佈線，而減少佈線的個數。

另外，佈線 P_j 也可以延伸在行方向上並與掃描線 G_{ai} 等平行配置。此時，將上下相鄰的像素分別具有的佈線 P_j 組合在一起，例如每兩個像素具有一個佈線，而減少佈線的個數。而且，佈線 L_j 也可以延伸在行方向上並與掃描線 G_{ai} 等平行配置。此時，將上下相鄰的像素分別具有的佈線 L_j 組合在一起，例如每兩個像素具有一個佈線，而減少佈線的個數。

圖 20 示出省略圖 18 所示的連接到像素電路 100 的佈線 135，並將電晶體 112T 的第一端子和電晶體 115T 的第一端子連接到佈線 134 的結構例子。藉由採用這種結構，由於縮減佈線 135 而可以縮減設置像素的區域中的佈線所占的面積。此外，因為不必要電路 185，可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠

性。

圖 45 示出省略圖 18 所示的連接到像素電路 100 的佈線 162，並將電晶體 112T 的閘極連接到佈線 161 的結構例子。藉由採用這種結構，由於縮減佈線 162 而可以縮減設置像素的區域中的佈線所占的面積。此外，因為不必要電路 186B，可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠性。

圖 46 示出將 p 通道型電晶體用於圖 18 所示的像素電路 100 所具的電晶體 114T，省略連接到像素電路 100 的佈線 164，並將電晶體 114T 的閘極連接到佈線 163 的結構例子。藉由採用這種結構，由於縮減佈線 164 而可以縮減設置像素的區域中的佈線所占的面積。此外，因為不必要電路 186D，可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠性。

圖 47 示出將 p 通道型電晶體用於圖 18 所示的像素電路 100 所具有的電晶體 111T、電晶體 112T、電晶體 113T，省略連接到像素電路 100 的佈線 162、佈線 164，並將電晶體 112T 的閘極連接到佈線 161 且將電晶體 114T 的閘極連接到佈線 163 的結構例子。藉由採用這種結構，由於縮減佈線 162、佈線 164 而可以縮減設置像素的區域中的佈線所占的面積。此外，因為不必要電路 186B、電路 186D，可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠性。

圖 48 示出省略圖 18 所示的連接到像素電路 100 的佈

線 134、佈線 135，並將電晶體 112T 的第一端子連接到節點 146 且將電晶體 115T 的第一端子連接到節點 147 的結構例子。此外，節點 146、節點 147 連接到控制與該像素電路 100 連接的行不同的行的電晶體的導通的佈線 161 至佈線 165 中的任一個。藉由採用這種結構，由於縮減佈線 134、佈線 135 而可以縮減設置像素的區域中的佈線所占的面積。此外，因為不必要電路 184、電路 185，可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠性。

圖 49 示出將 n 通道型電晶體用於圖 9 所示的像素電路 100 的開關 171 的情況的結構例子。此外，省略與使用其他圖式說明的結構共同的結構的說明。在圖 49 中，電晶體 171T 相當於圖 9 中的開關 171。電晶體 171T 的閘極與佈線 166 連接，電晶體 171T 的源極和汲極中的一方與節點 141 連接，並且電晶體 171T 的源極和汲極中的另一方與節點 145 連接。此外，佈線 166 與電路 186F 連接。電路 186F 具有與電路 186A 至電路 186E 相同的功能。例如，電路 186F 具有對佈線 166 至少供應 H 位準或 L 位準的信號的功能。此外，佈線 166 具有能夠控制開關 171 或電晶體 171T 的導通狀態的功能。

圖 50 示出省略圖 49 所示的連接到像素電路 100 的佈線 166，並將像素電路 100 所具有的電晶體 171T 的閘極連接到佈線 164 的結構例子。藉由採用這種結構，由於縮減佈線 166 而可以縮減設置像素的區域中的佈線所占的面

積。此外，藉由不使用電路 186F 可以縮減構成顯示裝置的部件數，因此可以提高顯示裝置的產生性和可靠性。此外，也可以使電晶體 171T 的閘極連接到前一行的佈線 161 或佈線 162。

圖 51 示出將圖 49 所示的像素電路 100 所具有的電晶體 171T 的源極和汲極中的另一方連接到電路 187 的結構例子。作為電路 187 的例子，有電源電路、放大電路等。此外，電路 187 不侷限於只輸出固定的電位的電路，也可以使用輸出不固定的電路，例如輸出脈衝信號的電路。作為此時的電路 187 的一個例子，有數碼電路、移位暫存器電路、掃描線驅動電路等。

圖 52 示出將 n 通道型電晶體用於圖 11 所示的像素電路 100 的開關 172 的情況的結構例子。此外，省略與使用其他圖式說明的結構共同的結構的說明。在圖 52 中，電晶體 172T 相當於圖 11 中的開關 172。電晶體 172T 的閘極與佈線 167 連接，電晶體 172T 的源極和汲極中的一方與節點 145 連接，並且電晶體 172T 的源極和汲極中的另一方與佈線 131 連接。此外，佈線 167 與電路 186G 連接。電路 186G 具有與電路 186A 至電路 186F 相同的功能。例如，電路 186G 具有對佈線 167 至少供應 H 位準或 L 位準的信號的功能。此外，佈線 167 具有能夠控制開關 172 或電晶體 172T 的導通狀態的功能。

圖 53 示出將 n 通道型電晶體用於圖 13 所示的像素電路 100 的開關 174 的情況的結構例子。此外，省略與使用

其他圖式說明的結構共同的結構的說明。在圖 53 中，電晶體 174T 相當於開關 174。電晶體 174T 的閘極與佈線 166 連接，電晶體 174T 的源極和汲極中的一方與負載 150 連接，電晶體 174T 的源極和汲極中的另一方與節點 144 連接。

另外，在本實施方式中，進行了校正電晶體的臨界電壓等的偏差的工作，但是本發明的一個方式不侷限於此。例如，也可以不進行校正臨界電壓的偏差的工作，而對負載 150 供應電流來進行工作。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 2

在本實施方式中，使用圖 21 至圖 24 對將在上述方式中說明的像素電路用作電流源的結構的一個例子進行說明，該電流源用來使電流流過顯示裝置的信號線驅動電路的一部分中的負載。

圖 21 所示的顯示裝置 51 包括像素區域 52、閘極線驅動電路 53、信號線驅動電路 54。閘極線驅動電路 53 對像素區域 52 依次輸出選擇信號。信號線驅動電路 54 對像素區域 52 依次輸出視頻信號。像素區域 52 具有多個像素

並藉由根據視頻信號控制光的狀態來顯示影像。從信號線驅動電路 54 輸入到像素區域 52 的視頻信號是電流。換言之，根據從信號線驅動電路 54 輸入的視頻信號（電流），配置在每個像素中的顯示元件和用來控制顯示元件的元件改變它們的狀態。作為配置在像素中的顯示元件的例子，可以舉出 EL 元件、在 FED（場致發射顯示器）中使用的元件、液晶元件、電子墨水、電泳元件、光柵光閥（GLV）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器；投射型液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。

注意，也可以配置多個閘極線驅動電路 53 和信號線驅動電路 54。

信號線驅動電路 54 的結構可以被分成多個部分。作為一個例子，可以大致分成移位暫存器 55、第一鎖存電路 56（LAT1）、第二鎖存電路 57（LAT2）以及數位類比轉換電路 58。數位類比轉換電路 58 可以具有將電壓轉換為電流的功能或進行伽馬校正的功能。換言之，數位類比轉換電路 58 具有向像素輸出電流（視頻信號）的電路，即電流源電路，而作為該電流源電路可以適用上述實施方式所說明的像素電路。

下面，簡單地說明信號線驅動電路 54 的工作。藉由利用觸發電路（FF）等的多個列形成移位暫存器 55，且

時脈信號（S-CLK）、起始脈衝（SP）和時脈反相信號（S-CLKb）輸入到移位暫存器 55。根據這些信號順序地輸出取樣脈衝。

從移位暫存器 55 輸出的取樣脈衝被輸入到第一鎖存電路 56（LAT1）。視頻信號 VS 從視頻信號線輸入到第一鎖存電路 56（LAT1），並且根據取樣脈衝輸入的時序將視頻信號保持在每列中。此外，在配置有數位類比轉換電路 58 的情況下，視頻信號具有數位值。此外，在這個階段的視頻信號通常為電壓。

但是，在第一鎖存電路 56 和第二鎖存電路 57 可以儲存類比值的情況下，在很多情況下可以省略數位類比轉換電路 58。在此情況下，視頻信號通常為電流。而且，在輸出到像素區域 52 的資料具有二值，即數位值的情況下，在很多情況下可以省略數位類比轉換電路 58。

當視頻信號被保持直到第一鎖存電路 56（LAT1）的最後一列時，鎖存脈衝 LP（Latch Pulse）在水平回描期間從鎖存控制線輸入，並且保持在第一鎖存電路 56（LAT1）中的視頻信號被一次傳送到第二鎖存電路 57（LAT2）。然後，保持在第二鎖存電路 57（LAT2）中的一行視頻信號一次輸入到數位類比轉換電路 58。然後，從數位類比轉換電路 58 輸出的信號輸入到像素區域 52。

在保持在第二鎖存電路 57（LAT2）的視頻信號輸入到數位類比轉換電路 58 然後輸入到像素區域 52 的同時，再次從移位暫存器 55 輸出取樣脈衝。換言之，同時進行

兩個工作。由此，可以實現線順序驅動。以後，反復上述工作。

另外，在數位類比轉換電路 58 所具有的電流源電路為進行設定工作和輸出工作的電路的情況下，需要用來向電流源電路提供電流的電路。在此情況下，配置有參考電流源電路 59。

另外，有時信號線驅動電路或其一部分不存在於與像素區域 52 同一的基板上，例如使用外部 IC 晶片構成。在此情況下，在 IC 晶片與基板之間使用 COG (Chip On Glass: 玻璃上晶片)、TAB (Tape Automated Bonding: 卷帶式自動結合) 或印刷基板等連接。

注意，顯示裝置或信號線驅動電路等的結構不侷限於圖 21 的結構。

例如，在第一鎖存電路 56 和第二鎖存電路 57 可以儲存類比值的情況下，如圖 22 所示，視頻信號 VS (類比電流) 可以從參考電流源電路 60 向第一鎖存電路 56 (LAT1) 輸入。此外，也有在圖 22 中不存在第二鎖存電路 57 的情況。

接著，對將上述實施方式所說明的像素電路用於信號線驅動電路 54 作為電流源時的具體結構進行說明。

首先，圖 23 示出應用於信號線驅動電路的電流源電路的電路結構的一個例子。圖 23 所示的電路 190 具有與在實施方式 1 中使用圖 1 說明的像素電路 100 的結構幾乎相同的結構。另外，使用同一元件符號表示與像素電路

100 的結構相同的部分，省略其說明。圖 23 所示的電路 190 可以根據從電路 183 供應的電位 V_{sig} 輸出減少了電晶體 101 的臨界電壓的偏差的電流。

另外，根據設置在電路 190 與負載 17 之間的開關 70 的導通狀態或非導通狀態的控制，控制對負載 17 的在電路 190 中設定的減少了臨界電壓的偏差的電流的供應。在此情況下，例如配置多個電路 190 和多個開關 70，根據由多個開關 70 控制，也可以控制在負載 17 中流過的電流量。

例如，如圖 24 所示，作為多個電路 190 設置電路 190_1 至電路 190_3，此外，作為多個開關 70 設置開關 70_1、開關 70_2 以及開關 70_3，藉由控制開關 70_1、開關 70_2 以及開關 70_3 可以切換在負載 17 中流過的電流量。此外，可以使用電路 183 以將在電路 190_1、電路 190_2 以及電路 190_3 中流過的電流量設定為不同或相同的方式設定電位 V_{sig} ，而且，也可以根據開關的導通狀態控制負載 17 中流過的電流量。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 3

在本實施方式中，使用圖 25 至圖 34 說明圖 18 所示的像素電路的結構例子。

圖 25 是對應於圖 18 所示的像素電路的結構的俯視圖。此外，圖 26A 是圖 25 中的雙點劃線 A1-A2 所示的部分的剖面圖，圖 26B 是圖 25 中的雙點劃線 B1-B2 所示的部分的剖面圖。

在圖 25 中，作為對應於圖 18 的結構，示出電晶體 101、電晶體 111T、電晶體 112T、電晶體 113T、電晶體 114T、電晶體 115T、負載 150（只圖示出一個電極）、電容元件 121、電容元件 122、佈線 109、佈線 161、佈線 162、佈線 163、佈線 164、佈線 165、佈線 132、佈線 134 以及佈線 135。此外，在本實施方式中，對作為負載 150 使用發光元件（EL 元件等）的例子進行說明。

此外，圖 25 所示的各結構由導電層 851、半導體層 852、導電層 853、導電層 854、導電層 855、接觸孔 856 及接觸孔 858 形成。注意，在本實施方式中使用的俯視圖中，省略基板及絕緣層的記載。

導電層 851 具有用作閘極電極或掃描線的區域。導電層 851 設置在形成電晶體等的各元件的基板上。

對可以用於基板的基板沒有特別的限制，但是較佳為使用玻璃基板。作為基板的例子，可以使用半導體基板（例如，單晶基板或矽基板）、SOI 基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖

維狀的材料、紙或者基材薄膜等。作為玻璃基板的一個例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板的一個例子，有以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）為代表的塑膠或丙烯酸樹脂等的具有撓性的合成樹脂等。作為貼合薄膜的一個例子，有聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作為基材薄膜的一個例子，有聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高積體化。

另外，也可以使用某個基板形成電晶體，然後將電晶體轉置到其他基板上並且在該其他基板上配置電晶體。作為將電晶體轉置到其上的基板的一個例子，除了上述可形成電晶體的基板之外還有紙基板、玻璃紙基板、石基板、木基板、布基板（包括天然纖維（例如絲、棉、麻）、合成纖維（例如尼龍、聚氨酯、聚酯）、再生纖維（例如醋酸纖維、銅氨纖維、人造絲、再生聚酯）等）、皮革基板、橡膠基板等。藉由使用上述基板，可以實現特性良好的電晶體的形成、功耗低的電晶體的形成、耐久性高的裝置的製造、耐熱性的賦予、輕量化或薄型化。

此外，也可以採用在基板和導電層 851 之間設置用作基底的絕緣層的結構。此外，用作基底的絕緣層較佳使用

選自氮化矽、氧化矽、氮氧化矽、氧氮化矽、氮化鋁、氧化鋁、氮氧化鋁或氧氮化鋁中的材料的單層或疊層形成。藉由使用這些材料形成用作基底的絕緣層，可以防止從基板的雜質元素的擴散。

注意，在本說明書中，氮氧化物是指在其組成中氮的含量多於氧的含量的物質，而氧氮化物是指在其組成中氧的含量多於氮的含量的物質。另外，例如可以使用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）等來測量各元素的含量。

導電層 851 可以使用鉬（Mo）、鈦（Ti）、鉻（Cr）、鉭（Ta）、鎢（W）、鋁（Al）、鎂（Mg）、銅（Cu）、釹（Nd）、釷（Sc）等金屬材料或以這些金屬材料為主要成分的合金材料的單層或疊層來形成。

半導體層 852 具有被形成電晶體的半導體層的區域。

半導體層 852 也可以包括非晶矽。半導體層 852 也可以包括多晶矽。或者，半導體層 852 也可以包括有機半導體、氧化物半導體等。

導電層 853 具有用作佈線、電晶體的源極或汲極的區域。

此外，作為導電層 853，例如可以使用選自 Mo、Ti、Cr、Ta、W、Al、Mg、Cu 中的元素或以上述元素為成分的合金、組合上述元素的合金膜等。另外，也可以採用在 Al、Cu 等金屬層的下側和上側的一者或兩者層疊 Ti、Mo、W 等高熔點金屬層的結構。此外，藉由使用添

加有防止產生在 Al 膜中的小丘或晶鬚的元素 (Si、Nd、Sc 等) 的 Al 材料，可以提高耐熱性。

另外，導電層 853 也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO)，氧化銦氧化鋅 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者包含氧化矽的上述金屬氧化物材料。

● 導電層 855 具有用作負載 150 (在本實施方式中，發光元件) 的一個電極的區域。當從對置基板一側取出負載 150 發射的光時使用具有反射光的功能的材料形成導電層 855，而當從元件基板一側取出發光元件發射的光時使用具有透過光的功能的材料形成導電層 855。

接觸孔 856 具有連接導電層 851 和導電層 853 的功能。在導電層 851 與導電層 853 之間具有用作閘極絕緣層的絕緣層 401。

● 絕緣層 401 可以藉由電漿 CVD 法或濺射法等使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鈾的單層或疊層形成。

接觸孔 858 具有連接導電層 853 和導電層 855 的功能。在導電層 853 與導電層 855 之間具有賦予表面的平坦性的絕緣層 403。作為賦予表面的平坦性的絕緣層的材料，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂等有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料 (low-k 材料) 等。

此外，也可以在導電層 853 與導電層 855 之間設置用作鈍化層的絕緣層 402。作為鈍化層，可以使用氮化矽、氮化鋁、氮氧化矽、氮氧化鋁等無機絕緣物。此外，如圖 26A 所示那樣，也可以在導電層 853 和導電層 855 之間層疊而設置用作鈍化層的絕緣層 402 和賦予表面的平坦性的絕緣層 403。

接著，使用圖 26A 和圖 26B 說明在圖 25 所示的俯視圖中的電晶體 101 和電容元件 121 的剖面結構。

在圖 25 及圖 26A 中，例示出作為電晶體 101 使用底閘極型電晶體的例子。在圖 25 及圖 26A 中例示出的底閘極型電晶體 101 也稱為反交錯型電晶體。此外，對電晶體的結構沒有特別的限制，例如可以使用具有頂閘極結構或底閘極結構的交錯型電晶體或平面型電晶體等。此外，電晶體可以採用在半導體層中形成有一個通道形成區域的單閘結構，也可以採用形成有兩個通道形成區域的兩閘結構，還可以採用形成有三個通道形成區域的三閘結構。此外，也可以是具有分別隔著閘極絕緣層配置在通道形成區域上下的兩個閘極電極層的雙閘型結構（dual-gate structure）。

圖 26A 所示的電晶體 101 在基板 400 上包括成為閘極的導電層 851、用作閘極絕緣層的絕緣層 401、半導體層 852、成為源極及汲極的導電層 853。此外，設置有覆蓋電晶體 101 並用作鈍化層的絕緣層 402。此外，在絕緣層 402 上設置有賦予表面的平坦性的絕緣層 403。

在圖 26B 所示的電容元件 121 的剖面圖中，在基板 400 上包括成爲一個電極的導電層 851、絕緣層 401、半導體層 852、成爲另一個電極的導電層 853。此外，設置有覆蓋電容元件 121 並用作鈍化層的絕緣層 402。此外，在絕緣層 402 上設置有賦予表面的平坦性的絕緣層 403。

另外，可以應用於顯示裝置的像素的結構不侷限於圖 25 的俯視圖所示的結構，也可以採用其他結構。

圖 27 示出具有與圖 25 的結構不同的結構的像素的俯視圖。圖 25 與圖 27 不同之處在於可以將電路用作電流源的電晶體 101 的尺寸大於用作開關的電晶體的尺寸。藉由採用上述結構，可以增加可以將電路用作電流源的電晶體 101 能夠流過的電流量。

另外，圖 28 及圖 29 示出具有與圖 25 及圖 27 的結構不同的結構的像素的俯視圖。圖 28 及圖 29 與圖 25 及圖 27 不同之處在於：以圍繞用作電晶體 101 的一個端子的電極的方式用作電晶體 101 的另一個端子的電極具有 U 字形狀。藉由採用上述結構，即使電晶體所占的面積小，也可以將通道寬度設定爲長，因此可以增加可以將電路用作電流源的電晶體 101 能夠流過的電流量。此外，也可以使產生在成爲電晶體 101 的另一個端子的 U 字狀的電極一側的寄生電容大於產生在成爲電晶體 101 的一個端子的電極一側的寄生電容。

另外，在作爲負載 150 並列配置發射不同顏色的光的發光元件的像素的情況下，上述圖 18 所說明的像素電路

也可以採用根據各顏色使可以將電路用作電流源的電晶體 101 或電容元件 122 的尺寸彼此不同的結構。圖 30 的俯視圖示出根據各顏色使可以將電路用作電流源的電晶體 101 的尺寸彼此不同的像素電路的結構例子。在圖 30 中，電晶體 101R 是在具有發射紅光的負載 150 的像素中可以將電路用作電流源的電晶體。此外，在圖 30 中，電晶體 101G 是在具有發射綠光的負載 150 的像素中可以將電路用作電流源的電晶體。此外，在圖 30 中，電晶體 101B 是在具有發射藍光的負載 150 的像素中可以將電路用作電流源的電晶體。此外，在圖 30 中，電容元件 122R 是具有發射紅光的負載 150 的像素中的電容元件。此外，在圖 30 中，電容元件 122G 是具有發射綠光的負載 150 的像素中的電容元件。此外，在圖 30 中，電容元件 122B 是具有發射藍光的負載 150 的像素中的電容元件。藉由採用上述結構，可以向各顏色的負載 150 供應適當量的電流。

另外，在並列配置發射不同顏色的光的負載 150 的像素的情況下，上述圖 18 所說明的像素的俯視圖也可以採用在各顏色中用作電源線的佈線 131 的寬度不同的結構。圖 31 示出根據各顏色使用作電源線的佈線 131 的寬度不同的俯視圖的結構。在圖 31 中，佈線 131R 對應於用來向發射紅光的負載 150 供應電流的佈線。此外，在圖 31 中，佈線 131G 對應於用來向發射綠光的負載 150 供應電流的佈線。此外，在圖 31 中，佈線 131B 對應於用來向發射藍光的負載 150 供應電流的佈線。藉由採用上述結構，

可以向各顏色的負載 150 供應適當量的電流。

另外，在並列配置發射不同顏色的光的負載 150 的像素的情況下，上述圖 18 所說明的像素電路也可以採用按各顏色使負載 150 的電極面積不同的結構。圖 31 還示出在按顏色使負載 150 的電極面積不同的俯視圖的結構。在圖 31 中，負載 150R 對應於發射紅光的發光元件。此外，在圖 31 中，負載 150G 對應於發射綠光的發光元件。另外，在圖 31 中，負載 150B 對應於發射藍光的發光元件。藉由採用上述結構，可以調整各顏色的亮度的平衡。

另外，在上述俯視圖中示出各電晶體是反交錯型電晶體，但是各電晶體也可以是頂閘極型電晶體。圖 32 示出構成像素電路的各電晶體是頂閘極型時的俯視圖。圖 33A 是圖 32 中的雙點劃線 C1-C2 所示的部分的剖面圖，圖 33B 是圖 32 中的雙點劃線 D1-D2 所示的部分的剖面圖。另外，當關於圖 32 和圖 25 的電晶體的結構以外的部分進行比較時，與圖 25 相比圖 32 的接觸孔 859 的個數增加。

接觸孔 859 形成在絕緣層 401 和絕緣層 412 中並具有連接半導體層 852 和導電層 853 的功能。

另外，如圖 32 所示，當構成像素電路的電晶體是頂閘極型時，半導體層較佳為使用非晶矽或多晶矽形成。藉由採用上述結構，在半導體層中導入磷或硼等雜質元素來提高導電性，從而可以將半導體層用作電晶體間的佈線。

在此，使用圖 33A 和圖 33B 說明圖 32 所說明的俯視圖中的電晶體 101 和電容元件 121 的剖面圖的結構。

圖 33A 示出可以應用於電晶體 101 的頂閘極型電晶體的剖面圖結構的一個例子。圖 33B 示出可以應用於電容元件 121 的剖面結構的一個例子。

圖 32 及圖 33A 所例示出的頂閘極型電晶體 101 也稱為平面型電晶體。此外，電晶體可以採用形成有一個通道形成區域的單閘結構，也可以採用形成有兩個通道形成區域的兩閘結構，還可以採用形成有三個通道形成區域的三閘結構。此外，也可以是具有隔著閘極絕緣層配置在通道形成區域上下的兩個閘極電極層的雙閘型結構（dual-gate structure）。

在圖 33A 所示的電晶體 101 的剖面圖中，在基板 400 上包括具有被導入雜質而提高了導電性的雜質區域 852n 的半導體層 852、用作閘極絕緣層的絕緣層 401、成為閘極的導電層 851、用作層間絕緣層的絕緣層 412、成為源極及汲極的導電層 853。此外，設置有覆蓋絕緣層 412 及導電層 853 並賦予表面的平坦性的絕緣層 413。

此外，在圖 33B 所示的電容元件 121 的剖面圖中，在基板 400 上包括絕緣層 401、成為一個電極的導電層 851、絕緣層 412、成為另一個電極的導電層 853。此外，設置有覆蓋絕緣層 412 及導電層 853 並賦予表面的平坦性的絕緣層 413。

圖 34 示出將導入磷或硼等雜質元素等來提高導電性的半導體層用作佈線的結構的俯視圖。此外，在圖 34 中，將提高了導電性的導電層表示為半導體層 860。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 4

在本實施方式中，對構成在上述實施方式中使用圖 18 說明的顯示裝置的像素電路的各電晶體應用在被形成通道的半導體層中使用氧化物半導體的電晶體的電路結構進行說明。

圖 35 所示的像素電路 600 具有如下結構：對圖 18 所示的像素電路 100 所具有的電晶體應用在被形成通道的半導體層中使用氧化物半導體的電晶體的結構。圖 35 中的電晶體 601、電晶體 611T 至電晶體 615T 分別相當於圖 18 中的電晶體 101、電晶體 111T 至電晶體 115T。藉由在被形成通道的半導體層中使用氧化物半導體，可以降低電晶體的關態電流。因此，可以實現錯誤工作少的電路結構。

另外，在本說明書中說明的關態電流是指當電晶體處於非導通狀態時流過源極與汲極之間的電流。在 n 通道型電晶體（例如，臨界電壓為 0V 至 2V 左右）中，關態電流是指當施加到閘極與源極之間的電壓為負電壓時流過源極與汲極之間的電流。

接著，以下說明用於被形成通道的半導體層的氧化物

半導體。

作為氧化物半導體，例如可以使用：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn 類氧化物半導體、In-Sn-Zn 類氧化物半導體、In-Al-Zn 類氧化物半導體、Sn-Ga-Zn 類氧化物半導體、Al-Ga-Zn 類氧化物半導體、Sn-Al-Zn 類氧化物半導體、Hf-In-Zn 類氧化物半導體；二元金屬氧化物的 In-Zn 類氧化物半導體、Sn-Zn 類氧化物半導體、Al-Zn 類氧化物半導體、Zn-Mg 類氧化物半導體、Sn-Mg 類氧化物半導體、In-Mg 類氧化物半導體、In-Ga 類氧化物半導體；以及一元金屬氧化物的 In 類氧化物半導體、Sn 類氧化物半導體、Zn 類氧化物半導體等。此外，也可以使用使上述氧化物半導體含有 In、Ga、Sn、Zn 以外的元素如 SiO_2 而得到的氧化物半導體。

例如，In-Sn-Zn 類氧化物半導體是指包含銦 (In)、錫 (Sn)、鋅 (Zn) 的氧化物半導體，而對其組成沒有限制。此外，例如，In-Ga-Zn 類氧化物半導體是指包含銦 (In)、鎵 (Ga)、鋅 (Zn) 的氧化物半導體，而對其組成沒有限制。另外，也可以將 In-Ga-Zn 類氧化物半導體稱為 IGZO。

此外，當使用濺射法形成 In-Sn-Zn 類氧化物半導體時，靶材組成的原子數比為 $\text{In:Sn:Zn}=1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 或 $20:45:35$ 等。

此外，當使用濺射法形成 In-Zn 類氧化物半導體時，

靶材組成的原子數比為 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$)，較佳為 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$)，更佳為 $\text{In}:\text{Zn}=1.5:1$ 至 $15:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 至 $15:2$)。例如，在靶材的原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 。

另外，當使用濺射法形成 In-Ga-Zn 類氧化物半導體時，可以將靶材組成的原子數比設定為 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 或 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等。

另外，藉由將靶材的純度設定為 99.99% 以上，可以降低混入到氧化物半導體中的鹼金屬、氫原子、氫分子、水、羥基或氫化物等。另外，藉由使用該靶材，在氧化物半導體中可以降低鋰、鈉、鉀等鹼金屬的濃度。

另外，一般地認為，由於氧化物半導體對雜質不敏感，因此即使在膜中包含多量的金屬雜質也沒有問題，而也可以使用包含多量的鹼金屬諸如鈉 (Na) 等的廉價的鈉鈣玻璃 (神谷、野村以及細野，“アモルファス酸化物半導體の物性とデバイス開発の現状 (Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status: 非晶氧化物半導體的物性及裝置開發的現狀)”，固體物理，2009 年 9 月號，Vol.44，pp.621-633)。但是，這種意見不是適當的。因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。在鹼土金屬不是構成氧化物半導體的元素的情況下，

鹼土金屬也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體層接觸的絕緣膜為氧化物的情況下擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體層內，Na 斷裂構成氧化物半導體的金屬與氧的接合或擠進其接合之中。其結果是，例如，產生因臨界電壓漂移到負方向而導致的常導通化、遷移率的降低等的電晶體特性的劣化，而且還產生特性偏差。尤其是在氧化物半導體層中的氫濃度充分低時，該雜質所導致的電晶體的特性劣化及特性偏差的問題變得明顯。因此，當氧化物半導體層中的氫濃度為 $1 \times 10^{18}/\text{cm}^3$ 以下，尤其是 $1 \times 10^{17}/\text{cm}^3$ 以下時，較佳為降低上述雜質的濃度。明確而言，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{16}/\text{cm}^3$ 以下，進一步佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，Li 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，K 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。

以下說明氧化物半導體膜的結構。

氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜等。

非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜

整體具有完全的非晶結構的氧化物半導體膜。

微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶（也稱為奈米晶體）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部為能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部為能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，詳細說明 CAAC-OS 膜。

在利用透射電子顯微鏡（TEM：Transmission Electron Microscope）所得到的 CAAC-OS 膜的影像中，不能明確地觀察到結晶部與結晶部之間的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子遷移率的降低。

由從大致平行於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，由從大致垂直於樣本面的方向利用 TEM

所得到的 CAAC-OS 膜的影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間沒有確認到金屬原子的排列的有序性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，在藉由 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜的情況下，在繞射角度 (2θ) 為 31° 附近有時出現峰值。由於該峰值歸屬於 InGaZnO_4 結晶的 (009) 面，所以可以確認到 CAAC-OS 膜的結晶具有 c 軸配向性並且 c 軸在大致垂直於 CAAC-OS 膜的被形成面或頂面的方向上配向。

另一方面，在藉由從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜的情況下，在 2θ 為 56° 附近有時出現峰值。該峰值歸屬於 InGaZnO_4 結晶的 (110) 面。在此，假設樣本是 InGaZnO_4 的單晶氧化物半導體膜，在將 2θ 固定為 56° 附近的狀態下，一邊以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本一邊進行分析 (ϕ 掃描)，此時觀察到六個歸屬於等價於 (110) 面的結晶面的峰值。另一方面，在該樣本是 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸

在平行於被形成面或頂面的法線向量的方向上配向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於平行於結晶的 ab 面的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，在藉由蝕刻等改變 CAAC-OS 膜的形狀的情況下，有時結晶的 c 軸未必平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度未必均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的區域的晶化度高於被形成面附近的區域。另外，在對 CAAC-OS 膜添加雜質時，被添加雜質的區域的晶化度變化，有時部分性地形成晶化度不同的區域。

注意，在藉由 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。 2θ 為 36° 附近的峰值示出不具有 c 軸配向性的結晶包括在 CAAC-OS 膜的一部分中。較佳的是，CAAC-OS 膜在 2θ 為 31° 附近出現峰值並在 2θ 為 36° 附近不出現峰值。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

注意，氧化物半導體膜例如既可以包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

另外，也可以用氮取代構成氧化物半導體的氧的一部分。以下，參照圖 36A 至圖 39B 詳細地說明包括在 CAAC-OS 中的結晶結構的一個例子。注意，在沒有特別的說明時，在圖 36A 至圖 39B 中，以垂直方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 36A 至圖 36E 中，使用圓圈圍繞的 O 示出四配位 O，而使用雙重圓圈圍繞的 O 示出三配位 O。

圖 36A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 36A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 36A 的上一半及下一半中分別具有三個四配位 O。圖 36A 所示的小組的電荷為 0。

圖 36B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 36B 的上一半及下一半分別具有一個四配位 O。另外，因為 In 也採用五配位，所以也有可能採用圖 36B 所示的結構。圖 36B 所示的小組的電荷為 0。

圖 36C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 36C 的上半部具有有一個四配位 O，並且在下半部具有有三個四配位 O。或者，也可以在圖 36C 的上半部具有有三個四配位 O，並且在下半部具有有一個四配位 O。圖 36C 所示的小組的電荷為 0。

圖 36D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 36D 的上半部具有有三個四配位 O，並且在下半部具有有三個四配位 O。圖 36D 所示的小組的電荷為 +1。

圖 36E 示出包括兩個 Zn 的小組。在圖 36E 的上半部具有有一個四配位 O，並且在下半部具有有一個四配位 O。圖 36E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元）。

這裏，說明這些小組彼此接合的規則。圖 36A 所示的六配位 In 的上半部的三個 O 在下方向上分別具有有三個靠近的 In，而 In 的下半部的三個 O 在上方向上分別具有有三個靠近的 In。圖 36B 所示的五配位 Ga 的上半部的一個 O 在下方向上具有有一個靠近的 Ga，而 Ga 的下半部的一個 O 在上方向上具有有一個靠近的 Ga。圖 36C 所示的四配位 Zn 的上半部的一個 O 在下方向上具有有一個靠近的 Zn，而 Zn 的下半部的三個 O 在上方向上分別具有有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，

金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。以下示出其理由。例如，在六配位金屬原子（In 或 Sn）藉由下一半的四配位 O 接合時，因為四配位 O 的個數爲 3，所以其與五配位金屬原子（Ga 或 In）和四配位金屬原子（Zn）中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成爲 0 的方式使多個小組接合構成中組。

圖 37A 示出構成 In-Sn-Zn 類氧化物的層結構的中組的模型圖。圖 37B 示出由三個中組構成的大組。另外，圖 37C 示出從 c 軸方向上觀察圖 37B 的層結構時的原子排列。

在圖 37A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 37A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。此外，與此同樣，在圖 37A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一

個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 37A 中，構成 In-Sn-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 36E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 37B 所示的大組來可以得到 In-Sn-Zn 類氧化物的結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn 類氧化物的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。



此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 38A 示出構成 In-Ga-Zn 類氧化物的層結構的中組的模型圖。

在圖 38A 中，構成 In-Ga-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別具有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 38B 示出由三個中組構成的大組。另外，圖 38C

示出從 c 軸方向上觀察圖 38B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn 類氧化物的層結構的中組不侷限於圖 38A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 38B 所示的大組來可以得到 In-Ga-Zn 類氧化物的結晶。注意，可以得到的 In-Ga-Zn 類氧化物的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 是自然數）表示。

在 $n=1$ （ InGaZnO_4 ）時，例如會得到圖 39A 所示的結晶結構。另外，在圖 39A 所示的結晶結構中，如圖 36B 所說明，因為 Ga 及 In 採用五配位，所以也會得到 In 取代 Ga 的結構。

在 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）時，例如會得到圖 39B 所示的結晶結構。另外，在圖 39B 所示的結晶結構中，如圖 36B 所說明，因為 Ga 及 In 採用五配位，所以也會得到 In 取代 Ga 的結構。

此外，包括 CAAC-OS 的膜（以下，也稱為“CAAC-OS 膜”）例如可以使用多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於

a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀的濺射粒子保持結晶狀態到達基板，使濺射靶材的結晶狀態轉置到基板上，因此在基板上可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲適用如下條件。

藉由降低成膜時的雜質濃度，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質。明確而言，使用露點爲 -80°C 以下，較佳爲 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子附著到基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100°C 以上且 740°C 以下，較佳爲 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定爲 30vol.% 以上，較佳爲 100vol.%。

以下，作爲濺射靶材的一個例子示出 In-Ga-Zn 類氧化物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的比率混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下

的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 類氧化物靶材。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合比率可以根據所製造的濺射靶材適當地改變。

另外，形成 CAAC-OS 膜的膜表面（被形成面）較佳為平坦。這是因為：由於 CAAC-OS 膜具有大致垂直於該被形成面的 c 軸，所以存在於該被形成面的凹凸會引發 CAAC-OS 膜中的晶界的產生。因此，較佳在形成 CAAC-OS 膜之前對該被形成表面進行化學機械拋光（CMP，即 Chemical Mechanical Polishing）等平坦化處理。另外，該被形成面的平均粗糙度較佳為 0.5nm 以下，更佳為 0.3nm 以下。

另外，有時在藉由濺射等形成的氧化物半導體中包含作為雜質的水分或氫（包括羥基）。在本發明的一個方式中，為了減少氧化物半導體（或者，使用氧化物半導體形成的半導體層）中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍下、氮或稀有氣體等惰性氣體氛圍下、氧氣氛圍下或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測量時的水分量是 20ppm（露點換算為 -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體進行加熱處理。



藉由對氧化物半導體進行加熱處理，可以使氧化物半導體中的水分或氫脫離。明確而言，在 250°C 以上且 750°C 以下，較佳為在 400°C 以上且低於基板的應變點的溫度下進行加熱處理，即可。例如，以 500°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。當作為加熱處理使用 RTA 法時，可以在短時間內進行脫水化或脫氫化，因此也能以超過玻璃基板的應變點的溫度進行處理。

這樣在使氧化物半導體中的水分或氫脫離之後添加氧。像這樣，藉由減少氧化物半導體中等的氧缺陷，可以使氧化物半導體成為 i 型化或無限趨近於 i 型。

例如，藉由形成接觸於氧化物半導體且具有其氧量多於化學計量組成的區域的絕緣膜，然後進行加熱來可以進行氧的添加。這樣，可以對氧化物半導體供應絕緣膜中的過剩的氧，來可以使氧化物半導體處於包含過剩的氧的狀態。過剩包含的氧例如存在於構成氧化物半導體的結晶的晶格間。

另外，也可以將具有其氧量多於化學計量組成的區域的絕緣膜僅用於與氧化物半導體接觸的絕緣膜中的位於上層的絕緣膜和位於下層的絕緣膜中的某一方，但是較佳為用於兩者的絕緣膜。藉由將具有其氧量多於化學計量組成的區域的絕緣膜用於與氧化物半導體接觸的絕緣膜中的位於上層及下層的絕緣膜，以形成夾著氧化物半導體的結構，從而可以進一步提高上述效果。

在此，具有其氧量多於化學計量成分比區域的絕緣膜

既可以為單層的絕緣膜又可以為層疊的多個絕緣膜構成。此外，該絕緣膜較佳儘量不包含水分或氫等雜質。當在絕緣膜中包含氫時，該氫侵入到氧化物半導體，或氫抽出氧化物半導體中的氧，而使氧化物半導體低電阻化（n型化），因此有可能形成寄生通道。因此，為了使絕緣膜儘量不含有氫，當形成膜時不使用氫是重要的。此外，絕緣膜較佳為使用阻擋性高的材料。例如，作為阻擋性高的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氧化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，將氮的含有比率低的氧化矽膜、氧氮化矽膜等的絕緣膜形成在與上述阻擋性高的絕緣膜相比更接近氧化物半導體一側。然後，以夾著含氮比率低的絕緣膜且與氧化物半導體重疊的方式形成阻擋性高的絕緣膜。藉由使用阻擋性高的絕緣膜，可以防止水分或氫等雜質侵入到氧化物半導體內或者氧化物半導體與其他絕緣膜的介面及其附近。另外，藉由以與氧化物半導體接觸的方式形成氮比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，從而可以防止使用阻擋性高的材料的絕緣膜直接接觸於氧化物半導體。

此外，使氧化物半導體中的水分或氫脫離之後的氧的添加也可以在氧氣氛圍下對氧化物半導體進行加熱處理來實施。加熱處理的溫度例如為 100°C 以上且小於 350°C ，較佳為 150°C 以上且小於 250°C 。上述用於氧氣氛圍下的加熱處理的氧氣較佳為不包含水、氫等。或者，較佳將導入到加熱處理裝置中的氧氣的純度設定為 6N

(99.9999%) 以上，更佳設定為 7N (99.99999%) 以上 (即，將氧中的雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下)。

或者，使氧化物半導體中的水分或氫脫離之後的氧添加也可以利用離子植入法或離子摻雜法等進行。例如，將以 2.45GHz 的微波電漿化後的氧添加到氧化物半導體，即可。

可以將上述那樣形成的氧化物半導體層用於電晶體的半導體層。像這樣，可以得到關態電流顯著降低了的電晶體。

或者，電晶體 601 的半導體層也可以包含微晶矽。微晶矽是具有非晶和晶體結構 (包括單晶、多晶) 之間的中間結構的半導體。在微晶矽中結晶粒徑為 2nm 以上且 200nm 以下，較佳為 10nm 以上且 80nm 以下，更佳為 20nm 以上且 50nm 以下，進一步佳為 25nm 以上且 33nm 以下的柱狀結晶或針狀結晶相對於基板表面沿法線方向成長。因此，柱狀結晶或針狀結晶的介面有時形成有晶界。

或者，電晶體 601 的半導體層也可以包含非晶矽。或者，電晶體 601 的半導體層也可以包含多晶矽。或者，電晶體 601 的半導體層也可以包含有機半導體或碳奈米管等。

另外，電晶體 601 的半導體層也可以採用層疊有多個氧化物半導體層的結構。例如，也可以作為半導體層使用第一氧化物半導體層和第二氧化物半導體層的疊層，並且

第一氧化物半導體層和第二氧化物半導體層分別使用不同的組成的金屬氧化物。例如，也可以作為第一氧化物半導體層使用三元金屬氧化物，作為第二氧化物半導體層使用二元金屬氧化物。另外，例如，也可以作為第一氧化物半導體層和第二氧化物半導體層都使用三元金屬氧化物。

此外，也可以使第一氧化物半導體層和第二氧化物半導體層的構成元素相同，並使兩者的組成不同。例如，也可以將第一氧化物半導體層的原子數比設定為 $\text{In:Ga:Zn}=1:1:1$ ，將第二氧化物半導體層的原子數比設定為 $\text{In:Ga:Zn}=3:1:2$ 。另外，也可以將第一氧化物半導體層的原子數比設定為 $\text{In:Ga:Zn}=1:3:2$ ，將第二氧化物半導體層的原子數比設定為 $\text{In:Ga:Zn}=2:1:3$ 。

此時，較佳將第一氧化物半導體層和第二氧化物半導體層中的離閘極電極近的一側（通道一側）的氧化物半導體層的 In 和 Ga 的含有率設定為 $\text{In}>\text{Ga}$ 。另外，較佳將離閘極電極遠的一側（背通道一側）的氧化物半導體層的 In 和 Ga 的含有率設定為 $\text{In}\leq\text{Ga}$ 。

在氧化物半導體中，重金屬的 s 軌道主要有助於載流子傳導，並且藉由增加 In 的含有率呈現增加 s 軌道的重疊率的傾向，由此具有 $\text{In}>\text{Ga}$ 的組成的氧化物的遷移率比具有 $\text{In}\leq\text{Ga}$ 的組成的氧化物高。另外， Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，由此具有 $\text{In}\leq\text{Ga}$ 的組成的氧化物與具有 $\text{In}>\text{Ga}$ 的組成的氧化物相比具有穩定的特性。



藉由在通道一側使用具有 $In > Ga$ 的組成的氧化物半導體並在背通道一側使用具有 $In \leq Ga$ 的組成的氧化物半導體，可以進一步提高電晶體的遷移率及可靠性。

另外，也可以作為第一氧化物半導體層和第二氧化物半導體層使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。此外，在作為第一氧化物半導體層和第二氧化物半導體層中的至少一方使用非晶氧化物半導體時，可以緩和半導體層的內部應力或外部應力，降低電晶體的特性不均勻，並進一步提高電晶體的可靠性。

另一方面，非晶氧化物半導體容易吸收氫等成為施體的雜質，並且，容易產生氧缺陷而成為 n 型化。由此，通道一側的氧化物半導體層較佳為使用 CAAC-OS 等具有結晶性的氧化物半導體。

另外，在作為電晶體使用底閘極結構的通道蝕刻型電晶體的情況下，在背通道一側使用非晶氧化物半導體時，形成源極電極及汲極電極時的蝕刻處理導致氧缺陷，而容易使非晶氧化物半導體 n 型化。因此，在使用通道蝕刻型電晶體時，較佳為作為背通道一側的氧化物半導體層使用具有結晶性的氧化物半導體。

另外，作為半導體層也可以採用三層以上的疊層結構。並且，作為半導體層也可以採用非晶氧化物半導體層夾在具有結晶性的多個氧化物半導體層之間的結構。另

外，也可以採用具有結晶性的氧化物半導體層與非晶氧化物半導體層交替層疊的結構。

在作為氧化物半導體層採用多個層的疊層結構時，上述結構可以適當地組合而使用。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 5

在本實施方式中，說明具有驅動電路的半導體裝置的一個例子。

使用圖 40A 和圖 40B 說明根據本實施方式的半導體裝置的結構例子。

圖 40A 所示的半導體裝置具有驅動電路（也稱為 Drv）901、驅動電路 902、佈線 903、佈線 904、佈線 905 以及單位電路（也稱為 UC）910。此外，也可以設置多個單位電路 910。例如，藉由設置多個單位電路作為像素電路，可以構成顯示裝置。

驅動電路 901 具有藉由佈線 903 對單位電路 910 輸入電位或信號來控制單位電路 910 的功能。

驅動電路 901 例如使用移位暫存器等構成。

驅動電路 902 具有藉由佈線 904 對單位電路 910 輸入



電位或信號來控制單位電路 910 的功能。

驅動電路 902 例如使用移位暫存器等構成。

此外，也可以在與單位電路 910 同一的基板上設置驅動電路 901 和驅動電路 902 中的一個。

作為佈線 905，例如可以舉出供應電位的佈線或供應信號的佈線等。佈線 905 與驅動電路 901 或其他電路連接。此外，佈線 905 的個數也可以是複數。

如圖 40B 所示那樣，也可以將與單位電路 910 的不同元件連接的多個佈線在設置有單位電路 910 的區域 900 的外部彼此連接，來將其用作佈線 905。

如使用圖 40A 和圖 40B 進行說明那樣，在根據本實施方式的半導體裝置的一個例子中，可以將單位電路和驅動電路設置在同一基板上。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 6

在本實施方式中，參照圖 41A 和圖 41B 說明具有上述實施方式所示的像素結構的顯示面板的結構。

另外，圖 41A 是示出顯示面板 6000 的俯視圖。圖 41B 是圖 41A 中的點劃線 E1-E2 所示的部分的剖面圖。顯

示面板 6000 包括在圖 41A 中以虛線表示的信號線驅動電路 6701、像素部 6702、第一掃描線驅動電路 6703、第二掃描線驅動電路 6706。此外，顯示面板 6000 還包括基板 6710、密封基板 6704、密封材料 6705。由密封材料 6705 圍繞的內側是空間 6707。

另外，形成在基板 6710 上的佈線 6708 是用來傳輸輸入到信號線驅動電路 6701、第一掃描線驅動電路 6703 以及第二掃描線驅動電路 6706 的信號的佈線。並且，從用作外部輸入端子的 FPC (FPC: Flexible Printed Circuit, 撓性印刷電路) 6709 接收視頻信號、時脈信號、起始信號等。在 FPC6709 和顯示面板的連接部分上，藉由 COG (Chip On Glass: 玻璃上晶片) 等安裝有 IC 晶片 6719 (形成有記憶體電路、緩衝器電路等的半導體晶片)。此外，儘管在此僅圖示了 FPC6709，但是也可以在該 FPC6709 上安裝有印刷線路板 (PWB: Printed Wiring Board)。本說明書中的顯示裝置不僅包括顯示面板的主體，還包括安裝有 FPC 或 PWB 的顯示面板。此外，還包括安裝有 IC 晶片等的顯示面板。

下面，參照圖 41B 說明剖面結構。在基板 6710 上形成有像素部 6702 和其週邊驅動電路 (第一掃描線驅動電路 6703、第二掃描線驅動電路 6706 以及信號線驅動電路 6701)。在此，示出信號線驅動電路 6701 和像素部 6702。

另外，信號線驅動電路 6701 由單一導電型的電晶體

如 n 通道型電晶體 6720 和 n 通道型電晶體 6721 構成。另外，藉由作為像素結構使用圖 25 以及圖 33A 和圖 33B 的像素結構，可以使用單一導電型的電晶體構成像素。因此，當由 n 通道型電晶體形成週邊驅動電路時，可以製造使用單一導電型的電晶體的顯示面板。當然，不僅使用單一導電型的電晶體，而且還可以使用 p 通道型電晶體形成 CMOS 電路。此外，在本實施方式中示出在基板上一起形成有週邊驅動電路的顯示面板，但是本發明不侷限於此，週邊驅動電路的整體或一部分也可以形成在 IC 晶片等上並且藉由 COG 等安裝。在上述情況下，驅動電路不需要是單一導電型的，而可以組合 p 通道型電晶體使用。

另外，像素部 6702 具有電晶體 6711、電晶體 6712。另外，電晶體 6712 的源極電極連接到第一電極 6713（像素電極）。此外，以覆蓋第一電極 6713 的端部的方式形成有絕緣層 6714。在此，藉由使用正型感光性丙烯酸樹脂膜，形成絕緣層 6714。

此外，為了改善覆蓋率，以將覆蓋第一電極 6713 的端部的絕緣層 6714 的上端部或下端部形成為具有曲率的曲面的方式形成絕緣層 6714。例如，在採用正型感光性丙烯酸樹脂作為絕緣層 6714 的材料的情況下，較佳僅將絕緣層 6714 的上端部形成為具有曲率半徑（ $0.2\mu\text{m}$ 至 $3\mu\text{m}$ ）的曲面。此外，作為絕緣層 6714，可以使用負型感光性樹脂或正型感光性樹脂。

在第一電極 6713 上分別形成有包含有機化合物的層

6716 以及第二電極 6717（反電極）。在此，作為用於用作陽極的第一電極 6713 的材料，較佳為使用具有高功函數的材料。例如，除了使用 ITO（銦錫氧化物）膜、氧化銦鋅膜、氮化鈦膜、鉻膜、鎢膜、Zn 膜、Pt 膜等的單層膜以外，還可以使用氮化鈦膜和以鋁為主要成分的膜的疊層以及氮化鈦膜、以鋁為主要成分的膜與氮化鈦膜的三層結構等。此外，當採用疊層結構時，可以降低佈線的電阻，並實現優良的歐姆接觸，且將該疊層結構用作陽極。

此外，藉由使用蒸鍍遮罩的蒸鍍法或噴墨法形成包含有機化合物的層 6716。作為包含有機化合物的層 6716，其一部分使用元素週期表的第四族的金屬錯合物。作為能夠與該金屬錯合物組合而使用的材料，可以使用低分子類材料或高分子類材料。此外，通常，作為用於包含有機化合物的層的材料，大多使用單層或疊層的有機化合物。但是，在本實施方式中也包括在由有機化合物構成的膜中的一部分使用無機化合物的結構。再者，也可以使用已知的三重態材料。

再者，作為用於形成在包含有機化合物的層 6716 上的用作陰極的第二電極 6717 的材料，使用具有低功函數的材料（Al、Ag、Li、Ca，或這些材料的合金諸如 MgAg、MgIn、AlLi、CaF₂ 或 Ca₃N₂），即可。另外，當在包含有機化合物的層 6716 中產生的光透過第二電極 6717 時，較佳為使用使其膜厚成為薄的金屬薄膜和透明導電膜（ITO（氧化銦氧化錫）、氧化銦氧化鋅（In₂O₃-



ZnO) 或者氧化鋅 (ZnO) 等) 的疊層作為第二電極 6717 (陰極)。

再者，藉由利用密封材料 6705 將密封基板 6704 和基板 6710 貼在一起，得到發光元件 6718 被配置在由基板 6710、密封基板 6704 以及密封材料 6705 圍繞的空間 6707 中的結構。注意，空間 6707 可以填充有惰性氣體 (氮、氬等)、樹脂材料、密封材料 6705。

另外，較佳為使用環氧類樹脂作為密封材料 6705。此外，這些材料較佳是盡可能不使水分和氧透過的材料。此外，作為密封基板 6704，除了使用玻璃基板、石英基板以外，還可以使用由 FRP (Fiberglass-Reinforced Plastics: 玻璃纖維強化塑膠)、PVF (聚氟乙烯)、聚酯、丙烯酸樹脂等構成的塑膠基板。

藉由上述步驟，可以得到具有上述實施方式的像素結構的顯示面板。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、上位概念化或下位概念化的方式。因此，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

實施方式 7

在本實施方式中，說明具有作為顯示模組的功能的半導體裝置的例子。

使用圖 42 說明根據本實施方式的半導體裝置的結構例子。圖 42 是用來說明根據本實施方式的半導體裝置的結構例子的圖。

圖 42 所示的半導體裝置包括顯示面板 951、藉由端子 953 連接到顯示面板 951 的電路基板 952 以及與顯示面板 951 重疊的觸摸屏 954。

作為顯示面板 951，可以適用本發明的一個方式的半導體裝置。

在電路基板 952 中，例如設置有具有控制顯示面板 951 或觸摸屏 954 的驅動的功能的電路等。

作為觸摸屏 954，例如可以使用電容式觸摸屏、電阻膜式觸摸屏和光學式觸摸屏等中的一個或多個。此外，也可以代替觸摸屏 954 或者除了觸摸屏 954 以外例如設置外殼、放熱板、光學薄膜、偏光板、相位差板、稜鏡片、擴散板、背光等來形成顯示模組。

如圖 42 所示那樣，根據本實施方式的半導體裝置使用在其他實施方式中示出的半導體裝置和觸摸屏等其他構成要素構成。

此外，也可以一起形成觸摸屏與顯示面板 951。例如，當在形成有電晶體或發光元件的基板（元件基板）上設置有對置基板時，也可以在該對置基板的表面上形成觸摸屏用電極等。對置基板有時具有密封發光元件的功能，也可以具有觸摸屏的功能。或者，元件基板也可以具有觸摸屏功能。

實施方式 8

在本實施方式中說明電子裝置的例子。

圖 43A 至圖 43H 以及圖 44A 至圖 44H 是示出電子裝置的圖。這些電子裝置可以包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005（包括電源開關或操作開關）、連接端子 5006、感測器 5007（它具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風 5008 等。

圖 43A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外線埠 5010 等。圖 43B 示出具備儲存介質的可攜式影像再現裝置（例如 DVD 再現裝置），該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 5002、儲存介質讀取部 5011 等。圖 43C 示出護目鏡型顯示器，該護目鏡型顯示器除了上述以外還可以包括第二顯示部 5002、支撐部 5012、耳機 5013 等。圖 43D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括儲存介質讀取部 5011 等。圖 43E 示出具有電視接收功能的數位相機，該數位相機除了上述以外還可以包括天線 5014、快門按鈕 5015、影像接收部 5016 等。圖 43F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括

第二顯示部 5002、儲存介質讀取部 5011 等。圖 43G 示出電視接收機，該電視接收機除了上述以外還可以包括調諧器、影像處理部等。圖 43H 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 5017 等。圖 44A 示出顯示器，該顯示器除了上述以外還可以包括支撐台 5018 等。圖 44B 示出相機，該相機除了上述以外還可以包括外部連接埠 5019、快門按鈕 5015、影像接收部 5016 等。圖 44C 示出電腦，該電腦除了上述以外還可以包括指向裝置 5020、外部連接埠 5019、讀寫器 5021 等。圖 44D 示出行動電話機，該行動電話機除了上述以外還可以包括發送部、接收部、用於行動電話 / 移動終端的單波段播放（one-segment broadcasting）部分接收服務用調諧器等。

圖 43A 至圖 43H、圖 44A 至圖 44D 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體（程式）控制處理；進行無線通信；藉由利用無線通信功能來連接到各種電腦網路；藉由利用無線通信功能，進行各種資料的發送或接收；讀出儲存在儲存介質中的程式或資料來將其顯示在顯示部上等。再者，在具有多個顯示部的電子裝置中，可以具有如下功能：一個顯示部主要顯示影像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的影像來顯示立體影

像等。再者，在具有影像接收部的電子裝置中，可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手動校正；將所拍攝的影像儲存在儲存介質（外部或內置於相機）中；將所拍攝的影像顯示在顯示部上等。注意，圖 43A 至圖 43H、圖 44A 至圖 44D 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

本實施方式所述的電子裝置的特徵在於具有用來顯示某些資訊的顯示部。

下面，說明半導體裝置的應用例子。

圖 44E 示出將半導體裝置和建築物設置為一體的例子。圖 44E 包括外殼 5022、顯示部 5023、作為操作部的遙控單元 5024、揚聲器 5025 等。半導體裝置以壁掛式的方式結合到建築物內並且可以不需要較大的空間而設置。

圖 44F 示出在建築物內將半導體裝置和建築物設置為一體的另一個例子。顯示面板 5026 和浴室 5027 設置為一體，並且洗澡的人可以觀看顯示面板 5026。

注意，在本實施方式中，舉出牆、浴室作為建築物的例子。但是，本實施方式不侷限於此，也可以將半導體裝置安裝到各種建築物。

下面，示出將半導體裝置和移動體設置為一體的例子。

圖 44G 是示出將半導體裝置設置到汽車中的例子的圖。顯示面板 5028 被安裝到汽車的車體 5029，並且可以

根據需要而顯示車體的工作或從車體內部或外部輸入的資訊。另外，也可以具有導航功能。

圖 44H 是示出將半導體裝置和旅客用飛機設置為一體的例子圖。圖 44H 是示出在將顯示面板 5031 設置在旅客用飛機的座位上方的天花板 5030 的情況下的使用形狀的圖。顯示面板 5031 藉由鉸鏈部 5032 被結合到天花板 5030，並且利用鉸鏈部 5032 的伸縮乘客可以觀看顯示面板 5031。顯示面板 5031 具有藉由乘客的操作來顯示資訊的功能。

注意，在本實施方式中，例示出汽車、飛機作為移動體，但是不限於此，還可以設置在各種移動體諸如摩托車、自動四輪車（包括汽車、公共汽車等）、電車（包括單軌、鐵路等）以及船舶等。

注意，在本說明書等中，可以在某一個實施方式中所述的圖式或文章中取出其一部分而構成發明的一個方式。從而，在記載有說明某一部分的圖式或文章的情況下，取出其一部分的圖式或文章的內容也是作為發明的一個方式被公開的，所以能夠構成發明的一個方式。因此，例如，可以在記載有一個或多個有源元件（電晶體、二極體等）、佈線、無源元件（電容元件、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、構件、裝置、工作方法、製造方法等的圖式或文章中，取出其一部分而構成發明的一個方式。例如，可以從具有 N 個（ N 是整數）電路元件（電晶體、電容元件等）構成的電路圖中



取出 M 個 (M 是整數, $M < N$) 電路元件 (電晶體、電容元件等) 來構成發明的一個方式。作為其他例子, 可以從具有 N 個 (N 是整數) 層構成的剖面圖中取出 M 個 (M 是整數, $M < N$) 層來構成發明的一個方式。再者, 作為其他例子, 可以從具有 N 個 (N 是整數) 要素構成的流程圖中取出 M 個 (M 是整數, $M < N$) 要素來構成發明的一個方式。

此外, 在本說明書等中, 在某一個實施方式所述的圖式或文章中記載至少一個具體例子的情況下, 所屬技術領域的普通技術人員可以很容易地理解一個事實就是由上述具體例子導出該具體例子的上位概念。從而, 在某一個實施方式中所述的圖式或文章中記載至少一個具體例子的情況下, 該具體例子的上位概念也作為發明的一個方式被公開, 並可以構成發明的一個方式。

另外, 在本說明書等中, 至少在圖式中記載的內容 (也可以是圖式中的一部分) 作為發明的一個方式被公開, 並可以構成發明的一個方式。因此, 只要在圖式中記載某一個內容, 即使不使用文章描述, 就該內容作為發明的一個方式被公開, 並可以構成發明的一個方式。同樣地, 取出圖式中的一部分的圖式也作為發明的一個方式被公開, 並可以構成發明的一個方式。

【符號說明】

17: 負載

- 51 : 顯示裝置
- 52 : 像素區域
- 53 : 閘極線驅動電路
- 54 : 信號線驅動電路
- 55 : 移位暫存器
- 56 : 鎖存電路
- 57 : 鎖存電路
- 58 : 數位類比轉換電路
- 59 : 參考電流源電路
- 60 : 參考電流源電路
- 70 : 開關
- 100 : 像素電路
- 101 : 電晶體
- 109 : 佈線
- 111 : 開關
- 112 : 開關
- 113 : 開關
- 114 : 開關
- 115 : 開關
- 121 : 電容元件
- 122 : 電容元件
- 123 : 電容元件
- 131 : 佈線
- 132 : 佈線



- 133 : 佈線
- 134 : 佈線
- 135 : 佈線
- 141 : 節點
- 142 : 節點
- 143 : 節點
- 144 : 節點
- 145 : 節點
- 146 : 節點
- 147 : 節點
- 150 : 負載
- 161 : 佈線
- 162 : 佈線
- 163 : 佈線
- 164 : 佈線
- 165 : 佈線
- 166 : 佈線
- 167 : 佈線
- 171 : 開關
- 172 : 開關
- 174 : 開關
- 181 : 電路
- 182 : 電路
- 183 : 電路

- 184 : 電路
- 185 : 電路
- 186 : 電路
- 187 : 電路
- 190 : 電路
- 201 : 期間
- 202 : 期間
- 203 : 期間
- 204 : 期間
- 205 : 期間
- 301 : 信號線驅動電路
- 303 : 電位供應電路
- 304 : 電位供應電路
- 305 : 電位供應電路
- 306 : 電位供應電路
- 310 : 像素區域
- 400 : 基板
- 401 : 絕緣層
- 402 : 絕緣層
- 403 : 絕緣層
- 412 : 絕緣層
- 413 : 絕緣層
- 600 : 像素電路
- 601 : 電晶體



- 851 : 導電層
- 852 : 半導體層
- 853 : 導電層
- 854 : 導電層
- 855 : 導電層
- 856 : 觸摸孔
- 858 : 觸摸孔
- 859 : 觸摸孔
- 860 : 半導體層
- 900 : 區域
- 901 : 驅動電路
- 902 : 驅動電路
- 903 : 佈線
- 904 : 佈線
- 905 : 佈線
- 910 : 單位電路
- 951 : 顯示面板
- 952 : 電路基板
- 953 : 端子
- 954 : 觸控面板
- 2021 : 期間
- 2041 : 期間
- 5000 : 外殼
- 5001 : 顯示部

- 5002 : 顯示部
- 5003 : 揚聲器
- 5004 : LED 燈
- 5005 : 操作鍵
- 5006 : 連接端子
- 5007 : 感測器
- 5008 : 麥克風
- 5009 : 開關
- 5010 : 紅外線埠
- 5011 : 儲存介質讀取部
- 5012 : 支撐部
- 5013 : 耳機
- 5014 : 天線
- 5015 : 快門按鈕
- 5016 : 接收部
- 5017 : 充電器
- 5018 : 支架
- 5019 : 外部連接埠
- 5020 : 指向裝置
- 5021 : 讀寫器
- 5022 : 外殼
- 5023 : 顯示部
- 5024 : 遙控單元
- 5025 : 揚聲器



- 5026 : 顯示面板
- 5027 : 浴室
- 5028 : 顯示面板
- 5029 : 車體
- 5030 : 天花板
- 5031 : 顯示面板
- 5032 : 鉸鏈部
- 6000 : 顯示面板
- 6701 : 信號線驅動電路
- 6702 : 像素部
- 6703 : 掃描線驅動電路
- 6704 : 密封基板
- 6705 : 密封材料
- 6706 : 掃描線驅動電路
- 6707 : 空間
- 6708 : 佈線
- 6709 : FPC
- 6710 : 基板
- 6711 : 電晶體
- 6712 : 電晶體
- 6713 : 電極
- 6714 : 絕緣層
- 6716 : 層
- 6717 : 電極

6718 : 發光元件

6719 : IC 晶片

6720 : 電晶體

6721 : 電晶體

101B : 電晶體

101G : 電晶體

101R : 電晶體

111T : 電晶體

112T : 電晶體

113T : 電晶體

114T : 電晶體

115T : 電晶體

122B : 電容元件

122G : 電容元件

122R : 電容元件

131B : 佈線

131G : 佈線

131R : 佈線

150B : 負載

150G : 負載

150R : 負載

171T : 電晶體

172T : 電晶體

174T : 電晶體



186A : 電路

186B : 電路

186C : 電路

186D : 電路

186E : 電路

186F : 電路

186G : 電路

190_1 : 電路

190_2 : 電路

190_3 : 電路

302A : 掃描線驅動電路

302B : 掃描線驅動電路

302C : 掃描線驅動電路

302D : 掃描線驅動電路

302E : 掃描線驅動電路

611T : 電晶體

615T : 電晶體

70_1 : 開關

70_2 : 開關

70_3 : 開關

852n : 雜質區域

申請專利範圍

1. 一種半導體裝置，包括：

電晶體；

負載；

第一電容元件；

第二電容元件；

第一開關；

第二開關；

第三開關；

第四開關；以及

第五開關，

其中，該電晶體的源極和汲極中的一方與該負載電連接，

該電晶體的源極和汲極中的另一方與第一佈線電連接，

該電晶體的閘極藉由該第一開關與第二佈線電連接，

該電晶體的閘極與該第一電容元件的第一電極電連接，

該第一電容元件的第二電極藉由該第二開關與第三佈線電連接，

該第一電容元件的第二電極藉由該第三開關與該第二電容元件的第一電極電連接，

該第二電容元件的第一電極藉由該第四開關與該電晶體的閘極電連接，

該第二電容元件的第二電極與該負載電連接，
並且，該第二電容元件的第二電極藉由該第五開關與
第四佈線電連接。

2.根據申請專利範圍第 1 項之半導體裝置，還包括第
六開關，

其中該電晶體的閘極藉由該第六開關與該電晶體的源
極和汲極中的另一方電連接。

3.根據申請專利範圍第 1 項之半導體裝置，還包括第
六開關，

其中該電晶體的閘極藉由該第六開關與第五佈線電連
接。

4.根據申請專利範圍第 1 項之半導體裝置，還包括第
六開關以及第七開關，

其中該電晶體的閘極藉由該第六開關與該電晶體的源
極和汲極中的另一方電連接，

並且該電晶體的源極和汲極中的另一方藉由該第七開
關與該第一佈線電連接。

5.根據申請專利範圍第 1 項之半導體裝置，還包括第
六開關以及第七開關，

其中該電晶體的閘極藉由該第六開關與該電晶體的源
極和汲極中的另一方電連接，

並且該電晶體的源極和汲極中的一方藉由該第七開關
與該負載電連接。

6.根據申請專利範圍第 1 項之半導體裝置，還包括第

六開關，

其中該電晶體的源極和汲極中的一方藉由該第六開關與該負載電連接。

7.根據申請專利範圍第 1 項之半導體裝置，其中該電晶體是空乏型電晶體。

8.根據申請專利範圍第 1 項之半導體裝置，其中該第一開關是第一電晶體，該第二開關是第二電晶體，該第三開關是第三電晶體，該第四開關是第四電晶體，並且該第五開關是第五電晶體。

9.根據申請專利範圍第 8 項之半導體裝置，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體以及該第五電晶體具有相同導電型。

10.一種包括根據申請專利範圍第 1 項之半導體裝置的顯示面板，其中該負載是顯示元件。

11.一種包括根據申請專利範圍第 1 項之半導體裝置以及操作開關的電子裝置。

12.一種半導體裝置，包括：

第一電容元件；

第二電容元件；

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；以及

第六電晶體，

其中，該第一電晶體的源極和汲極中的一方與像素電極電連接，

該第一電晶體的源極和汲極中的另一方與第一佈線電連接，

該第二電晶體的源極和汲極中的一方與該第一電晶體的閘極電連接，

該第二電晶體的源極和汲極中的另一方與第二佈線電連接，

該第一電容元件的第一電極與該第一電晶體的閘極電連接，

該第一電容元件的第二電極與該第三電晶體的源極和汲極中的一方電連接，

該第三電晶體的源極和汲極中的另一方與第三佈線電連接，

該第四電晶體的源極和汲極中的一方與該第一電容元件的第二電極電連接，

該第四電晶體的源極和汲極中的另一方與該第二電容元件的第一電極電連接，

該第二電容元件的第二電極與該像素電極電連接，

該第五電晶體的源極和汲極中的一方與該第二電容元

件的第一電極電連接，

該第五電晶體的源極和汲極中的另一方與該第一電晶體的閘極電連接，

該第六電晶體的源極和汲極中的一方與該第二電容元件的第二電極電連接，

並且，該第六電晶體的源極和汲極中的另一方與第四佈線電連接。

13.根據申請專利範圍第 12 項之半導體裝置，還包括第七電晶體，

其中該第七電晶體的源極和汲極中的一方與該第一電晶體的閘極電連接，

並且該第七電晶體的源極和汲極中的另一方與該第一電晶體的源極和汲極中的另一方電連接。

14.根據申請專利範圍第 12 項之半導體裝置，還包括第七電晶體，

其中該第七電晶體的源極和汲極中的一方與該第一電晶體的閘極電連接，

並且該第七電晶體的源極和汲極中的另一方與第五佈線電連接。

15.根據申請專利範圍第 12 項之半導體裝置，還包括第七電晶體以及第八電晶體，

其中該第七電晶體的源極和汲極中的一方與該第一電晶體的閘極電連接，

該第七電晶體的源極和汲極中的另一方與該第一電晶

體的源極和汲極中的另一方電連接，

該第八電晶體的源極和汲極中的一方與該第一電晶體的源極和汲極中的另一方電連接，

並且該第八電晶體的源極和汲極中的另一方與該第一佈線電連接。

16.根據申請專利範圍第 12 項之半導體裝置，還包括第七電晶體以及第八電晶體，

其中該第七電晶體的源極和汲極中的一方與該第一電晶體的閘極電連接，

該第七電晶體的源極和汲極中的另一方與該第一電晶體的源極和汲極中的另一方電連接，

該第八電晶體的源極和汲極中的一方與該第一電晶體的源極和汲極中的一方電連接，

並且該第八電晶體的源極和汲極中的另一方與該像素電極電連接。

17.根據申請專利範圍第 12 項之半導體裝置，還包括第七電晶體，

其中該第七電晶體的源極和汲極中的一方與該第一電晶體的源極和汲極中的一方電連接，

並且該第七電晶體的源極和汲極中的另一方與該像素電極電連接。

18.根據申請專利範圍第 12 項之半導體裝置，

其中該第一電晶體是空乏型電晶體。

19.根據申請專利範圍第 12 項之半導體裝置，

該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體具有相同導電型。

20.一種包括根據申請專利範圍第 12 項之半導體裝置的顯示面板，

其中顯示元件包括該像素電極。

21.一種包括根據申請專利範圍第 12 項之半導體裝置以及操作開關的電子裝置。

22.一種半導體裝置的驅動方法，該半導體裝置包括電晶體、負載、第一電容元件、第二電容元件、第一開關、第二開關、第三開關、第四開關以及第五開關，其中該電晶體的源極和汲極中的一方與該負載電連接，該電晶體的源極和汲極中的另一方與第一佈線電連接，該電晶體的閘極藉由該第一開關與第二佈線電連接，該電晶體的閘極與該第一電容元件的第一電極電連接，該第一電容元件的第二電極藉由該第二開關與第三佈線電連接，該第一電容元件的第二電極藉由該第三開關與該第二電容元件的第一電極電連接，該第二電容元件的第一電極藉由該第四開關與該電晶體的閘極電連接，該第二電容元件的第二電極與該負載電連接，並且該第二電容元件的第二電極藉由該第五開關與第四佈線電連接，該方法包括如下步驟：

當該第一開關、該第二開關、該第四開關和該第五開關處於導通狀態且該第三開關處於截止狀態時，對該第一電容元件的第一電極與該第一電容元件的第二電極之間施

加第一電壓且對該第二電容元件的第一電極與該第二電容元件的第二電極之間施加第二電壓；

當該第一開關、該第二開關和該第四開關處於導通狀態且該第三開關和該第五開關處於截止狀態時，直到該第二電容元件的第一電極與該第二電容元件的第二電極之間的電位差成爲第三電壓爲止釋放積蓄在該第二電容元件中的電荷；

當該第一開關、該第二開關和該第四開關處於截止狀態且該第三開關和該第五開關處於導通狀態時，對該電晶體的閘極與該電晶體的源極和汲極中的一方之間施加該第一電壓和該第三電壓的總計電壓；以及

當該第一開關、該第二開關、該第四開關和該第五開關處於截止狀態且該第三開關處於導通狀態時，對該負載供應對應於該總計電壓的電流。

23.根據申請專利範圍第 22 項之半導體裝置的驅動方法，

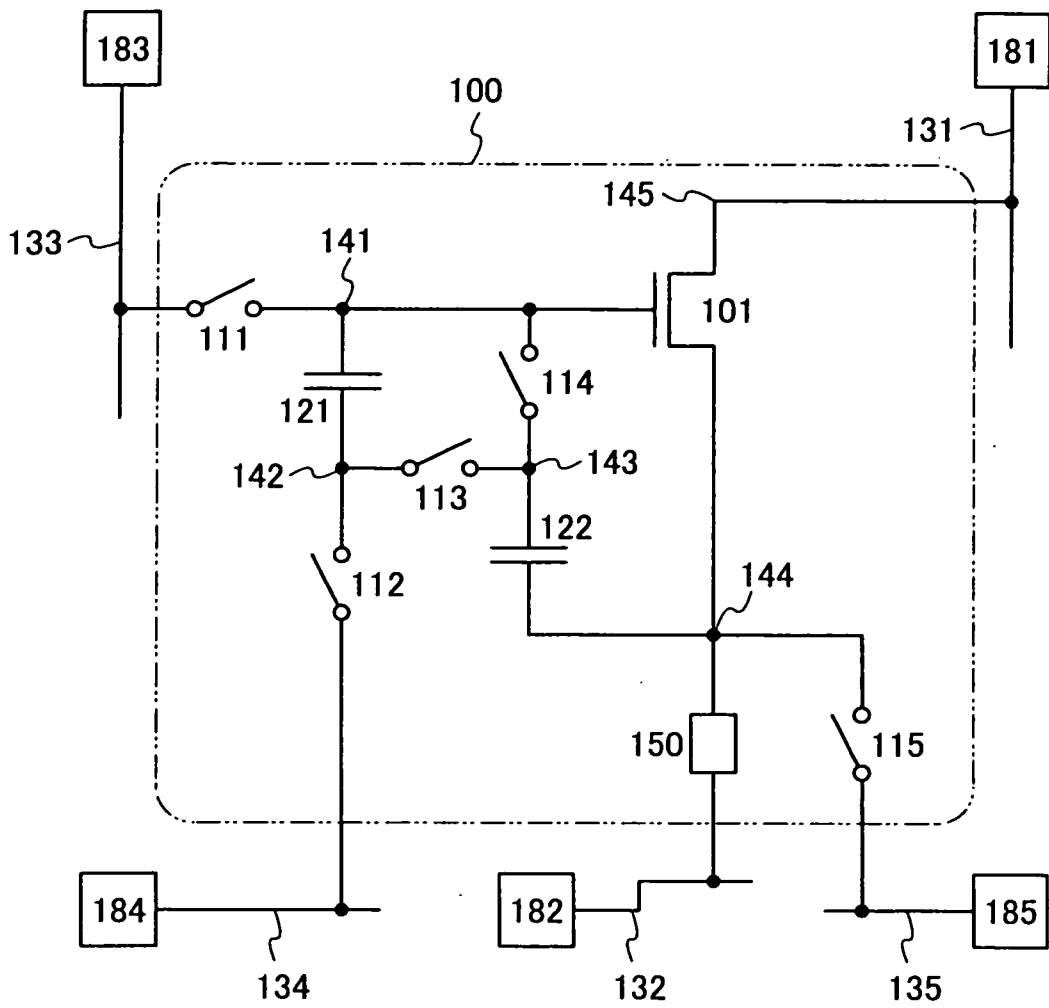
其中該第三電壓實質上等於該電晶體的臨界電壓。

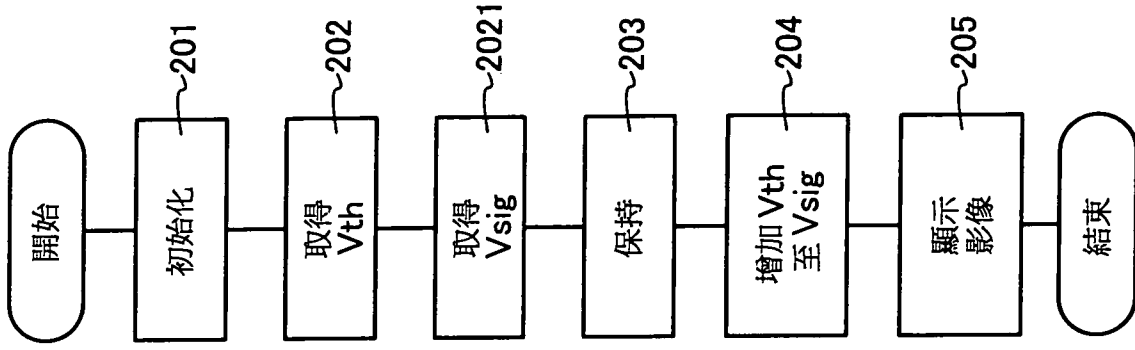
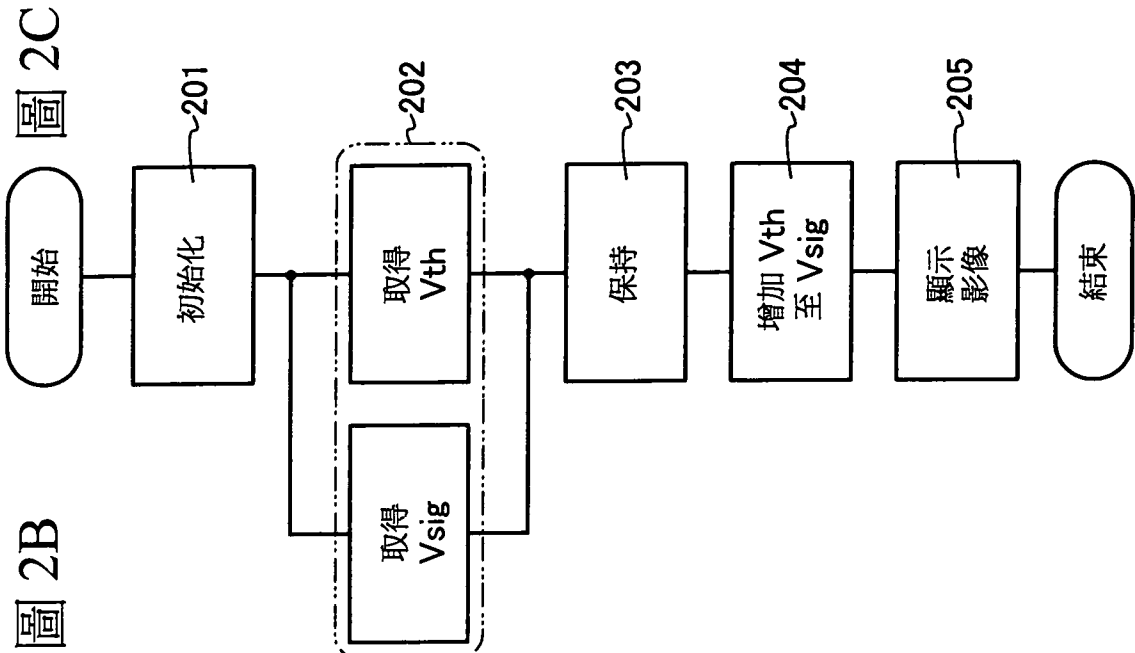
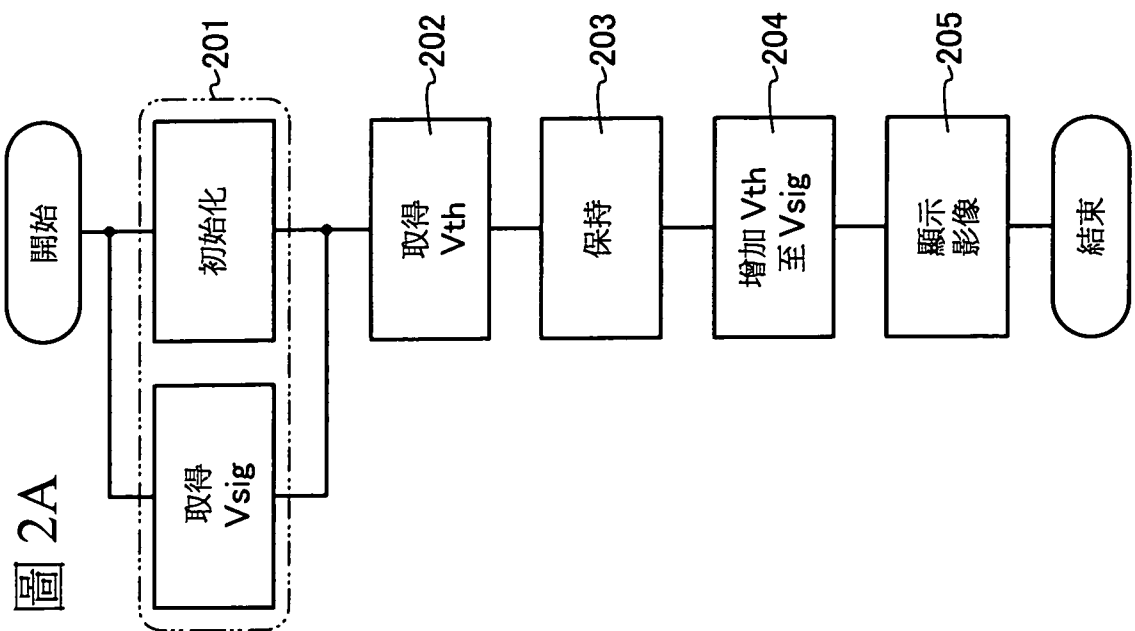
24.根據申請專利範圍第 22 項之半導體裝置的驅動方法，

其中該供應到該負載的電流量依賴於供應到該第二佈線的影像信號。

圖式

圖 1





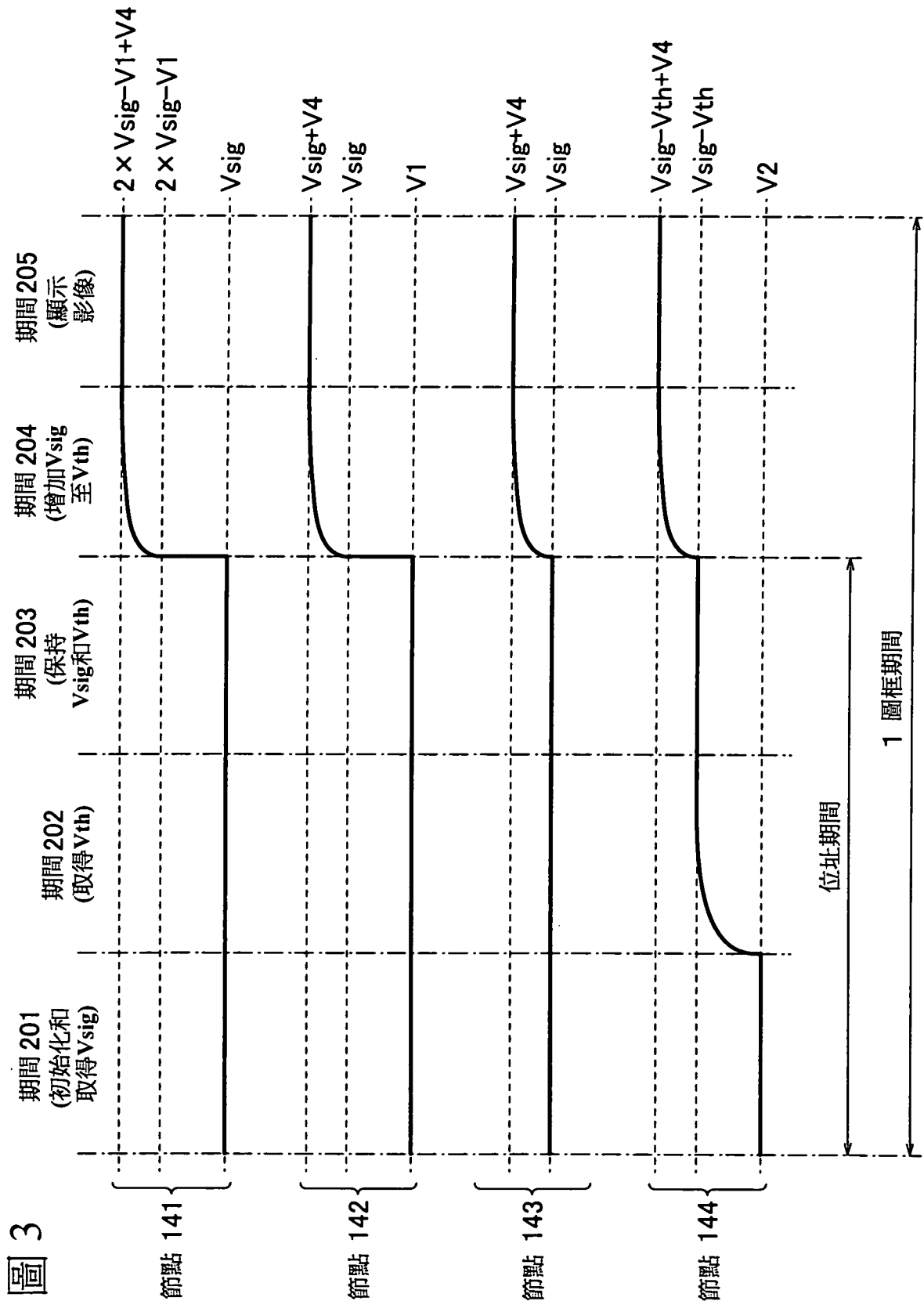


圖 4A

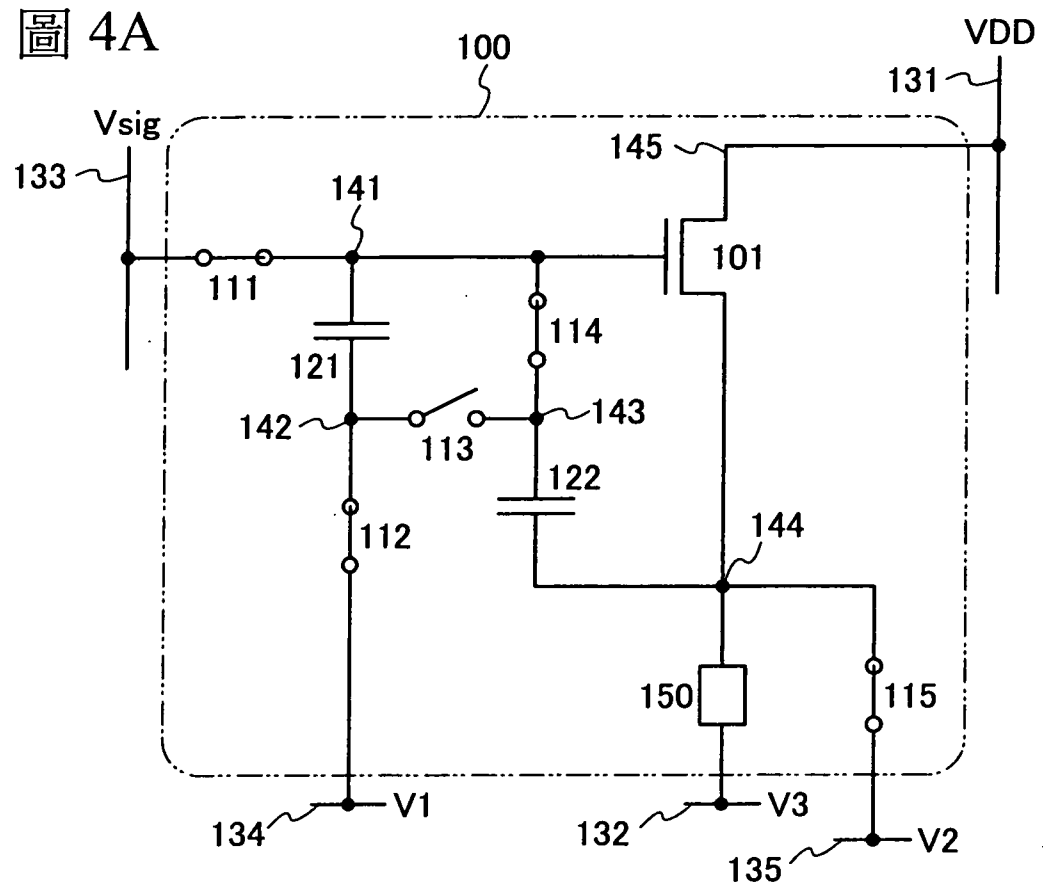


圖 4B

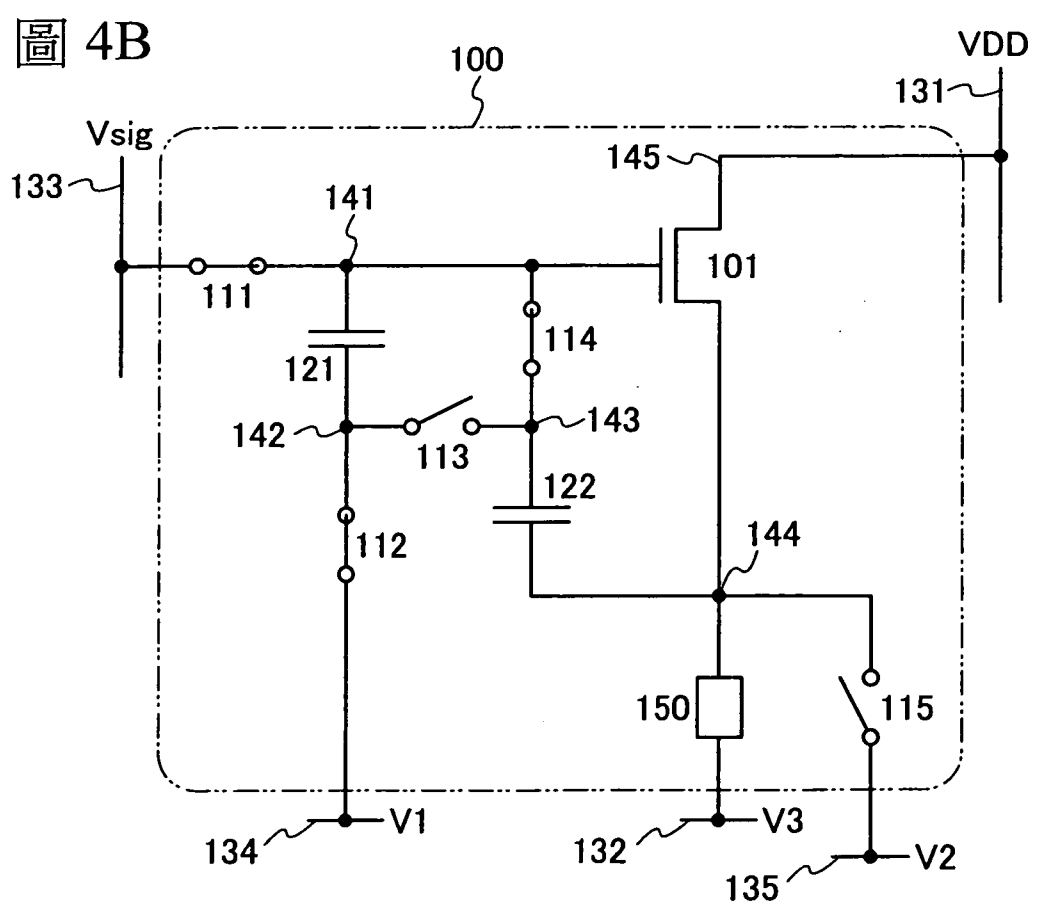


圖 5A

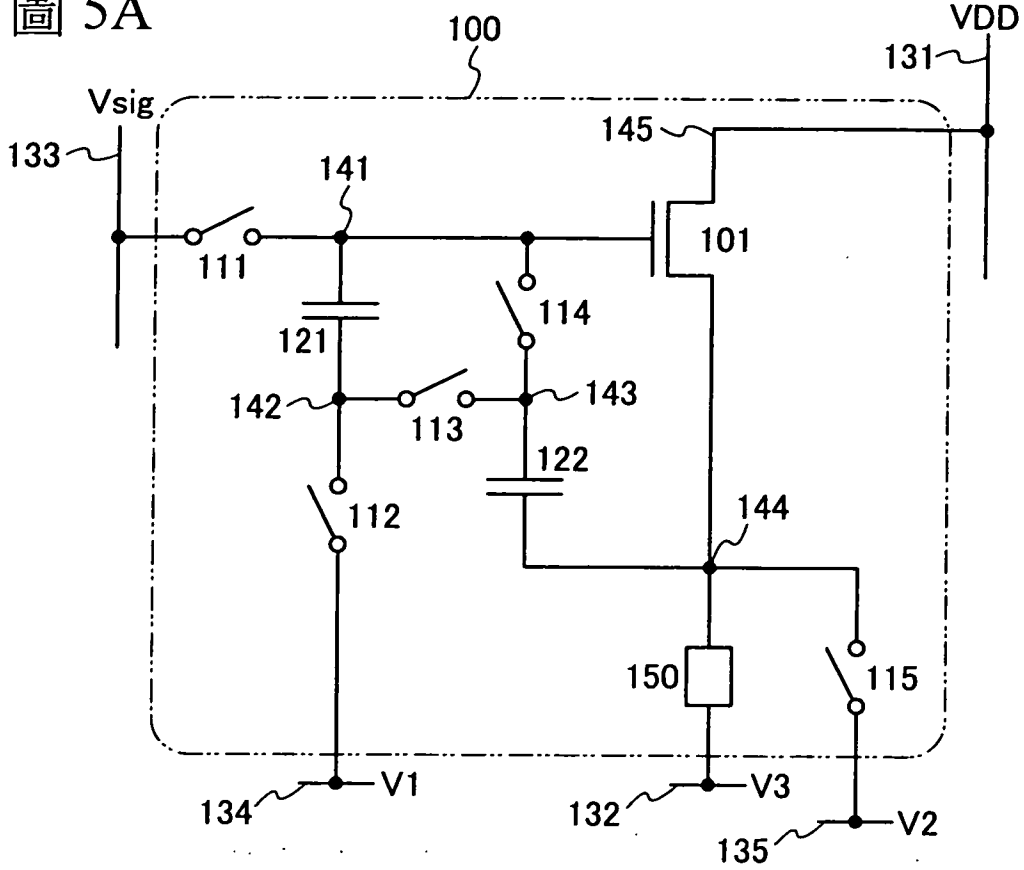


圖 5B

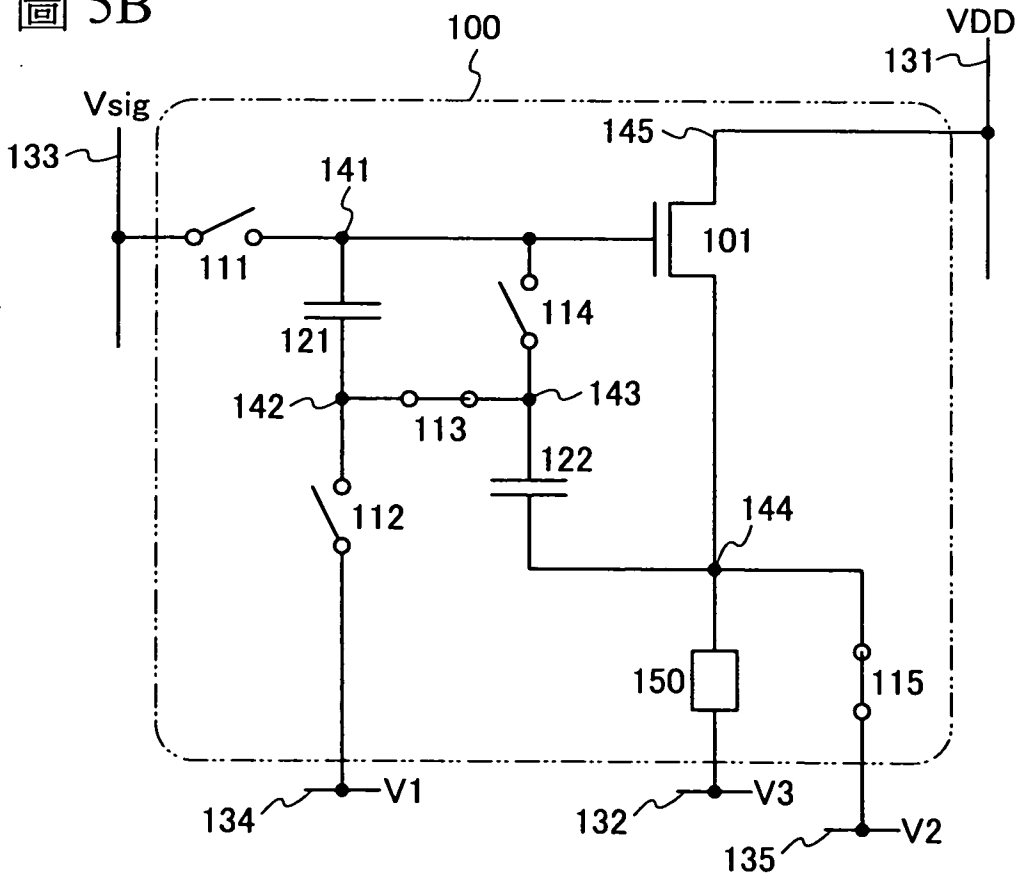


圖 6

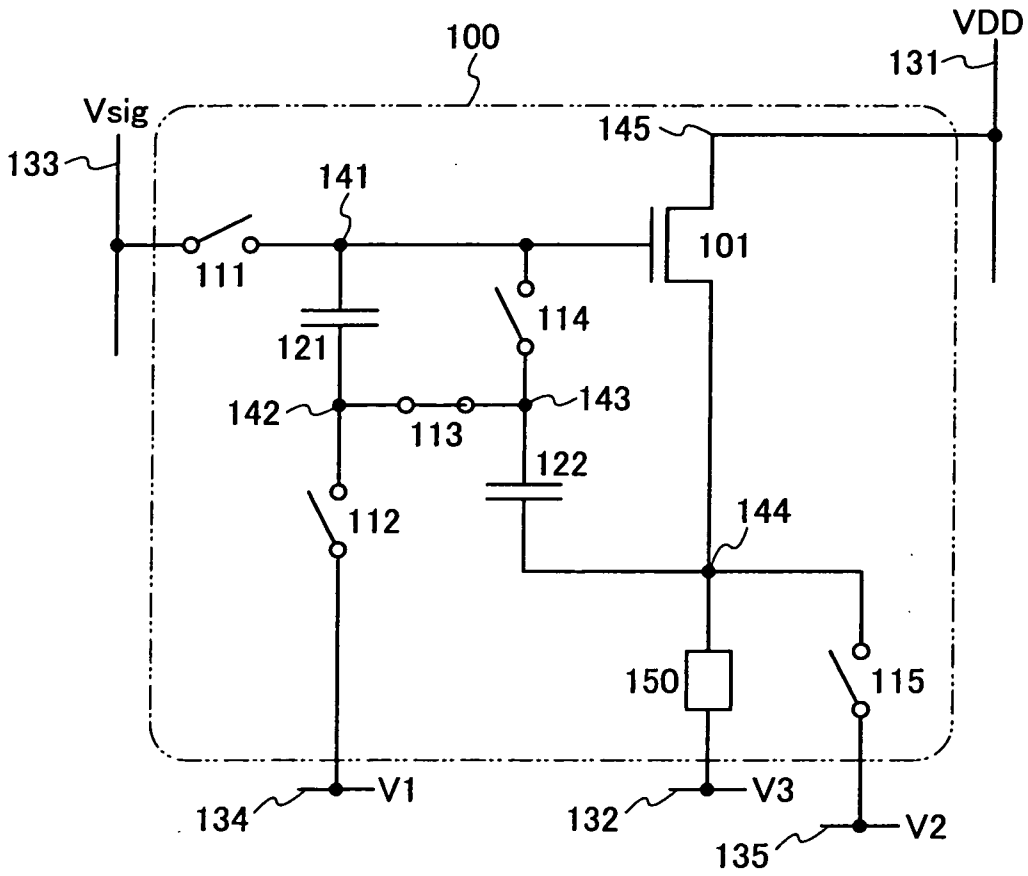


圖 7A

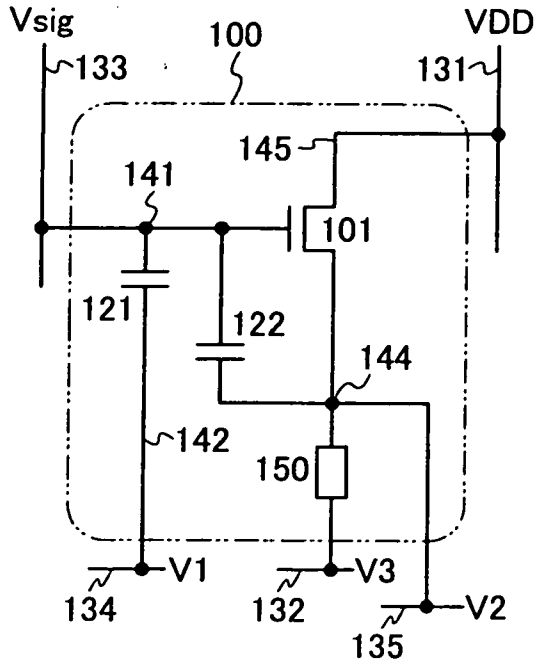


圖 7B

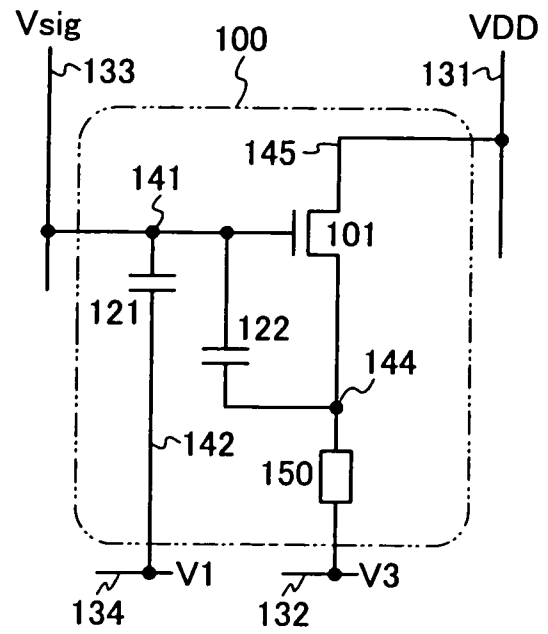


圖 7C

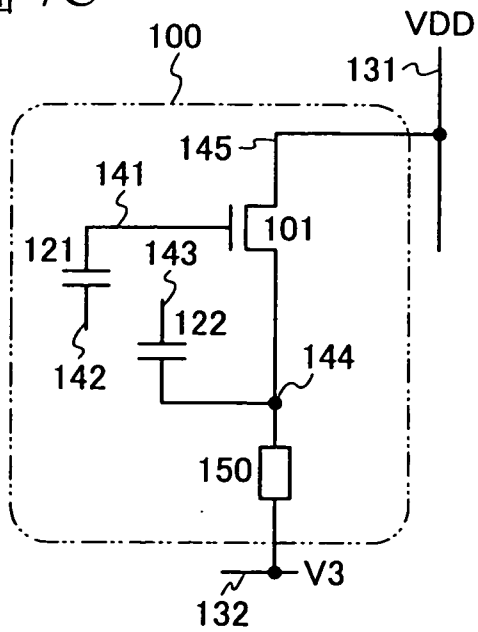


圖 7D

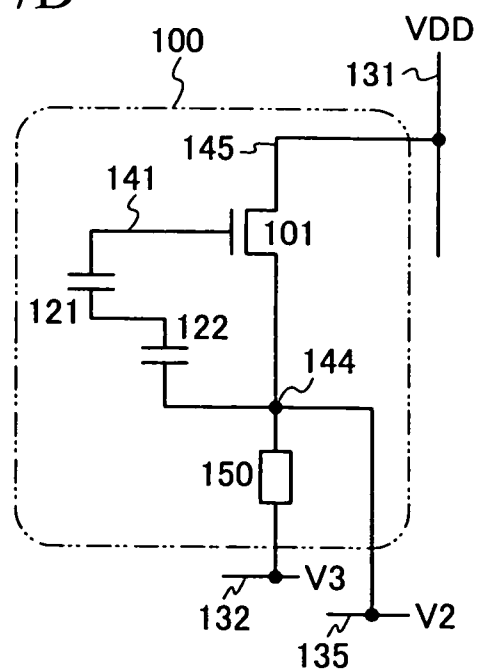


圖 8

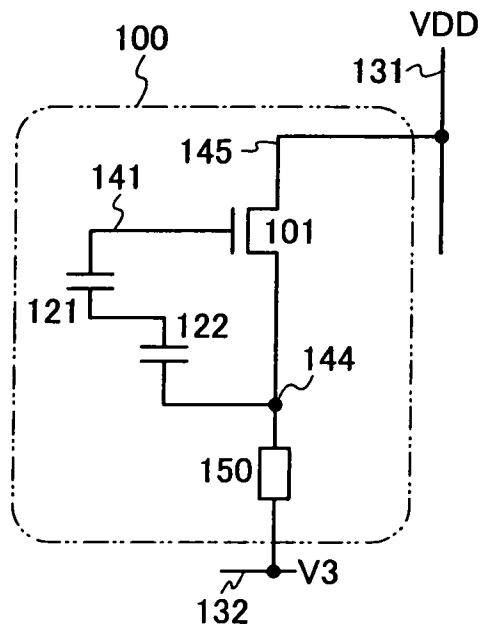


圖 9

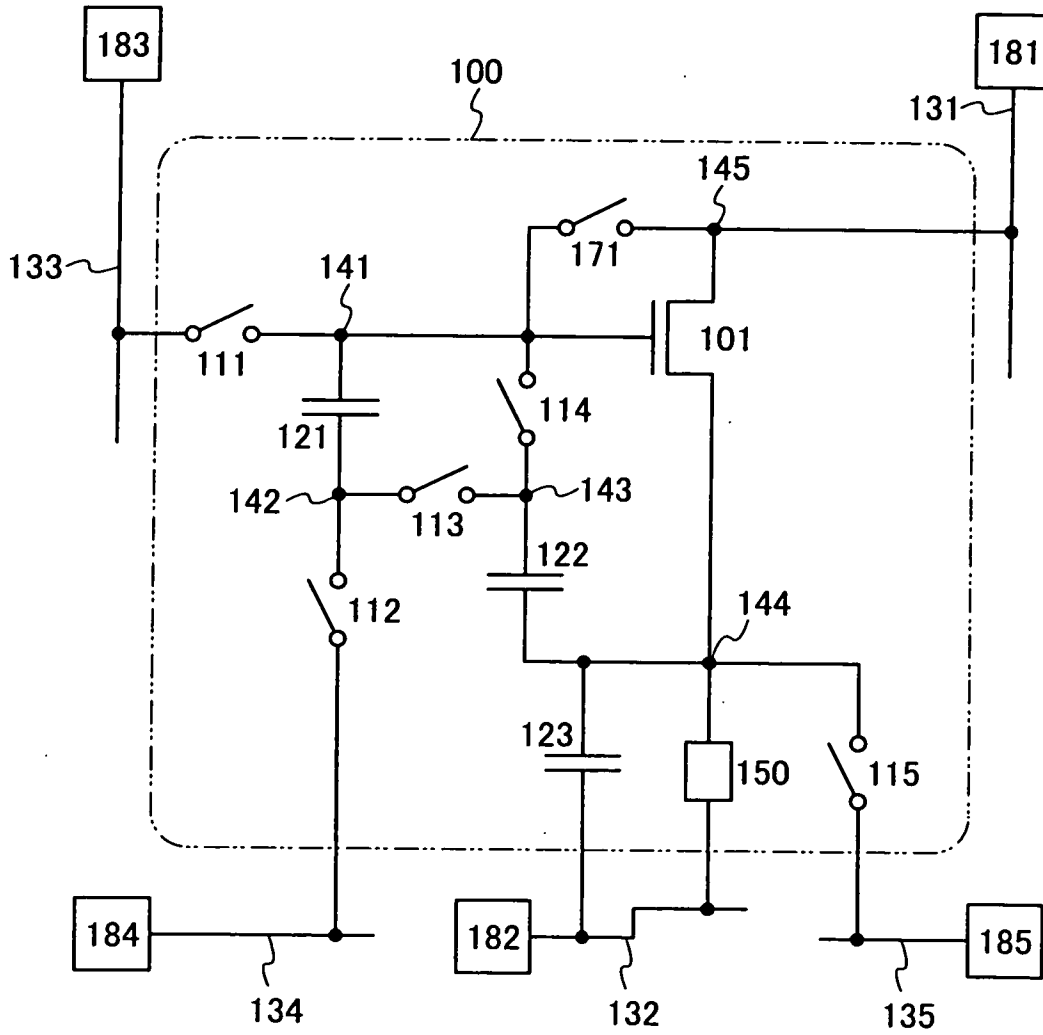


圖 10

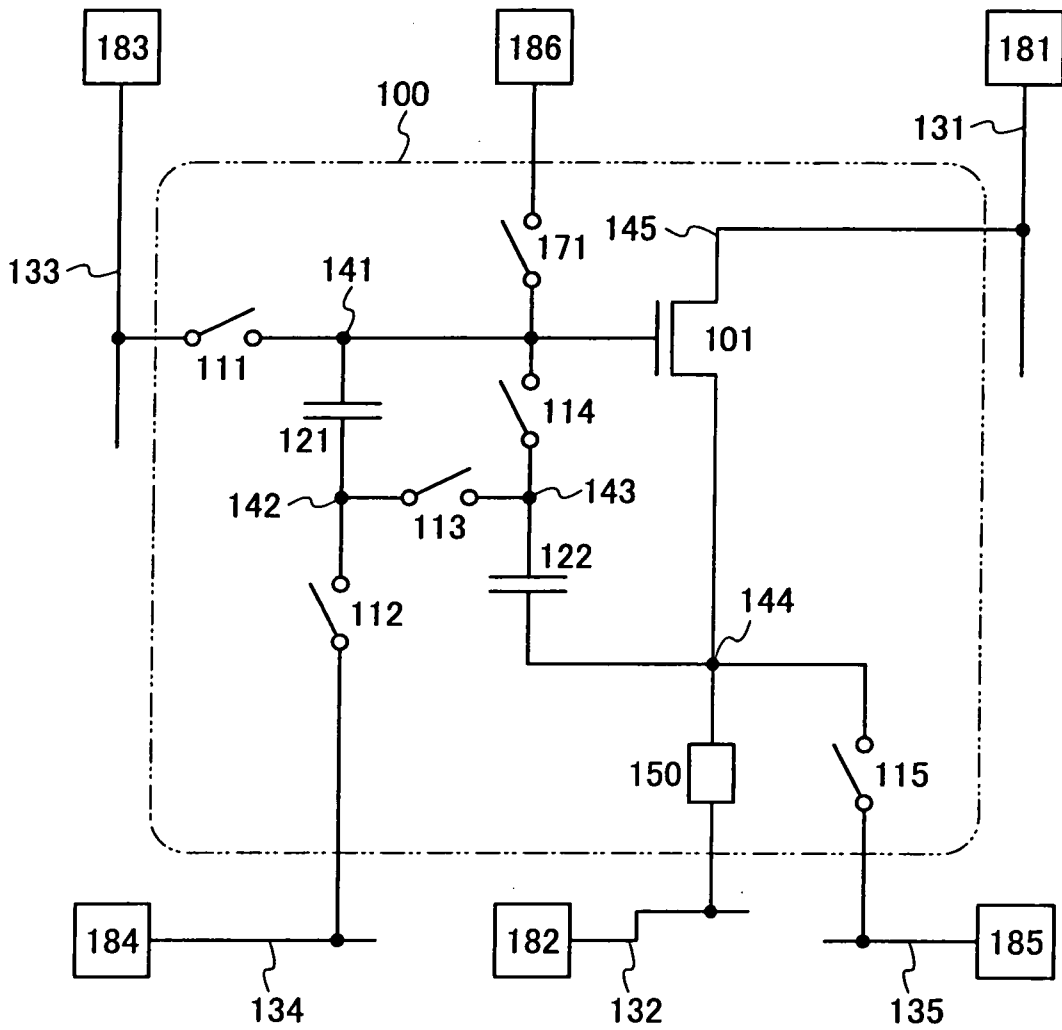


圖 11

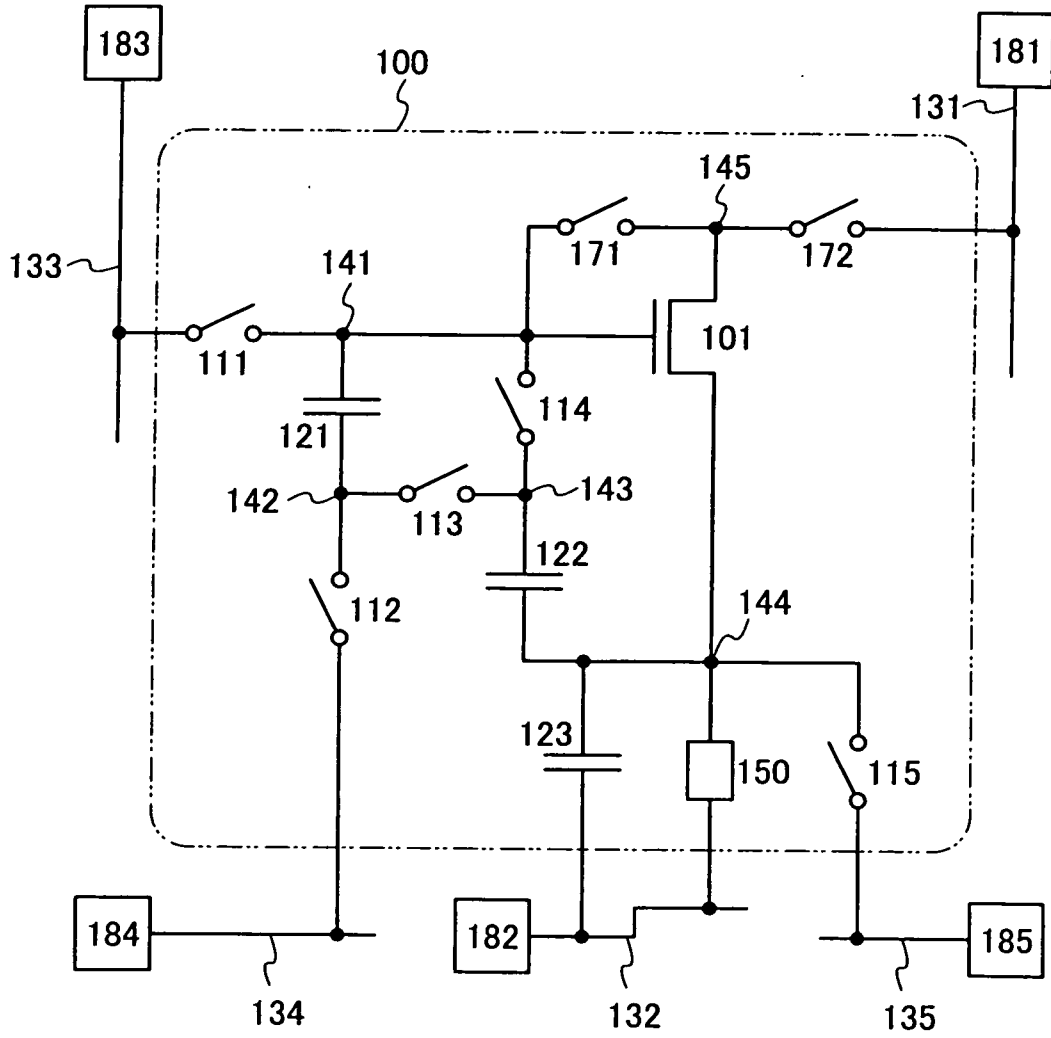


圖 12

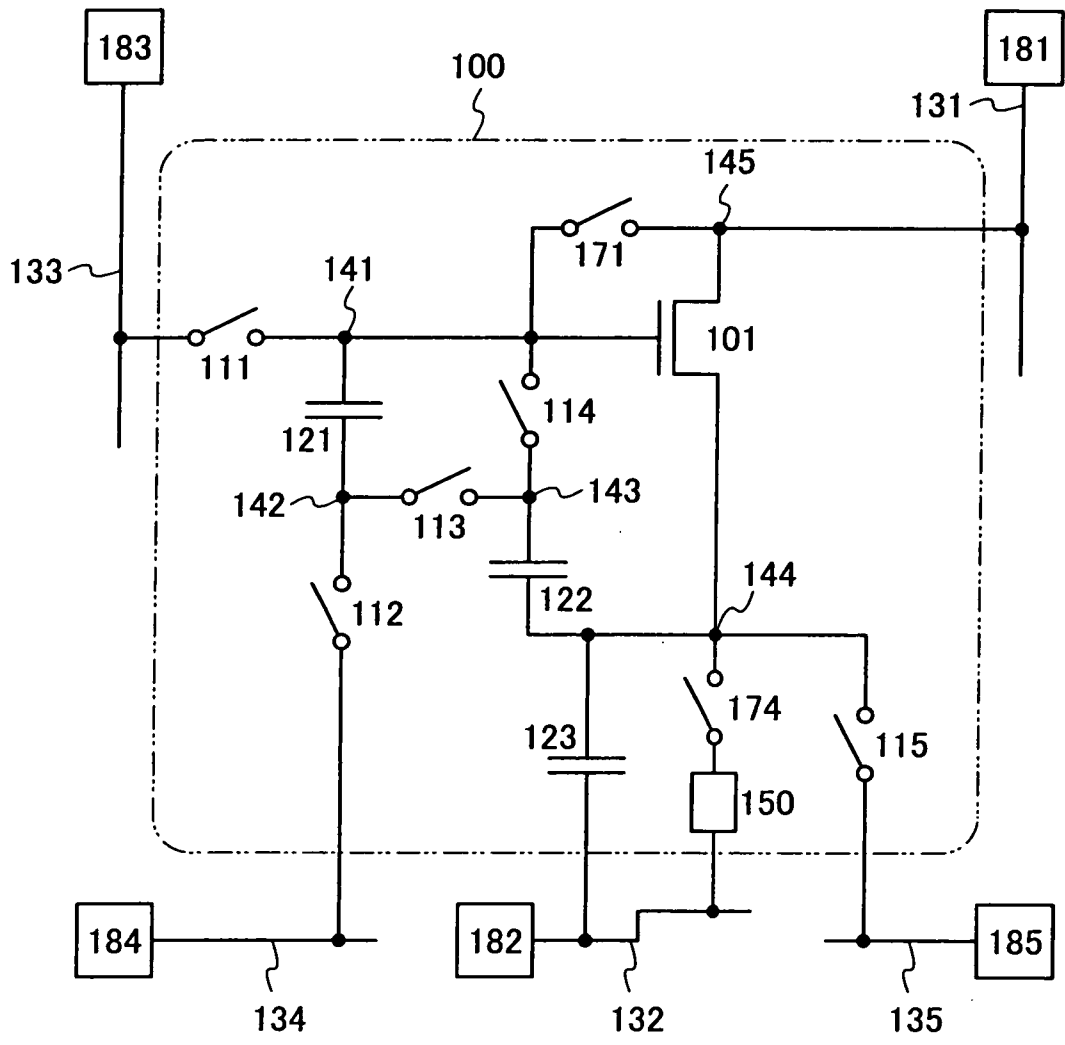


圖 13

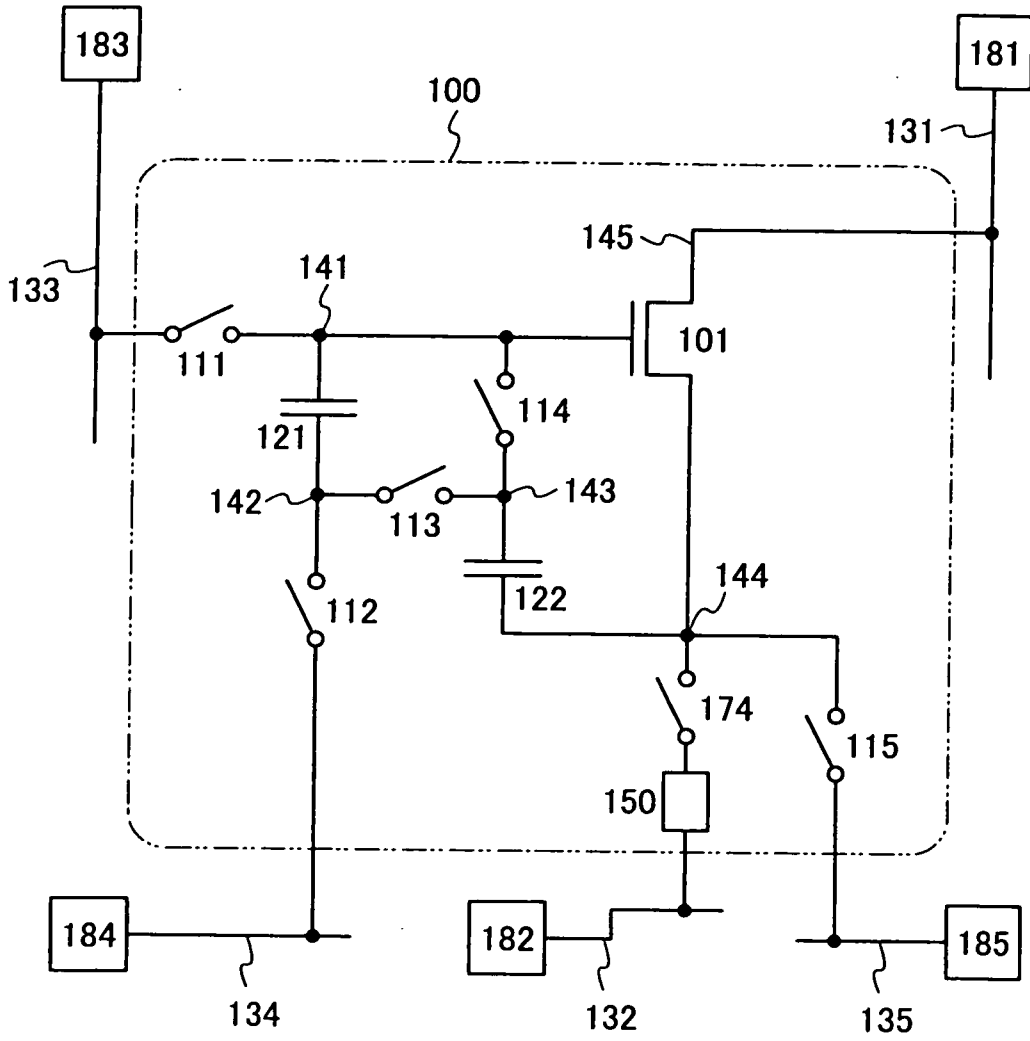


圖 14

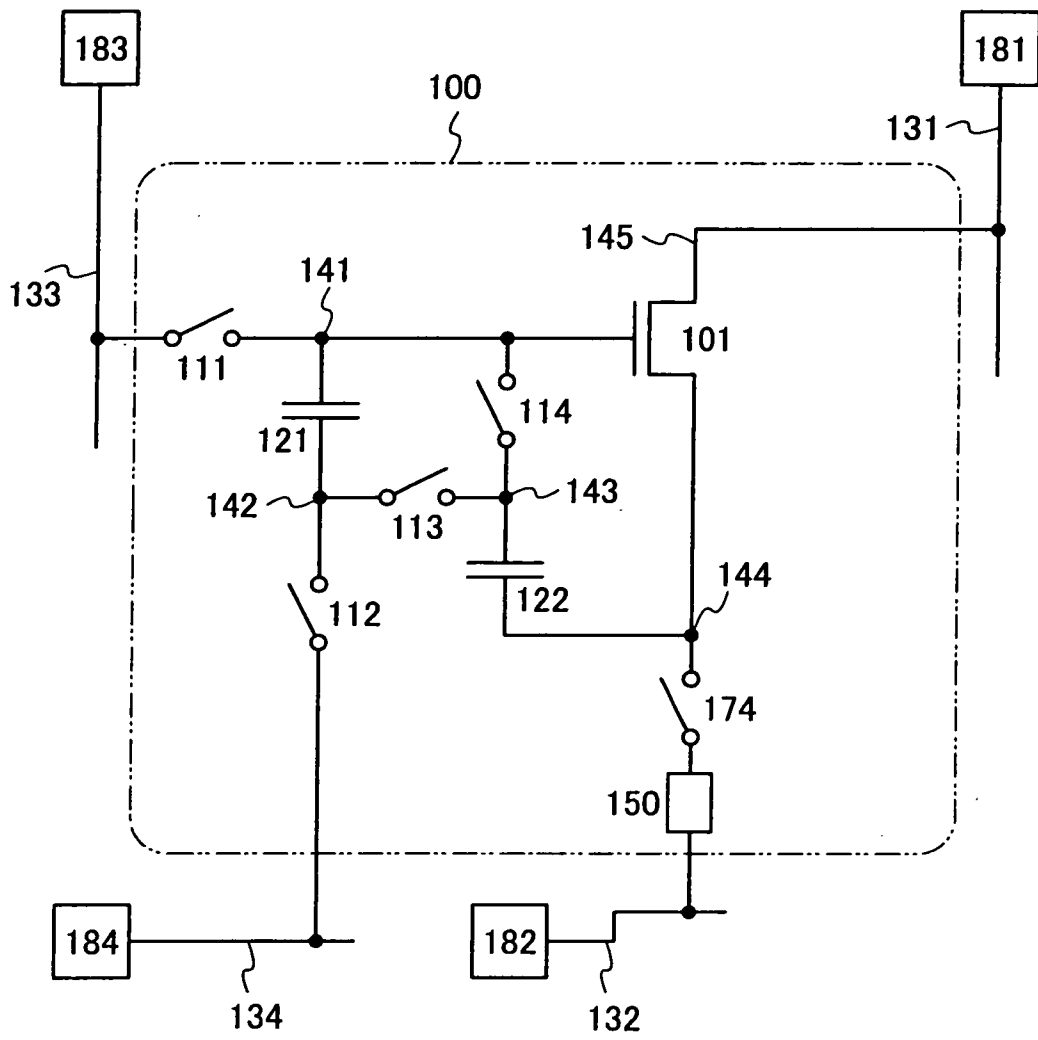


圖 15

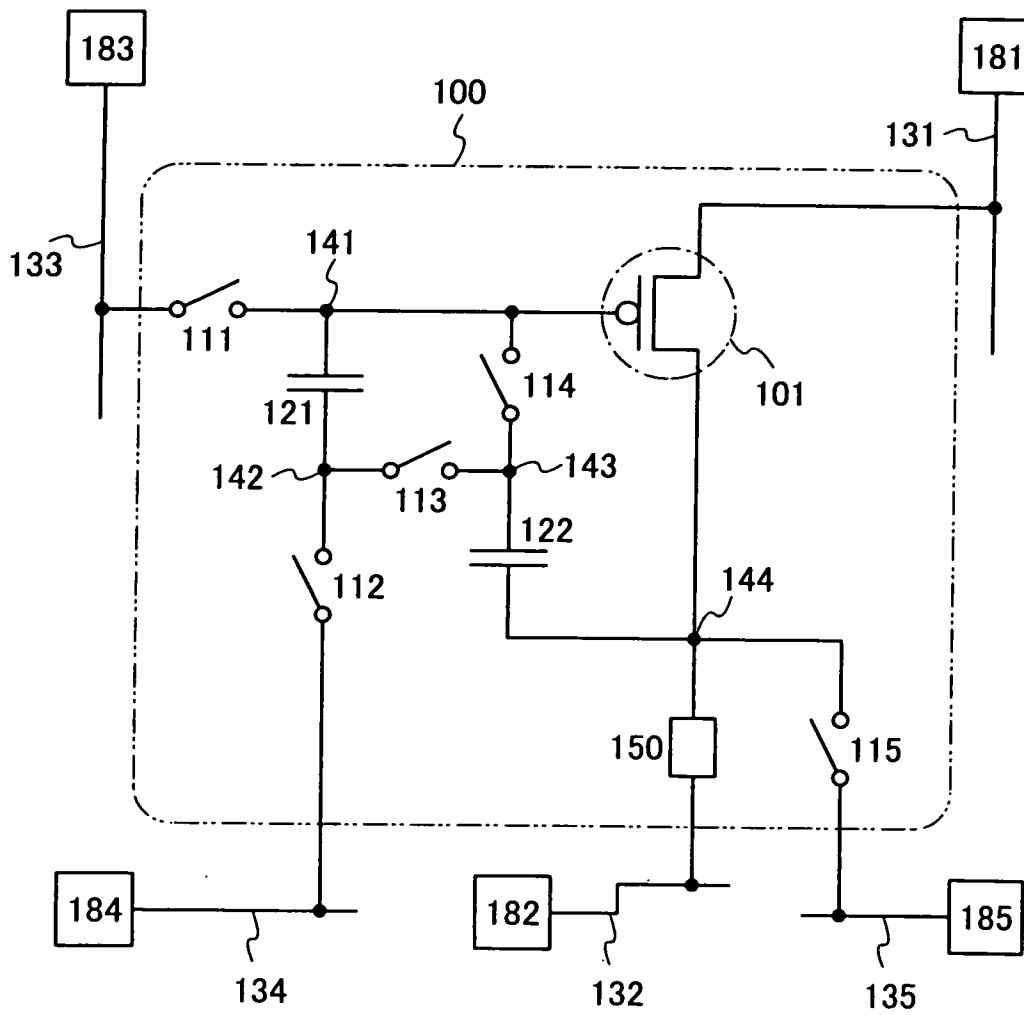


圖 16

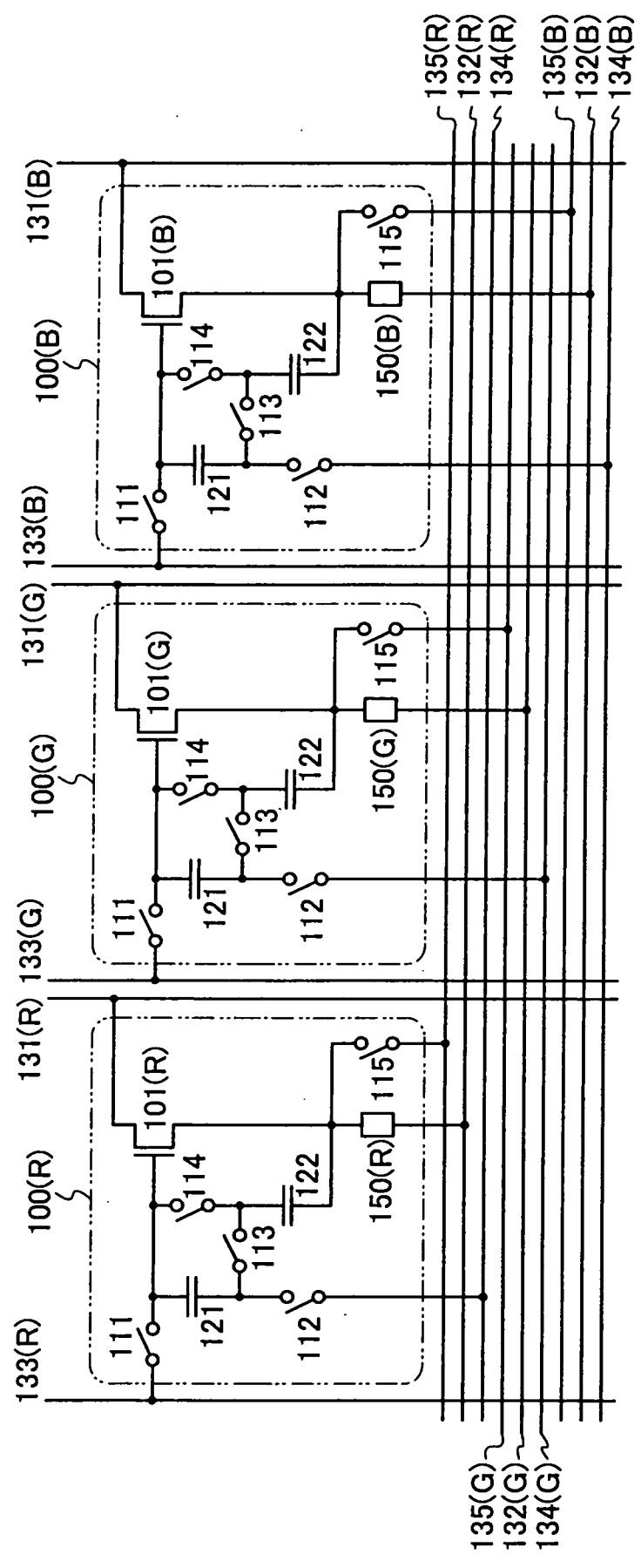


圖 17A

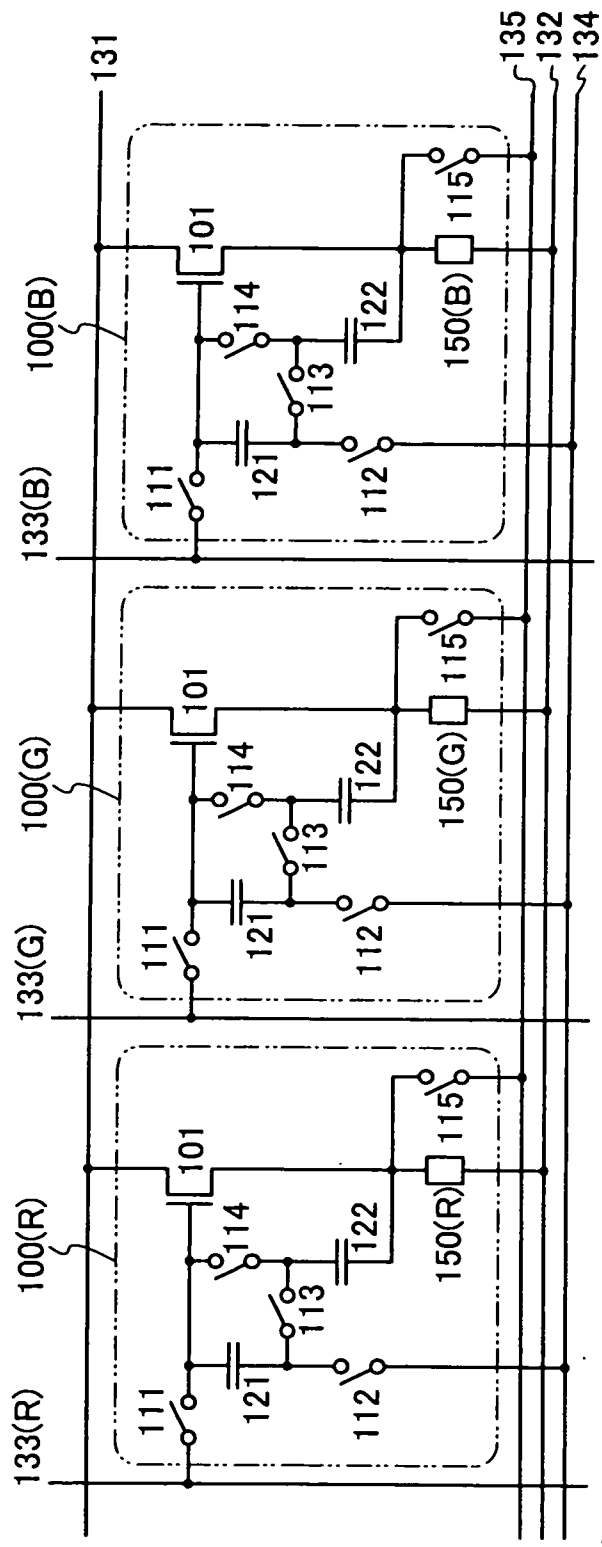


圖 17B

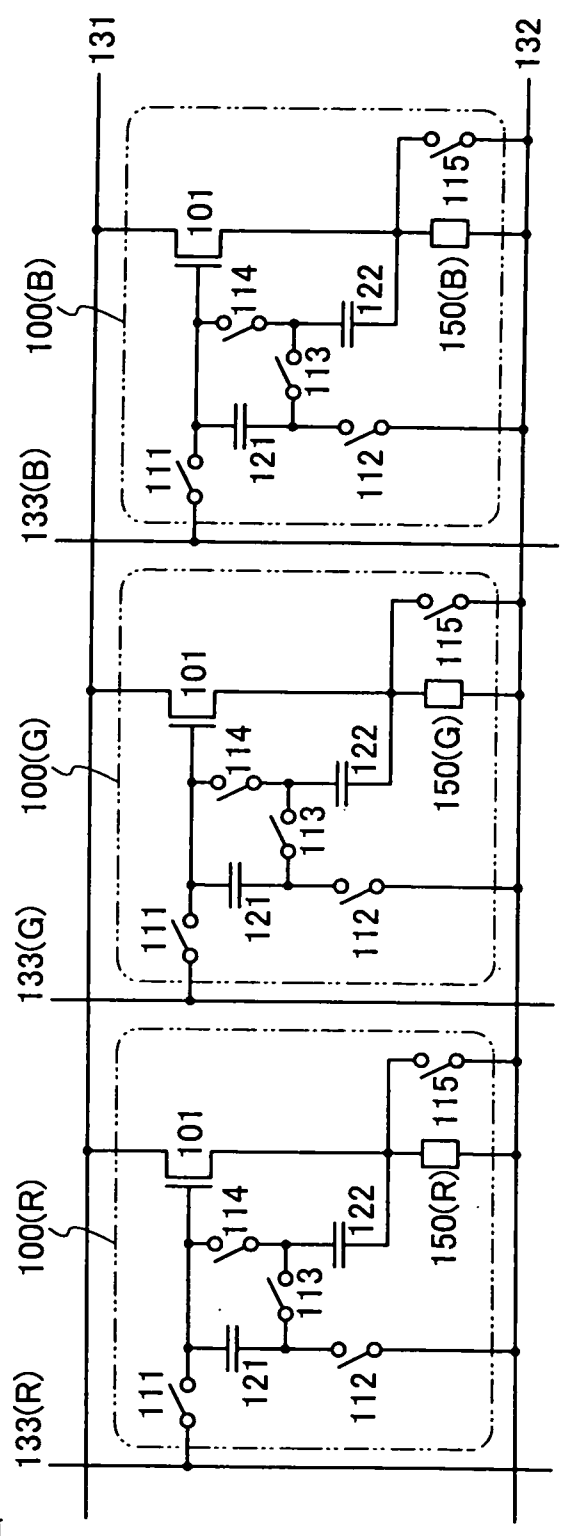


圖 18

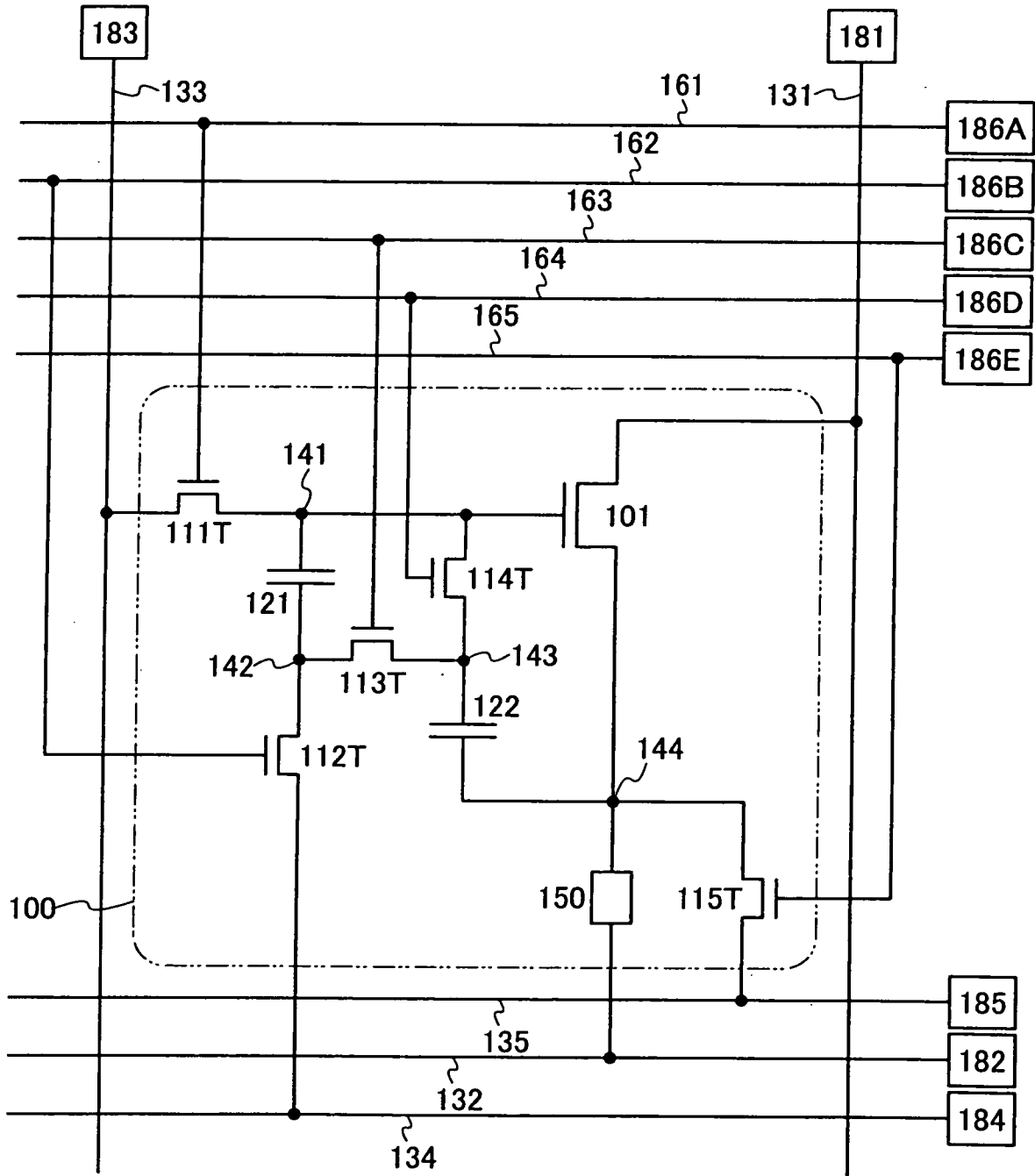


圖 19

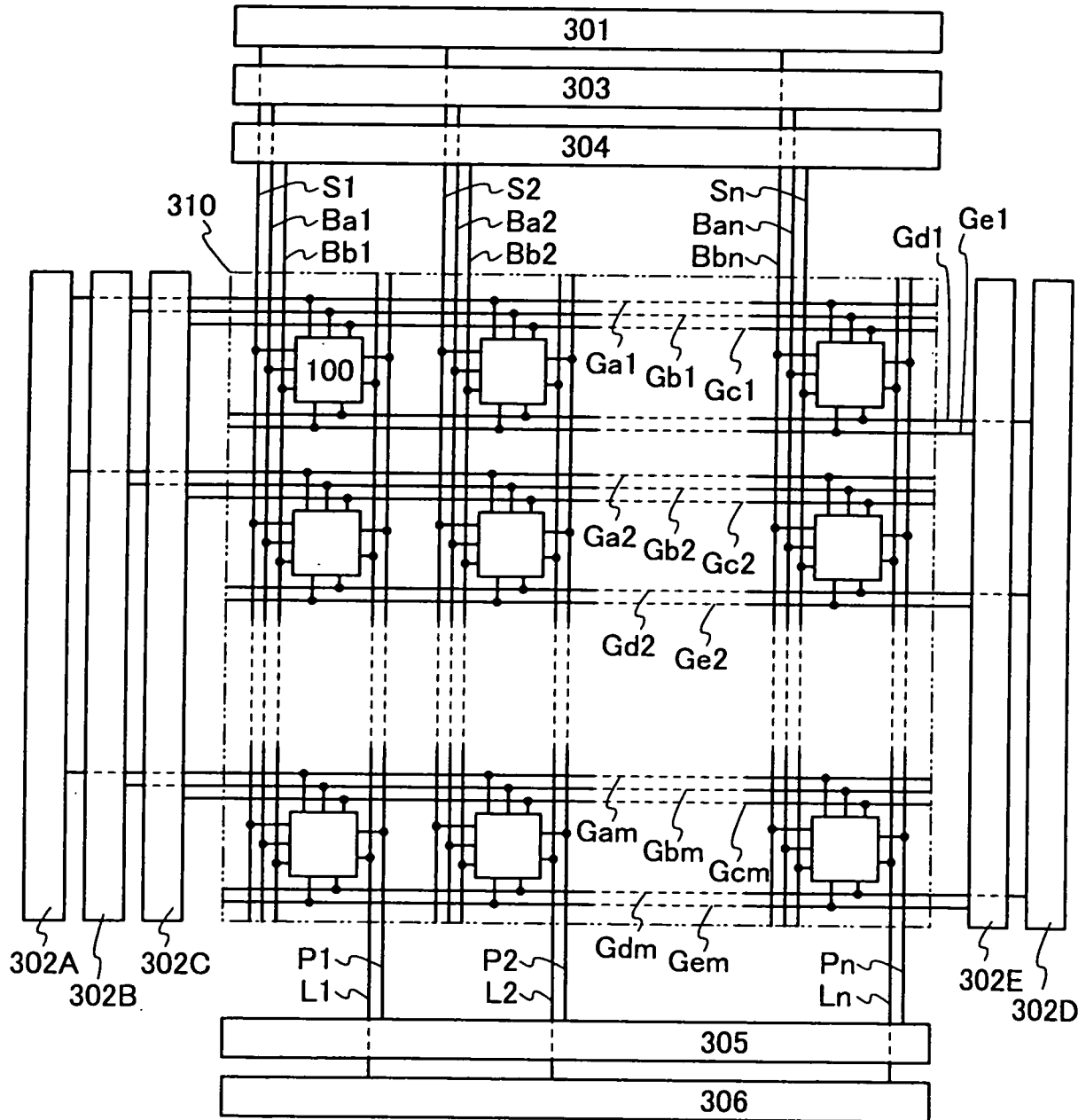


圖 20

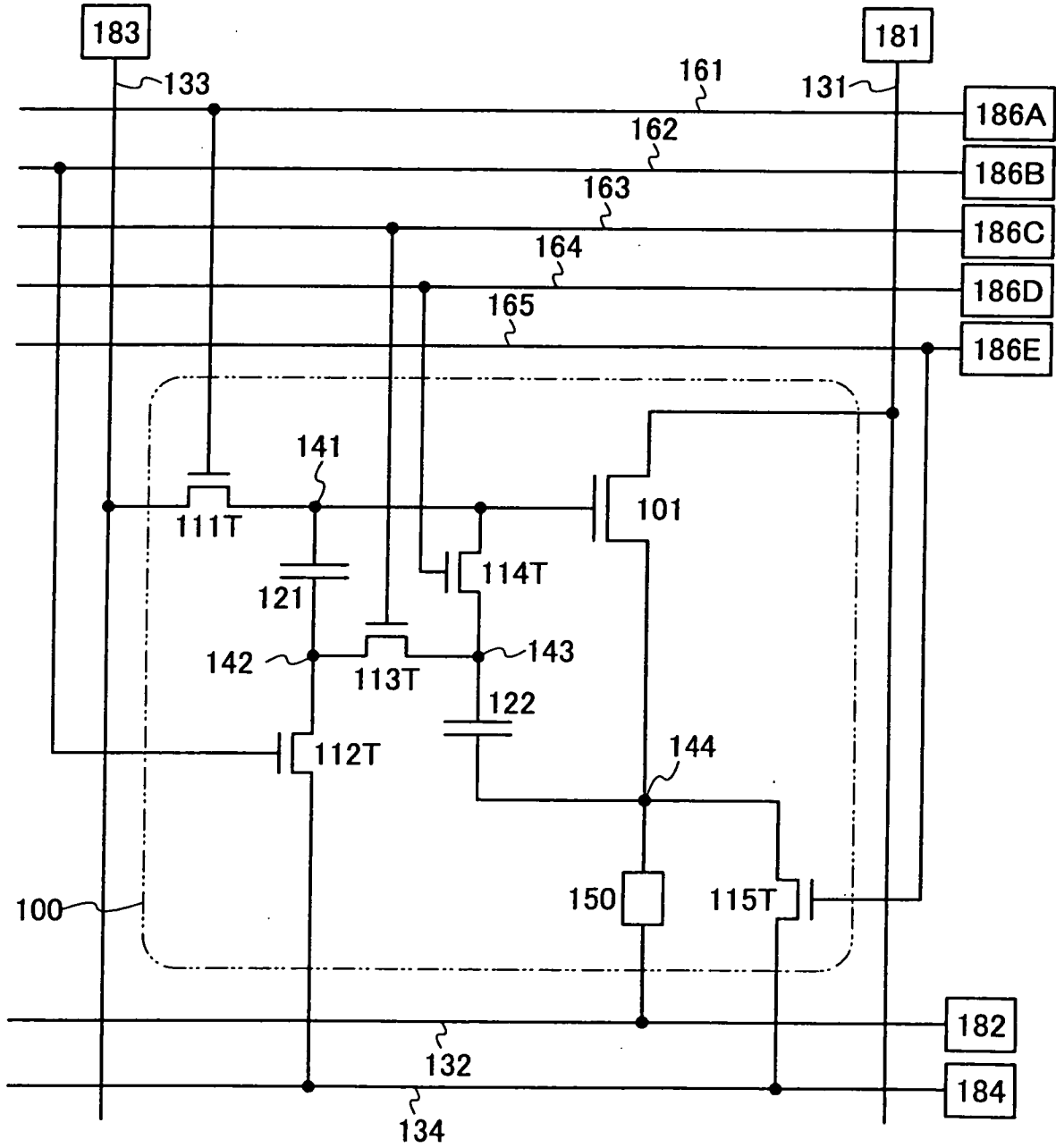


圖 21

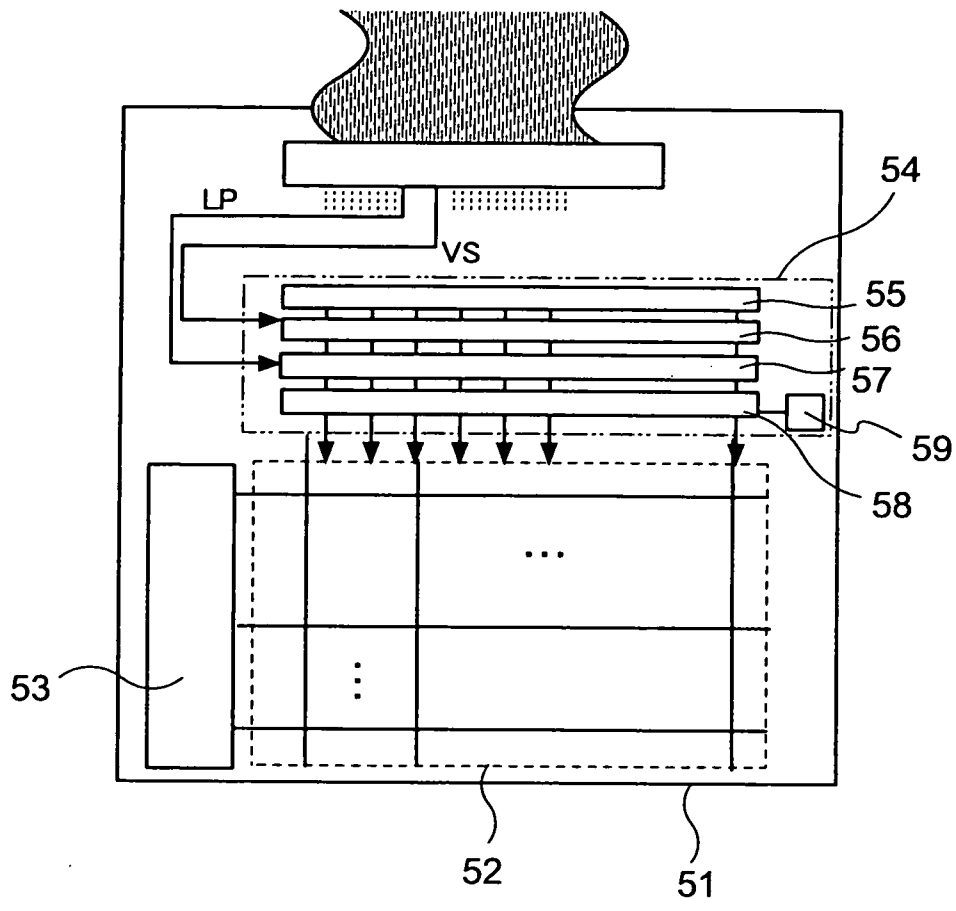


圖 22

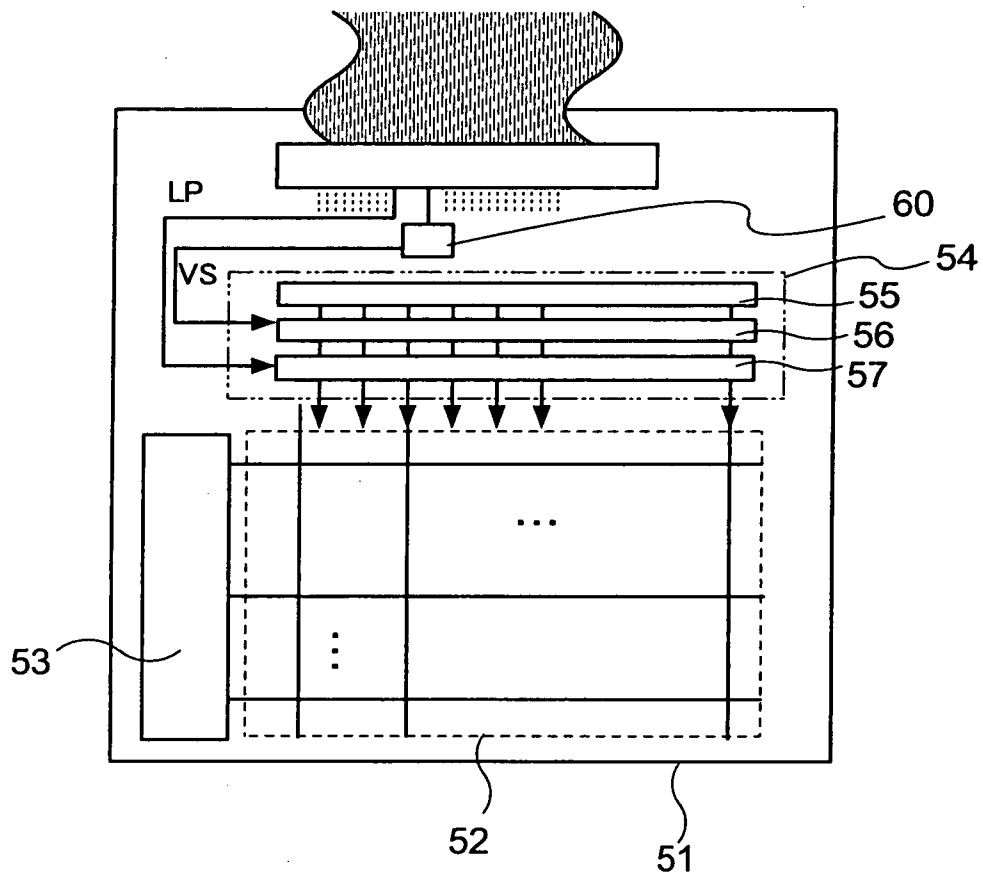


圖 23

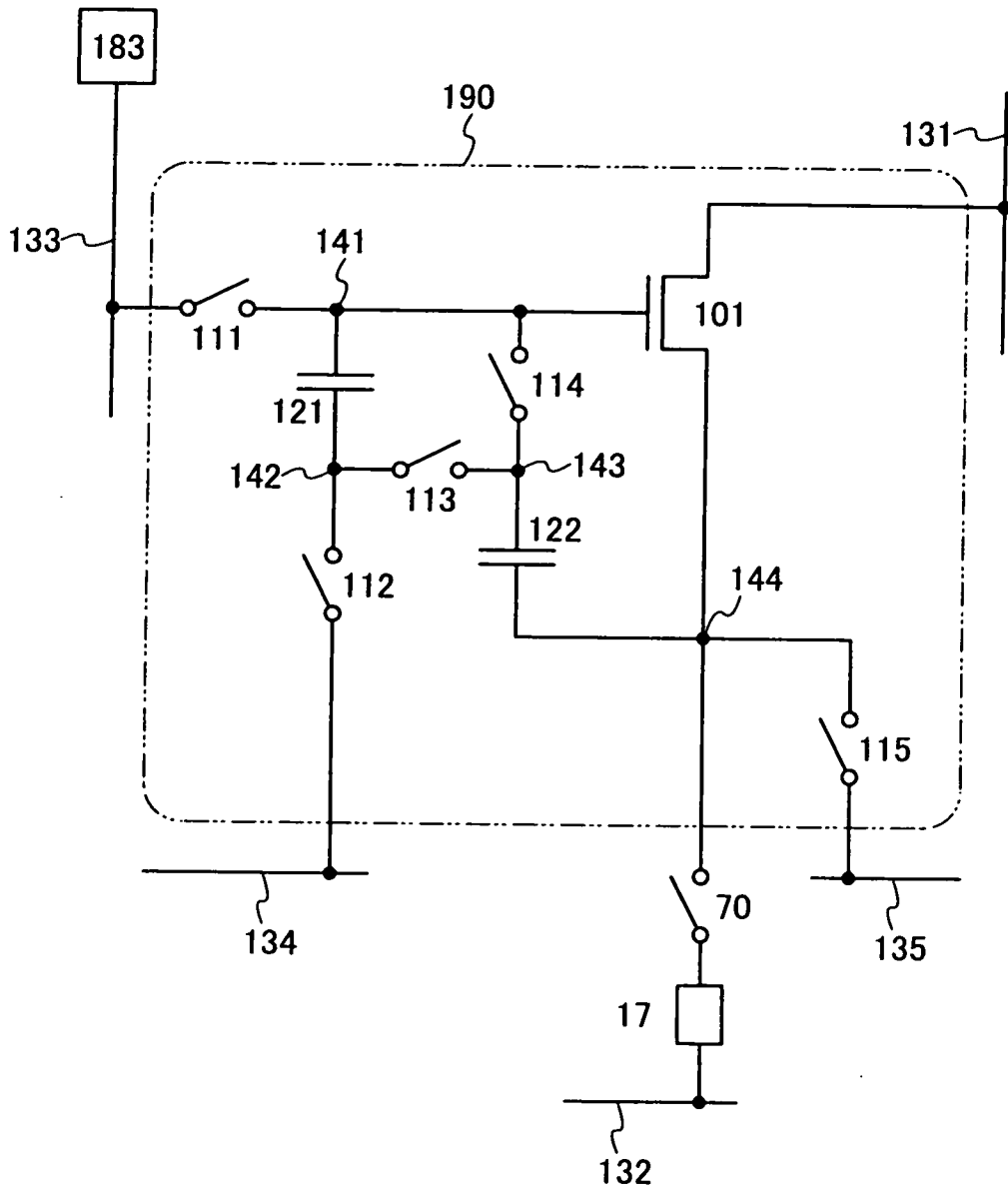


圖 24

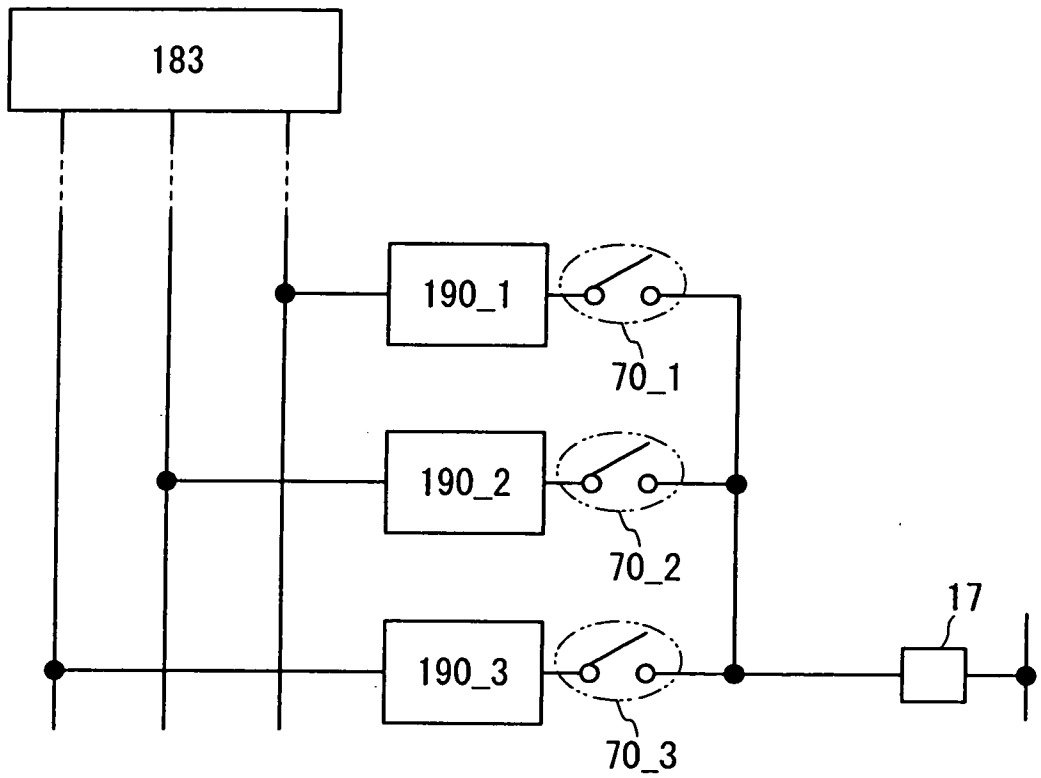
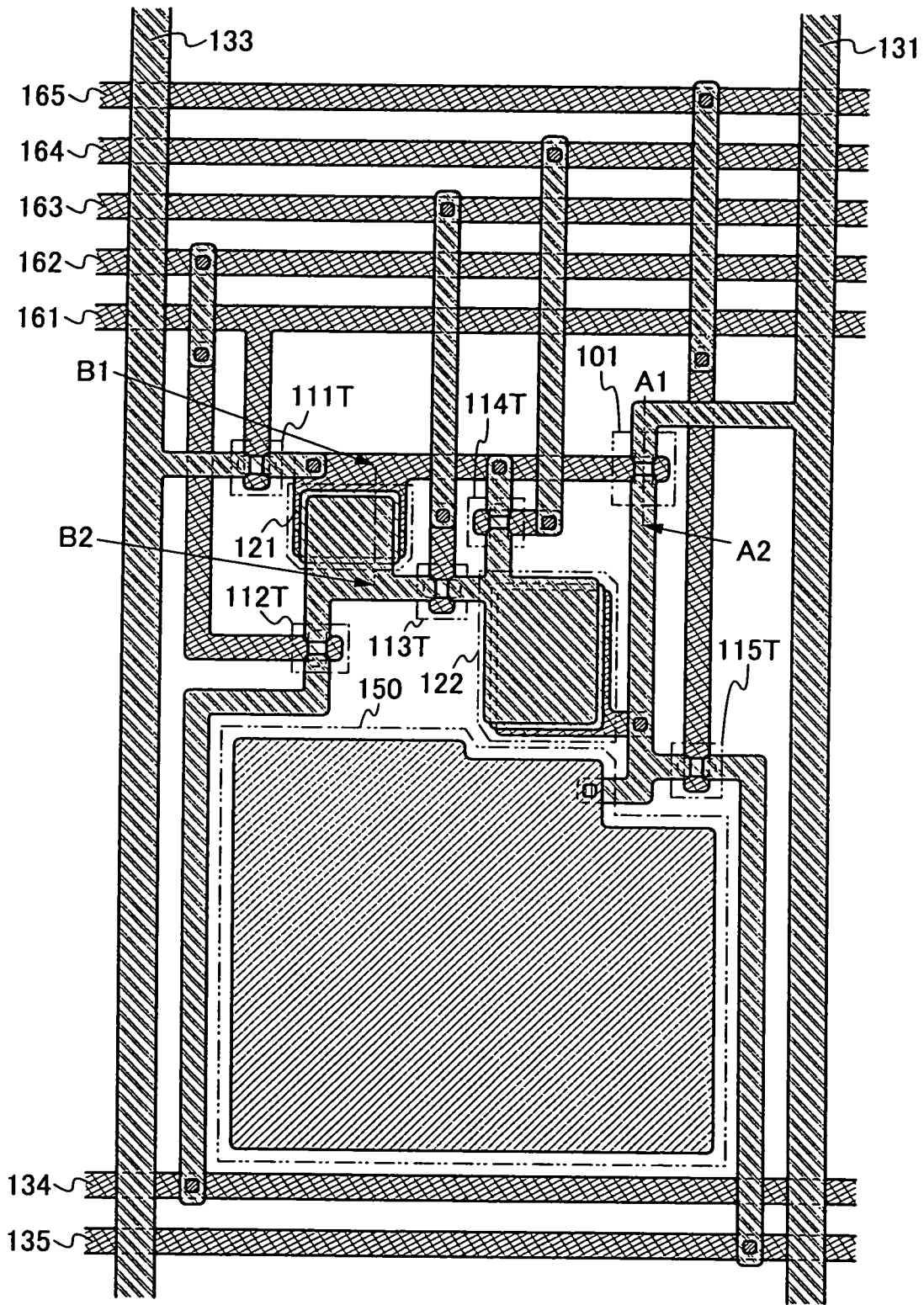


圖 25



- 851
- 852
- 853
- 855
- 856
- 858



圖 26A

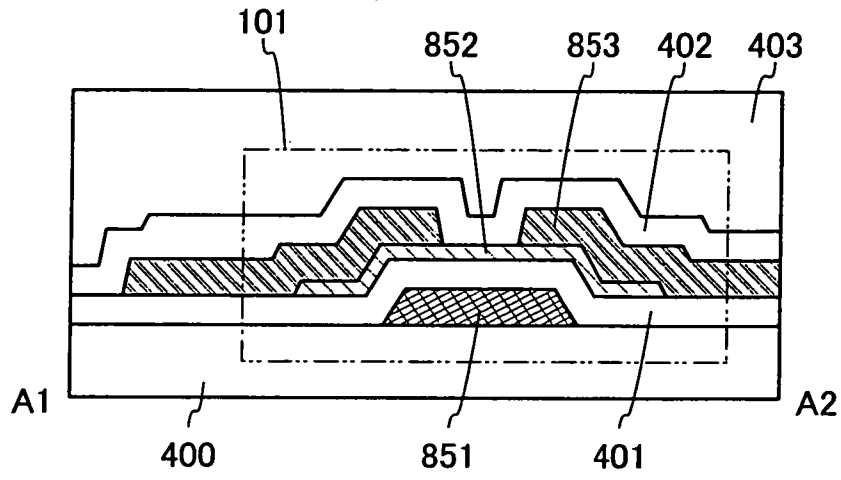


圖 26B

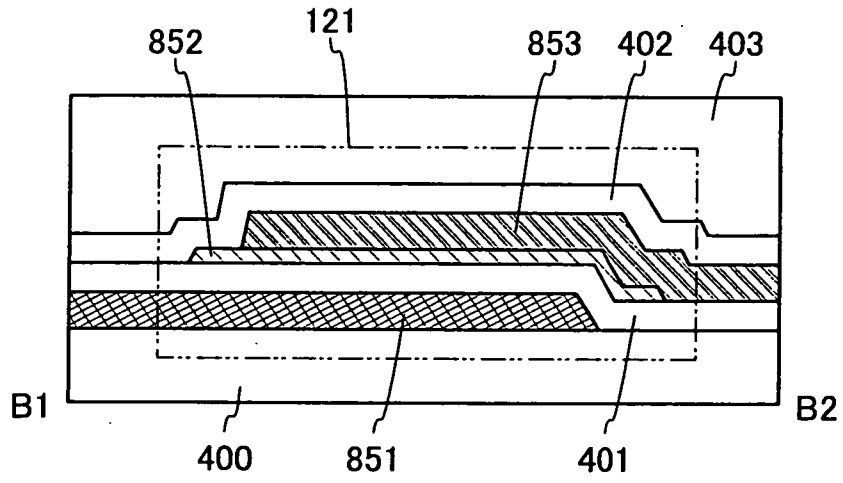
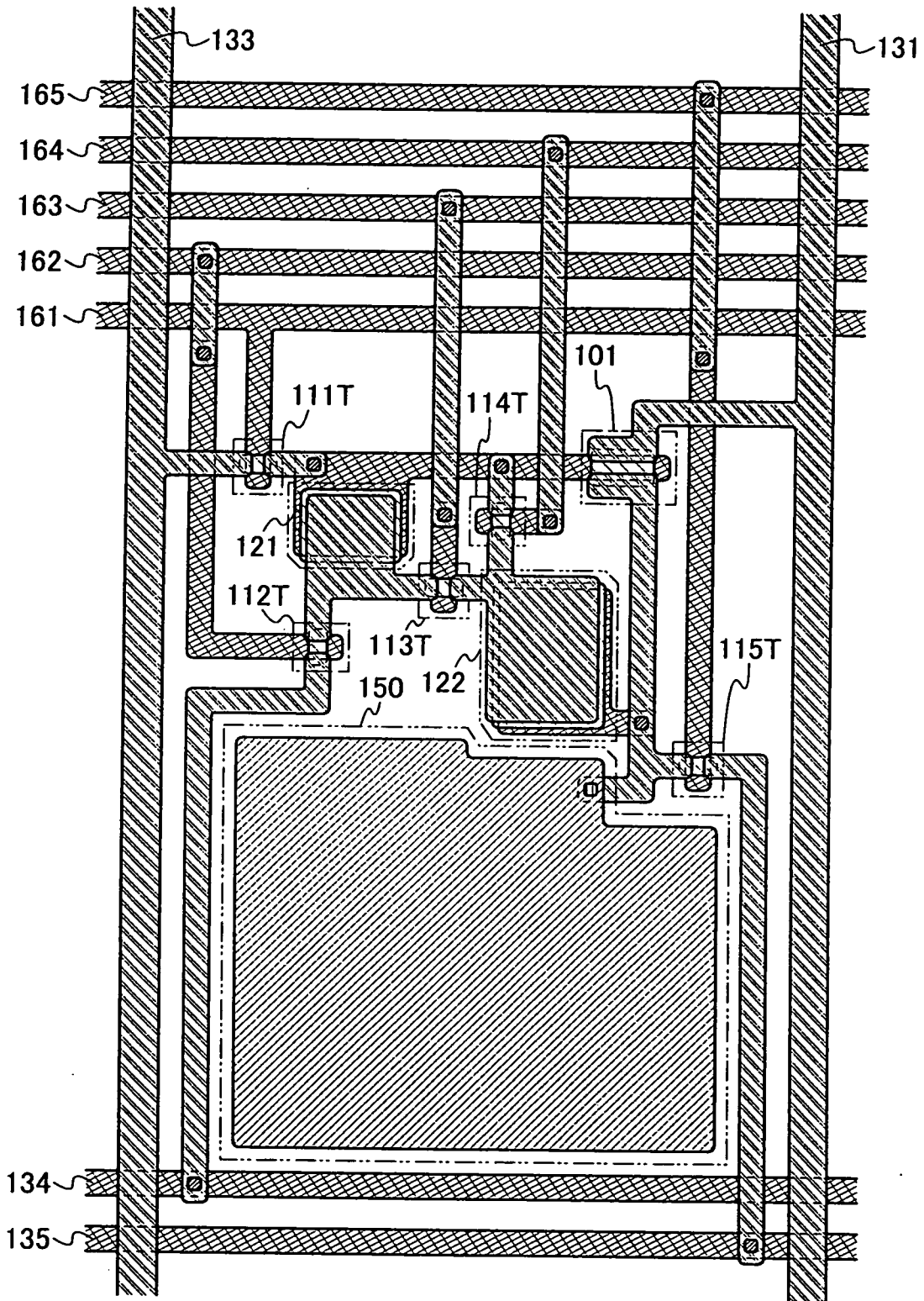


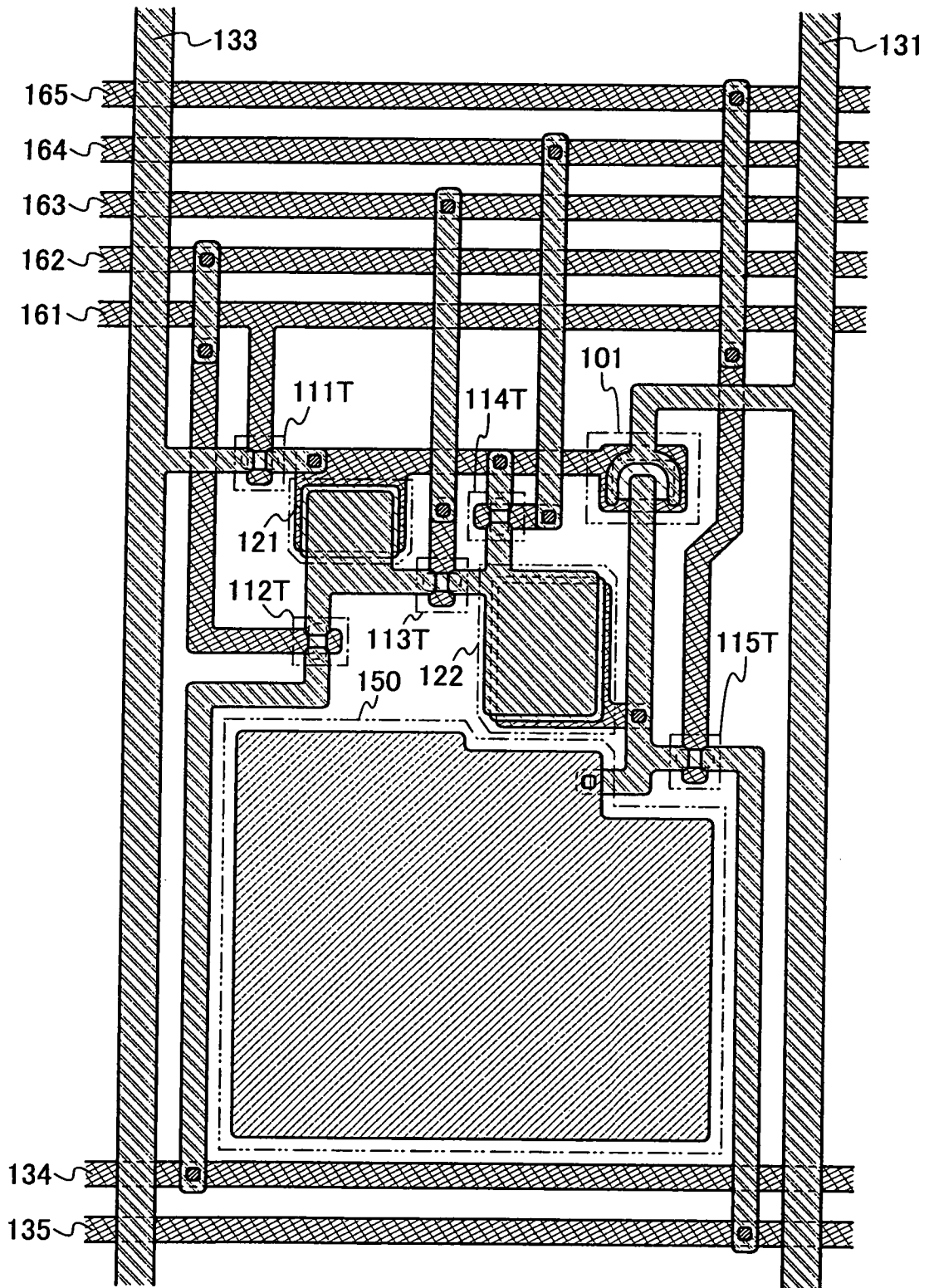
圖 27



- 851
- 852
- 853
- 855
- 856
- 858

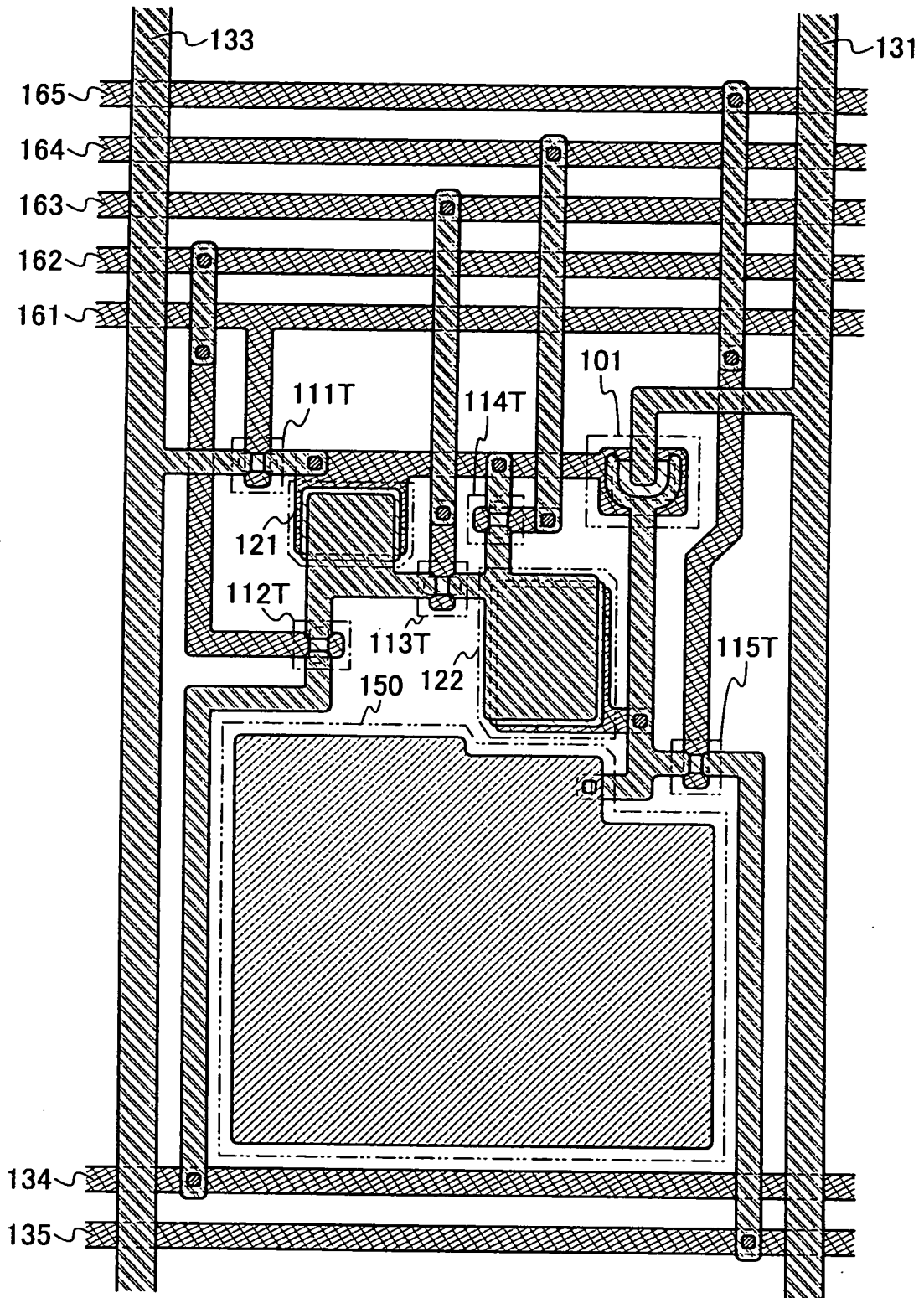


圖 28



- 851 852 853 855
- 856 858

圖 29



- 851
- 852
- 853
- 855
- 856
- 858



圖 30

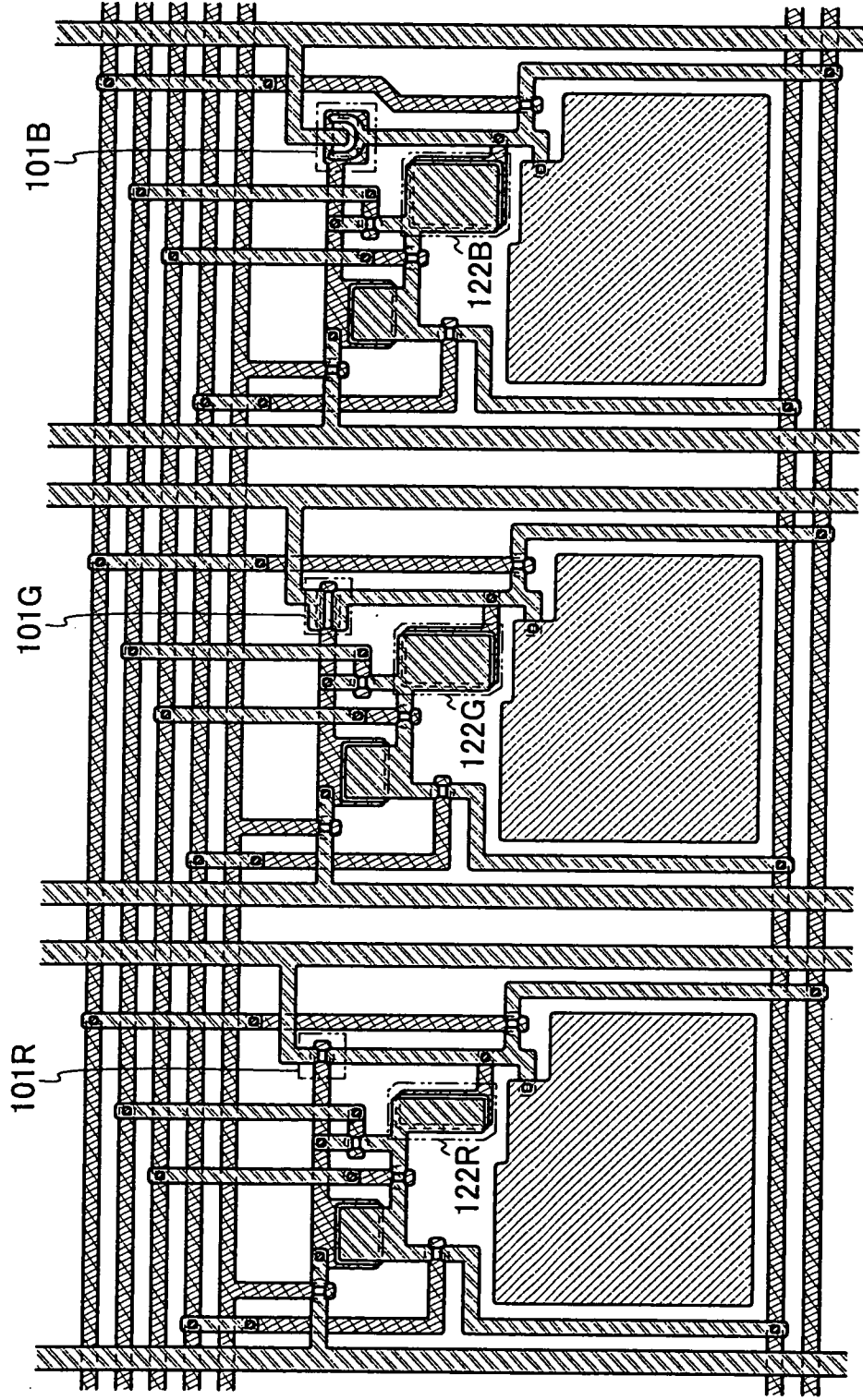


圖 31

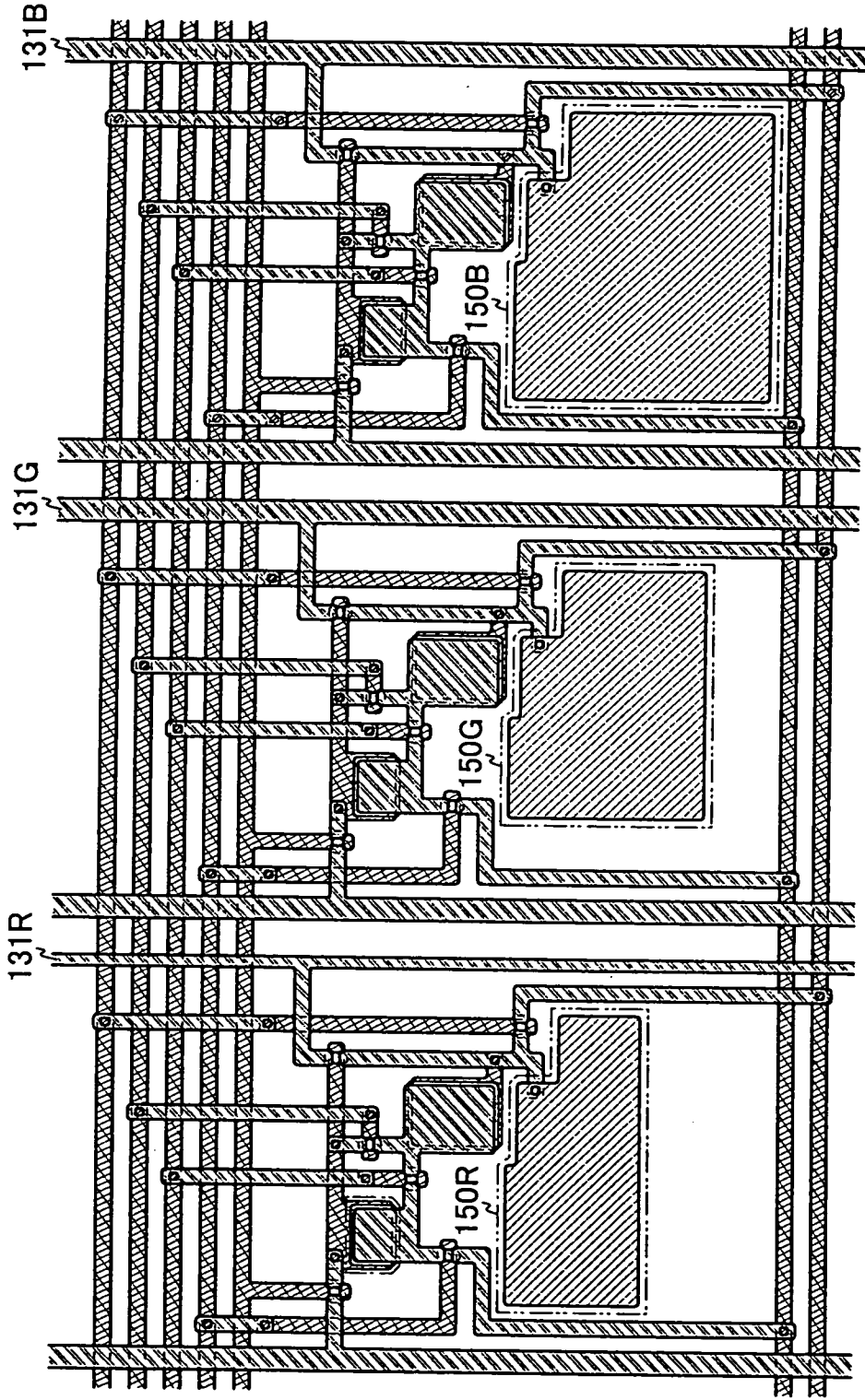
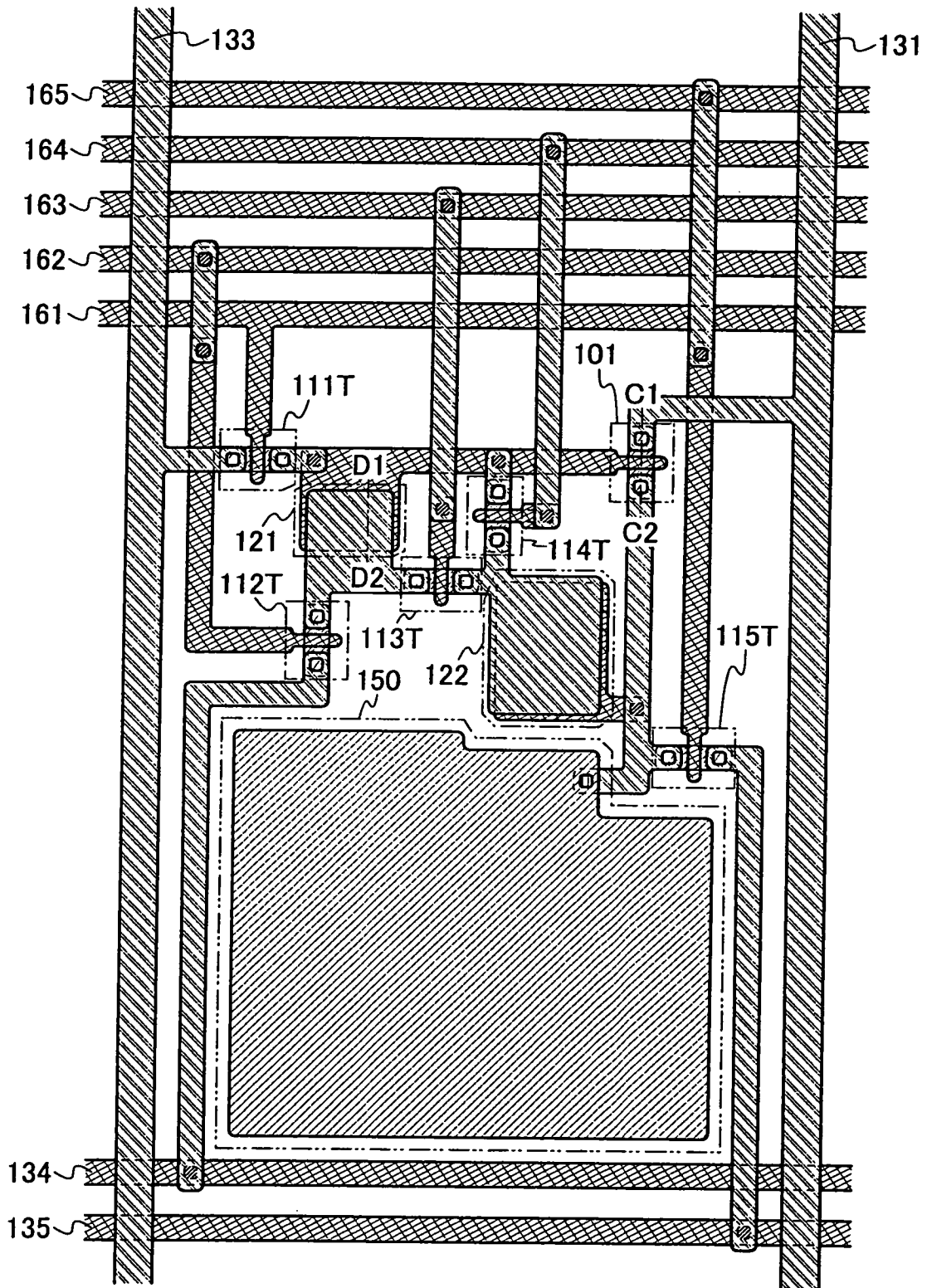


圖 32



- 851
- 852n
- 853
- 855
- 856
- 858
- 859

圖 33A

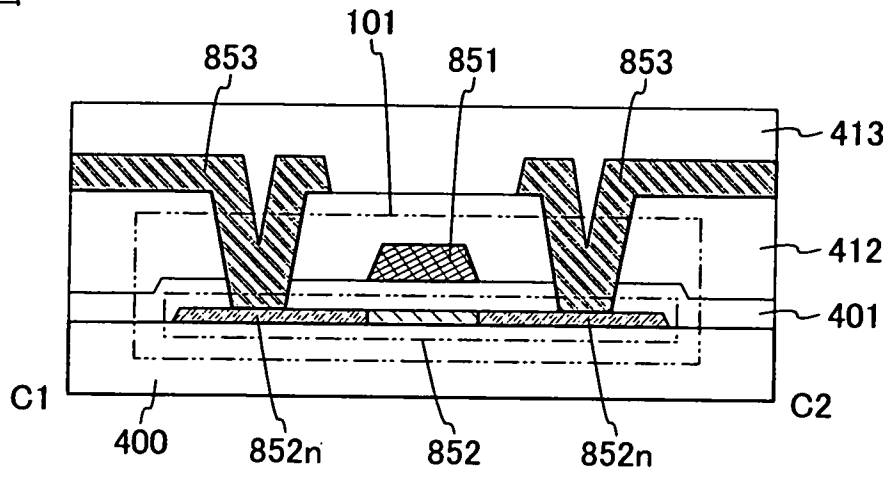


圖 33B

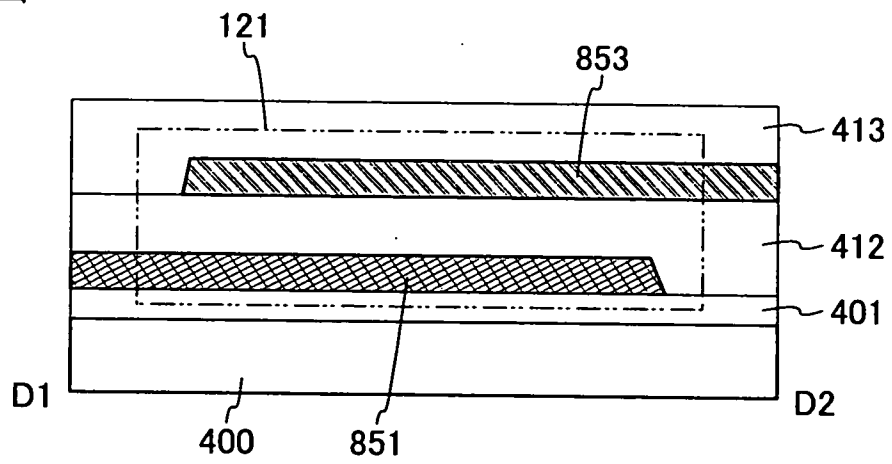
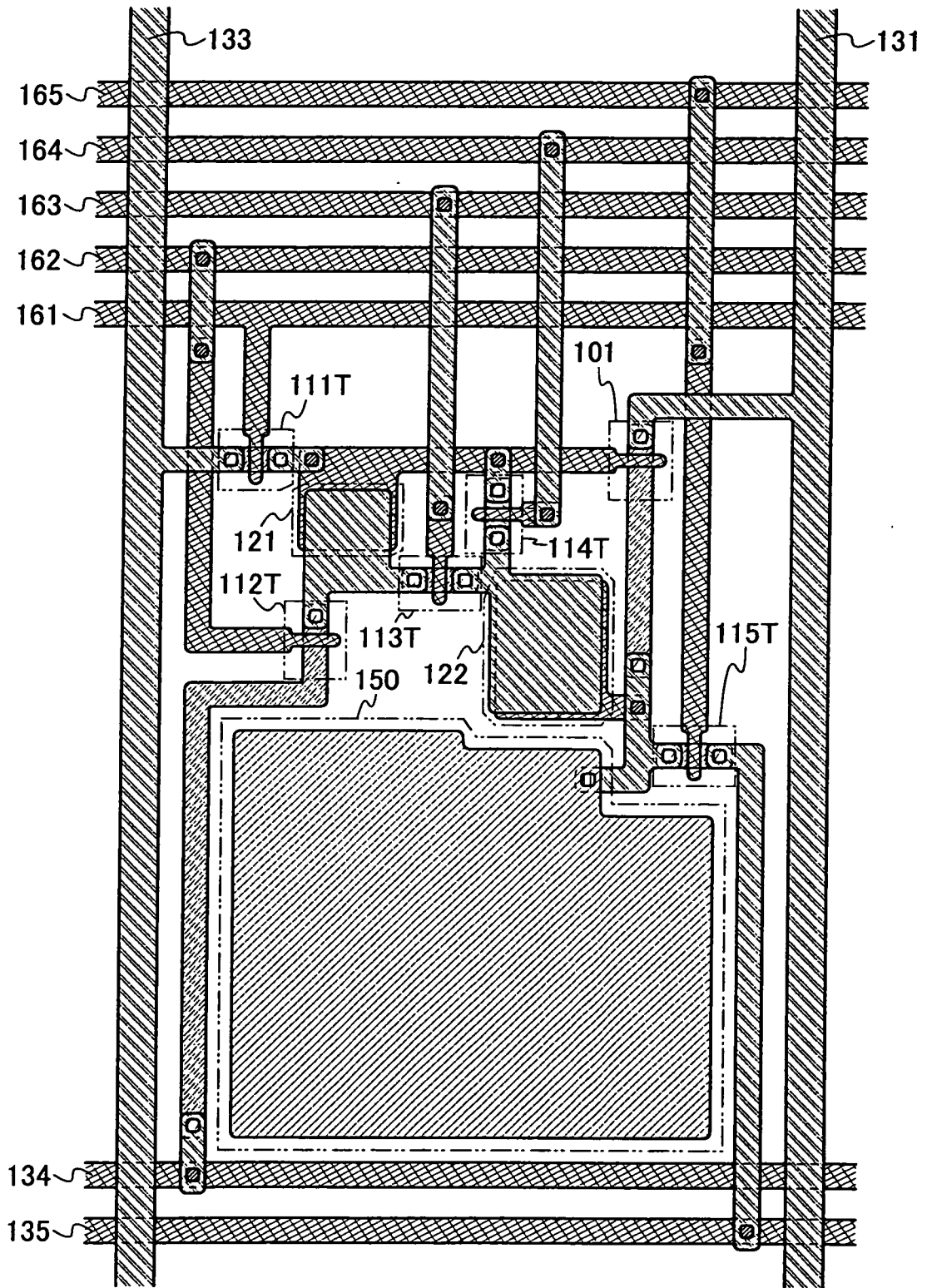


圖 34










- | | | | |
|---|---|---|---|
|  851 |  860 |  853 |  855 |
|  856 |  858 |  859 | |

圖 35

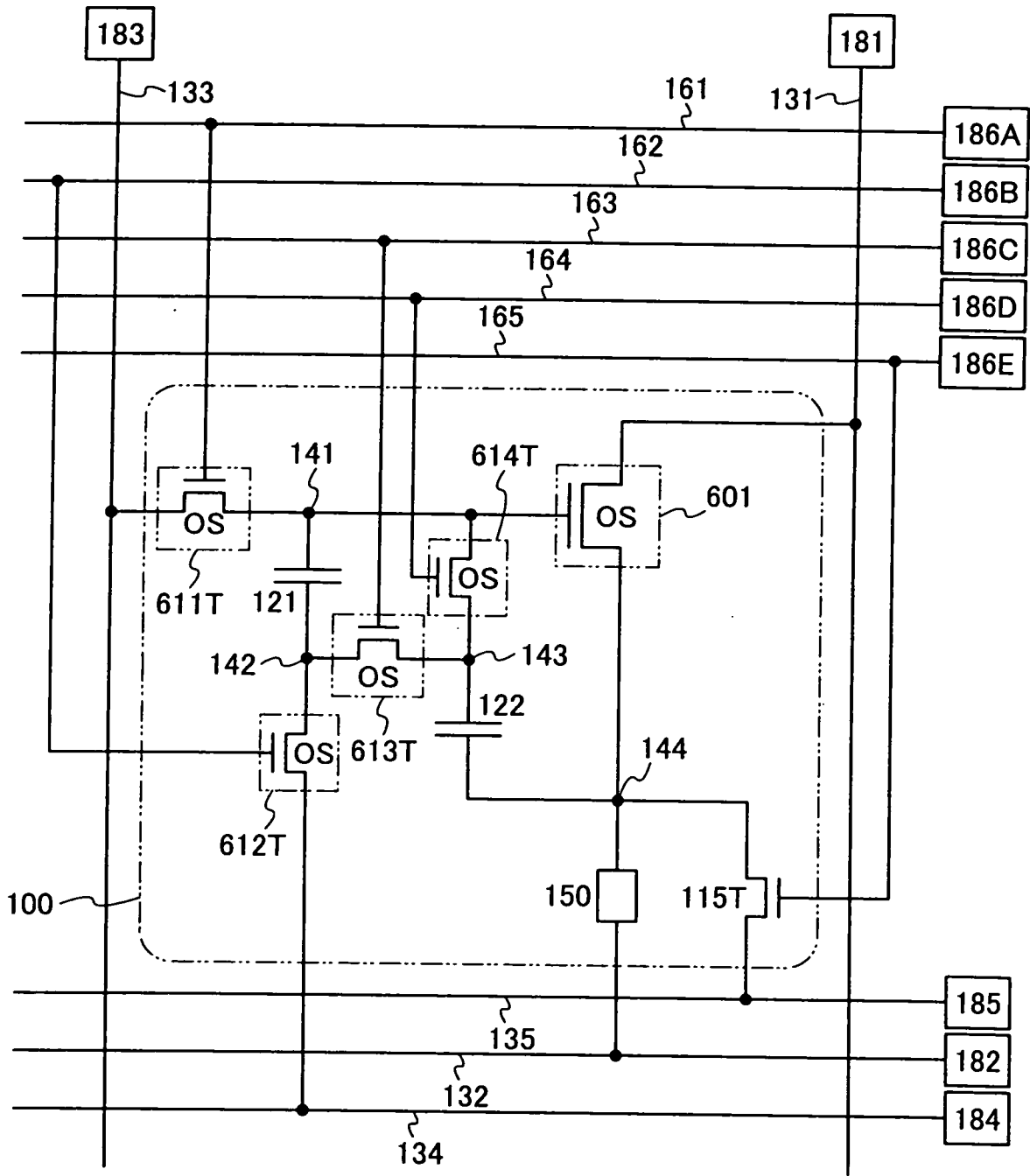


圖 36A

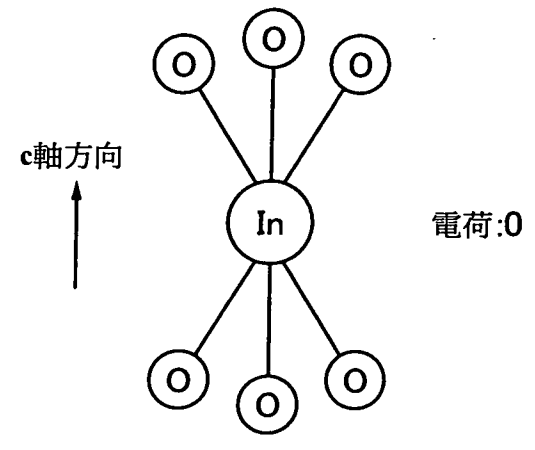


圖 36D

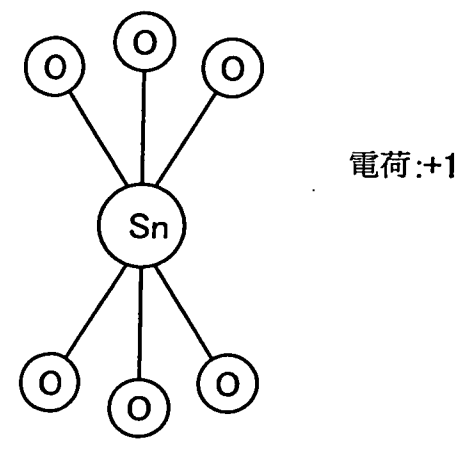


圖 36B

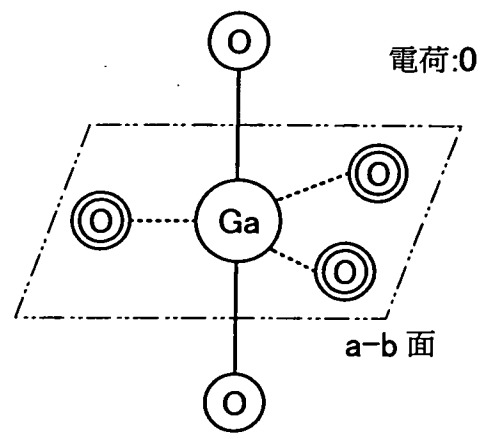


圖 36E

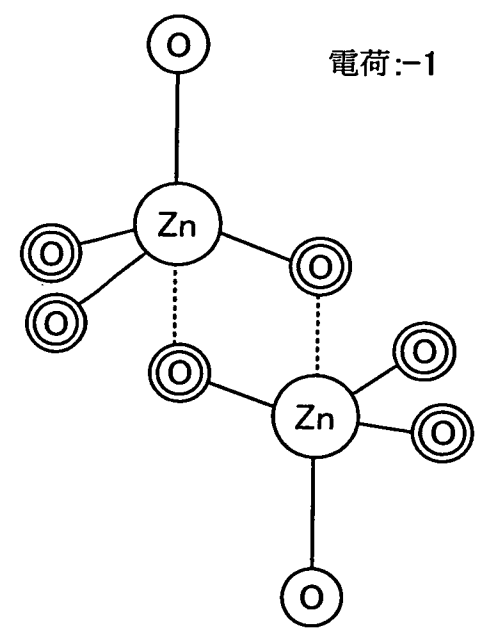


圖 36C

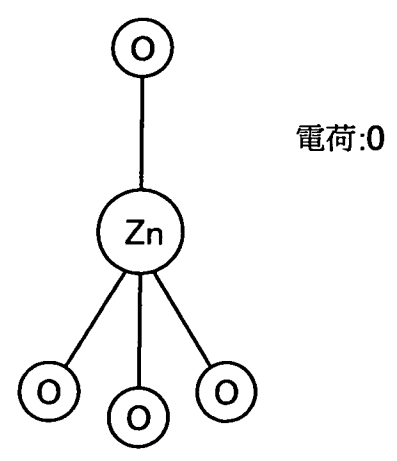


圖 37A

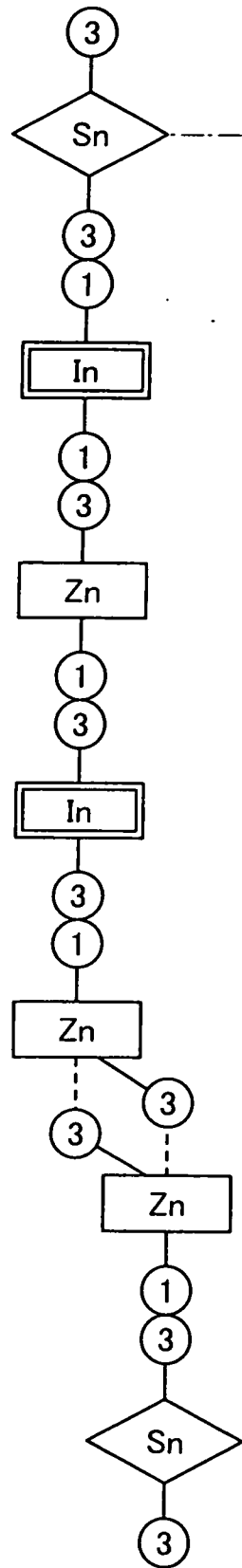


圖 37B



圖 37C



- In
- Sn
- Zn
- 0



圖 38B

圖 38A

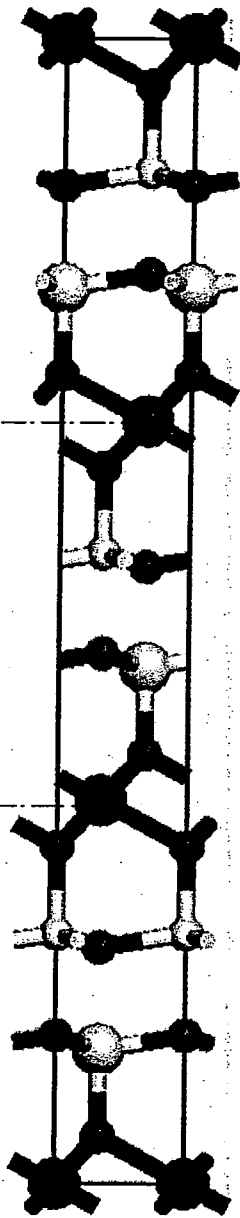
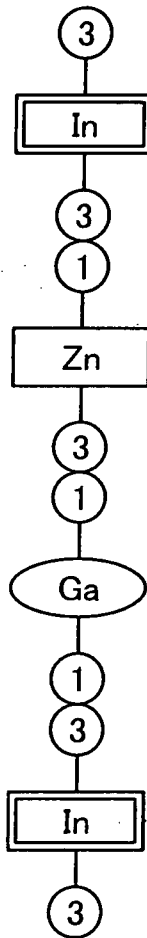


圖 38C

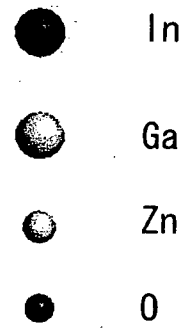
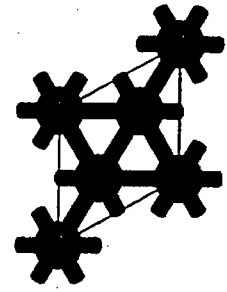


圖 39A

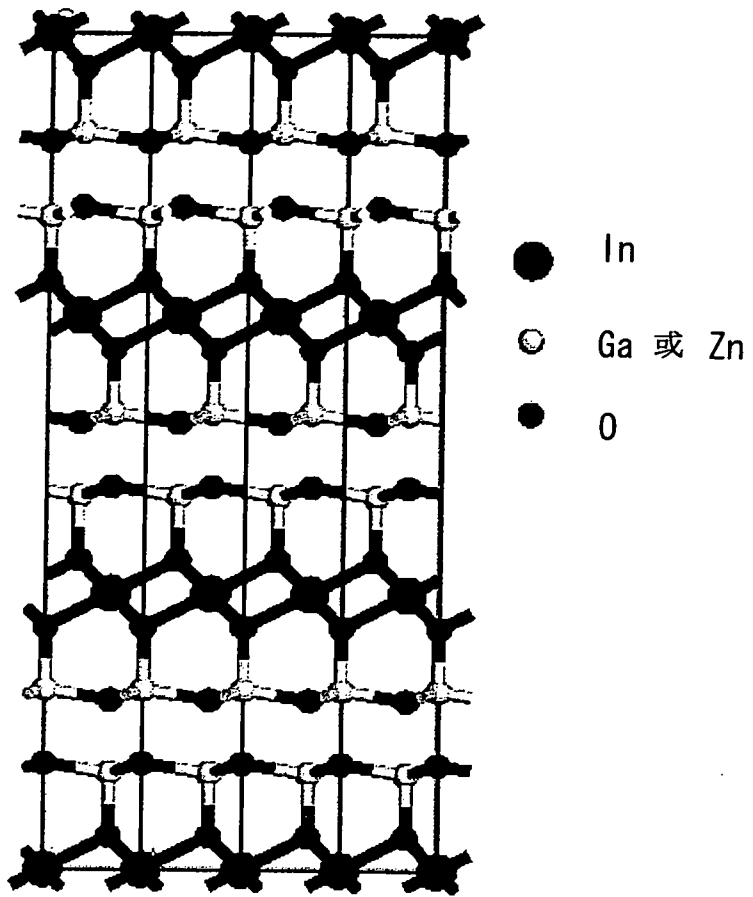


圖 39B

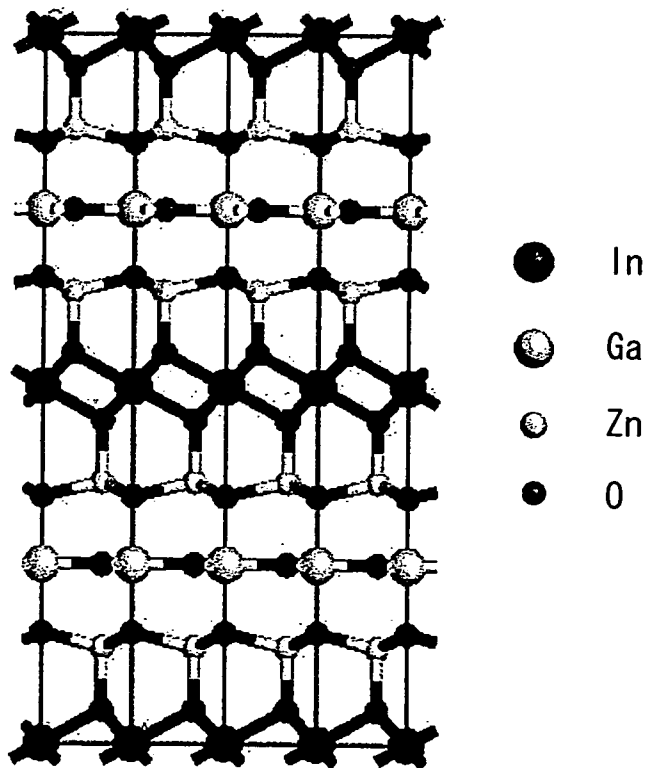


圖 40A

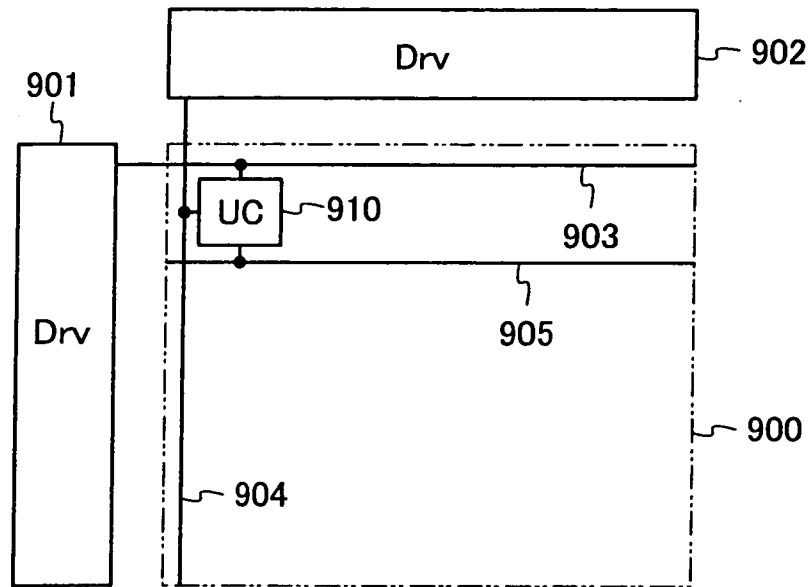
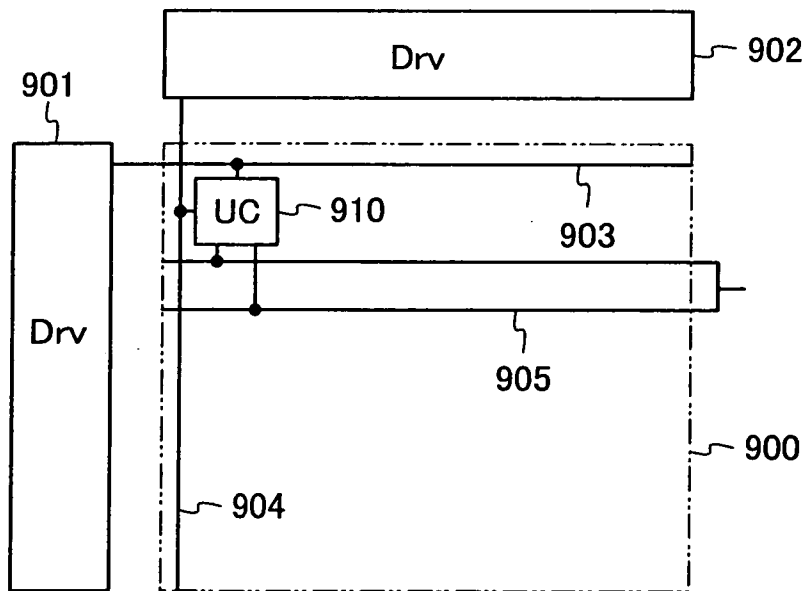


圖 40B



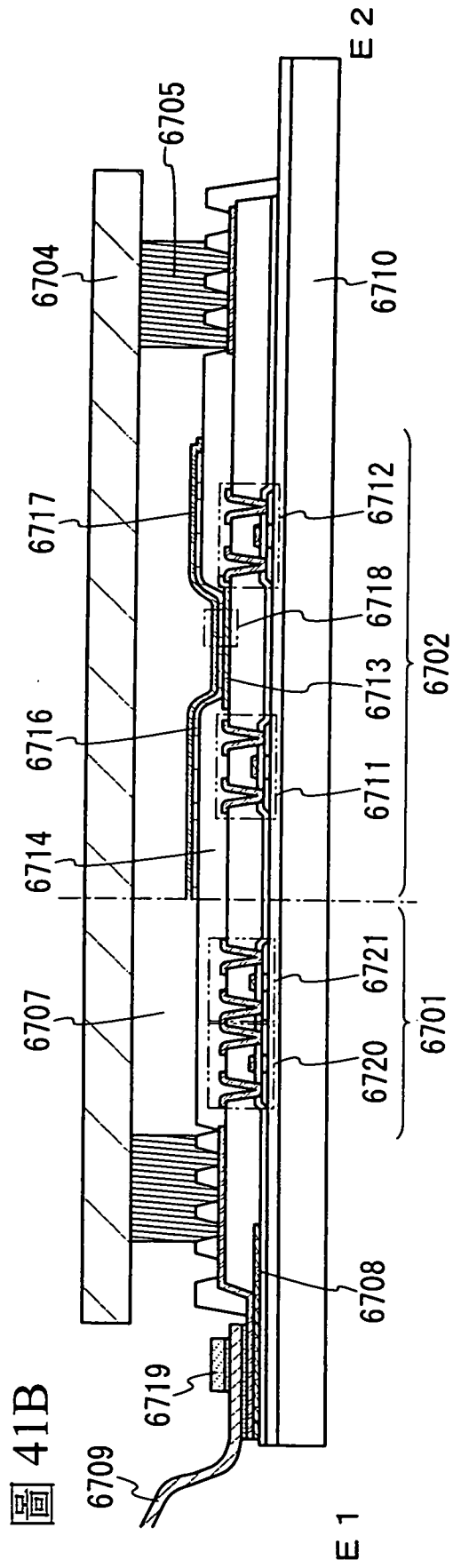
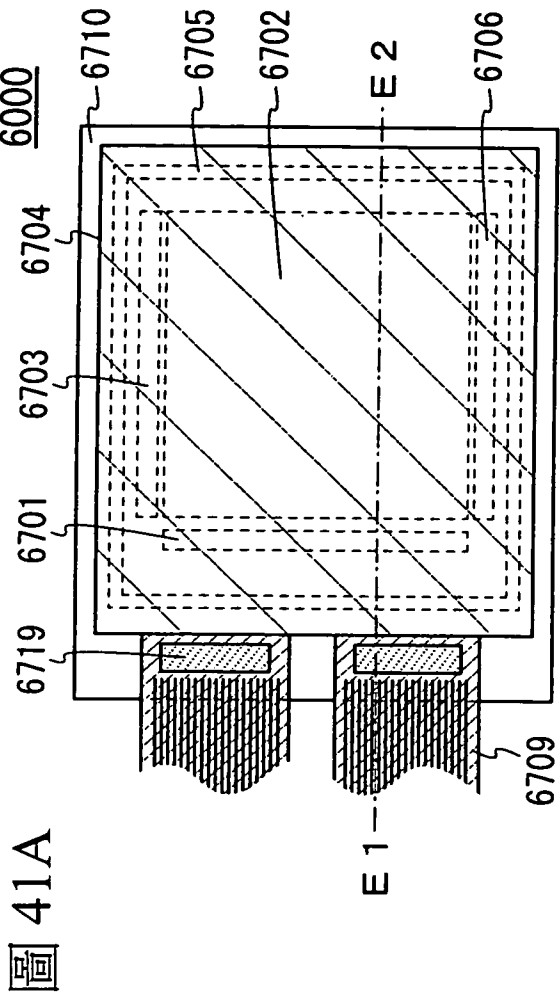


圖 42

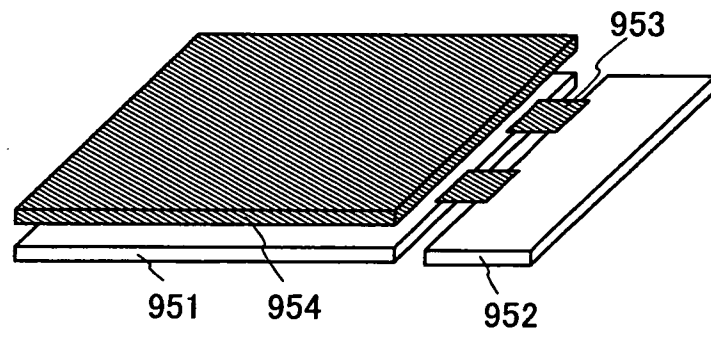


圖 43A

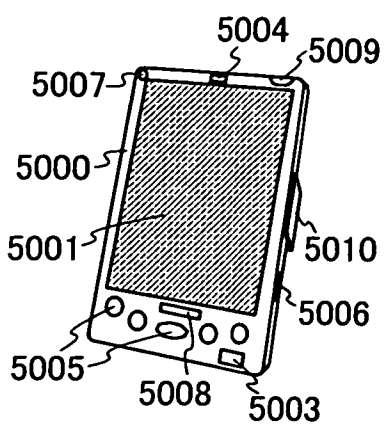


圖 43B

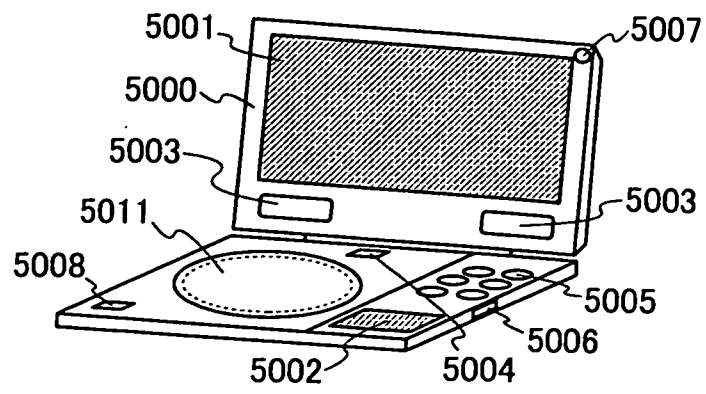


圖 43C

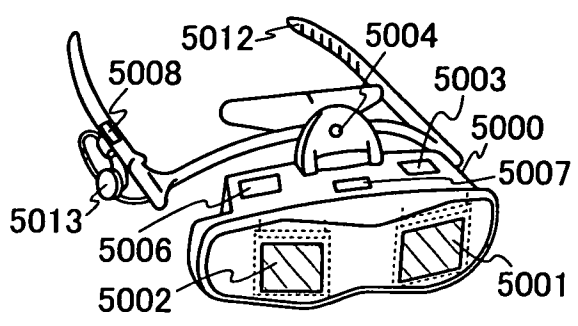


圖 43D

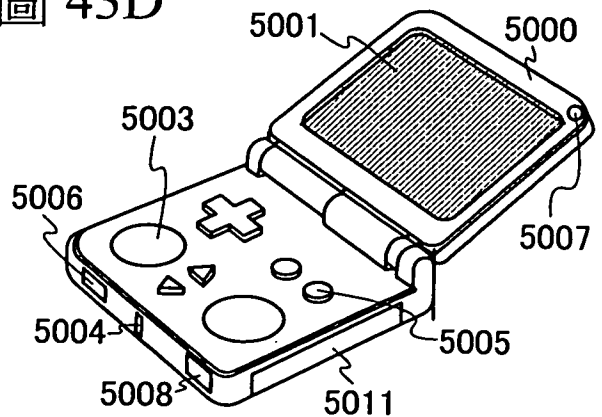


圖 43E

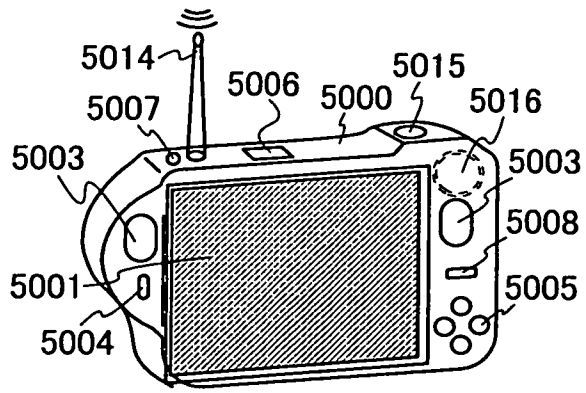


圖 43F

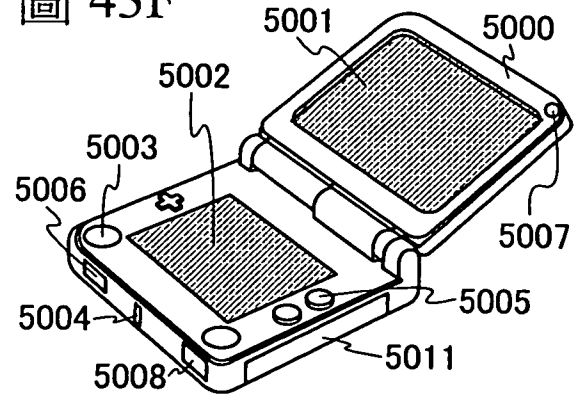


圖 43G

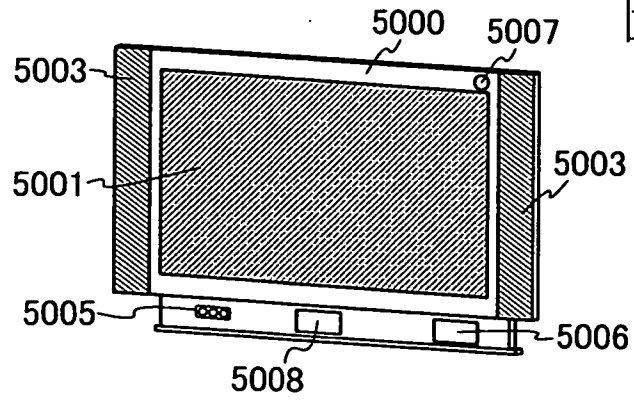


圖 43H

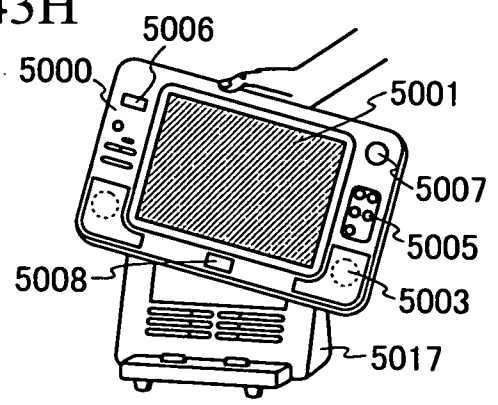


圖 44A

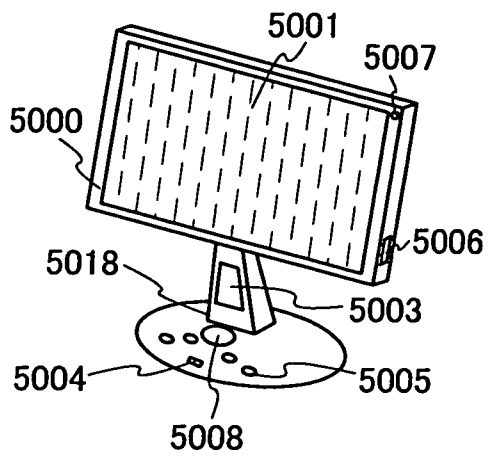


圖 44B

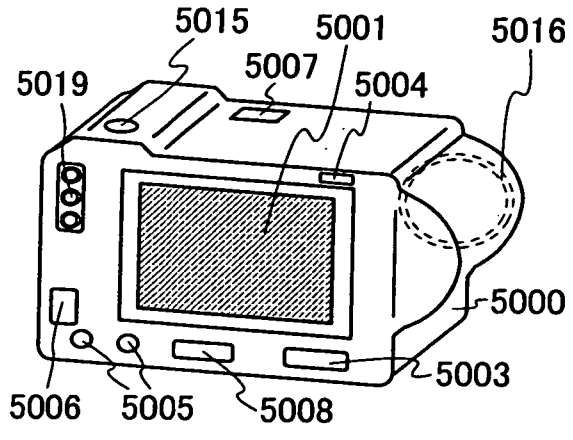


圖 44C

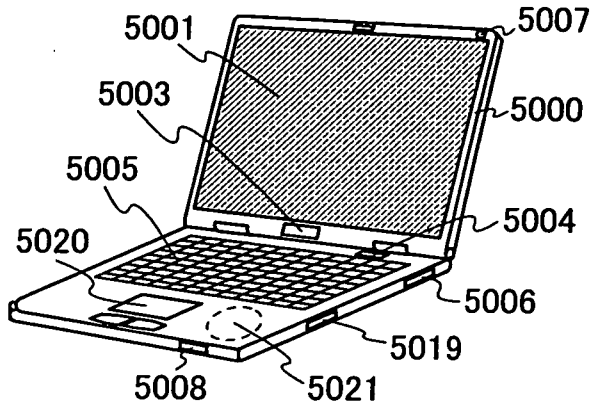


圖 44D

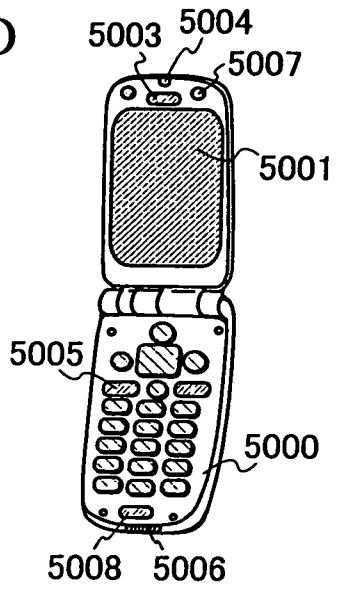


圖 44E

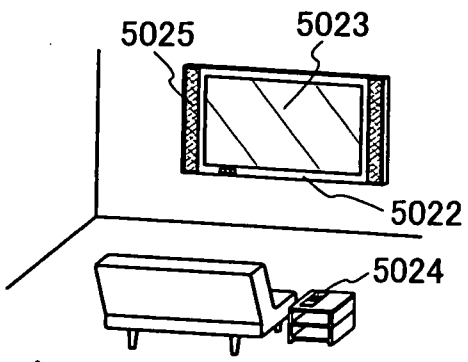


圖 44F

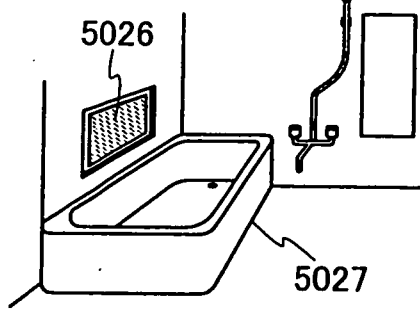


圖 44G

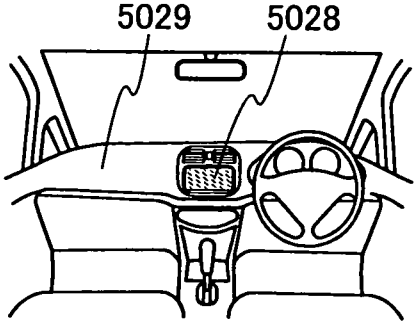


圖 44H

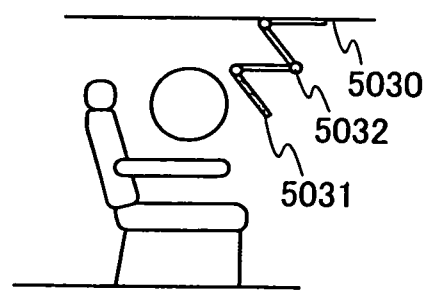


圖 45

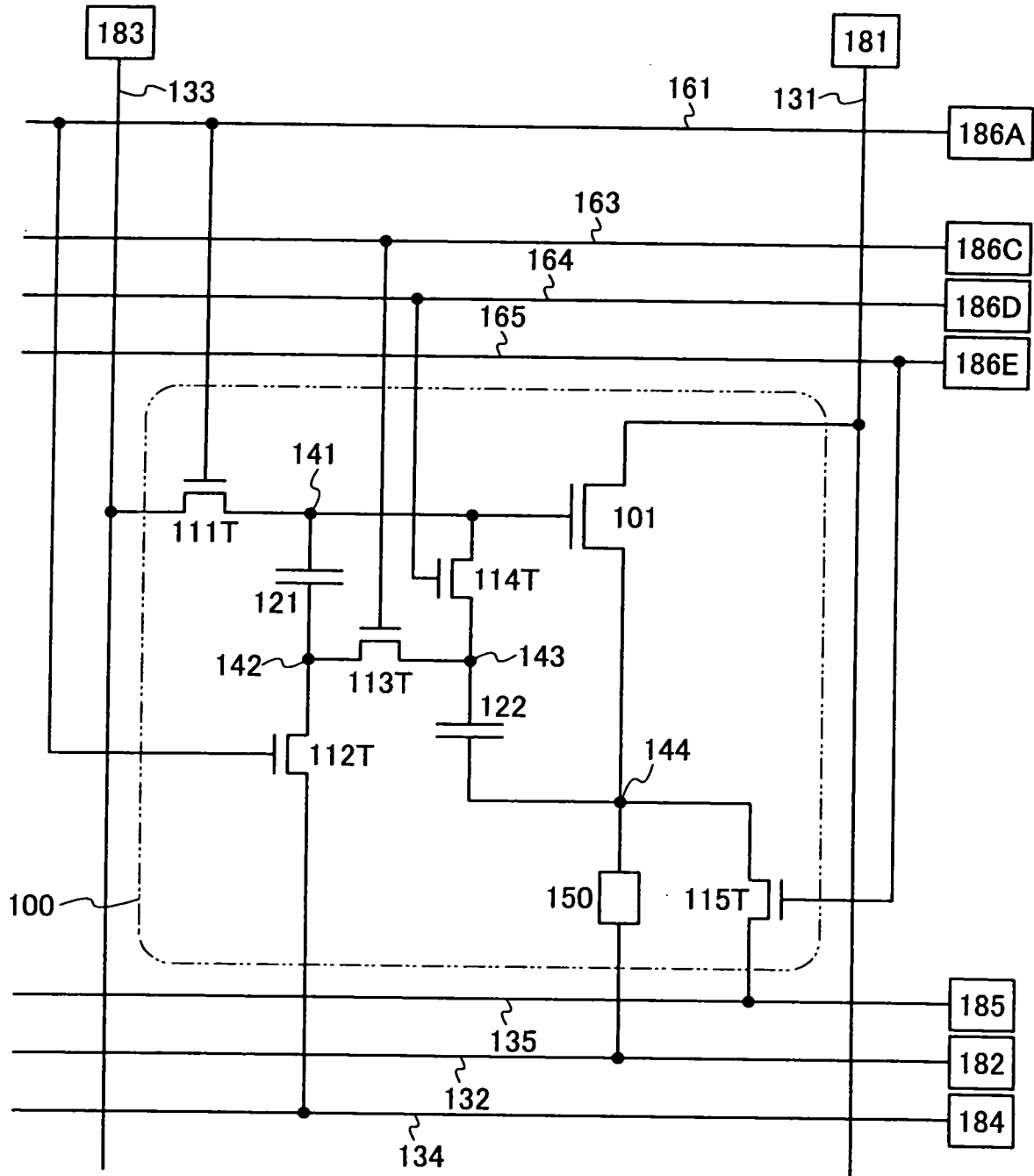


圖 46

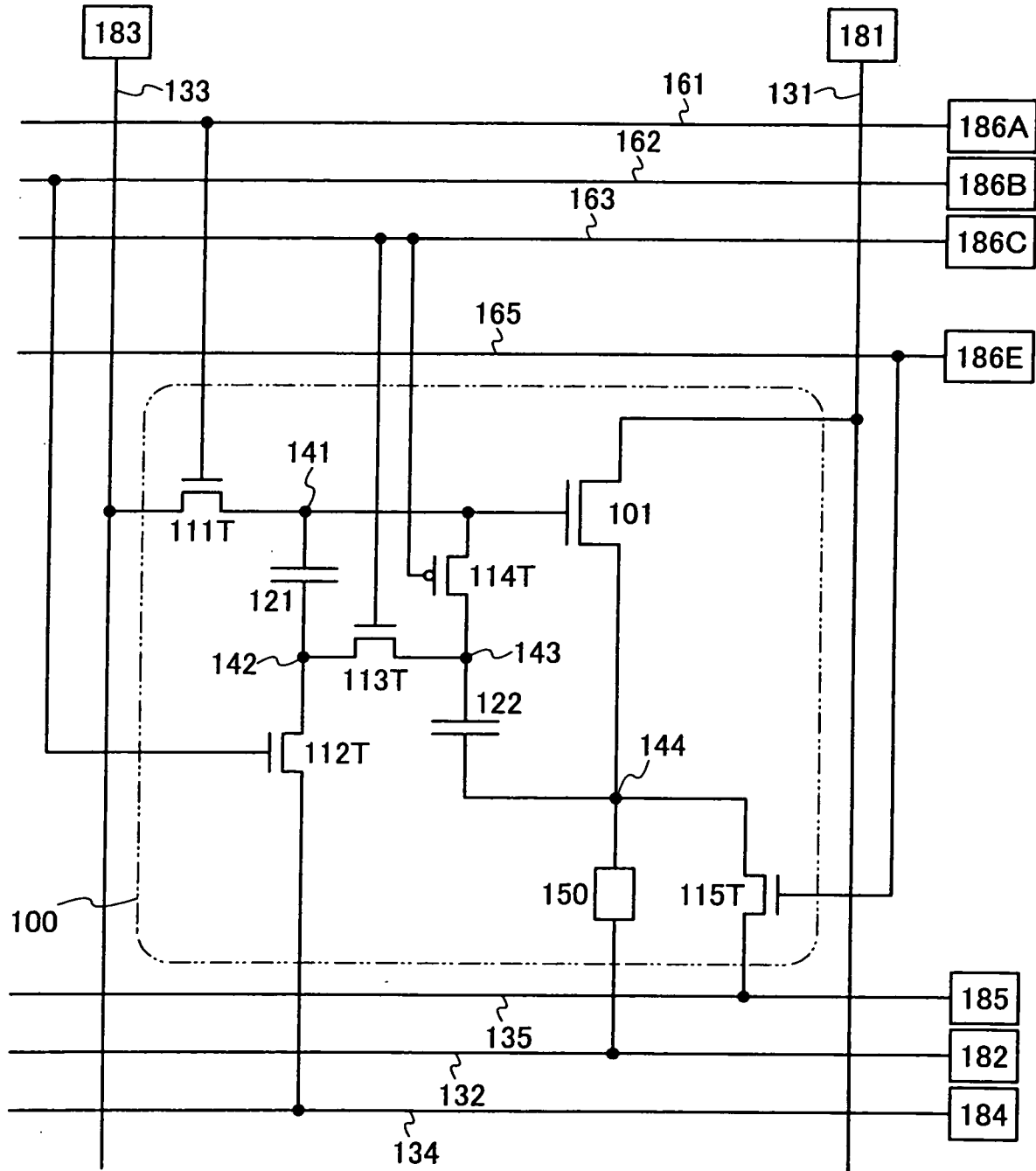


圖 47

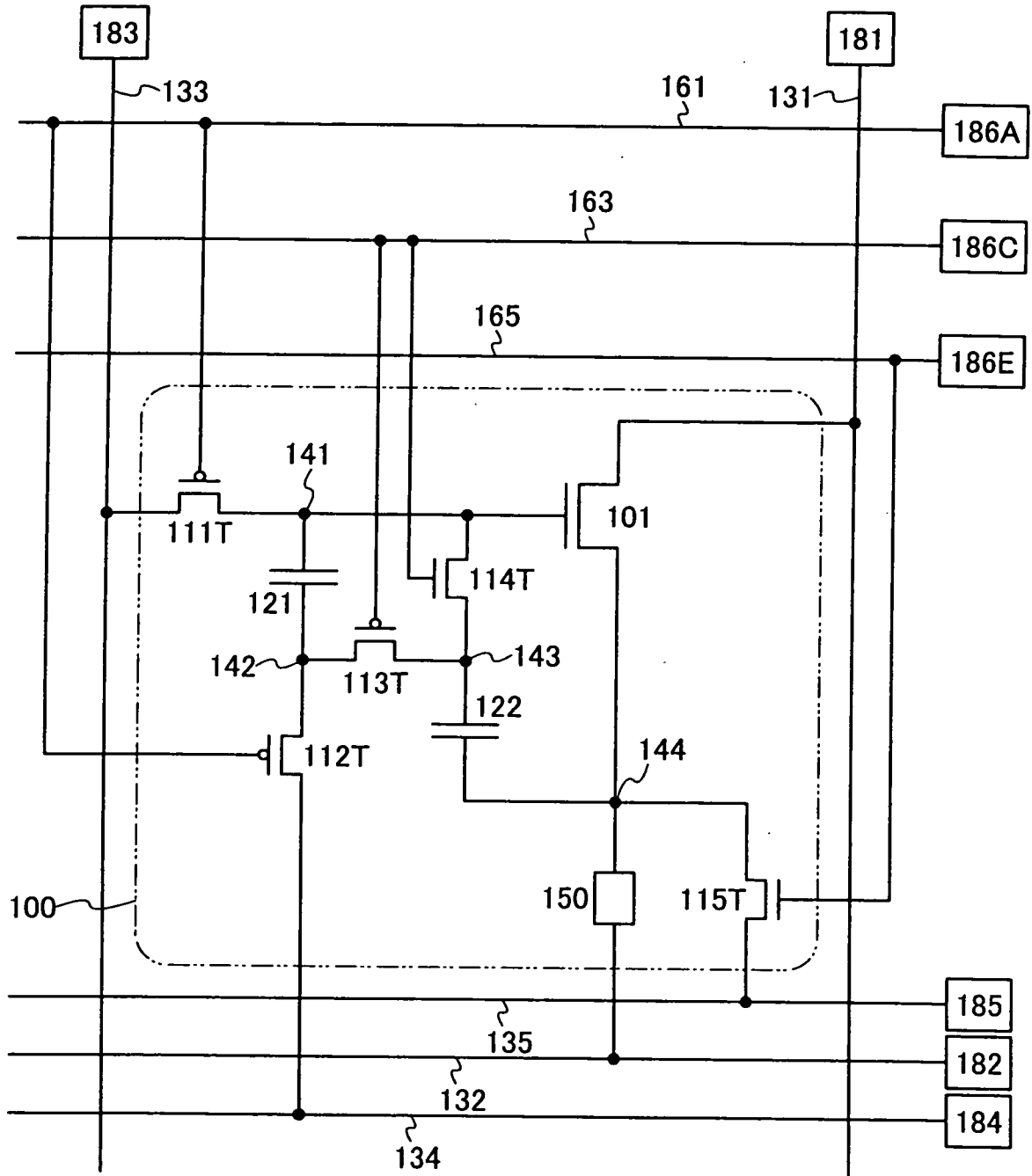


圖 48

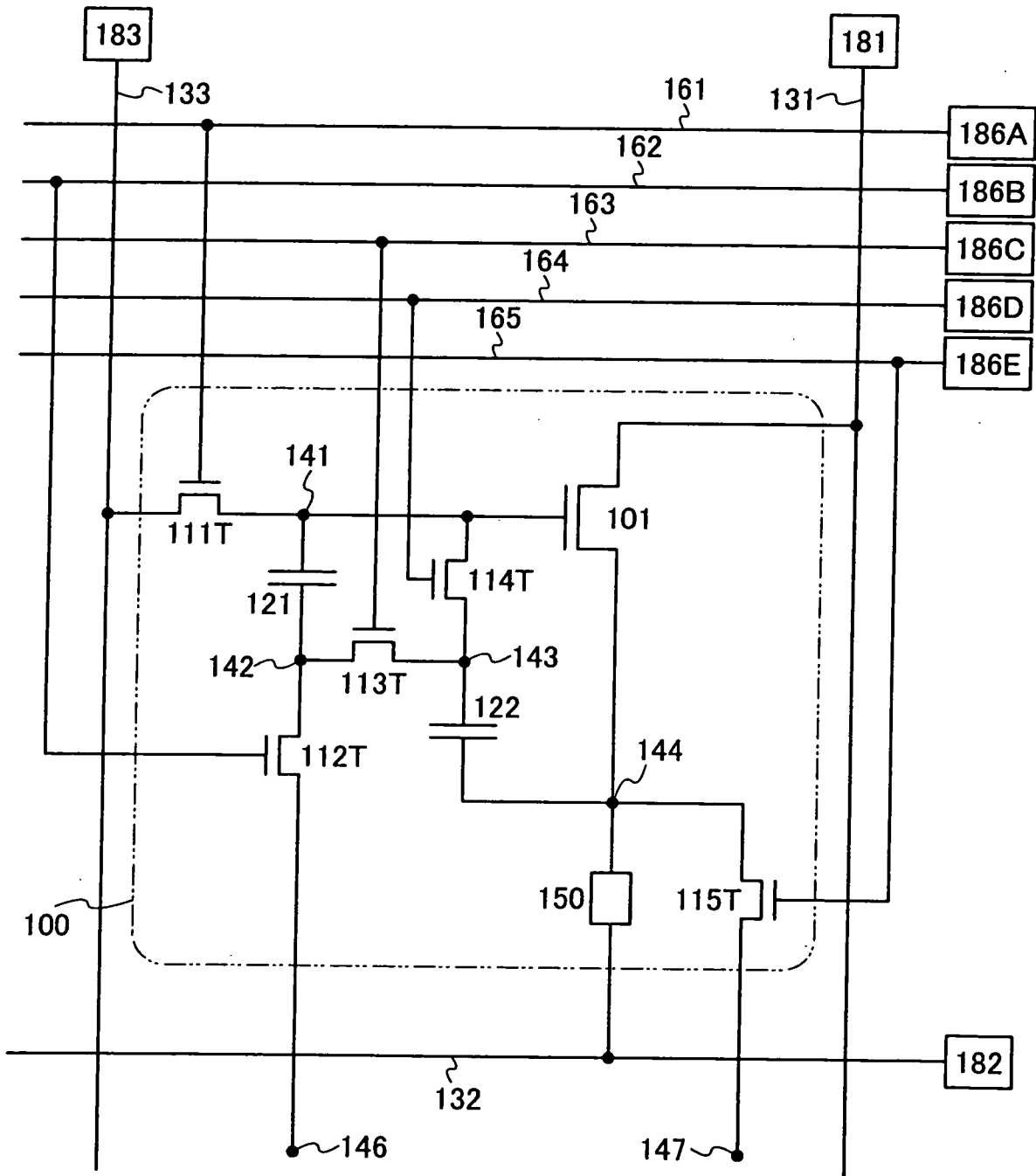


圖 49

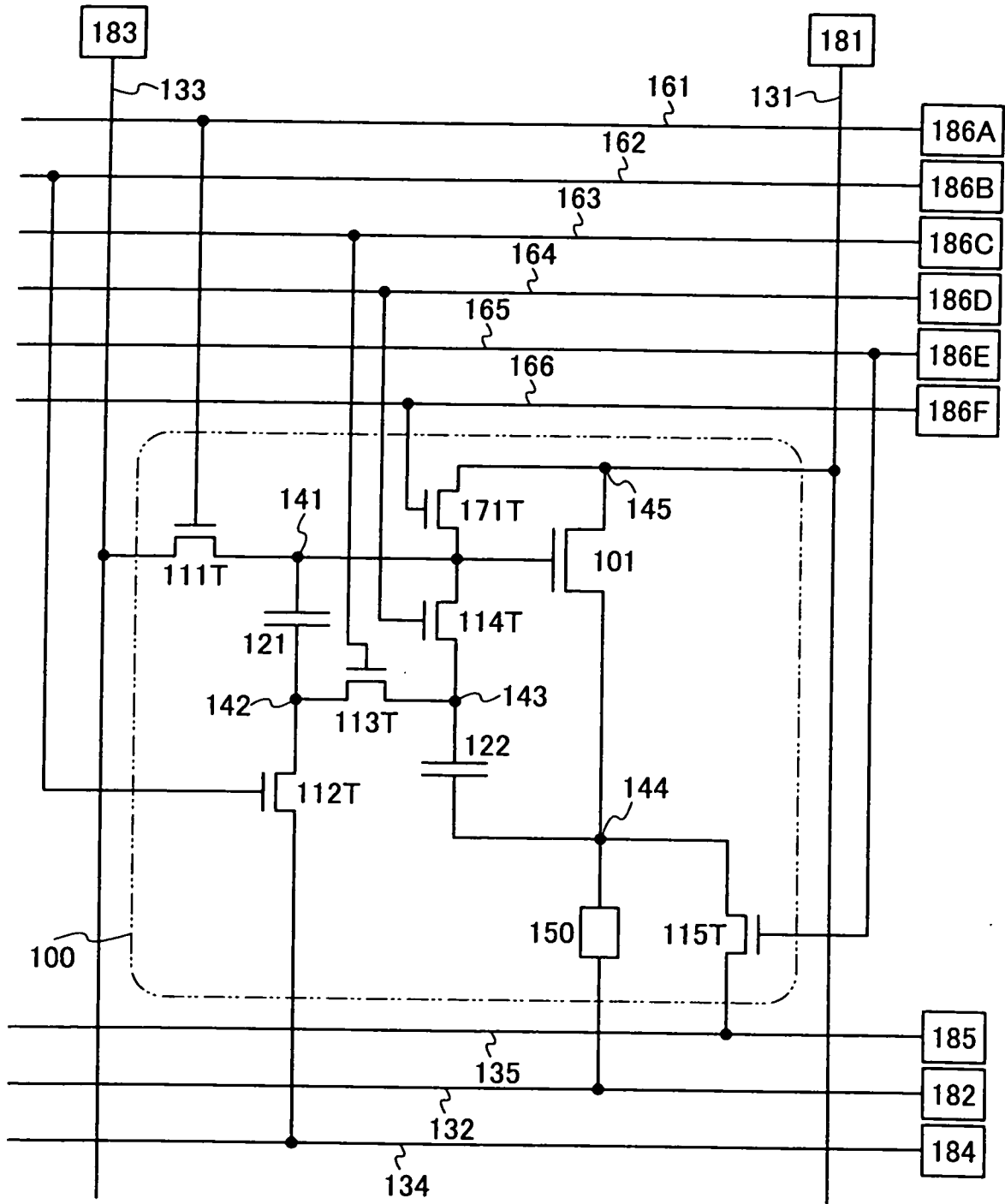


圖 50

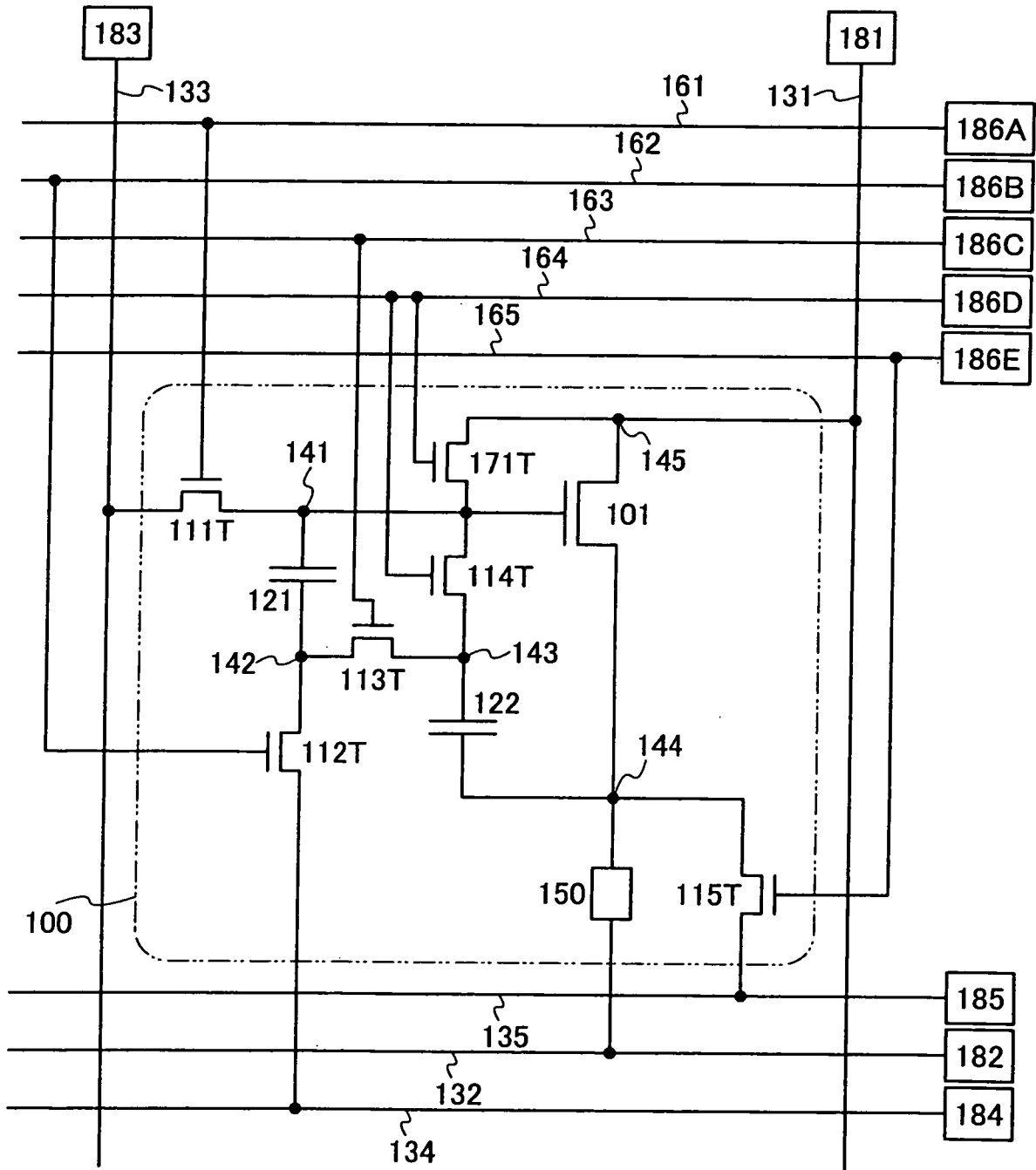


圖 51

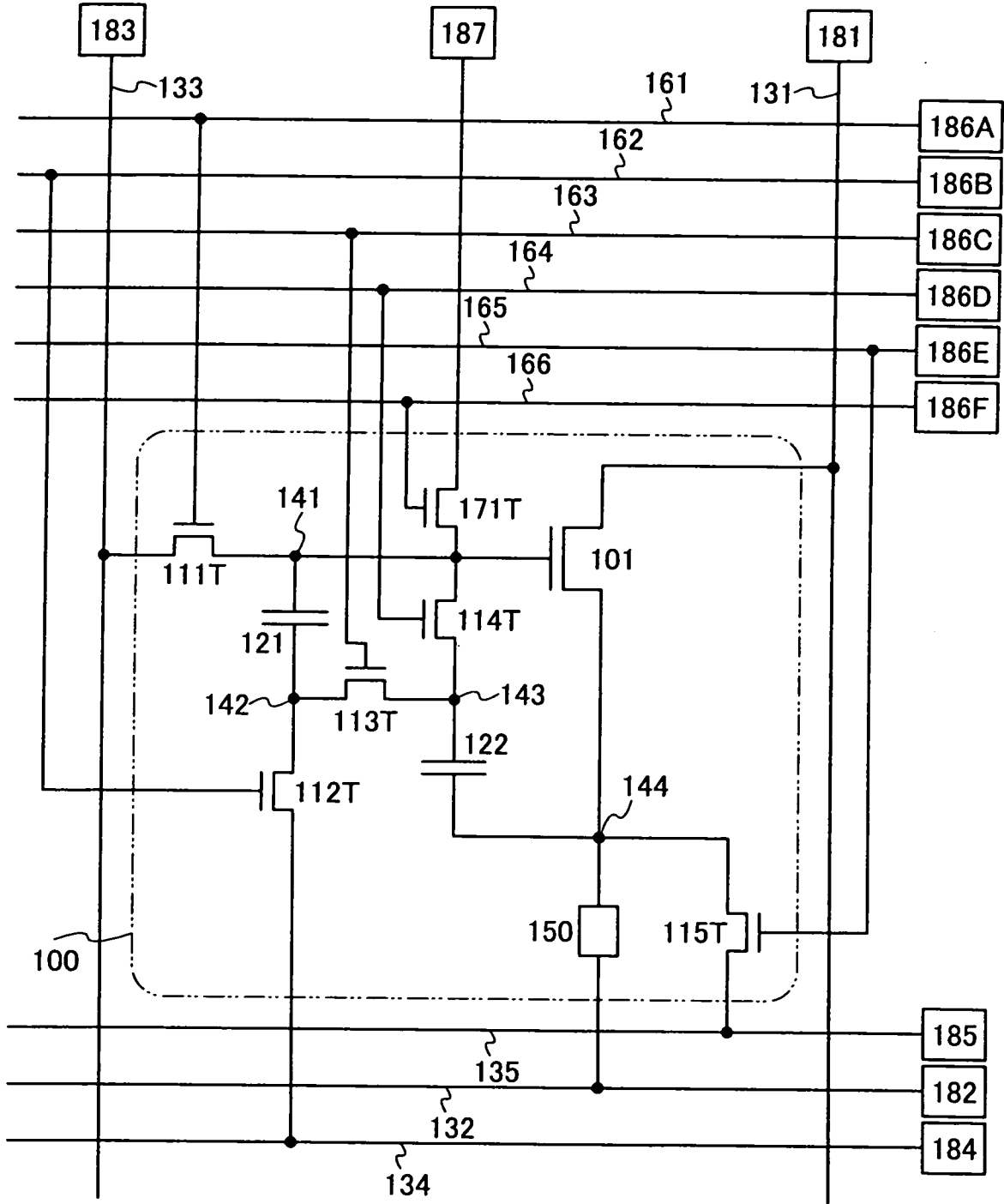


圖 52

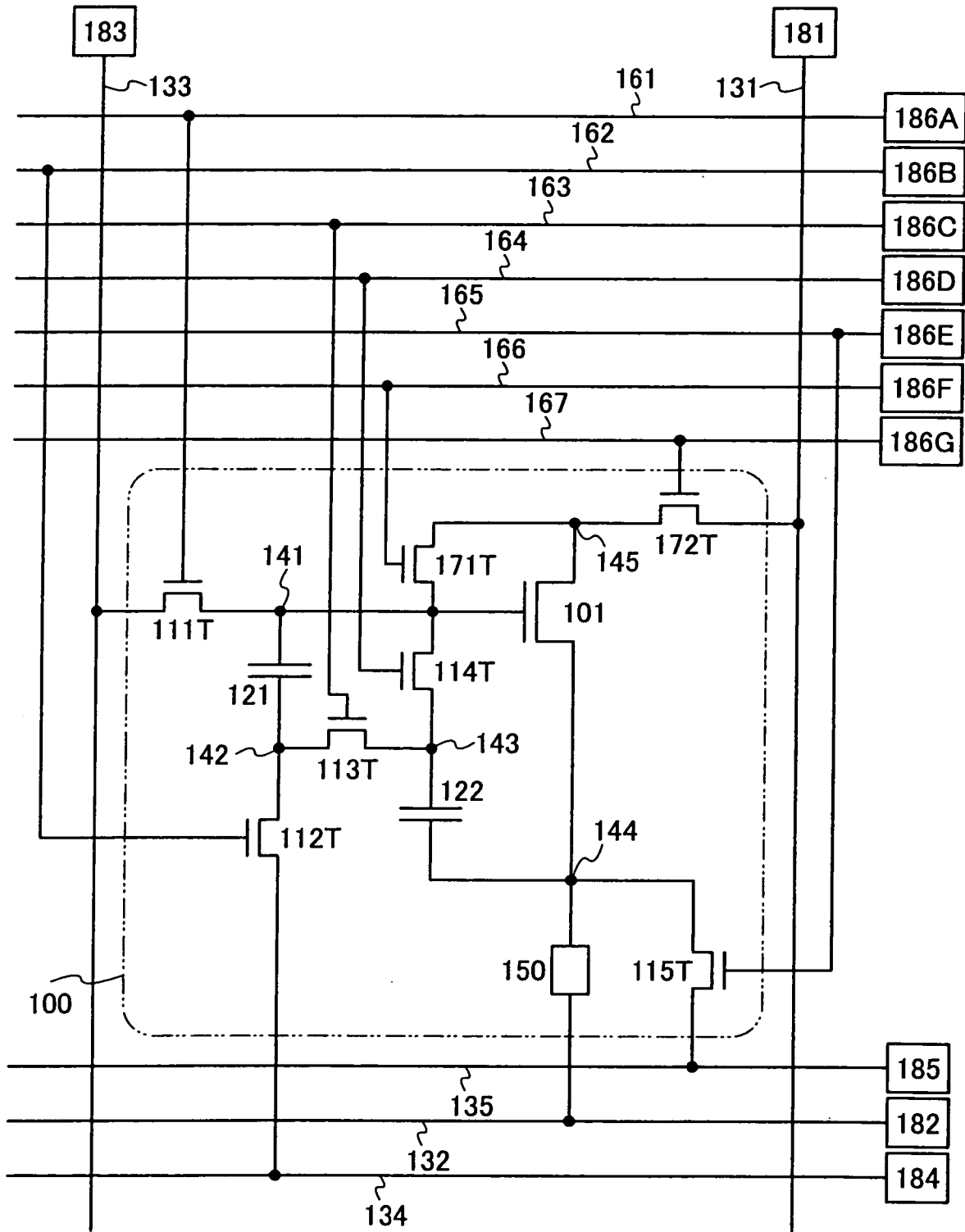


圖 53

