

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-60354
(P2011-60354A)

(43) 公開日 平成23年3月24日(2011.3.24)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	5 M O 2 4
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	

審査請求 未請求 請求項の数 15 O L (全 25 頁)

(21) 出願番号 特願2009-207003 (P2009-207003)
(22) 出願日 平成21年9月8日 (2009.9.8)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(74) 代理人 100127199
弁理士 三谷 拓也
(72) 発明者 藤澤 宏樹
東京都中央区八重洲二丁目2番1号エルピー
ダメモリ株式会社内

最終頁に続く

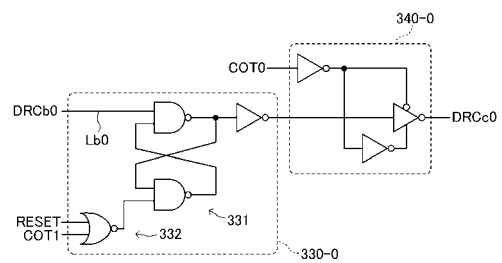
(54) 【発明の名称】 レイテンシカウンタ及びこれを備える半導体記憶装置、並びに、データ処理システム

(57) 【要約】

【課題】 ジッタによる内部コマンドのラッチマージンの減少が抑制されたレイテンシカウンタを提供する。

【解決手段】 信号経路 L a 0 ~ L a 7 のいずれか一つに内部コマンドを供給する入力選択回路 3 1 0 と、信号経路 L a 0 ~ L a 7 とラッチ回路 3 3 0 との対応関係を切り替えるシフト回路 3 2 0 と、ラッチ回路 3 3 0 に取り込まれた内部コマンドを出力する出力選択回路 3 4 0 とを備える。入力選択回路 3 1 0 は、信号経路 L a 0 ~ L a 7 にそれぞれ割り当てられたタイミング制御回路 3 1 0 - 0 ~ 3 1 0 - 7 を有し、これらは内部コマンドによってセットされ、対応するカウント値の非活性化にตอบสนองしてリセットされる S R 型ラッチ回路 3 1 1 を含んでいる。これにより、入力選択回路 3 1 0 から出力される内部コマンドのアクティブ期間の短縮が抑制される。

【選択図】 図 1 1



【特許請求の範囲】**【請求項 1】**

内部コマンドのレイテンシをカウントするレイテンシカウンタであって、クロック信号をカウントするカウンタ回路と、ポイントシフト型 F I F O 回路とを備え、

前記ポイントシフト型 F I F O 回路は、

前記内部コマンドをラッチする複数のラッチ回路と、

前記カウンタ回路のカウント値に基づいて、複数の信号経路のいずれか一つに前記内部コマンドを供給する入力選択回路と、

あらかじめ定められた前記複数の信号経路と前記複数のラッチ回路との対応関係に基づいて、前記内部コマンドを所定のラッチ回路に供給するシフト回路と、

前記カウンタ回路のカウント値に基づいて、前記複数のラッチ回路のいずれかに取り込まれた前記内部コマンドを出力させる出力選択回路と、を備え、

前記複数のラッチ回路は、それぞれ前記内部コマンドの入力に応答してセットされ、前記カウンタ回路の対応するカウント値とは異なるカウント値に応答してリセットされる S R 型ラッチ回路であることを特徴とするレイテンシカウンタ。

【請求項 2】

前記複数のラッチ回路は、前記出力選択回路によってそれぞれ選択されるカウント値の次のカウント値に応答してリセットされることを特徴とする請求項 1 に記載のレイテンシカウンタ。

【請求項 3】

前記内部コマンドは、最短で前記クロック信号の n サイクルで生成され、

前記複数のラッチ回路は、出力がワイヤードオアされた n 個のグループにグループ分けされており、前記カウント値が更新されるたびに異なるグループに属するラッチ回路の出力が順次選択されることを特徴とする請求項 1 又は 2 に記載のレイテンシカウンタ。

【請求項 4】

前記ポイントシフト型 F I F O 回路は、前記 n 個のグループからの出力を合成する第 1 のゲート回路と、前記ゲート回路から出力される前記内部コマンドの活性化期間を $1/n$ に短縮する第 2 のゲート回路とを含むことを特徴とする請求項 3 に記載のレイテンシカウンタ。

【請求項 5】

前記カウンタ回路は、

前記クロック信号に基づいて、互いに位相の異なる少なくとも第 1 及び第 2 の分周クロックからなる複数の分周クロックを生成する分周回路と、

前記第 1 の分周クロックをカウントする第 1 のカウンタ部と、

前記第 2 の分周クロックに同期して、前記第 1 のカウンタのカウント値を取り込む第 2 のカウンタ部と、

前記第 1 及び第 2 のカウンタ部のカウント値を排他的に選択する選択回路と、を備えることを特徴とする請求項 1 乃至 4 のいずれか一項に記載のレイテンシカウンタ。

【請求項 6】

前記選択回路は、前記第 1 の分周クロックに基づいて前記第 1 のカウンタ部のカウント値を選択し、前記第 2 の分周クロックに基づいて前記第 2 のカウンタ部のカウント値を選択することを特徴とする請求項 5 に記載のレイテンシカウンタ。

【請求項 7】

前記第 1 のカウンタ部は、バイナリ形式でカウント値を出力するリップルカウンタを含むことを特徴とする請求項 5 又は 6 に記載のレイテンシカウンタ。

【請求項 8】

前記第 1 のカウンタ部は、カウント値を構成する複数のビットの変化タイミングを一致させる第 1 の遅延回路を含んでいることを特徴とする請求項 7 に記載のレイテンシカウンタ。

【請求項 9】

前記第2のカウンタ部は、前記第2の分周クロックを遅延させる第2の遅延回路を含んでおり、前記第2の遅延回路によって遅延された前記第2の分周クロックに応答して、前記第1のカウンタ部のカウント値を取り込むことを特徴とする請求項5乃至8のいずれか一項に記載のレイテンシカウンタ。

【請求項10】

前記第1の遅延回路の遅延量よりも、前記第2の遅延回路の遅延量の方が大きいことを特徴とする請求項9に記載のレイテンシカウンタ。

【請求項11】

前記シフト回路は、前記複数の信号経路と前記複数の第1のラッチ回路との対応関係を設定信号に基づいて変更可能であることを特徴とする請求項1乃至10のいずれか一項に記載のレイテンシカウンタ。

10

【請求項12】

第1の動作モードである場合には前記内部コマンドを前記ポイントシフト型FIFO回路に相対的に早く供給し、第2の動作モードである場合には前記内部コマンドを前記ポイントシフト型FIFO回路に相対的に遅く供給するモード切替回路をさらに備えることを特徴とする請求項1乃至11のいずれか一項に記載のレイテンシカウンタ。

【請求項13】

前記第1の動作モードは前記クロック信号が位相制御された状態であり、前記第2の動作モードは前記クロック信号が位相制御されていない状態であることを特徴とする請求項12に記載のレイテンシカウンタ。

20

【請求項14】

請求項1乃至13のいずれか一項に記載のレイテンシカウンタを備える半導体記憶装置。

【請求項15】

請求項14に記載の半導体記憶装置とデータプロセッサとがシステムバスにより相互に接続されていることを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はレイテンシカウンタに関し、特に、同期式メモリ内において内部コマンドのレイテンシをカウントするレイテンシカウンタに関する。さらに、本発明はこのようなレイテンシカウンタを備える半導体記憶装置、並びに、このような半導体記憶装置を備えるデータ処理システムに関する。

30

【背景技術】

【0002】

シンクロナスDRAM (Synchronous Dynamic Random Access Memory) に代表される同期式メモリは、パーソナルコンピュータのメインメモリなどに広く利用されている。同期式メモリは、コントローラより供給されるクロック信号に同期してデータを入出力することから、より高速なクロックを使用することによって、データ転送レートを高めることが可能である。

40

【0003】

しかしながら、シンクロナスDRAMにおいても、DRAMコアはあくまでアナログ動作であり、極めて微弱な電荷をセンス動作により増幅する必要がある。そのため、リードコマンドが発行されてから、最初のデータを出力するまでの時間を短縮することはできず、リードコマンドが発行されてから所定の遅延時間が経過した後、外部クロックに同期して最初のデータが出力される。

【0004】

この遅延時間は一般に「CASレイテンシ」と呼ばれ、クロック周期の整数倍に設定される。例えば、CASレイテンシが5 (CL = 5) であれば、外部クロックに同期してリードコマンドを取り込んだ後、5周期後の外部クロックに同期して最初のデータが出力さ

50

れる。つまり、5クロックサイクル後に最初のデータが出力されることになる。このようなレイテンシをカウントするカウンタは、「レイテンシカウンタ」と呼ばれる。

【0005】

レイテンシカウンタとしては、本発明者が提案した特許文献1に記載の回路が知られている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-47267号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0007】

特許文献1に記載されたレイテンシカウンタは、いわゆるポイントシフト型のFIFO回路が用いられている。ポイントシフト型のFIFO回路においては、ラッチされたコマンドをカウンタのカウント値に応じて出力した後、ラッチされたコマンドを消去する必要がある。このため、コマンドを消去するためのリセット回路を各ラッチ回路に設ける必要がある。したがって、リセット回路をできる限り簡素化すれば、回路規模の縮小及び消費電力の低減を実現することができる。

【課題を解決するための手段】

【0008】

20

本発明によるレイテンシカウンタは、内部コマンドのレイテンシをカウントするレイテンシカウンタであって、クロック信号をカウントするカウンタ回路と、ポイントシフト型FIFO回路とを備え、前記ポイントシフト型FIFO回路は、前記内部コマンドをラッチする複数のラッチ回路と、前記カウンタ回路のカウント値に基づいて、複数の信号経路のいずれか一つに前記内部コマンドを供給する入力選択回路と、あらかじめ定められた前記複数の信号経路と前記複数のラッチ回路との対応関係に基づいて、前記内部コマンドを所定のラッチ回路に供給するシフト回路と、前記カウンタ回路のカウント値に基づいて、前記複数のラッチ回路のいずれかに取り込まれた前記内部コマンドを出力させる出力選択回路と、を備え、前記複数のラッチ回路は、それぞれ前記内部コマンドの入力に应答してセットされ、前記カウンタ回路の対応するカウント値とは異なるカウント値に应答してリセットされるSR型ラッチ回路であることを特徴とする。

30

【発明の効果】

【0009】

本発明によれば、ポイントシフト型のFIFO回路にラッチされたコマンドがカウンタ回路の対応するカウント値とは異なるカウント値に应答してリセットされることから、リセット用のワンショットパルスを生成するための回路などを各ラッチ回路に設ける必要がなくなる。このため、回路面積が縮小されるとともに、消費電力が削減される。

【図面の簡単な説明】

【0010】

【図1】本発明の好ましい実施形態による半導体記憶装置10の全体構成を示すブロック図である。

40

【図2】本発明の好ましい実施形態によるレイテンシカウンタ55の回路図である。

【図3】分周回路100の動作を説明するためのタイミング図である。

【図4】カウンタ回路200の動作を説明するためのタイミング図である。

【図5】タイミング制御回路310-0の回路図である。

【図6】入力選択回路310の動作を説明するためのタイミング図である。

【図7】入力選択回路310の動作を説明するための別のタイミング図である。

【図8】比較例による入力選択回路の動作を説明するためのタイミング図である。

【図9】シフト回路320の回路図である。

【図10】シフト回路320の機能を説明するための模式図である。

50

【図 1 1】ラッチ回路 3 3 0 - 0 及び出力ゲート 3 4 0 - 0 の回路図である。

【図 1 2】レイテンシカウンタ 5 5 の動作を説明するためのタイミング図である。

【図 1 3】本発明の好ましい実施形態によるデータ処理システム 5 0 0 の構成を示すブロック図である。

【発明を実施するための形態】

【0 0 1 1】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0 0 1 2】

図 1 は、本発明の好ましい実施形態による半導体記憶装置 1 0 の全体構成を示すブロック図である。

10

【0 0 1 3】

本実施形態による半導体記憶装置 1 0 はシンクロナス D R A M であり、外部端子として、クロック端子 1 1 a , 1 1 b、コマンド端子 1 2 a ~ 1 2 e、アドレス端子 1 3、データ入出力端子 1 4、データストロープ端子 1 5 a , 1 5 b 及び電源端子 1 6 a , 1 6 b を備えている。

【0 0 1 4】

クロック端子 1 1 a , 1 1 b は、それぞれクロック信号 C K , / C K が供給される端子であり、供給されたクロック信号 C K , / C K は、クロック入力回路 2 1 に供給される。本明細書において信号名の先頭に「 / 」が付されている信号は、対応する信号の反転信号又はローアクティブな信号であることを意味する。したがって、クロック信号 C K , / C K は互いに相補の信号である。クロック入力回路 2 1 の出力は、タイミング発生回路 2 2 及び D L L 回路 2 3 に供給される。タイミング発生回路 2 2 は内部クロック I C L K を生成し、これをデータ出力系の回路を除く各種内部回路に供給する役割を果たす。また、D L L 回路 2 3 は出力用クロック L C L K を生成し、これをデータ出力系の回路に供給する役割を果たす。

20

【0 0 1 5】

D L L 回路 2 3 が生成する出力用クロック L C L K は、クロック信号 C K , / C K に対して位相制御された信号であり、リードデータ D Q (及びデータストロープ信号 D Q S , / Q D S) の位相がクロック信号 C K , / C K の位相と一致するよう、クロック信号 C K , / C K に対してやや位相が進められる。

30

【0 0 1 6】

D L L 回路 2 3 は、モードレジスタ 5 6 へのセット内容に応じて、使用の可否が選択される。つまり、モードレジスタ 5 6 に「 D L L オンモード」がセットされている場合には、D L L 回路 2 3 は使用状態とされ、出力用クロック L C L K はクロック信号 C K , / C K に対して位相制御される。一方、モードレジスタ 5 6 に「 D L L オフモード」がセットされている場合には、D L L 回路 2 3 は不使用状態とされ、出力用クロック L C L K はクロック信号 C K , / C K に対して位相制御されなくなる。したがって、D L L オフモードである場合には、出力用クロック L C L K はクロック信号 C K よりも位相の遅れた信号となる。モードレジスタ 5 6 による D L L 回路 2 3 の制御は、モード信号 M によって行われる。

40

【0 0 1 7】

コマンド端子 1 2 a ~ 1 2 e は、それぞれロウアドレスストロープ信号 / R A S、コラムアドレスストロープ信号 / C A S、ライトイネーブル信号 / W E、チップセレクト信号 / C S、及びオンダイターミネーション信号 O D T が供給される端子である。これらのコマンド信号は、コマンド入力回路 3 1 に供給される。コマンド入力回路 3 1 に供給されたこれらコマンド信号は、コマンドデコーダ 3 2 に供給される。コマンドデコーダ 3 2 は、内部クロック I C L K に同期して、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンド I C M D を生成する回路である。生成された内部コマンドは、ロウ系制御回路 5 1、コラム系制御回路 5 2、リード制御回路 5 3、ライト制御

50

回路54、レイテンシカウンタ55及びモードレジスタ56に供給される。各種内部コマンドICMDのうち、リードコマンドMDRDTは少なくともレイテンシカウンタ55に供給される。

【0018】

本実施形態においては、外部リードコマンドの最短発行サイクル(t_{CCD})は4クロックである。コマンドデコーダ32は、外部リードコマンドが発行されると、2クロックの間隔を空けて内部リードコマンドMDRDTを2回生成する。したがって、本実施形態においては、内部リードコマンドMDRDTは最短で2クロック間隔で連続的に活性化する。

【0019】

レイテンシカウンタ55は、リードコマンドMDRDTが発行されてから、あらかじめ設定されたCASレイテンシが経過した後にリードデータが出力されるよう、リードコマンドMDRDTを遅延させた出力制御信号DRCを生成する回路である。ここで、リードコマンドMDRDTは内部クロックICKに同期した信号である一方、レイテンシカウンタ55の出力である出力制御信号DRCは、出力用クロックLCLKに同期している必要がある。したがって、レイテンシカウンタ55は、同期対象となるクロックを内部クロックICKから出力用クロックLCLKに乘せ替える役割も果たす。レイテンシカウンタ55の詳細については後述する。

【0020】

アドレス端子13は、アドレス信号ADDが供給される端子であり、供給されたアドレス信号ADDは、アドレス入力回路41に供給される。アドレス入力回路41の出力は、アドレスラッチ回路42に供給される。アドレスラッチ回路42は、内部クロックICKに同期してアドレス信号ADDをラッチする回路である。アドレスラッチ回路42にラッチされたアドレス信号ADDのうち、ロウアドレスについてはロウ系救済回路61に供給され、カラムアドレスについてはカラム系救済回路62に供給される。また、ロウ系救済回路61には、リフレッシュカウンタ63によって生成されるロウアドレスも供給される。さらに、モードレジスタセットにエントリーしている場合には、アドレス信号ADDはモードレジスタ56に供給される。

【0021】

ロウ系救済回路61は、欠陥のあるワード線を示すロウアドレスが供給された場合、本来のワード線ではなく冗長ワード線に対して代替アクセスを行うことによって、当該ロウアドレスを救済する回路である。ロウ系救済回路61の動作は、ロウ系制御回路51によって制御され、その出力はロウデコーダ71に供給される。もちろん、欠陥のないワード線を示すロウアドレスが供給された場合には、当該ロウアドレスがロウデコーダ71にそのまま供給される。ロウデコーダ71は、メモリセルアレイ70に含まれるいずれかのワード線WLを選択する回路である。メモリセルアレイ70においては、複数のワード線WLと複数のビット線BLが交差しており、その交点にはメモリセルMCが配置されている(図1においては、1本のワード線WL、1本のビット線BL及び1個のメモリセルMCのみを示している)。ビット線BLは、センス回路73内の対応するセンスアンプSAに接続されている。

【0022】

カラム系救済回路62は、欠陥のあるビット線を示すカラムアドレスが供給された場合、本来のビット線ではなく冗長ビット線に対して代替アクセスを行うことによって、当該カラムアドレスを救済する回路である。カラム系救済回路62の動作は、カラム系制御回路52によって制御され、その出力はカラムデコーダ72に供給される。もちろん、欠陥のないビット線を示すカラムアドレスが供給された場合には、当該カラムアドレスがカラムデコーダ72にそのまま供給される。カラムデコーダ72は、メモリセルアレイ70に含まれるいずれかのセンスアンプSAを選択する回路である。

【0023】

カラムデコーダ72によって選択されたセンスアンプSAは、リード動作時にはリード

10

20

30

40

50

アンプ 7 4 に接続され、ライト動作時にはライトアンプ 7 5 に接続される。リードアンプ 7 4 の動作はリード制御回路 5 3 によって制御され、ライトアンプ 7 5 の動作はライト制御回路 5 4 によって制御される。

【 0 0 2 4 】

データ入出力端子 1 4 は、リードデータ D Q の出力及びライトデータ D Q の入力を行うための端子であり、データ出力回路 8 1 及びデータ入力回路 8 2 に接続されている。データ出力回路 8 1 は、F I F O 回路 8 3 を介してリードアンプ 7 4 に接続されており、これにより、プリフェッチされた複数のリードデータ D Q がデータ入出力端子 1 4 からバースト出力される。また、データ入力回路 8 2 は、F I F O 回路 8 4 を介してライトアンプ 7 5 に接続されており、これにより、データ入出力端子 1 4 からバースト入力された複数のライトデータ D Q がメモリセルアレイ 7 0 に同時に書き込まれる。

10

【 0 0 2 5 】

データストロープ端子 1 5 a , 1 5 b は、それぞれデータストロープ信号 D Q S , / D Q S の入出力を行うための端子であり、データストロープ信号出力回路 8 5 及びデータストロープ信号入力回路 8 6 に接続されている。

【 0 0 2 6 】

図 1 に示すように、データ出力回路 8 1 及びデータストロープ信号出力回路 8 5 には、D L L 回路 2 3 によって生成される出力用クロック L C L K と、レイテンシカウンタ 5 5 によって生成される出力制御信号 D R C が供給される。出力制御信号 D R C は、F I F O 回路 8 3 にも供給される。

20

【 0 0 2 7 】

電源端子 1 6 a , 1 6 b は、それぞれ電源電位 V D D , V S S が供給される端子であり、内部電圧発生回路 9 0 に接続されている。内部電圧発生回路 9 0 は、図示しない各種内部電圧を生成する回路である。

【 0 0 2 8 】

以上が本実施形態による半導体記憶装置 1 0 の全体構成である。次に、半導体記憶装置 1 0 に含まれるレイテンシカウンタ 5 5 について説明する。

【 0 0 2 9 】

図 2 は、本発明の好ましい実施形態によるレイテンシカウンタ 5 5 の回路図である。

【 0 0 3 0 】

図 2 に示すように、本実施形態によるレイテンシカウンタ 5 5 は、出力用クロック L C L K に基づいて分周クロック L C L K E , L C L K O を生成する分周回路 1 0 0 と、分周クロック L C L K E , L C L K O に基づいてカウント動作を行うカウンタ回路 2 0 0 と、カウンタ回路 2 0 0 のカウント値を用いて、リードコマンド M D R D T のレイテンシをカウントするポイントシフト型 F I F O 回路 3 0 0 とを備えている。但し、本明細書において単に「カウンタ回路」と呼ぶときは、分周回路 1 0 0 とカウンタ回路 2 0 0 の両方を含むことがある。

30

【 0 0 3 1 】

出力用クロック L C L K は、図 1 に示した D L L 回路 2 3 によって生成されるクロックである。セルフリフレッシュ時やパワーダウン時においては、消費電力を低減するため、D L L 回路 2 3 の動作は停止する。したがって、セルフリフレッシュモードやパワーダウンモードから復帰する場合、D L L 回路 2 3 の動作が再開し、この際、一時的に出力用クロック L C L K が不安定な状態となり、ハザードが出力されることがある。

40

【 0 0 3 2 】

このようなハザードは、一般的にレイテンシカウンタを誤動作させる原因となる。しかしながら、本実施形態によるレイテンシカウンタ 5 5 は、出力用クロック L C L K にハザードが生じてもカウント値がジャンプするのみであり、カウント値が不定となったり、カウント動作が停止したりすることがない。

【 0 0 3 3 】

以下、レイテンシカウンタ 5 5 を構成する各回路ブロックの構成及び動作について説明

50

する。

【 0 0 3 4 】

まず、分周回路 1 0 0 について説明する。

【 0 0 3 5 】

図 2 に示すように、分周回路 1 0 0 は、出力用クロック L C L K の立ち下がりエッジに同期してラッチ動作を行うラッチ回路 1 0 1 と、ラッチ回路 1 0 1 の出力端 Q より出力される分周信号 L Q を反転させて入力端 D に供給するインバータ 1 0 2 と、出力用クロック L C L K と分周信号 L Q の論理積をとる A N D 回路 1 0 3 と、出力用クロック L C L K と分周信号 L Q の反転信号の論理積をとる A N D 回路 1 0 4 とを備えている。

【 0 0 3 6 】

このような回路構成により、図 3 に示すように、A N D 回路 1 0 3 の出力である分周クロック L C L K E は、偶数番目の内部クロック L C L K に連動した波形となり、A N D 回路 1 0 4 の出力である分周クロック L C L K O は、奇数番目の内部クロック L C L K に連動した波形となる。このため、分周クロック L C L K E , L C L K O は、アクティブな期間（ハイレベルである期間）が $0.5 t_{CK}$ となり、非アクティブな期間（ローレベルである期間）が $1.5 t_{CK}$ となる。

【 0 0 3 7 】

このように、本実施形態による分周回路は、出力用クロック L C L K を 2 分周することによって、互いに位相の異なる 2 つの分周クロック L C L K E , L C L K O を生成している。生成された分周クロック L C L K E , L C L K O は、図 2 に示すようにカウンタ回路 2 0 0 に供給される。このため、カウンタ回路 2 0 0 は、出力用クロック L C L K の半分の周波数で動作を行うことになる。

【 0 0 3 8 】

次に、カウンタ回路 2 0 0 について説明する。

【 0 0 3 9 】

図 2 に示すように、カウンタ回路 2 0 0 は、分周クロック L C L K E をカウントする第 1 のカウンタ部 2 1 0 と、分周クロック L C L K O に同期して第 1 のカウンタ部 2 1 0 のカウント値を取り込む第 2 のカウンタ部 2 2 0 と、第 1 及び第 2 のカウンタ部 2 1 0 , 2 2 0 のカウント値を排他的に選択する選択回路 2 3 0 とを備えている。

【 0 0 4 0 】

図 2 に示すように、第 1 のカウンタ部 2 1 0 は、リップル型のフリップフロップ 2 1 1 , 2 1 2 が従属接続された 2 ビットのリップルカウンタと、リップルカウンタの出力をデコードするデコーダ 2 1 3 とを含んでいる。フリップフロップ 2 1 1 のクロック端には分周クロック L C L K E が供給されており、したがって、フリップフロップ 2 1 1 の出力ビット B 1 はバイナリ信号の最下位ビットを示す。フリップフロップ 2 1 2 の出力ビット B 2 はバイナリ信号の最上位ビットである。

【 0 0 4 1 】

これらフリップフロップ 2 1 1 , 2 1 2 の出力ビット B 1 , B 2 は、デコーダ 2 1 3 に供給される。しかしながら、出力ビット B 1 , B 2 の変化タイミングは同時ではなく、下位ビットから変化する。つまり、上位ビットの変化が遅れる。本実施形態では、このような変化タイミングの差を無くすために、遅延回路 2 1 4 を用いている。遅延回路 2 1 4 は、フリップフロップ 1 段分に相当する遅延量を有している。図 2 に示すように、遅延回路 2 1 4 は、フリップフロップ 2 1 1 とデコーダ 2 1 3 との間に接続されている。このため、フリップフロップ 2 1 1 の出力ビット B 1 は、フリップフロップ 1 段分の遅延が与えられた後、デコーダ 2 1 3 に入力される。

【 0 0 4 2 】

これにより、デコーダ 2 1 3 に入力されるビット B 1 , B 2 の変化タイミングは実質的に一致することになる。デコーダ 2 1 3 は、バイナリ形式であるビット B 1 , B 2 に基づいて、4 本 (= 2^2) の出力のいずれか一つをハイレベルに活性化させる。

【 0 0 4 3 】

10

20

30

40

50

デコーダ 2 1 3 の出力は、フリップフロップ 2 1 1 , 2 1 2 や遅延回路 2 1 4 の存在により分周クロック L C L K E よりも遅れて変化するが、本実施形態では、第 1 のカウンタ部 2 1 0 が僅か 2 ビットのリップルカウンタであり、遅延量が非常に小さいことから、デコーダ 2 1 3 の出力と分周クロック L C L K E とのスキューはほとんど問題とならない。

【 0 0 4 4 】

一方、第 2 のカウンタ部 2 2 0 は、データラッチ型のフリップフロップ 2 2 1 , 2 2 2 と、フリップフロップ 2 2 1 , 2 2 2 の出力をデコードするデコーダ 2 2 3 とを含んでいる。フリップフロップ 2 2 1 , 2 2 2 のクロック端には、遅延回路 2 2 4 にて遅延された分周クロック L C L K O が供給されている。また、フリップフロップ 2 2 1 のデータ入力端 D にはフリップフロップ 2 1 1 の出力ビット B 1 が供給され、フリップフロップ 2 2 2 のデータ入力端 D にはフリップフロップ 2 1 2 の出力ビット B 2 が供給される。かかる構成により、第 2 のカウンタ部 2 2 0 は、分周クロック L C L K O に同期して第 1 のカウンタ部 2 1 0 のカウント値を取り込むことができる。つまり、分周クロック L C L K O が活性化すると、第 2 のカウンタ部 2 2 0 のカウント値は第 1 のカウンタ部 2 1 0 のカウント値と一致することになる。

10

【 0 0 4 5 】

これらフリップフロップ 2 2 1 , 2 2 2 の出力ビット B 3 , B 4 は、デコーダ 2 2 3 に供給される。これら出力ビット B 3 , B 4 の変化タイミングは同時であることから、出力ビット B 3 , B 4 の信号経路に遅延回路などは挿入されていない。しかしながら、上述の通り第 1 のカウンタ部 2 1 0 はリップル型のカウンタであることから、生成される出力ビット B 1 , B 2 が変化の際、合計でフリップフロップ 2 段分の遅延が生じる。このような遅延を持った出力ビット B 1 , B 2 を正しくラッチすべく、第 2 のカウンタ部 2 2 0 には、遅延回路 2 2 4 が設けられている。遅延回路 2 2 4 は、フリップフロップ 2 段分に相当する遅延量を有している。図 2 に示すように、遅延回路 2 2 4 は、分周クロック L C L K O の信号経路に挿入されている。

20

【 0 0 4 6 】

これにより、デコーダ 2 2 3 に入力される出力ビット B 3 , B 4 の変化タイミングは、出力ビット B 1 , B 2 の変化タイミングと実質的に一致することになる。デコーダ 2 2 3 は、バイナリ形式であるビット B 3 , B 4 に基づいて、4 本 (= 2²) の出力のいずれか一つをハイレベルに活性化させる。

30

【 0 0 4 7 】

選択回路 2 3 0 は、第 1 のカウンタ部 2 1 0 の出力に対応する 4 つの A N D 回路 2 3 0 - 0 , 2 , 4 , 6 と、第 2 のカウンタ部 2 2 0 の出力に対応する 4 つの A N D 回路 2 3 0 - 1 , 3 , 5 , 7 によって構成されている。A N D 回路 2 3 0 - 0 , 2 , 4 , 6 の一方の入力端には、第 1 のカウンタ部 2 1 0 の対応する出力ビットがそれぞれ供給され、他方の入力端には分周クロック L C L K E が共通に供給される。また、A N D 回路 2 3 0 - 1 , 3 , 5 , 7 の一方の入力端には、第 2 のカウンタ部 2 2 0 の対応する出力ビットがそれぞれ供給され、他方の入力端には分周クロック L C L K O が共通に供給される。

【 0 0 4 8 】

かかる構成により、第 1 のカウンタ部 2 1 0 の出力と第 2 のカウンタ部 2 2 0 の出力が交互に選択され、選択されたカウント値がポイントシフト型 F I F O 回路 3 0 0 に供給される。カウンタ回路 2 0 0 のカウント値は、出力ゲート制御信号 C O T 0 ~ C O T 7 とし て用いられる。

40

【 0 0 4 9 】

図 4 は、カウンタ回路 2 0 0 の動作を説明するためのタイミング図である。

【 0 0 5 0 】

図 4 に示すように、第 1 のカウンタ部 2 1 0 のカウント値である出力ビット B 1 , B 2 は、分周クロック L C L K E に同期してインクリメントし、第 2 のカウンタ部 2 2 0 のカウント値である出力ビット B 3 , B 4 は、分周クロック L C L K O に同期してインクリメントする。但し、これらのインクリメント動作は相互に無関係に行われるのではなく、第

50

1のカウンタ部210のカウント値が第2のカウンタ部220のカウント値として取り込まれるため、第2のカウンタ部220のカウント値は第1のカウンタ部210のカウント値に追従する。したがって、ハザードなどによって第1のカウンタ部210のカウント値がジャンプした場合には、第2のカウンタ部220のカウント値も同じ値にジャンプする。このように、第1のカウンタ部210のカウント値と第2のカウンタ部220のカウント値は、常に関連した状態でインクリメントされる。

【0051】

このようにして生成されるカウント値は、選択回路230によって選択される。つまり、分周クロックLCLKがハイレベルである期間においては第1のカウンタ部210のカウント値が選択され、分周クロックLCKOがハイレベルである期間においては第2のカウンタ部220のカウント値が選択される。その結果、カウンタ回路200のカウント値は、出力用クロックLCLKに同期してインクリメントされることになる。つまり、出力ゲート制御信号COT0～COT7がこの順に活性化されることになる。

10

【0052】

また、ハザードなどによって第1のカウンタ部210のカウント値がジャンプした場合、活性化される出力ゲート制御信号COT0～COT7が不測に変化する。しかしながら、第1及び第2のカウンタ部210, 220はバイナリ形式でカウント値を出力することから、複数の出力ゲート制御信号COT0～COT7が同時に活性化したり、いずれの出力ゲート制御信号COT0～COT7も活性化しないというような不定状態とはならならず、あくまでカウント値がジャンプするのみである。しかも、ハザードが生じるのは、パワーダウンモードからの復帰時などであることから、後述するポイントシフト型FIFO回路300には、リードコマンドMDRDTが蓄積されていない状態である。

20

【0053】

したがって、ハザードなどによってカウント値がジャンプした場合であっても、カウンタ回路200は自動復旧し、そのまま正常な動作を行うことが可能となる。これは、ポイントシフト型FIFO回路300が動作を開始する場合、カウンタ回路200のカウント値自体に意味はなく、カウント値が順次変化すれば正しい動作を行うことができるからである。

【0054】

次に、ポイントシフト型FIFO回路300について説明する。

30

【0055】

図2に示すように、ポイントシフト型FIFO回路300は、入力選択回路310と、シフト回路320と、ラッチ回路330と、出力選択回路340と、出力合成回路350とを備えている。

【0056】

入力選択回路310は、8つのタイミング制御回路310-0～310-7によって構成されている。これらタイミング制御回路310-0～310-7には、モード切替回路400を通過したリードコマンドMDRDTが共通に入力されるとともに、遅延回路390によって出力ゲート制御信号COT0～COT7を遅延させた入力ゲート制御信号CIT0～CIT7がそれぞれ入力される。

40

【0057】

図5は、タイミング制御回路310-0の回路図である。

【0058】

図5に示すように、タイミング制御回路310-0は、SR型ラッチ回路311と、SR型ラッチ回路311の出力MDRDIと入力ゲート制御信号CIT0が入力されるNANDゲート312を有している。SR型ラッチ回路311のセット端子Sには、インバータ313によって反転されたリードコマンドMDRDTが供給され、リセット端子Rには入力ゲート制御信号CIT0が供給される。NANDゲート312の出力は、対応する信号経路La0に接続されており、当該信号経路La0を介して内部リードコマンドDRCa0が出力される。かかる構成により、SR型ラッチ回路311は、リードコマンドM

50

D R D Tによってセットされ、カウンタ回路200の対応するカウント値（入力ゲート制御信号C I T 0）の非活性化に 응답してリセットされることになる。

【0059】

その他のタイミング制御回路310-1~310-7についても、それぞれ入力ゲート制御信号C I T 1~C I T 7が入力される他は、図5に示したタイミング制御回路310-0と同じ回路構成を有している。タイミング制御回路310-1~310-7の出力は、それぞれ対応する信号経路L a 1~L a 7に接続されており、これら信号経路L a 1~L a 7を介してリードコマンドD R C a 1~D R C a 7が出力される。

【0060】

図6は、入力選択回路310の動作を説明するためのタイミング図である。

10

【0061】

図6に示す例においては、外部クロックC Kのアクティブエッジ0及び4に 응답してリードコマンドR Dが発行されており、これに 응답して外部クロックC Kのアクティブエッジ0, 2, 4, 6に対応するリードコマンドM D R D Tが生成されている。但し、外部リードコマンドR Dが発行されてから、内部リードコマンドM D R D Tが生成されるまでには所定の時間が必要であり、図6に示す例では約1クロックサイクルの遅延が生じている。

【0062】

図6において、符号310-0, 310-2, 310-4, 310-6で囲んでいる箇所は、それぞれタイミング制御回路310-0, 310-2, 310-4, 310-6による動作を示している。図6に示す例は、出力用クロックL C L Kにジッタ成分が含まれていない場合を示しており、この場合、入力ゲート制御信号C I T 0, C I T 2, C I T 4, C I T 6は、内部のリードコマンドM D R D Tの波形とほぼ一致する。このようなケースでは、図6に示すように、タイミング制御回路310-0, 310-2, 310-4, 310-6からそれぞれ出力されるリードコマンドD R C a 0, D R C a 2, D R C a 4, D R C a 6の活性化期間（ローレベルである期間）は約0.5 t C K（t C Kとはクロックサイクルを指す）となる。

20

【0063】

図7は、入力選択回路310の動作を説明するための別のタイミング図であり、ジッタによって出力用クロックL C L Kにやや遅れ（+0.4 t C K）が生じているケースを示している。

30

【0064】

図7に示すように、ジッタによって出力用クロックL C L Kがやや遅れが生じている場合であっても、図5に示した回路から明らかなように、リードコマンドD R C a 0, D R C a 2, D R C a 4, D R C a 6が非活性レベル（ハイレベル）から活性レベル（ローレベル）に遷移するタイミングはジッタのない場合（図6のケース）と同じとなる。一方、リードコマンドD R C a 0, D R C a 2, D R C a 4, D R C a 6が活性レベル（ローレベル）から非活性レベル（ハイレベル）に遷移するタイミングについては、ジッタ分だけ遅れる。しかしながら、後述するように、ラッチ回路330のラッチタイミングはリードコマンドが非活性レベル（ハイレベル）から活性レベル（ローレベル）に遷移するタイミングによって規定されるため、上記の遅れは回路動作に影響を与えない。

40

【0065】

図8は、比較例による入力選択回路の動作を説明するためのタイミング図である。本例は、図5に示したS R型ラッチ回路311を用いることなく、N A N Dゲート312にリードコマンドM D R D Tと入力ゲート制御信号C I T 0~C I T 7を直接入力した場合の動作を示しており、図7と同様、ジッタによって出力用クロックL C L Kにやや遅れ（+0.2 t C K）が生じているケースを示している。

【0066】

図8に示す例では、ジッタによって出力用クロックL C L Kがやや遅れが生じている場合、リードコマンドD R C a 0, D R C a 2, D R C a 4, D R C a 6が非活性レベル（

50

ハイレベル)から活性レベル(ローレベル)に遷移するタイミングがジッタ分遅れてしまう。その結果、リードコマンドDRCa0, DRCa2, DRCa4, DRCa6の活性化期間(ローレベルである期間)がジッタ分短くなってしまい(=0.3tCK)、ラッチ回路330のラッチマージンが減少してしまう。

【0067】

これに対し、本実施形態による入力選択回路310によれば、ジッタによって出力用クロックLCLKに遅れが生じている場合であっても、ラッチ回路330によるラッチマージンが減少することがない。

【0068】

以上が入力選択回路310の回路構成及びその動作である。

10

【0069】

このように、本実施形態では、リードコマンドMDRDTが活性化すると、カウンタ回路200のカウント値に基づいて信号経路La0~La7のいずれか一つにリードコマンドDRCa0~DRCa7が供給されることになる。例えば、入力ゲート制御信号CIT0が活性化しているタイミングでリードコマンドMDRDTが供給された場合には、信号経路La0にのみリードコマンドDRCa0が供給され、他の信号経路La1~La7にはリードコマンドDRCa1~DRCa7は供給されない。

【0070】

これら信号経路La0~La7は、シフト回路320の入力端に接続されている。シフト回路320は、あらかじめ定められた対応関係に基づいて、入力側である信号経路La0~La7と出力側である信号経路Lb0~Lb7とを接続する。これにより、入力選択回路310から出力されたリードコマンドDRCaがリードコマンドDRCbとして所定のラッチ回路330-1~330-8に供給される。

20

【0071】

図9は、シフト回路320の回路図である。

【0072】

図9に示すように、シフト回路320は、8つのマルチプレクサ320-0~320-7によって構成されている。マルチプレクサ320-0~320-7の入力側はいずれも信号経路La0~La7に接続されており、あらかじめ定められた信号経路La0~La7上にリードコマンドDRCa0~DRCa7が供給された場合に、これをリードコマンドDRCb0~DRCb7として出力側の信号経路Lb0~Lb7に出力する。

30

【0073】

どの信号経路La0~La7上にリードコマンドDRCa0~DRCa7が供給された場合に、信号経路Lb0~Lb7上にリードコマンドDRCb0~DRCb7を出力するかは、マルチプレクサ320-0~320-7によって全て異なっている。その指定は、レイテンシ設定信号CLによって行われる。

【0074】

図10は、シフト回路320の機能を説明するための模式図である。

【0075】

図10に示す外側のリングLaは、入力側となる信号経路La0~La7を示し、内側のリングLbは出力側となる信号経路Lb0~Lb7を示している。そして、これらリングに付された目盛りが一致する信号経路が対応する信号経路であることを意味する。

40

【0076】

より具体的に説明すると、図10(a)は、信号経路La0~La7と信号経路Lb0~Lb7との差分を「0」に設定した例を示している。この場合、信号経路Lak(k=0~7)にリードコマンドDRCakが供給され、信号経路Lbj(j=0~7)からリードコマンドDRCbjが出力されるとすると、j=kの状態である。

【0077】

一方、図10(b)は、信号経路La0~La7と信号経路Lb0~Lb7との差分を「7」に設定した例を示している。この場合、信号経路Lak(k=0~7)にリードコ

50

マンド $DRCa_k$ が供給され、信号経路 Lb_j ($j = 0 \sim 7$) からリードコマンド $DRCb_j$ が出力されるとすると、 $j - k = 7$ 又は -1 の状態である。

【0078】

差分は $0 \sim 7$ のいずれかに設定可能であり、設定された状態においては、入力側の信号経路 La と出力側の信号経路 Lb との対応関係は固定される。このように、シフト回路 320 は、入力側の信号経路 La と出力側の信号経路 Lb との対応関係をレイテンシ設定信号 CL に基づいてシフトする役割を果たす。

【0079】

このように、本実施形態では、シフト回路 320 の前段に入力選択回路 310 が配置されていることから、リードコマンド $MDRDT$ が活性化した場合、マルチプレクサ 320 - 0 ~ 320 - 7 のいずれか一つだけが動作する。このため、リードコマンド $MDRDT$ の活性化の有無にかかわらず全てのマルチプレクサを動作させる場合に比べて、消費電力を低減することが可能となる。

10

【0080】

シフト回路 320 から出力されるリードコマンド $DRCb_0 \sim DRCb_7$ は、ラッチ回路 330 - 0 ~ 330 - 7 にそれぞれ供給される。ラッチ回路 330 - 0 ~ 330 - 7 の後段には、出力選択回路 340 を構成する出力ゲート 340 - 0 ~ 340 - 7 がそれぞれ接続されている。

【0081】

図 11 は、ラッチ回路 330 - 0 及び出力ゲート 340 - 0 の回路図である。

20

【0082】

図 11 に示すように、ラッチ回路 330 - 0 は、信号経路 Lb_0 を介して入力されるリードコマンド $DRCb_0$ が非活性レベル（ハイレベル）から活性レベル（ローレベル）に変化するとセットされる SR 型ラッチ回路 331 を含んでいる。 SR 型ラッチ回路 331 のリセットは、リセット回路 332 によって行われる。リセット回路 332 は、リセット信号 $RESET$ 及び次の出力ゲート制御信号 COT_1 が供給されており、これらのいずれかがハイレベルとなると、 SR 型ラッチ回路 331 がリセットされる。ここで、「次の出力ゲート制御信号」とは対応する出力ゲート制御信号を COT_m ($m = 0 \sim 7$) とした場合、出力ゲート制御信号 COT_{m+1} 又は COT_{m-7} を指す。すなわち、対応する出力ゲート制御信号の次のクロックサイクルで活性化する出力ゲート制御信号を指す。

30

【0083】

また、出力ゲート 340 - 0 は、出力ゲート制御信号 COT_0 がハイレベルである期間において、 SR 型ラッチ回路 331 にラッチされたリードコマンド $DRCc_0$ を出力する。出力ゲート制御信号 COT_0 がローレベルである期間においては、その出力はハイインピーダンス状態となる。

【0084】

他のラッチ回路 330 - 1 ~ 330 - 7 についても、それぞれ対応する信号経路 $Lb_1 \sim Lb_7$ を介して入力されるリードコマンド $DRCb_1 \sim DRCb_7$ によってセットされ、次の出力ゲート制御信号 $COT_2 \sim COT_7$, COT_0 によってリセットされる他は、図 11 に示したラッチ回路 330 - 0 と同じ回路構成を有している。また、他の出力ゲート 340 - 1 ~ 340 - 7 についても、それぞれ対応する出力ゲート制御信号 $COT_1 \sim COT_7$ によって活性化される他は、図 11 に示した出力ゲート 340 - 0 と同じ回路構成を有している。

40

【0085】

このように、本実施形態では、次の出力ゲート制御信号によって当該ラッチ回路がリセットされることから、リセット用のワンショットパルスを生成するための回路などを各ラッチ回路に設ける必要がなくなる。これにより、回路規模を縮小することができるとともに、消費電力を削減することが可能となる。尚、図 11 に示す回路では、リードコマンド $DRCc$ を出力した後も、次の出力ゲート制御信号が活性化するまで、当該ラッチ回路の内容が保持されたままとなる。しかしながら、当該ラッチ回路に次のリードコマンド DR

50

C bが入力されるタイミングは、最短でも、遅延回路390によって当該出力ゲート信号を遅延させたタイミング(CITの活性化タイミング)となるため、コマンドが衝突することはない。すなわち、FIFOカウンタの深さが少なくなることはない。

【0086】

図2に戻って、出力選択回路340からの出力は出力合成回路350に供給され、出力合成回路350からリードコマンドDRCとして出力される。ここで、出力ゲート340-0, 2, 4, 6からの出力であるリードコマンドDRCc0, 2, 4, 6は配線351にてワイヤードオアされ、出力ゲート340-1, 3, 5, 7からの出力であるリードコマンドDRCc1, 3, 5, 7は配線352にてワイヤードオアされる。つまり、カウント値が更新されるたびに異なるグループに属するラッチ回路の出力が順次選択されることになる。

10

【0087】

これら配線351, 352は、ORゲート回路353の入力端に接続されている。また、各配線351, 352には、ワイヤードオアされたリードコマンドを保持するためのラッチ回路351a, 352aがそれぞれ接続されている。一方、各配線351, 352には、ワイヤードオアされたリードコマンドをリセットするためのリセット回路は設けられていない。したがって、一旦ラッチ回路351a, 352aにリードコマンドが保持されると、上書きされるまでリードコマンドが残ったままになる。そのため、ORゲート回路353の出力が活性化する期間は2クロックサイクルとなる。しかしながら、配線351上のリードコマンドと配線352上のリードコマンドが衝突することはない。これは、本実施形態では内部リードコマンドMDRDTの最短生成サイクルが2クロックサイクルだからであり、一方の配線にリードコマンドが出力された後、これがリセットされる前に他方の配線にリードコマンドが出力されることは無いからである。

20

【0088】

ORゲート回路353の出力は、ANDゲート354を通過した後、ラッチ回路355にてラッチされ、出力制御信号DRCとして出力される。図1を用いて説明したとおり、出力制御信号DRCは、データ出力回路81、データストロープ信号出力回路85及びFIFO回路83に供給され、これら回路の動作タイミングを規定する信号として用いられる。

【0089】

ラッチ回路355は、出力用クロックCLKに同期してラッチ動作を行い、その出力は反転されてANDゲート354に帰還される。これにより、出力制御信号DRCの活性化期間は $1/2$ (=1クロックサイクル)に短縮される。

30

【0090】

このように、本実施形態では、8つのラッチ回路330-0~330-7からの出力が2つにグループ分けされ、それぞれワイヤードオア接続されるとともに、得られたワイヤードオア出力がORゲート回路353によってさらに合成される。かかる構成により、全てのラッチ回路330-0~330-7からの出力を纏めてワイヤードオア接続する場合と比べて、出力ゲート340-0~340-7の出力負荷が低減する。このため、出力制御信号DRCの信号品質を高めることが可能となる。

40

【0091】

また、グループ数(=2)と内部リードコマンドMDRDTの最短生成サイクルが一致しており、且つ、カウント値が更新されるたびに異なるグループに属するラッチ回路の出力が順次選択されることから、上述の通り、配線351上のリードコマンドと配線352上のリードコマンドが衝突することがない。このため、各配線にリセット回路を設ける必要がなくなり、回路規模を縮小することが可能となる。

【0092】

しかも、2クロックサイクルで内部リードコマンドMDRDTが連続生成されるケースでは、配線351, 352上の波形が変化せず、アクティブレベル(ハイレベル)を保持したままとなる。このため、充放電による電流消費が生じないことから、消費電力を削減

50

することも可能となる。

【 0 0 9 3 】

尚、本実施形態では、ラッチ回路 3 3 0 の出力を 2 つのグループに分けているが、これは、内部リードコマンド M D R D T の生成サイクルが最短で 2 クロックサイクルだからである。したがって、ラッチ回路 3 3 0 の出力をいくつのグループに分けるかは、内部リードコマンド M D R D T の最短生成サイクルに基づいて定めることができる。具体的には、内部リードコマンド M D R D T の生成サイクルが最短で n クロックサイクルであれば、ラッチ回路 3 3 0 の出力を n 個のグループに分け、グループごとにワイヤードオアすればよい。この場合、O R ゲート回路 3 5 3 の出力が活性化する期間は n クロックサイクルとなるが、A N D ゲート 3 5 4 及びラッチ回路 3 5 5 によって、出力制御信号 D R C の活性化期間は $1/n$ (= 1 クロックサイクル) に短縮される。

10

【 0 0 9 4 】

図 2 に示すように、本実施形態によるレイテンシカウンタ 5 5 は、モード切替回路 4 0 0 をさらに備えている。

【 0 0 9 5 】

モード切替回路 4 0 0 は、リードコマンド M D R D T を遅延させる遅延回路 4 0 1 と、モード信号に基づいて、遅延されていないリードコマンド M D R D T 及び遅延されたリードコマンド M D R D T のいずれか一方を選択するマルチプレクサ 4 0 2 とを含んでいる。

【 0 0 9 6 】

マルチプレクサ 4 0 2 は、D L L 回路 2 3 を使用する動作モード (D L L オンモード) である場合には、遅延されていないリードコマンド M D R D T を選択する。これにより、ポイントシフト型 F I F O 回路 3 0 0 には、リードコマンド M D R D T が高速に供給される。これに対し、D L L 回路 2 3 を使用しない動作モード (D L L オフモード) である場合には、マルチプレクサ 4 0 2 は遅延回路 4 0 1 によって遅延されたリードコマンド M D R D T を選択する。これにより、リードコマンド M D R D T は、D L L オンモード時よりも遅れてポイントシフト型 F I F O 回路 3 0 0 に供給されることになる。

20

【 0 0 9 7 】

遅延回路 4 0 1 の遅延量としては、D L L 回路 2 3 が動作していない場合において、外部のクロック信号 C K に対して生じる出力用クロック L C L K の遅れに相当する遅延量に設定することが好ましい。これによれば、D L L オフモードにより、クロック信号 C K に対して出力用クロック L C L K が遅れている場合であっても、D L L オンモード時と同様の動作マージンを確保することが可能となる。

30

【 0 0 9 8 】

以上が本実施形態によるレイテンシカウンタ 5 5 の構成である。次に、本実施形態によるレイテンシカウンタ 5 5 の動作について説明する。

【 0 0 9 9 】

図 1 2 は、本実施形態によるレイテンシカウンタ 5 5 の動作を説明するためのタイミング図であり、内部リードコマンド D R C b がラッチ回路 3 3 0 にラッチされる様子を示している。

【 0 1 0 0 】

図 1 2 では、外部のクロック信号 C K のエッジ 0 , 4 , 8 に同期してリードコマンド R D が発行された例を示している。図 8 に示すように、リードコマンド R D が発行されてから、内部リードコマンド M D R D T が生成されるまでには所定の時間がかかる。また、外部からリードコマンド R D が発行されると、コマンドデコーダ 3 2 は、2 クロック分の間隔を空けて 2 回の内部リードコマンド M D R D T を生成する。したがって、本例では、クロック信号 C K のエッジ 0 , 2 , 4 , 6 , 8 , 1 0 に対応してリードコマンド M D R D T が生成されている。

40

【 0 1 0 1 】

生成されたリードコマンド M D R D T は、カウンタ回路 2 0 0 の出力に基づいて、ポイントシフト型 F I F O 回路 3 0 0 に含まれる 8 つのラッチ回路 3 3 0 - 0 ~ 3 3 0 - 7 の

50

いずれかに保持される。本例では、1回目のリードコマンドMDRDTが生成されたタイミングにおいて入力ゲート制御信号CIT0が活性化しており、シフト回路320のシフト動作によって、ラッチ回路330-7にリードコマンドが格納された状態を示している。2回目以降のリードコマンドMDRDTは、それぞれラッチ回路330-1, 3, 5, 7, 1に順次格納される。

【0102】

ラッチ回路330-7に格納されたリードコマンドDRCb7は、カウンタ回路200のインクリメントによって、次の出力ゲート制御信号COT0が活性化され、これによりリセットされるまで、ラッチ回路330-7に保持される。そして、リセットされる直前である出力ゲート制御信号COT7が活性化されるタイミングで、出力ゲート340-7が開き、出力制御信号DRCc7が活性化する。出力制御信号DRCc7は2クロックサイクルに亘って活性化するが、ANDゲート354及びラッチ回路355によって1クロック幅に変換され、出力制御信号DRCとして出力される。そして、図1に示したデータ出力回路81は、出力制御信号DRCに同期して実際にリードデータDQを出力する。

10

【0103】

その後、ラッチ回路330-1, 3, 5, 7, 1に順次格納されるリードコマンドが順次出力されるため、この間、配線352の論理レベルはハイレベルに固定される。一方、ラッチ回路330-0, 2, 4, 6にはリードコマンドが格納されないため、配線351の論理レベルはローレベルに固定される。このように、2クロックサイクル間隔でリードコマンドMDRDTが連続的に活性化される場合、一方のグループに属するラッチ回路のみが使用され、他方のグループに属するラッチ回路は使用されなくなる。

20

【0104】

その後、セルフリフレッシュモードやパワーダウンモードにエンタリーすると、図1に示したDLL回路23が停止する。そして、通常動作に復帰する際、出力用クロックLCLKにハザードが生じることがあり、これによってカウンタ回路200のカウント値がジャンプすることがある。

【0105】

しかしながら、本実施形態によるレイテンシカウンタ55では、カウント値自体に意味はなく、通常動作時において正しくインクリメント(又はデクリメント)されれば問題は全く生じない。つまり、カウント値がエラーとなること自体が無く、ハザードによってカウント値が変化しても、そのまま次の動作を実行することができる。このように、本実施形態によるレイテンシカウンタ55によれば、出力用クロックLCLKのハザードに起因するエラーを防止することが可能となる。

30

【0106】

以上説明したように、本実施形態によるレイテンシカウンタ55によれば、出力用クロックLCLKを2分周した分周クロックLCKE, LCKOに同期してカウント動作を行っていることから、出力用クロックLCLKの周波数が高い場合であってもカウンタ回路200の動作マージンを十分に確保することが可能となる。

【0107】

また、カウンタ回路200を第1のカウンタ部210と第2のカウンタ部220に分けていることから、第1のカウンタ部210に含まれるリップルカウンタのビット数が少なくなる。これにより、リップルカウンタにて生じる遅延が小さくなり、その結果、選択回路230に分周クロックLCKE, LCKOを直接供給することが可能となる。つまり、リップルカウンタの遅延が大きい場合、正しく同期を取るためには、分周クロックLCKE, LCKOをある程度遅延させてから選択回路230に入力する必要がある。この場合、遅延を回復させるための再同期回路を設けることによって、リードコマンドMDRDTを出力用クロックLCLKに再同期させる必要が生じる。このような再同期回路は、クロックの周波数が高い場合、コマンドの転送マージンを低下させる原因となりうる。しかしながら、本実施形態では、このような再同期回路は不要であり、その結果、クロックの周波数が高い場合であっても十分な転送マージンを確保することが可能となる。

40

50

【0108】

しかも、第1のカウンタ部210については分周クロックLCLKをバイナリ形式でカウントする一方、第2のカウンタ部220については分周クロックLCKOに同期して第1のカウンタ部210のカウント値を取り込んでいることから、第1のカウンタ部210のカウント値と第2のカウンタ部220のカウント値がずれることがない。このため、第1のカウンタ部210のカウント値に基づいてラッチしたリードコマンドMDRDTを、第2のカウンタ部220のカウント値に基づいて出力することが可能となる。もちろんその逆も可能である。このことは、分周クロックLCLK、LCKOに同期してカウント動作を行っているにもかかわらず、ポイントシフト型FIFO回路300が分周による影響を受けないことを意味する。

10

【0109】

つまり、もし第1のカウンタ部210のカウント値と第2のカウンタ部220のカウント値が無関係であれば、第1のカウンタ部210のカウント値に基づいてラッチしたリードコマンドMDRDTについては、第1のカウンタ部210のカウント値に基づいて出力することが必須となる。同様に、第2のカウンタ部220のカウント値に基づいてラッチしたリードコマンドMDRDTについては、第2のカウンタ部220のカウント値に基づいて出力することが必須となる。この場合、ポイントシフト型FIFO回路300に設定可能なレイテンシ数は偶数のみとなり、レイテンシを奇数に設定するためには、レイテンシ追加回路などを付加する必要があるが生じる。しかしながら、本実施形態では、第1のカウンタ部210のカウント値と第2のカウンタ部220のカウント値が連動していることから、このような制約を受けることが無くなり、レイテンシ追加回路などを付加することなく、レイテンシを任意の値に設定することが可能となる。

20

【0110】

しかも、本実施形態では、第1のカウンタ部210がリップルカウンタであることから、上述の通り、出力用クロックLCLKのハザードに起因するエラーを防止することが可能となる。

【0111】

また、本実施形態においては、シフト回路320の前段に入力選択回路310を設けることによって、リードコマンドMDRDTが供給された場合にだけシフト回路320を動作させていることから、リードコマンドMDRDTの有無にかかわらずシフト回路を常時動作させる場合に比べて、消費電力を低減することが可能となる。

30

【0112】

さらに、本実施形態では、入力選択回路310を構成する複数のタイミング制御回路310-0~310-7にSR型ラッチ回路311を設け、リードコマンドMDRDTによってセットするとともに、対応する入力ゲート選択信号の非活性化に 응답してリセットしていることから、ジッタによって出力用クロックLCLKに遅れが生じている場合であっても、リードコマンドDRCaのウィンドウ幅が減少しない。このため、ラッチ回路330によるラッチマージンが減少することがない。

【0113】

さらに、本実施形態では、ラッチ回路330にラッチされたリードコマンドDRCbを対応する出力ゲート制御信号によって出力した後、次の出力ゲート制御信号によって当該ラッチ回路をリセットしていることから、リセット用のワンショットパルスを生成するための回路などを各ラッチ回路に設ける必要がなくなる。このため、回路面積が縮小されるとともに、消費電力が削減される。

40

【0114】

さらに、本実施形態では、カウント値が更新されるたびに異なるグループに属するラッチ回路330-0~330-7の出力が順次選択されるよう、8つのラッチ回路330-0~330-7をグループ分けし、グループごとに出力をワイヤードオア接続していることから、全てのラッチ回路330-0~330-7からの出力を纏めてワイヤードオア接続する場合と比べて、出力ゲート340-0~340-7の出力負荷が低減する。しかも

50

、ワイヤードアされた各配線にリセット回路を設ける必要がないため、回路規模を縮小することが可能となる。さらに、2クロックサイクルで外部リードコマンドが連続発行されるケースでは、配線351, 352上の波形が変化せず、アクティブレベル(ハイレベル)を保持したままとなることから、充放電による電流消費が生じない。このため、消費電力を削減することも可能となる。

【0115】

さらに、本実施形態においては、モード切替回路400を用いることにより、DLLオフモードである場合にリードコマンドMDRDTの供給をDLLオンモード時よりも遅らせていることから、出力用クロックCLKが外部のクロック信号CKに対して遅れている場合であっても、DLLオンモード時と同様にリードコマンドMDRDTの取り込みマージンを十分に確保することが可能となる。

10

【0116】

図13は、本発明の好ましい実施形態による半導体記憶装置10を用いたデータ処理システム500の構成を示すブロック図である。

【0117】

図13に示すデータ処理システム500は、データプロセッサ520と、本実施形態による半導体記憶装置(DRAM)10が、システムバス510を介して相互に接続された構成を有している。データプロセッサ520としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを含まれるが、これらに限定されない。図13においては簡単のため、システムバス510を介してデータプロセッサ520とDRAM10とが接続されているが、システムバス510を介さずにローカルなバスによってこれらが接続されていても構わない。

20

【0118】

また、図13には、簡単のためシステムバス510が1組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図10に示すメモリシステムデータ処理システムでは、ストレージデバイス540、I/Oデバイス550、ROM560がシステムバス510に接続されているが、これらは必ずしも必須の構成要素ではない。

【0119】

ストレージデバイス540としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/Oデバイス550としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。また、I/Oデバイス550は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。さらに、図13に示す各構成要素は、簡単のため1つずつ描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

30

【0120】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【0121】

例えば、本発明においてカウンタ回路200の回路構成については特に限定されず、公知の種々のカウンタ路を用いることが可能である。

【0122】

また、上記実施形態では、分周回路100を用いて出力用クロックCLKを2分周しているが、本発明において分周数がこれに限定されるものではない。したがって、出力用クロックCLKがより高速である場合には、出力用クロックCLKを4分周するとともに、第2のカウンタ部220と同様、第1のカウンタ部210と連動する第3及び第4のカウンタを用いればよい。

【0123】

50

また、上記実施形態では、第1のカウンタ部210がリップルカウンタを含んでいるが、本発明がこれに限定されるものではない。

【0124】

さらに、上記実施形態では、カウンタ回路200をレイテンシカウンタ55の一部として利用しているが、本発明によるカウンタ回路の用途がこれに限定されるものではない。

【0125】

また、本発明においてモード切替回路400を備えることは必須でない。

【0126】

さらに、本発明において入力選択回路310や出力合成回路350の回路構成については特に限定されず、上記実施形態にて示した回路とは異なる回路を用いることが可能である。

10

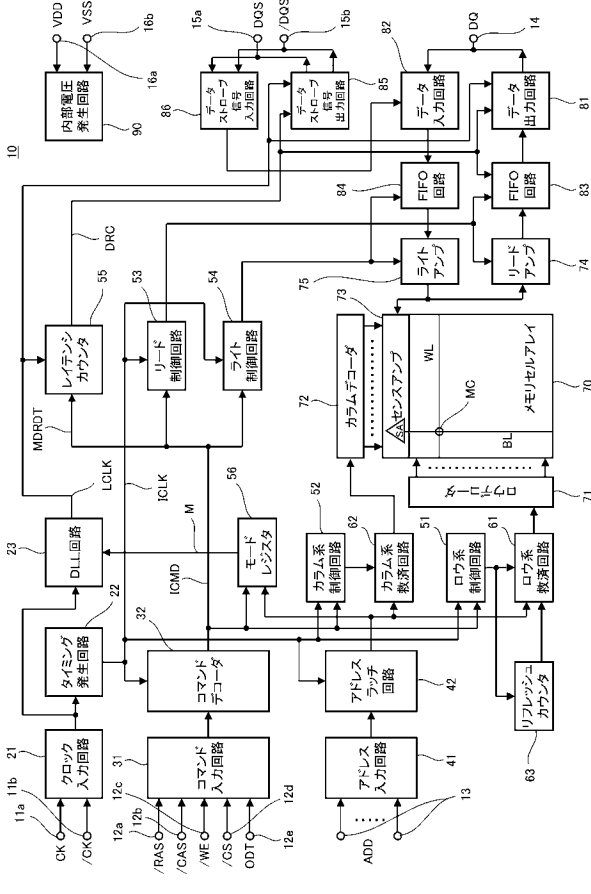
【符号の説明】

【0127】

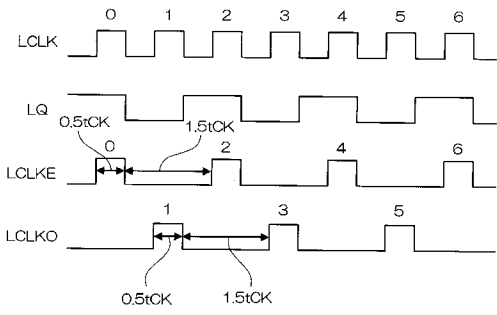
10	半導体記憶装置(DRAM)	
11a, 11b	クロック端子	
12a ~ 12e	コマンド端子	
13	アドレス端子	
14	データ入出力端子	
15a, 15b	データストロープ端子	
16a, 16b	電源端子	20
21	クロック入力回路	
22	タイミング発生回路	
23	DLL回路	
31	コマンド入力回路	
32	コマンドデコーダ	
41	アドレス入力回路	
42	アドレスラッチ回路	
51	ロウ系制御回路	
52	カラム系制御回路	
53	リード制御回路	30
54	ライト制御回路	
55	レイテンシカウンタ	
56	モードレジスタ	
61	ロウ系救済回路	
62	カラム系救済回路	
63	リフレッシュカウンタ	
70	メモリセルアレイ	
71	ロウデコーダ	
72	カラムデコーダ	
73	センスアンプ	40
74	リードアンプ	
75	ライトアンプ	
81	データ出力回路	
82	データ入力回路	
83, 84	FIFO回路	
85	データストロープ信号出力回路	
86	データストロープ信号入力回路	
90	内部電圧発生回路	
100	分周回路	
101	ラッチ回路	50

1 0 2	インバータ	
1 0 3 , 1 0 4	A N D 回路	
2 0 0	カウンタ回路	
2 1 0	第 1 のカウンタ部	
2 1 1 , 2 1 2 , 2 2 1 , 2 2 2	フリップフロップ	
2 1 3 , 2 2 3	デコーダ	
2 1 4 , 2 2 4	遅延回路	
2 2 0	第 2 のカウンタ部	
2 3 0	選択回路	
2 3 0 - 0 ~ 2 3 0 - 7	A N D 回路	10
3 0 0	ポイントシフト型 F I F O 回路	
3 1 0	入力選択回路	
3 1 0 - 0 ~ 3 1 0 - 7	タイミング制御回路	
3 1 1	S R 型ラッチ回路	
3 1 2	N A N D ゲート	
3 1 3	インバータ	
3 2 0	シフト回路	
3 2 0 - 0 ~ 3 2 0 - 7	マルチプレクサ	
3 3 0 - 0 ~ 3 3 0 - 7	ラッチ回路	
3 3 1	S R 型ラッチ回路	20
3 3 2	リセット回路	
3 4 0	出力選択回路	
3 4 0 - 0 ~ 3 4 0 - 7	出力ゲート	
3 5 0	出力合成回路	
3 5 1 , 3 5 2	配線	
3 5 1 a , 3 5 2 a	ラッチ回路	
3 5 3	O R ゲート回路	
3 5 4	A N D ゲート回路	
3 5 5	ラッチ回路	
3 9 0	遅延回路	30
4 0 0	モード切替回路	
4 0 1	遅延回路	
4 0 2	マルチプレクサ	
5 0 0	データ処理システム	
5 1 0	システムバス	
5 2 0	データプロセッサ	
5 4 0	ストレージデバイス	
5 5 0	I / O デバイス	
5 6 0	R O M	
C I T 0 ~ C I T 7	入力ゲート制御信号	40
C O T 0 ~ C O T 7	出力ゲート制御信号	
L a 0 ~ L a 7	信号経路 (入力側)	
L b 0 ~ L b 7	信号経路 (出力側)	

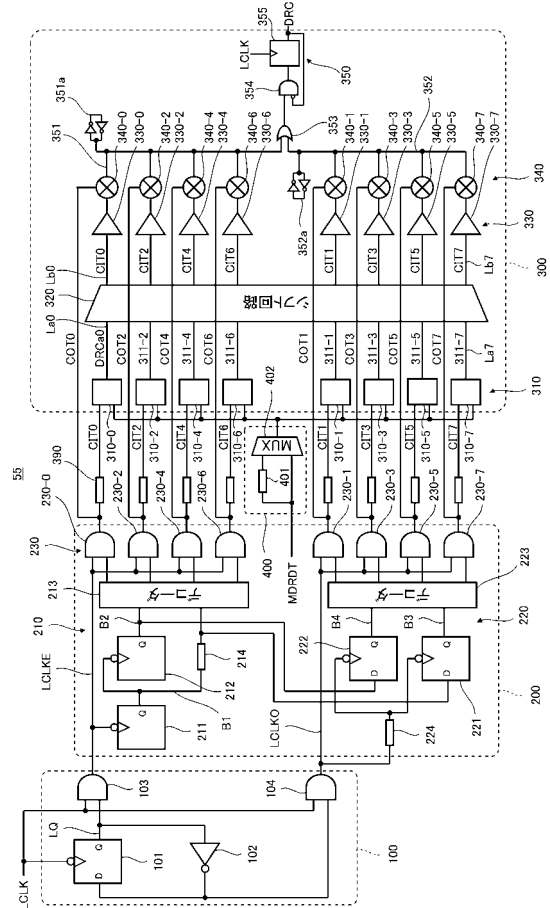
【図 1】



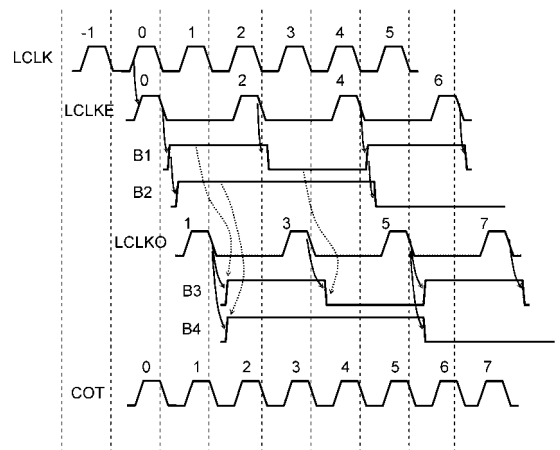
【図 3】



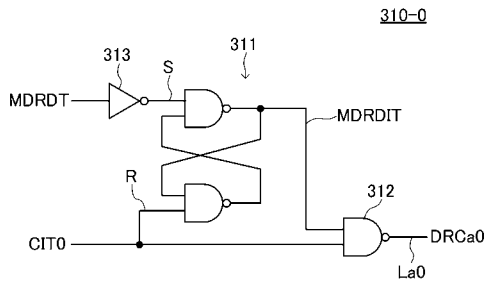
【図 2】



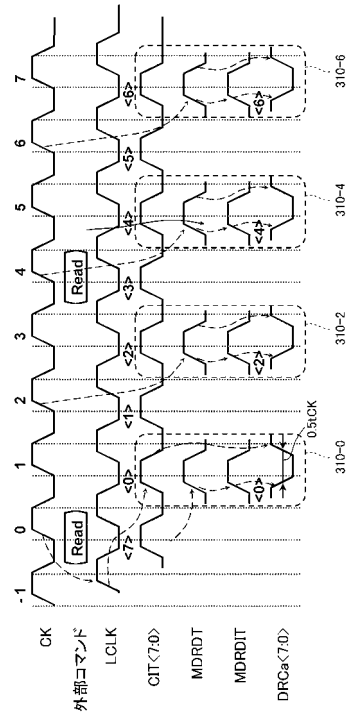
【図 4】



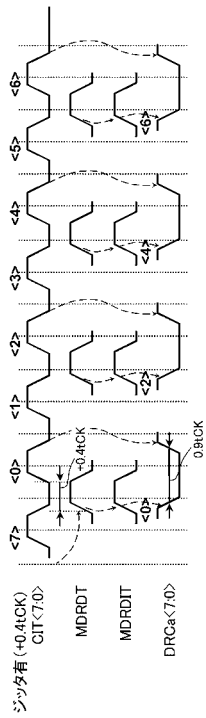
【 図 5 】



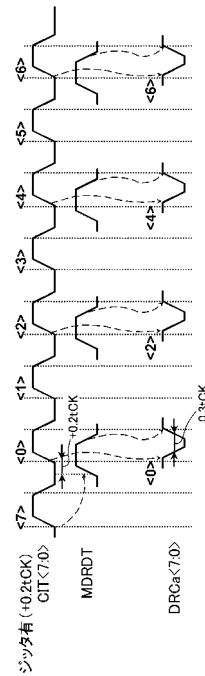
【 図 6 】



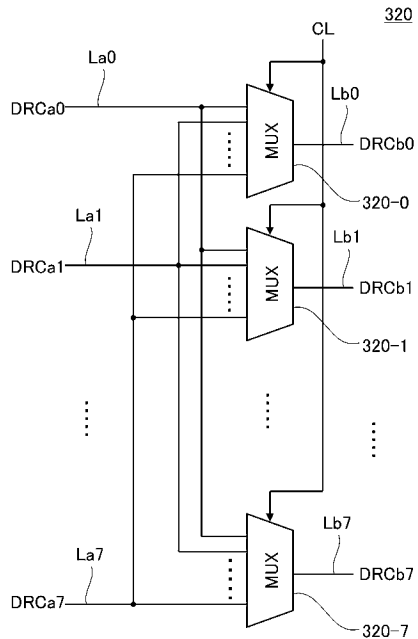
【 図 7 】



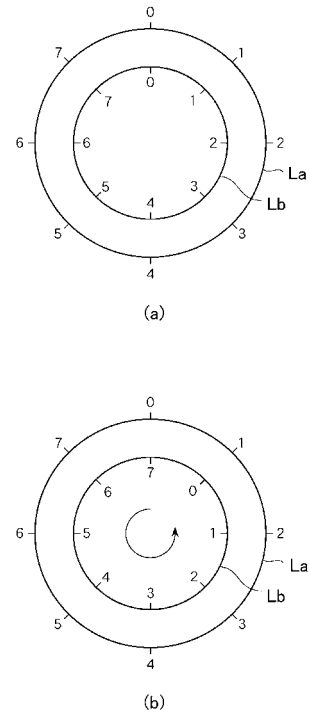
【 図 8 】



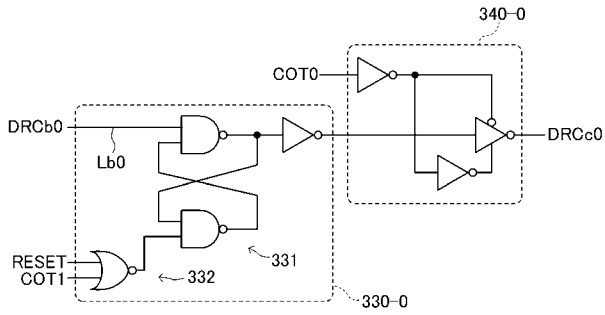
【図9】



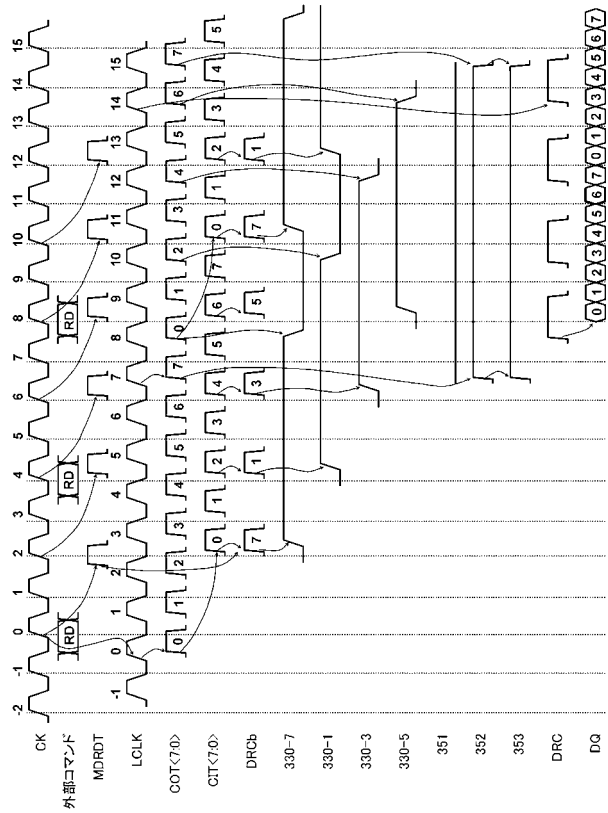
【図10】



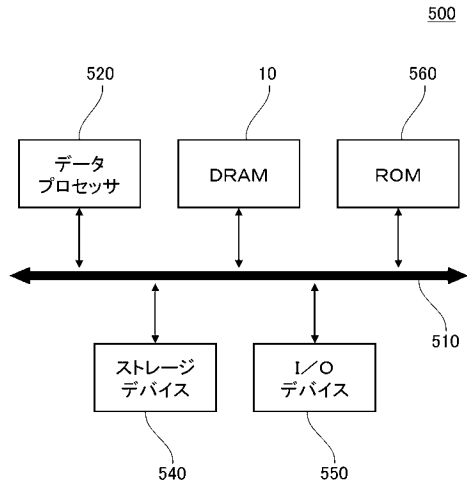
【図11】



【図12】



【 図 1 3 】



フロントページの続き

Fターム(参考) 5M024 AA36 AA49 BB27 BB33 BB35 DD83 JJ03 JJ04 JJ12 JJ28
JJ38 JJ53 PP01 PP02 PP07