



(12) 发明专利申请

(10) 申请公布号 CN 105653197 A

(43) 申请公布日 2016. 06. 08

(21) 申请号 201410562465. 6

(22) 申请日 2014. 10. 20

(71) 申请人 伊姆西公司

地址 美国马萨诸塞州

(72) 发明人 陈华奇 郑涛

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 马明月

(51) Int. Cl.

G06F 3/06(2006. 01)

G06F 12/08(2006. 01)

G06F 13/42(2006. 01)

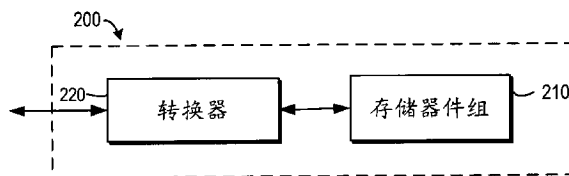
权利要求书2页 说明书6页 附图2页

(54) 发明名称

数据缓存设备和用于数据缓存的方法

(57) 摘要

本发明的实施例公开了数据缓存设备和用于数据缓存的方法。在一个实施例中,提供一种数据缓存设备。该数据缓存设备包括:至少一个存储器件组,适于支持高速数据访问;以及至少一个转换器,被配置为接收用于数据访问操作的第一指令,并且将第一指令转换为与该至少一个存储器件组相兼容的第二指令以便执行数据访问操作,第一指令从主机设备的高速总线接口传输至该数据缓存设备。还公开了相应的用于数据缓存的方法。



1. 一种数据缓存设备,包括:

至少一个存储器件组,适于支持高速数据访问;以及

至少一个转换器,被配置为接收用于数据访问操作的第一指令,并且将所述第一指令转换为与所述至少一个存储器件组相兼容的第二指令以便执行所述数据访问操作,所述第一指令从主机设备的高速总线接口传输至所述数据缓存设备。

2. 根据权利要求1所述的数据缓存设备,其中所述至少一个转换器包括多个转换器,所述数据缓存设备还包括:

高速总线接口交换机,被配置为将所述多个转换器耦合至所述主机设备的所述高速总线接口,以便将所述第一指令分派给所述多个转换器。

3. 根据权利要求1所述的数据缓存设备,其中所述至少一个存储器件组包括多个存储器件组,所述数据缓存设备还包括:

缓冲器,被配置为将所述多个存储器件组耦合至所述至少一个转换器,以便将所述第二指令分派至所述多个存储器件组。

4. 根据权利要求1到3中的任一项所述的数据缓存设备,其中所述第一指令通过主机总线适配器从所述主机设备的所述高速总线接口传输至所述数据缓存设备。

5. 根据权利要求1到3中的任一项所述的数据缓存设备,其中所述高速总线接口包括外围组件快速互连(PCIe)总线接口。

6. 根据权利要求1到3中的任一项所述的数据缓存设备,其中所述存储器件组包括至少一个双倍速率(DDR)存储器。

7. 根据权利要求5所述的数据缓存设备,其中所述DDR存储器包括非易失性双列直插式存储模块(NVDIMM)。

8. 一种用于数据缓存的方法,包括:

接收用于数据访问操作的第一指令,所述第一指令从主机设备的高速总线接口传输至数据缓存设备;以及

将所述第一指令转换为与至少一个存储器件组相兼容的第二指令以便执行所述数据访问操作,所述至少一个存储器件组适于支持高速数据访问。

9. 根据权利要求8所述的方法,其中接收用于数据访问操作的第一指令包括:

经由高速总线接口交换机从所述主机设备的所述高速总线接口接收所述第一指令;以及

将所述第一指令从所述高速总线接口交换机分派给多个转换器以用于所述转换。

10. 根据权利要求8所述的方法,其中所述至少一个存储器件组包括多个存储器件组,所述方法还包括:

将所述第二指令传输至与所述多个存储器件组耦合的缓冲器;以及

将所述第二指令从所述缓冲器分派至所述多个存储器件组。

11. 根据权利要求8到10中的任一项所述的方法,其中所述第一指令通过主机总线适配器从所述主机设备的所述高速总线接口传输至所述数据缓存设备。

12. 根据权利要求8到10中的任一项所述的方法,其中所述高速总线接口包括外围组件快速互连(PCIe)总线接口。

13. 根据权利要求8到10中的任一项所述的方法,其中所述存储器件组包括至少一个

双倍速率 (DDR) 存储器。

14. 根据权利要求 13 所述的方法,其中所述 DDR 存储器包括非易失性双列直插式存储模块 (NVDIMM)。

15. 一种计算机程序产品,所述计算机程序产品被有形地存储在非瞬态计算机可读存储介质上,并且包括机器可执行指令,所述指令在被执行时使得所述机器执行根据权利要求 8 到 14 任一项所述的方法的步骤。

数据缓存设备和用于数据缓存的方法

技术领域

[0001] 本发明的实施例涉及数据存储技术领域,并且更具体地,涉及数据缓存设备和用于数据缓存的方法。

背景技术

[0002] 由于计算机系统的存储器容量有限并且是易失性的,所以常常借助存储设备来实现数据存储。存储设备可以容量很大并且是非易失性的,其可以通过总线接口连接到计算机系统,以实现数据的访问。然而,存储设备虽然能做到比较大的容量,但是通常访问速度都比较慢。

[0003] 已经提出了使用容量和访问速度可以介于计算机的存储器与存储设备之间的缓存设备,用于存储存储设备中所存储的访问较频繁的数据。如何设计出性能优越的缓存设备是普遍关注的问题。

发明内容

[0004] 一般地,本发明的实施例提出一种数据缓存设备和用于数据缓存的方法。

[0005] 根据本发明的第一方面,提供了一种数据缓存设备。该数据缓存设备包括:至少一个存储器件组,适于支持高速数据访问;以及至少一个转换器,被配置为接收用于数据访问操作的第一指令,并且将第一指令转换为与该至少一个存储器件组相兼容的第二指令以便执行数据访问操作,第一指令从主机设备的高速总线接口传输至该数据缓存设备。

[0006] 根据本发明的第二方面,提供了一种用于数据缓存的方法。该方法包括:接收用于数据访问操作的第一指令,该第一指令从主机设备的高速总线接口传输至数据缓存设备;以及将所述第一指令转换为与至少一个存储器件组相兼容的第二指令以便执行数据访问操作,至少一个存储器件组适于支持高速数据访问。

[0007] 这方面的实施例还包括一种计算机程序产品。该计算机程序产品被有形地存储在非瞬态计算机可读存储介质上,并且包括机器可执行指令,该指令在被执行时使得机器执行根据本发明的第二方面的方法的步骤。

[0008] 通过下文描述将会理解,根据本发明的实施例,可以提供高速的数据缓存。此外,根据本发明的某些实施例,还能够同时提供大容量的数据缓存。

附图说明

[0009] 结合附图并参考以下详细说明,本发明各实施例的上述和其他特征、优点及方面将变得更加明显。在附图中,相同或相似的附图标记表示相同或相似的元素,其中:

[0010] 图 1 示出了本发明的实施例可以实施于其中的示例环境;

[0011] 图 2 示出了根据本发明一个实施例的数据缓存设备的框图;

[0012] 图 3 示出了根据本发明的一个实施例的包括主机设备和数据缓存设备的系统的框图;以及

[0013] 图 4 示出了根据本发明的一个实施例的用于在数据缓存设备中进行数据缓存的方法的流程图。

具体实施例

[0014] 下面将参照附图更详细地描述本发明的实施例。虽然附图中显示了本发明的某些实施例,然而应当理解的是,本发明可以通过各种形式来实现,而且不应该被解释为限于这里阐述的实施例,相反提供这些实施例是为了更加透彻和完整地理解本发明。应当理解的是,本发明的附图及实施例仅用于示例性作用,并非用于限制本发明的保护范围。

[0015] 在此使用的术语“包括”及其变形是开放性包括,即“包括但不限于”。术语“基于”是“至少部分地基于”。术语“一个实施例”表示“至少一个实施例”;术语“另一实施例”表示“至少一个另外的实施例”。其他术语的相关定义将在下文描述中给出。

[0016] 首先参考图 1,其示出了本发明的实施例可以实施于其中的示例环境 100。如图所示,一般而言,环境 100 可以包括一个或多个客户端 110 以及一个或多个主机设备 120。客户端 110 与服务器 120 之间可以通过网络连接彼此通信。

[0017] 客户端 110 可以是任何适当的设备。例如,客户端 110 的示例包括但不限于以下一个或多个:个人计算机(PC)、膝上型计算机、平板式计算机、移动电话、个人数字助理(PDA),等等。

[0018] 服务器 120 可以是能够与客户端 110 进行通信并且向客户端 110 提供服务的任何适当设备。例如,服务器 120 的示例包括但不限于以下一个或多个:主机、刀片服务器、PC、路由器、交换机、膝上型计算机、平板式计算机,等等。在某些实施例中,服务器 120 也可以被实现为移动设备。

[0019] 网络连接是支持客户端 110 与服务器 120 之间的双向数据通信的任何适当连接或者链路。根据本发明的实施例,网络连接可以是有线连接,也可以是无连接。网络连接的示例包括但不限于以下一个或多个:局域网(LAN)、广域网(WAN)、因特网之类的计算机网络,2G、3G 或 4G 等电信网络,近场通信网络,等等。

[0020] 应当理解,主机设备 120 可以通过通用计算设备来实现。例如,主机设备 120 可以包括但不限于:一个或者多个处理器或者处理单元、存储器以及连接不同系统组件(包括处理器或者处理单元以及存储器)的总线。

[0021] 总线表示几类总线结构中的一种或多种,包括数据总线、地址总线、控制总线、扩展总线、局部总线等。举例来说,体系结构包括但不限于工业标准体系结构(ISA)总线、微通道体系结构(MAC)总线、增强型 ISA 总线、视频电子标准协会(VESA)局域总线、外围组件互连(PCI)总线以及外围组件快速互连(PCIe)总线。

[0022] 环境 100 还可以包括一个或多个存储设备 140,主机设备 120 可以对存储设备 140 执行数据读写操作。存储设备 140 可以是可移动或不可移动的非易失性计算机存储介质。例如,可以是只读存储器(ROM)、光盘(CD)ROM、磁盘和磁带、以及磁盘阵列等。磁盘阵列可以例如包括网络附加存储(NAS)设备、存储局域网(SAN)设备和/或直连存储(DAS)设备。

[0023] 应当理解,图 1 所示的客户端 110、主机设备 120 和存储设备 140 的数目仅仅是出于说明之目的而无意于限制。

[0024] 根据本发明的实施例,在环境 100 中还包括缓存设备 130。缓存设备 130 的容量和

访问速度可以介于主机设备 130 的存储器与存储设备 140 之间,用于存储存储设备中所存储的访问频率比较高的数据。

[0025] 一种缓存设备是基于 PCIe 的闪存 (Flash) 缓存设备。Flash 技术的使用保证了此种缓存设备的容量较大。然而,基于 Flash 技术的缓存设备的访问速度通常较低。例如,读写延时较长,即从发出读写请求到读写完成之间的时间差较长。或者,最大每秒输入输出 (IOPS) 较低,即单位时间能够处理的请求数目较少。

[0026] 另外,此种缓存设备通常按照 PCIe 标准做成单卡的形式,这导致在尺寸和容量方面存在一定的限制。而且,插卡模式不支持热插拔。当需要对该缓存设备进行维护时,例如替换、添加和 / 或移除缓存设备时,需要将主机设备断电,这会导致不必要的服务中断。

[0027] 另一种缓存设备是基于串行连接小型计算机系统接口 (SAS) 的 flash 磁盘阵列。该磁盘阵列克服了前一种缓存设备由于单卡形式导致的尺寸和容量限制。然而,由于 SAS 技术的引入,可能需要 SAS 与 PCIe 之间的额外的协议转换,这导致了与前一种缓冲设备相比,此种缓存设备的读写延时更长,并且 IOPS 更低。

[0028] 再一种缓存设备基于以 flash 代替双列直插式存储模块 (DIMM) 的超 DIMM (ultraDIMM) 技术。例如,将 flash 做成存储器条、例如 DIMM 条的形式,直接插在主机服务器的 DIMM 槽中。flash 的使用同样可以增加存储容量。而且,该缓存设备可以使用速度较快的双倍速率 (DDR) 技术来访问,使得访问速度提高。

[0029] 然而,存储器条的形式仍然存在尺寸和容量限制,并且 flash 条会占用主机设备中有限的用于放置存储器条的空间,从而导致主机设备的存储器的容量的减少。而且,存储器条的形式同样无法支持热插拔。此外,flash 仍然存在访问速度不够高的问题。

[0030] 还有一种缓存设备的实现方式是使用非易失性 DIMM (NVDIMM) 条替代 DIMM 条,同时添加 NAND flash 和备用电源。当 NVDIMM 断电时,其中存储的数据将通过使用备用电源而全部移到 NAND flash。此种实现方式的数据访问速度和可靠性都很高。然而,此种技术同样存在与上述 ultraDIMM 技术由于存储器条的形式而导致的诸多问题类似的问题。此外,因为 NVDIMM 的容量十分有限,所以此种缓存设备的容量较低。

[0031] 图 2 示出了根据本发明一个实施例的数据缓存设备 200 的框图。

[0032] 如图所示,数据缓存设备 200 包括至少一个存储器件组 210。存储器件组 210 适于支持高速数据访问。在一个实施例中,一个存储器件组 210 可以是一组 NVDIMM。

[0033] 为了节约成本,在另一实施例中,存储器件组 210 还可以包括一组 DIMM,数据分别被存储在 NVDIMM 和 DIMM 中。在此实施例中,可以按照数据的重要性级别,将数据分别存储在 NVDIMM 和 DIMM 中。例如,将较重要的数据存储在 NVDIMM 中,将不那么重要的数据存储在 DIMM 中。备选地或附加地,可以按照读写操作的区分,将数据分别存储在 NVDIMM 和 DIMM 中。例如,将执行写操作的数据存储在 NVDIMM 中,将执行读操作的数据存储在 DIMM 中。

[0034] 如上所述,NVDIMM 或者 DIMM 可以使用 DDR 技术来访问,因此该存储器件组的数据访问速度较高,例如读写延时较低,IOPS 较高。

[0035] 应当理解,上述 NVDIMM 和 DIMM 仅仅是存储器件的示例。本发明可以采用本领域中已知的或将来开发的任何可以支持高速数据访问的存储器件,本发明的范围在此方面不受限制。

[0036] 还应当理解,存储器器件组的数目以及存储器器件组中的存储器器件的数目可以

根据容量需求来选择。例如,当需要较高存储容量时,可以使用较多的存储器器件和/或存储器器件组。当只需要较低存储容量时,存储器器件和/或存储器器件组的数目可以减少。

[0037] 如图 2 所示,数据缓存设备 200 包括至少一个转换器 220。转换器 220 可以被配置为接收用于数据访问操作的第一指令,并且将第一指令转换为与存储器器件组相兼容的第二指令以便执行数据访问操作。如上所述,存储器件可以例如是 DDR 存储器,例如 NVDIMM 或者 DIMM。相应地,第二指令可以是遵循 DDR 协议的用于数据读写的指令。

[0038] 根据本发明的实施例,第一指令可以从主机设备的高速总线接口传输至数据缓存设备 200。PCIe 总线接口可以支持很高的数据传输速率。作为示例,高速总线接口可以是 PCIe 总线接口。相应地,第一指令可以是遵循 PCIe 协议的用于数据读写的指令。根据本发明的实施例,转换器 220 实现两种高速数据传输协议之间的转换,例如实现 PCIe 协议与 DDR 协议之间的转换。以此方式,数据缓存设备 200 可以支持高速的数据访问,例如较低读写延时和较高 IOPS。

[0039] 应当理解,PCIe 总线接口仅仅是高速总线接口的示例。本发明可以采用本领域中已知的或将来开发的任何可以支持高速数据传输的总线接口,本发明的范围在此方面不受限制。

[0040] 如上所述,在一些情况下,希望提供容量较大的缓存设备。在一个实施例中,可以对数据缓存设备 200 进行扩展,使得其包括多个转换器 220。在该实施例中,数据缓存设备 200 还可以包括高速总线接口交换机。该高速总线接口交换机被配置为将所述多个转换器耦合至主机设备的高速总线接口,以便将第一命令分派给多个转换器。

[0041] 通过高速总线接口交换机可以将主机设备的高速总线接口与多个数据传输通道耦合,从而增加了缓存容量。

[0042] 为了进一步提高缓存容量,在一个实施例中,数据缓存设备 200 可以包括多个存储器器件组。在该实施例中,数据缓存设备 200 还可以包括缓冲器。该缓冲器被配置为将多个存储器器件组耦合至转换器 220,以便将第二指令分派至多个存储器器件组。

[0043] 下面参考图 3 讨论具有扩展容量的缓存设备的一个具体示例。具体地,图 3 示出了根据本发明的一个实施例的系统 300 的框图,其中包括主机设备 120 和数据缓存设备 310。

[0044] 如图所示,数据缓存设备 310 包括 PCIe 总线接口交换机 311。PCIe 总线接口交换机 311 与主机设备 120 的高速总线接口(未示出)耦合。缓存设备 310 还包括与 PCIe 总线接口交换机 311 耦合的多个转换器 312,每个转换器 312 承载一条 PCIe 通道。通过 PCIe 总线接口交换机 311 将来自主机设备 120 的高速总线接口的关于数据读写的第一指令分派至多个转换器 312。每个转换器 312 可以将接收到的基于 PCIe 协议的第一指令转换成基于 DDR 的第二指令。

[0045] 如图 3 所示,数据缓存设备 310 还包括多个缓冲器 313。每个缓冲器 313 可以将一个转换器 312 与多个存储器器件组 314 耦合,以便将转换器 312 生成的第二指令分派给多个存储器器件组 314。如上所述,每个存储器器件组 314 可以是一组 DDR 存储器,例如 DIMM 或 NVDIMM。

[0046] 以此方式,数据缓存设备 310 一方面能够支持高速的数据访问,另一方面具有较大的缓存容量。

[0047] 如上所述,图 3 中的数据缓存设备 310 通过 PCIe 总线接口交换机 311 耦合到主机

设备 120 的高速总线接口。在未使用交换机来对缓存设备进行扩容的情况下,可以将缓存设备中的转换器直接耦合到主机设备的高速总线接口。

[0048] 为了支持热插拔以避免不必要的服务中断,在一个实施例中,该高速总线接口可以是主机设备 120 的内置高速总线接口,例如设置在主机设备 120 的主板上的内置 PCIe 总线接口,数据缓存设备通过主机总线适配器耦合到该内置高速总线接口。具体地,数据缓存设备通过主机总线适配器从主机设备 120 的内置 PCIe 总线接口接收用于数据访问操作的第一命令。应当理解,缓存设备还可以通过其他方式连接到主机设备的内置高速总线接口,本发明的范围在此方面不受限制。

[0049] 在另一实施例中,可以使用主机设备 120 的外置高速总线接口。例如,该高速总线接口可以是主机设备 120 的外置 PCIe 总线接口,缓存设备通过数据线耦合到该外置 PCIe 总线接口。

[0050] 数据缓存设备 200 和 310 所包含的转换器和高速总线接口交换机可以利用各种方式来实现,包括软件、硬件、固件或其任意组合。例如,在某些实施方式中,转换器和 / 或高速总线接口可以利用软件和 / 或固件来实现。备选地或附加地,转换器和 / 或高速总线接口可以部分地或者完全地基于硬件来实现。例如,转换器和 / 或高速总线接口可以实现为集成电路 (IC) 芯片、专用集成电路 (ASIC)、片上系统 (SOC)、现场可编程门阵列 (FPGA), 等等。本发明的范围在此方面不受限制。

[0051] 图 4 示出了根据本发明的一个实施例的用于在数据缓存设备中进行数据缓存的方法 400 的流程图。

[0052] 方法 400 开始于步骤 410,在此接收用于数据访问操作的第一指令,该第一指令从主机设备 120 的高速总线接口传输至数据缓存设备。如上所述,高速总线接口可以是 PCIe 总线接口。相应地,第一指令可以是遵循 PCIe 协议的用于数据读写的指令。

[0053] 接下来,在步骤 420,将第一指令转换为与至少一个存储器件组相兼容的第二指令以便执行数据访问操作。如上所述,该存储器件组适于支持高速数据存储。存储器件组可以例如是一组 DDR 存储器,例如一组 NVDIMM 或者 DIMM。相应地,第二指令可以是遵循 DDR 协议的用于数据读写的指令。

[0054] 在一个实施例中,步骤 410 中的接收以及步骤 420 中的转换动作可以通过数据缓存设备中的至少一个转换器来执行。通过转换可以实现两种高速数据传输协议之间的转换,例如 PCIe 协议与 DDR 协议之间的转换,从而支持高速的数据访问。

[0055] 为了增加缓存容量,在另一实施例中,数据缓存设备可以包括多个转换器。在此实施例中,在步骤 410,通过高速总线接口交换机接收第一指令,并且将第一指令从高速总线接口交换机分派给多个转换器以用于指令转换。以此方式,通过多个转换器提供了多个数据传输通道,从而增加了缓存容量。

[0056] 为了进一步提高缓存容量,在一个实施例中,数据缓存设备可以包括多个存储器件组。在此实施例中,方法 400 还包括将第二指令传输至与多个存储器件组耦合的缓冲器,并且将第二指令从缓冲器分派至多个存储器件组。

[0057] 应当理解,方法 400 中的步骤可以通过分别与参考图 2 和图 3 描述的数据缓存设备来执行。因此,上文结合图 2 和图 3 描述的特征同样适用于方法 400,并且具有同样的效果,具体细节不再赘述。

[0058] 本发明可以是设备、方法和 / 或计算机程序产品。计算机程序产品可以被有形地存储在非瞬态计算机可读存储介质上, 并且包括机器可执行指令, 该指令在被执行时使得机器实现根据本发明的各个方面, 例如执行上述的方法 400 的步骤。

[0059] 计算机可读存储介质可以是存储由指令执行设备使用的指令的有形设备。计算机可读存储介质例如可以包括但不限于电存储设备、磁存储设备、光存储设备、电磁存储设备、半导体存储设备或者上述的任意合适的组合。计算机可读存储介质的更具体的、非穷举的例子包括: 便携式计算机盘、硬盘、随机存取存储器 (RAM)、只读存储器 (ROM)、可擦式可编程只读存储器 (EPROM 或闪存)、静态随机存取存储器 (SRAM)、便携式压缩盘只读存储器 (CD-ROM)、数字多功能盘 (DVD)、记忆棒、软盘、机械编码设备、例如其上存储有指令的打孔卡或凹槽内凸起结构、以及上述的任意合适的组合。这里所使用的计算机可读存储介质不被解释为瞬时信号本身, 诸如无线电波或者其他自由传播的电磁波、通过波导或其他传输媒介传播的电磁波 (例如, 通过光纤电缆的光脉冲)、或者通过电线传输的电信号。

[0060] 这里所描述的机器可执行指令可以从计算机可读存储介质下载到各个计算 / 处理设备, 或者通过网络、例如因特网、局域网、广域网和 / 或无线网下载到外部计算机或外部存储设备。网络可以包括铜传输电缆、光纤传输、无线传输、路由器、防火墙、交换机、网关计算机和 / 或边缘服务器。每个计算 / 处理设备中的网络适配卡或者网络接口从网络接收计算机可读程序指令, 并转发该计算机可读程序指令, 以供存储在各个计算 / 处理设备中的计算机可读存储介质中。

[0061] 用于执行本发明操作的计算机程序指令可以是汇编指令、指令集架构 (ISA) 指令、机器指令、机器相关指令、微代码、固件指令、状态设置数据、或者以一种或多种编程语言的任意组合编写的源代码或目标代码, 所述编程语言包括面向对象的编程语言 - 诸如 Java、Smalltalk、C++ 等, 以及常规的过程式编程语言 - 诸如“C”语言或类似的编程语言。计算机可读程序指令可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中, 远程计算机可以通过任意种类的网络 - 包括局域网 (LAN) 或广域网 (WAN) - 连接到用户计算机, 或者, 可以连接到外部计算机 (例如利用因特网服务提供商来通过因特网连接)。在一些实施例中, 通过利用计算机可读程序指令的状态信息来个性化定制电子电路, 例如可编程逻辑电路、现场可编程门阵列 (FPGA) 或可编程逻辑阵列 (PLA), 该电子电路可以执行计算机可读程序指令, 从而实现本发明的各个方面。

[0062] 这里参照根据本发明实施设备的设备、方法和计算机程序产品的框图和 / 或流程图描述了本发明的各个方面。应当理解, 框图和 / 或流程图的每个方框以及框图和 / 或流程图中各方框的组合, 都可以由计算机可读程序指令实现。

[0063] 已经出于示例的目的描述了本发明的各个实施例, 但是本发明并不意图限于所公开的这些实施例。在不脱离本发明实质的前提下, 所有修改和变型均落入由权利要求所限定的本发明的保护范围之内。

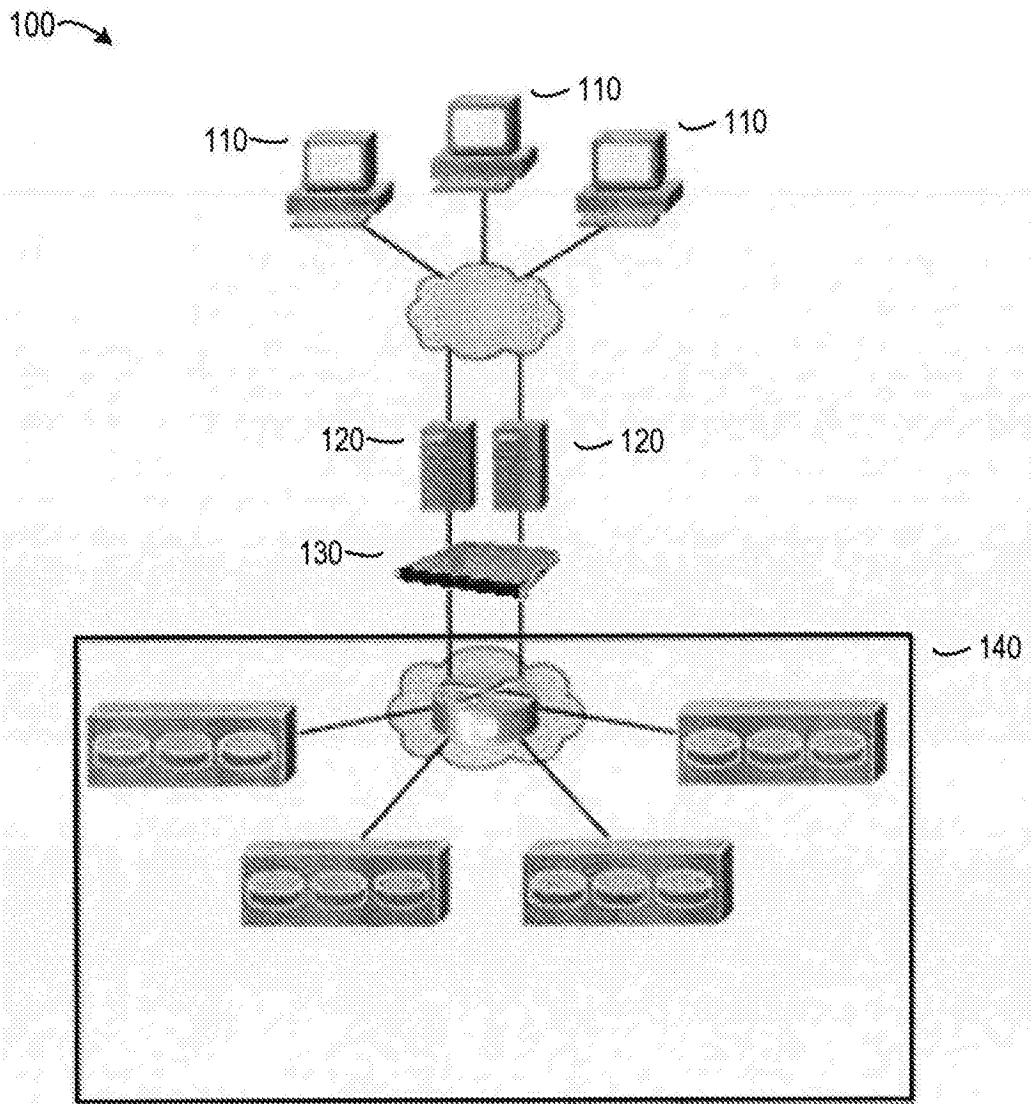


图 1

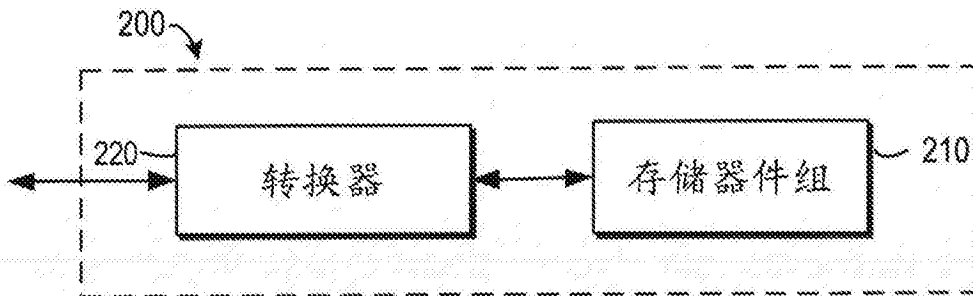


图 2

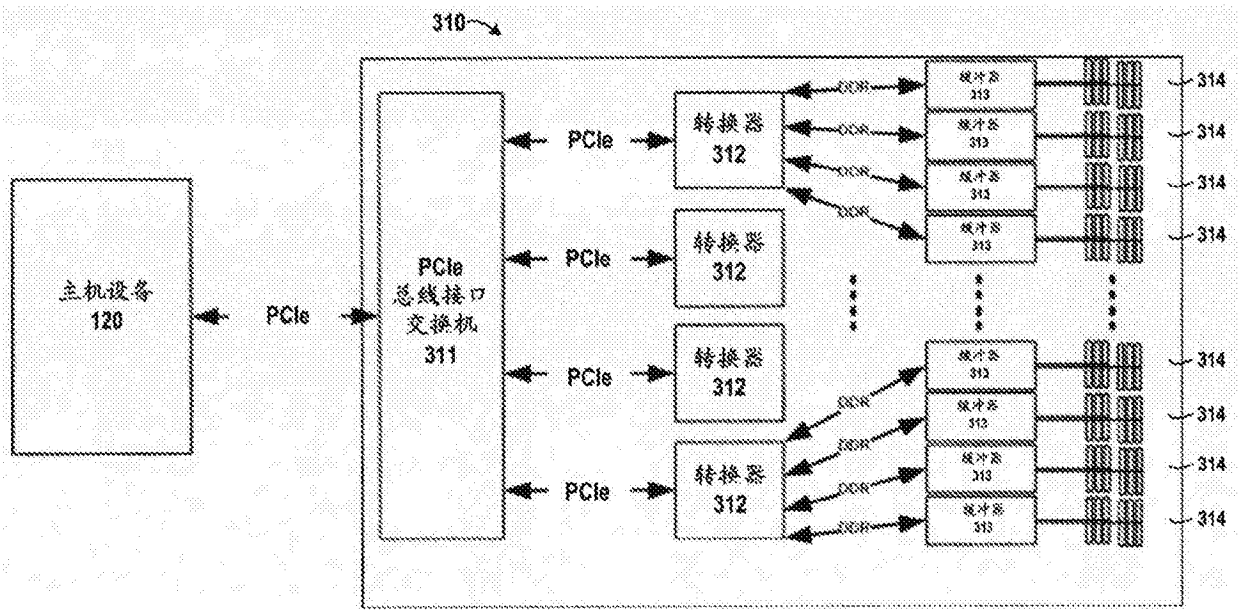


图 3

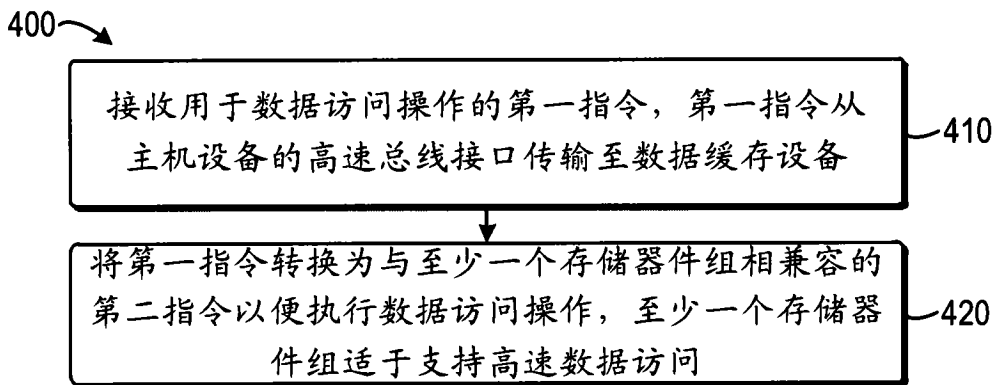


图 4