

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 23/48	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0196242	(24) 등록일자 1999년02월 19일
(21) 출원번호 10-1990-0004476	(65) 공개번호 특1990-0017160	(43) 공개일자 1990년11월 15일	
(22) 출원일자 1990년04월02일			
(30) 우선권주장 3910910.0 1989년04월05일 독일(DE)			
(73) 특허권자 로베르트 보쉬 게엠베하 클라우스 포스, 게오르그 뮐러 독일 데-70442 스투트가르트 포스트파흐 30 02 20			
(72) 발명자 디에테르 사이플러			
(74) 대리인 독일연방공화국 데-7410 로이트링겐 파울-헌데미쓰-스트라쎬 1 이병호, 최달용			

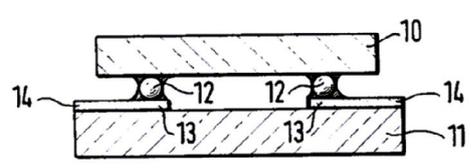
심사관 : 양희용

(54) 하이브리드 반도체 구조체 및 그 제조 방법

요약

반도체 칩 또는 웨이퍼 기판(10)을 예를 들면 세라믹, 유리 등의 캐리어 플레이트 기판(11)에 부착하기 위하여, 기판들중 적어도 하나는 통상적으로는 패드가 위치한 곳 이외의 모든 영역내에 포토 마스크 기술에 의해 노출된 점착성 재료로, 즉 전기적으로 절연성인 점착제로 코팅되어 재료를 경화시킨다. 이후, 금속 분말(통상적으로 은)은 층의 잔류 점착성 부분으로 주입되어 전도성으로 되며, 두 기판은 정렬 시 패드로 서로 대향하여 압착되고, 점착성 절연 재료 내의 금속 분말은 상기 패드 사이에 전기적 접속 부를 형성한다. 절연층은 반도체 칩 또는 웨이퍼 기판 또는 캐리어 플레이트 기판중 한 기판 두 기판 모두에 제공된다. 기판들중 한 기판의 표면상에서의 패드와의 접속 라인은 경화된 전기적 절연층에 의해 도포된다. 표면 및 그 위의 접속 라인은 점착층의 제공 전에 패시베이트 되어 패드의 위치를 제외하고는 경화된다.

대표도



명세서

[발명의 명칭]

하이브리드 반도체 구조체 및 그 제조 방법

[도면의 간단한 설명]

제1도는 종래의 기술에 따라 플립-칩(flip-chip) 기술로 제조된 하이브리드 회로(hybrid circuit)의 개략적인 단면도.

제2도는 캐리어 기판상에 반도체 칩을 피착하기 전의 분해 사시도.

제3도는 접속 패드에 금속화된 표면 영역을 구비한 캐리어 기판의 개략적인 수직 단면도.

제4도는 접속 패드 또는 랜드(land)상에 금속화된 점착영역이 제공된 반도체 칩부의 수직 단면도.

제5도는 최종 압착 전에 점착층이 세라믹 기판에 피착된 하이브리드 회로의 구성을 도시한 단면도.

제6도는 최종 압착 전에 점착층이 반도체 칩에 피착된 제5도와 유사한 구성의 단면도.

\* 도면의 주요부분에 대한 부호의 설명

- 10 : 반도체 칩 또는 웨이퍼 기판
- 11 : 캐리어 플레이트 기판
- 12 : 캐리어 접속 패드
- 13 : 외부접속라인
- 14 : 접속금속재
- 15 : 칩 접속 패드
- 16 : 두꺼운 막 저항
- 17 : 얇은 막 저항

20 : 베이스 영역

21 : 에미터 영역

22 : 콜렉터 영역

[발명의 상세한 설명]

본 발명은 하이브리드 반도체 구조체를 제조하는 방법 및 이 방법에 의해 제조된 하이브리드 반도체에 관한 것으로, 특히 단자 또는 다른 접속 장치와의 접속 라인을 지지하는 캐리어 기판상의 유사한 접속 패드에 접속되는 접속 패드를 구비한 반도체 칩 및 그 제조 방법에 관한 것이다.

하이브리드 회로망을 플립-칩 기법으로 제작하는 것은 이미 제안되어 왔다. 이러한 기법은 금속 회로를 구비한 세라믹 기판 맞은편에 반도체 칩을 배치하고 칩의 패드와 기판 사이에 구형의 접촉 소자를 용해(fuse)시켜 칩을 기판에 접속시키는 것에 관한 것이다.(예로 McNutt 등에 의한 미국 특허 제 3,292,240호를 참조). 땀납은 일반적으로 작은 도트 형태인 납-주석의 소프트한 땀납이다.

칩 또는 기판이 각각 서로 플립되어 있기 때문에 플립-칩기법이라 불리는 이러한 기술은 소형 금속 구체(tiny metal spheres) 또는 볼(balls)을 이용하지 않고 칩 및/또는 기판상의 각 접촉 소자에 소프트한 땀납층을 제공하며, 이미 제공된 땀납층을 이용하여 리플로우(reflow) 땀납 처리로 기판상에 칩을 땀납함으로써 개량되었다(이는 이케다(Ikeda)에 의한 미국 특허 제 3,517,279호에 설명되어 있다).

Hymes 등에 의한 미국 특허 제 2,303,393호에는 단자 소자 또는 패드들이 고온 처리를 받더라도 기본적으로 변형되지 않는 점에 특징이 있는 것으로서, 미국 특허 제 2,292,240호 보다는 개량된 접속 방법 및 시스템이 개시되어 있다.

라인의 패킹 밀도(packing density)가 높은 경우, 인접 라인간에 쇼트됨이 없이 기계적 및 전기적으로 접속이 완전해야 하기 때문에 접속 장치를 제조하는데 어려움이 있다. 용융시 쇼트 회로가 되지 않게 전기적 접속이 양호하게 되도록 미소량의 소프트한 땀납을 반도체 칩의 접속 금속제 라인 및/또는 캐리어 기판의 패드에 제공하는데는 어려움이 있다. 따라서, 매우 작고 조밀한 공간의 전기적 접촉 금속제 영역을 구비한 반도체 소자들은 접속 라인 및 접속 패드의 기하학적 배치에 기초한 일부 제한을 통해 공지된 플립-칩 기법으로 접속될 수 있다.

본 발명의 목적은 빠르고 신뢰할 수 있으며 부품들의 고 패킹 밀도를 가능하도록 기판상의 접속 패드에 칩상의 접속 패드를 접속시키는 방법 및, 전기적 및 기계적으로 신뢰할 수 있으며 조밀한 공간의 전기적 접속을 가능케 하는 반도체-캐리어 기판 접속 구조체를 제공하는 방법에 관한 것이다.

요약하면, 예컨대 세라믹 같은 기판 캐리어 플레이트의 표면이 그 위에 접속패드를 갖는데, 예를 들면 직접 회로(IC) 같은 반도체 기판 칩은 칩의 표면 또는 내부의 적절한 전기 부품들과 접속될 수 있는 다수의 접속 패드를 갖고 있다.

본 발명에 따르면, 광-감지 전기적 절연 접착층이 반도체 칩의 표면 또는 기판 캐리어의 표면 또는 양 표면에 제공된다. 광-마스킹 기술에 의해 층을 전기적으로 절연시키는 접착층은 접속 패드가 없는 영역에서 경화된다. 그래서, 이 층은 접속 패드가 있는 영역에서는 노출되지 않으며 접착제 역할을 한다. 일반적으로 은 분말 또는 소정의 다른 적절한 확산가능한 금속인 금속 분말(a metal powder)은 상기 잔류 접착 영역 및 전기적으로 전도성인 재료에 제공되어 잔류 접착 영역이 전기적으로 전도성을 갖도록 한다. 전기적으로 전도성을 갖으며 그 위에 접착제가 코팅된 패드들은 서로 정렬(alignment)되어 대향하여 결합되므로, 한 기판 또는 다른 기판 또는 두 기판상의 각각의 패드 위에 있는 전기적으로 전도성인 접착 영역이 반대쪽 패드, 즉 전기적으로 전도성인 코팅부와 접속된다. 그래서, 반도체 기판 칩의 접속 패드는 기판 캐리어 플레이트, 통상적으로는 세라믹의 패드와 접착제에 의해 전기적 및 기계적으로 접속된다. 조립후에, 합성 구조체는 고온에서 경화된다. 본 발명의 특징에 따르면 최종 제품이 상기와 같이 이용되거나 또는 더 처리될 수도 있다.

본 발명에 따른 방법은 고밀도 접속 패드 또는 라인을 구비한 반도체 칩이 결합 구조(geometry)에 관한 제한 없이 기판에 접속될 수 있다는 장점을 갖고 있다. 경화된 절연층은 접속 패드에서의 실제 접속부 이외의 소정의 노출된 금속 또는 반도체 표면의 절연을 제공한다.

본 발명의 특징에 따르면, 접속 패드는 보강될 수 있는데, 이러한 보강제로는 니켈 및/또는 은 또는 금으로 구성되어, 니켈 및/또는 은 또는 금의 보강층을 형성하는 것이 바람직하다. 상기 보강제는 볼록한 접촉 영역 때문에 접촉을 좀더 용이하게 해준다.

본 발명의 양호한 특징에 따르면, 접속 라인들이 기판 플레이트 또는 칩층 어느 한쪽 또는 양쪽에 배치될 때, 접속 라인들은 먼저 패시베이트(passivate)된다. 이 후, 광-감지 접착층은 각각의 기판 또는 칩상의 패시베이팅 층에 제공되어 경화되지만 패드상의 영역은 경화되지 않는다. 공지된 바와 같이, 광-마스킹 기술은 경화되지 않고 남아있는 영역을 마스크하는데 이용된다. 금속 분말, 바람직하게는 은은 경화되지 않아 아직 접착성이 있는 영역으로 주입되고, 이 분말은 그 영역 내에 진동에 의해 분포된다. 그 결과 2중 절연층, 즉 패시베이팅 층 및 경화된 접착층을 구비한 캐리어 플레이트 또는 칩의 부조립체가 형성되지만 전도성의 패드 영역은 경화되지 않은 채로 남는다. 이후, 칩과 기판을 서로 대향되게 배치하여 정렬된 패드로 전기적 접속을 한다.

조립 후, 제 1 단계에서의 고온 처리시 광-감지 접착층을 경화시키는 데는 자외선이 적당하다.

본 시스템은 고밀도 및 최소 간격으로 서로 관련된 소자들이 정확한 위치를 갖도록 해준다. 자동 기계가 사용될 수 있는데, 20 마이크로미터 정도 또는 그보다 작은 간격으로 배열되도록 할 수 있다. 약 1 $\mu$ m의 영역에서의 공차는 모놀리식 집적 반도체 회로와 연관되어 사용되는 포토-기술로 쉽게 얻어 질 수 있다. 노출되지 않은 패드 위의 접착부들을 제외하고 접착층 노출부는 약 1 $\mu$ m 또는 그보다 작은 정도의 공차를 이용할 수 있다. 접착 재료의 최소 오버랩을 얻을 수 있어서 접착 재료 또는 금속 분말이 퍼지는 위험성이 최소로 된다. 자동 위치화 장치로 캐리어 기판에 대한 반도체의 위치화시 공차를 20 $\mu$ m보다 작게 유지

시킬 수 있다. 캐리어 기판상의 패드 영역은 물론이고 반도체 칩의 접속 금속재 영역은 100 $\mu$ m보다 작은 패드의 랜드의 중앙-대-중앙 간격을 기준으로 50 $\mu$ m이하의 직격으로 감소시킬 수 있다.

경화되지 않은 접착부들이 서로 부착되도록, 즉 반대편 패드에 대하여 부착되도록 칩들이 서로의 대향하여 배치된 후에, 칩의 전체 면이 기판면에 대향하여 압착된다. 그러므로, 패드에 전기적 접속부가 제공되고, 더불어 칩과 기판사이에 완전한 표면 접속부를 형성된다. 조합체를 클램프하거나 포트(pot)할 필요는 없으나, 유전 겔(gel)과 같은 패시베이션 겔을 전체 하이브리드 또는 합성 구조체를 보호하기 위해 제공하는 것이 바람직하다(이는 ICs 제조와 관련된 공지된 표준 과정이다.).

접착층은 전도성 입자들을 접착성 부분에 선택적으로 유지시키고 나머지 부분의 전도성 입자들의 피착을 방지하기 위하여 기판중 하나에만 경화되야 할 필요가 있다. 서로 결합될 플레이트들중 다른 하나(이는 기판 또는 칩일 수 있다)는 거의 경화되지 않게 남아 있어서, 패드 위에 금속 분말을 주입할 필요는 없다. 이는 제조 비용의 증가없이 실행될 수 있다. 칩 및 기판이 서로 대향하여 배치되면, 경화되지 않은 접착체는 경화된 접착제상에 부착되고, 소자들중 하나에 있는 패드 위의 금속 입자 또는 분말은 반대편의 경화되지 않은 부분으로 들어가 압착되어 전기적 접촉이 이루어진다.

접착체의 적당한 두께는 약 5-10 $\mu$ m 이며, 입자 크기는 예로 직경이 1 내지 5  $\mu$ m 일 수 있다. 어떤 상황 하에서는 패드 위의 입자 분산을 위해 진동을 이용하는 것이 바람직할 수 있지만 이것이 반드시 필요한 것은 아니다. 금속 분말의 분산을 위해서 진동보다는 오히려 원심력을 이용할 수 있다.

기본적으로, 본 발명은 직경이 50 $\mu$ m 보다 작은 특정 전기적 접속 결합구조로 칩 및 기판의 전체 면을 상호 접속시키며 전체적으로 칩 및 기판의 양호한 열접촉 및 양호한 기계적 강도를 제공하도록 반도체 칩과 하이브리드 기판 사이에 미세 접착을 하기 위한 신기술을 제공한다. 이는 접속 패드의 영역에 정교하게 분포된 금속을 제공하여 선택적으로 전도성으로 되는 광-감지 접착 재료를 이용함으로써 성취된다.

[실시예]

제1도는 종래의 접속 시스템을 도시하고 있다(예로 미국 특허 제 3,292,240 및 제 3,303,393호 참조), 반도체 소자(10)는 기판 캐리어(11)에 금속 구체(12)로 된 접속부에 의해 접속된다. 반도체 칩(10)상의 접속 라인들(제1도에는 도시되어 있지 않음)은 구체(12 ; spheres)를 적당한 외부 또는 내부 전기 접속부에 접속시킨다. 제1도에 도시되어 있는 바와 같이, 용해 또는 땀납-접속된 후에, 구체(12)는 상기 반도체 소자(10)상의 접속 라인들(제1도에는 도시되지 않음)을 예를 들면 세라믹 재료로 만들어진 기판(11)상에 형성된 외부 접속 라인(14)에 접속시킨다. 금속 구체(12)는 납-주석의 소프트한 땀납제로 구성되며, 세라믹 기판(11)상의 외부 접속 라인(14)과 함께 반도체 칩(10)상의 각 접속 라인상의 납-주석의 소프트한 땀납제와 접속된다. 단부 또는 랜드(land) 또는 패드(13)는 캐리어 또는 기판 플레이트(11)상에서 접속 패턴을 형성하는 외부 접속 라인(14)의 단자 영역을 형성한다.

본 발명에 따른 방법은 제2도를 살펴봄으로써 알 수 있는데, 본 도면은 반도체 칩 기판 소자(10)가 전기적 및 기계적으로 기판 플레이트(11)에 접속되기전의 하이브리드 회로 일부에 대한 분해도이다. 접속은 화살표 A 방향으로 이루어진다. 기판(11)상의 점선(1a)은 접속시 칩(10)이 배치되는 영역이다. 제1도에 도시된 바와 같이, 반도체 칩(10)은 그의 저면상에 다수의 접속 금속재(15)를 갖고 있다. 접속 금속재(15)는 패드 또는 랜드(16)에서 중단되고, 칩(10)상의 반도체소자에 대한 다른 접속부는 칩(10)의 하면에 있거나 또는 반도체 기술에서 널리 알려져 있듯이 칩(10)내에서 형성될 수 있다.

패시베이션 층은 칩(10)의 저면에서 패드 또는 랜드(16)로부터 뺀어 있는 금속재(15)상에 배치될 수 있으나 칩(10)전체에 걸쳐서 패드 또는 랜드(16)는 노출된다. 마찬가지로, 캐리어 플레이트상의 랜드(13)는 그 위에 외부 접속 라인(14)과 접속된다. 외부 접속 라인(14)을 직접적인 전기적 접속체로 할 필요는 없으나 회로 소자를 구비할 수 있다. 예로서 도시된 기판 캐리어 플레이트(11)의 회로망에는 두꺼운 막 저항(17) 및 얇은 막 저항(18)이 예시되어 있다. 또한, 저항(18)은 주파수에 의존하는 것으로 간주된다. 왜냐하면 칩이 저항-인덕턴스 소자로서 이용되기 때문이다. 제2도에 도시되어 있지 않은 패시베이션 층은 랜드 또는 패드(13)는 노출시킨 채로 전체 접속 회로망 패턴(14, 17, 18)에 걸쳐서 배치된다.

본 발명에 따르면, 반도체 칩 기판(10)상의 패드(16)와 캐리어기판(11)상의 패드(13)사이의 전기적 전도성 접속부를 형성하기 위하여, 전기적 비전도성 광-감지 접착층이 기판(11) 또는 칩(10)의 마주보는 면 위에 각각의 표면이 완전히 커버되도록 한다. 접속 패드의 영역에는 전기적으로 전도성인 재료가 주입된다. 전기적 전도성 재료가 있는 영역 이외에 접착층 영역이 경화되는데, 바람직하게는 공지되어 있는 표준형 포토-리소그래피 공정(후에 상세히 설명됨)을 이용하여 전기적 전도성 재료를 주입하기 전에 이루어진다.

반도체 칩(10)은 캐리어 플레이트(11)의 제2도의 점선(10a)으로 도시된 위치에 제공된다. 상기 접속시, 기계적 및 전기적 전도성 접착부는 기계적 분말 또는 삼입 재료에 의해 각각의 패드 위에서 전기적으로 전도성이 된 아직 경화되지 않은 접착체로 패드를 함께 부착시킴으로써 칩(10)의 접속 패드(16)와 기판(11)의 패드(13)사이에서 형성된다.

제3도는 2개의 인접 패드(13)를 가로지르는 제2도와 기판(11)을 통해 본 확대 단면도이다. 패시베이션 층(40)은 패드(13)의 표면을 제외한 전체 기판(11)위에 제공된다. 예로 알루미늄으로 이루어진 패드(13)의 표면은 단지 제한된 전기 전도성을 갖고 있다. 본 발명의 양호한 실시예에 따르면, 니켈 및/또는 은 또는 금의 보강 재료로 된 커버층(13')은 패드(13)위에 배치되어서 패시베이션 층(40) 위로 연장되어 보강재로서 제공된다. 이 후, 전기적 비전도성 광-감지 접착층(50)은 광-마스킹에 의해 패드(13)의 외측 영역에 노출된 전체 표면상에 보강 재료로 된 커버층(13')에 의해 보강되고 포토 마스킹에 의해 제공되어 경화된다. 패드(13) 상측에 있으며 노출되지 않은 접착층(50)의 영역(51)에는 접착체가 남아 있다. 전기적 전도성 재료는 상기 영역(51)내로 주입된다. 이로써 제3도에 개략적으로 도시된 바와 같이 영역(51)의 면적이 증가된다. 영역(51)은 전기적 전도성 재료의 주입으로 외부로 약간 볼록하게 튀어나와 전기적으로 전도체로 된다. 전기적 전도성 재료의 주입은, 예를 들면 분쇄된 은 등이 진동,

웨이킹(shaking) 또는 원심력을 이용하여 처리될 수 있다. 금속 입자들은 점을 찍어 표시한 51'(제3도); 31'(제4도) 및 510, 310(제5도, 제6도)으로 도시되어 있다.

제4도는 집적 회로(IC) 반도체 칩(10)을 개략적으로 도시한 단면도이다. 제4도에 도시된 IC는 예시를 위한 것으로 플래너(1C)칩 기술로 만들어진 바이폴라 전력 트랜지스터이다. 본 발명은 설명된 바와 같은 반도체 소자를 구비한 하이브리드 회로에 제한되지 않으며, 예를 들면 참조된 미국 특허에 설명되어 있는 공지된 플립-칩 기술에 의해 기판에 부착되는 소정 형태의 IC에 이용될 수도 있으며, 또한 반도체 소자들이 다수의 바람직하게는 정교하게 설계된 접속 구조를 갖는 접속 기판에 접속되는 임의의 회로에도 이용될 수 있다. 많은 조밀한 간격을 갖는 접속 금속체를 구비한 고집적 반도체 회로는 특히 본 발명을 적용하는데 적합하다.

제4도를 참조하면, 단결정 실리콘의 디스크-형 칩은 소정의 전도성 타입을 갖도록 도프된 기판(19)을 형성한다. 베이스 대역(20)은 기판 타입과 반대의 전도형을 갖는 기판 내로 확산된다. 기판과 동일한 전도성을 갖는 에미터 대역(21)은 베이스 대역 내로 확산된다. 링 형상의 콜렉터 확산 대역(22)은 기판내로 확산되어 링 형태로 베이스(20)를 둘러싸고 있다. 에미터 대역(21)은 콜렉터 대역(22)과 동시에 기판 내로 확산될 수 있다. 잘 알려져 있는 각 확산 처리로 기판(19)의 상측상에 실리콘 이산화물층(23)을 형성할 수 있다.

베이스 대역(20)과 에미터 대역(21)은 접촉되어야 하기 때문에, 실리콘 이산화물층(23)은 베이스 및 에미터 각각에 접촉 창(24 및 25)을 형성하기 위해 에치된다.

콜렉터 확산 대역(22)을 접촉시키기 위한 부가적인 접촉 창들은 두개의 접촉 창(24,25)과는 다른 평면에 있기 때문에 제4도에서 생략하였다. 전도성 스트립망(conductive stripss)(26,27)은 패시베이션 층(23)의 표면에 제공된 후, 기판(19)의 표면 위에 형성된다.

제4도에 도시된 바와 같이, 전도 통로 또는 스트립(26)은 알루미늄으로 이루어져 베이스(20)와 접속되며, 알루미늄 스트립(27)은 에미터 대역(21)과 접속된다.

전도 스트립(26)은 접촉 창(24)으로부터 통해 있으며, 패시베이션 실리콘 이산화물층(23)을 통하여 베이스 대역(20)의 외부 접속부를 형성하는 점까지 베이스 대역(20)과 결합된다. 이는 접속 패드 또는 랜드(26)에서 중단된다. 전도 스트립(27)은 접촉 창(25)으로부터 통해 있으며, 패시베이션 실리콘 이산화물층(23)을 통하여 에미터 대역(21)에 대한 외부 접속부를 형성하는 외부점까지 에미터 대역(21)과 결합된다. 외부 에미터 접속부에 대해서는 부가의 접속 금속체 랜드 또는 패드(16)에서 중단된다.

본 발명의 특징에 따르면, 패시베이션 층(28)은 접속 스트립(26,27) 및 제 1 패시베이션 층(23)상에 제공되지만, 패드(16)는 노출된 상태로 남아 있다. 광-마스킹 기술은 접속 패드(16)가 위치해 있는 곳에 패시베이션 층(28)을 선택적으로 제공하기 위해 이용된다.

패드(16)를 형성하는 접속 금속체의 표면은 제한된 전기적 전도율만을 갖고 있으며, 더욱 접속을 개선하기 위해 패시베이션 층(28)이 형성된 후 니켈 및/또는 은 또는 금의 보강 재료로 된 커버층(16')이 패드(16)에 제공되며, 보강 재료로 된 커버층(16')은 패시베이션 층(28)위로 연장된 접속 패드들을 보강해준다.

본 발명의 특징에 따르면, 접착층(30)은 보강된 접속 패드(16, 16')와 패시베이션 층(28)의 전체 면 위에 제공된다. 접속 금속체 패드(16, 16')가 위치해 있는 부분에는 전기적 전도성 재료(31')가 주입된다. 전기적 전도성 재료를 주입, 바람직하게는 분말 또는 분쇄된 형태로 주입하면, 접속 패드(16)와 보강재료로 된 커버층(16')위의 접착층의 체적이 커져서, 제4도에 도시된 바와 같이 해당 영역이 바깥쪽으로 볼록하게 된다. 금속 분말은 점을 찍어 31'로 개략적으로 표시하였다.

하이브리드 회로 제조법은 제5도 및 제6도를 참조한다.

기판 플레이트(11)(제5도)은 제3도와 관련해 설명한 바와 같이, 회로망 패턴과, 접속 패드(13)가 없는 위치에 있는 패시베이션 층(40)을 구비하고 있다. 광-감지 접착층(50)은 기판 플레이트(11)의 전체면, 즉 패시베이션 표면(40)과 외부 접속 라인(14) 및 패드 또는 랜드(13) 위에 제공된다. 다음 단계로서, 광-감지 표면(50)은 광-마스킹 기술을 이용해 노출되어 랜드 또는 패드(13)의 외부영역에서 경화되지만, 랜드 또는 패드(13) 위에서는 경화되지 않고 습한(moist)접착성 상태로 남는다. 이후, 국부적으로 경화되었지만 부분적으로 습한 층(50)은 분쇄된 전기적 전도성 재료, 바람직하게는 은을 구비하고 있는데, 상기 재료는 예를 들면 진동 또는 원심력을 부가적으로 이용해 패드(13) 상측의 영역에 부착 또는 상기 영역으로 침투된다. 이 후, 이와 같이 제작된 기판(11)위에는 반도체 소자(10)가 배치된다. 반도체 소자(10)는 제4도와 관련해 설명한 바와 마찬가지로, 전도 스트립(26,27)을 포함하며, 그 위에는 패시베이션 층(28)이 배치된다. 칩(10)은 반도체 소자(10)의 접속 패드(16)가 전기적 전도성 재료가 주입된 전도체로 구성된 기판(11)상의 패드(13)와 정렬되어 기판(11)에 대하여 맞춰진다. 이 후, 전기적 접속부를 형성하는 접착 접속부가 또한 전도성 접속 영역(510)에 의해 패드(13)와 패드(16) 사이에 형성된다.

제5도는 칩(10)과 캐리어 기판(11) 사이의 공간을 확대하여 도시한다. 접착층(50)의 통상적인 두께는 마이크로미터 범위 내, 예컨대 약 5-10 $\mu$ m 정도의 두께이다. 전도성 접속 영역(510)에는 조립 전에 접착제를 침투할 필요는 없으나 남아있는 습한 표면에 달라붙어 조립중에 상기 영역에 압출될 수 있다. 조립시, 패시베이션 층(28)은 밀착된 구성이 형성되도록 접착층(50)에 대하여 맞추어진다. 제5도는 공정을 보다 잘 예시하기 위해 조밀한 접속이 이루어지기 직전의 칩(10)에 대한 기판(11)의 위치를 도시한다.

접착층을 캐리어 기판(11)에 꼭 제공할 필요는 없다. 제6도는 접착층(30)이 반도체(10) 위에 제공된 반대 과정을 도시한다(제4도 참조). 물론 접착층을 반도체(10)(제4도, 제6도) 위는 물론이고 캐리어 기판(11)(제3도, 제5도) 위에 제공할 수도 있다.

제6도를 참조하면, 칩 또는 웨이퍼(10)(제4도)에는 전도성 회로망(26,27) 및 패시베이션 층(28)과 함께 그 위에 제공된 광-감지 접착층(30)을 갖고 있다. 이후, 광-감지 층은 접속 금속체, 즉 패드(16) 외부

영역은 경과되지만 패드(16) 위에 재료가 침투가능한 습한 상태로 남아 있도록 하는 방식으로 광-마스킹 기술을 이용해 노출된다. 이후, 전도 재료 통상적으로 분쇄된 은 재료는 접착층 위에 주입되어 패드 위의 여전히 습한 점착성의 접착제에 접착된다. 필요하다면, 분쇄된 은은 진동, 셰이킹 또는 원심력과 같은 기계적 조작으로 층 내에 확산될 수 있다. 이후, 이미 내부에 형성되어 있는 각 반도체 소자를 구비한 칩(10)은 원하는 바에 따라 개개의 소자로 분리될 수 있다.

이 후, 이같이 제작된 반도체 칩(10)은 그 위에 패시베이션 층(40)을 구비한 기판(11)상에 배치되어(제5도 참조), 칩(10)으로부터의 접촉 금속제 또는 패드(16)는 기판(11)의 금속제 또는 패드와 정렬된다. 전기적 및 기계적 접속부는 접착제에 의해 이루어지지만 (310)으로 도시된 전기적 접속부를 제공하기 위해 패드(13, 16)의 영역 위에는 아직 접착제가 남아 있어 겨우하되지 않은 상태를 유지하고 있다.

여러가지 변형 및 응용이 이루어질 수 있지만, 본 발명은 도면에 도시된 예나 특정 제조방법에 제한되지 않는다. 예를 들면, 패시베이션 층(28, 40)은 포토리소그라피 공정에 의해 경화된 접착층(30, 50)의 전기적으로 경화된 부분이 절연층으로 되어 패시베이션 층의 기능을 하기 때문에 엄밀하게는 꼭 필요하지 않다.

보강 재료로 된 커버층(13', 16')(제3도, 제4도)은, 특히 패드(13, 16)가 접착제와 조화되고 각 접착층의 제공시 접착부로 될 수 있다면, 특히 상기 패드가 이미 니켈 및/또는 금으로 이루어져 있다면, 절대적으로 필요한 것은 아니다.

캐리어 기판(11)용으로 적합한 재료로는 알루미늄 산화물( $Al_2O_3$ ) 또는 알루미늄 질화물(AIN)이 있지만, 유리나 실리콘 또한 사용될 수 있다. 만약 실리콘이 사용된다면, 기판(11)자체가 반도체 칩(10)과 유사한 반도체 소자일 수 있어, 본 발명의 방법으로 2개의 칩을 함께 동일하게 접속가능하게 된다. 따라서, 본 명세서에서 사용되는 기판이란 용어는 단지 부활성 또는 세라믹 기판을 의미하는 것이 아니라 다른 반도체 회로 부품 회로망 또는 IC 용 기판을 의미한다.

광-감지 접착층을 이용하며 그 일부만이 경화되도록 광-마스킹 기술을 이용해 그 특성을 제어함으로써 접착제로 커버되거나 커버되지 않는 소망의 구성에 따른 접착층의 결합구조를 배열할 수 있다. 이러한 기술은 모놀리식 집적 반도체 회로에 관련되어 잘 알려져 있다. 접착층 아래에 있는 소자들의 결합 구조 배열은  $1\mu m$ 보다 작거나  $1\mu m$ 까지의 범위 내의 공차를 갖도록 정교하게 조절될 수 있다. 따라서, 경화되지 않은 접착 재료의 오버랩이 최소로 되어, 접착제의 퍼짐 및 금속의 분산으로 인한 회로 단락의 위험성이 최소로 된다. 캐리어 기판에 대한 반도체 기판의 위치는 공지된 적합한 광학 처리를 이용하여 간격이  $20\mu m$  이내로 되도록 자동 기계로 조정될 수 있다. 접촉 금속제 패드 또는 랜드(13, 16)의 표면 넓이는  $50\mu m$  이내의 직경을 갖도록 감소시킬 수 있기 때문에, 랜드 또는 패드의 중앙-대-중앙 간격을  $100\mu m$  이하로 얻을 수 있다.

접착층은 캐리어 기판(11) 및/또는 반도체 또는 칩 기판(10)에 제공될 수 있다. 접착층이 칩(10)은 물론 캐리어 기판(11)에 모두에 제공되면, 전기적 전도성 분말, 바람직하게는 은이 칩과 기판 모두의 각 패드(16, 13) 위의 영역 내로 주입될 수 있다. 따라서, 상기한 배열을 이용하면, 영역(510)(제5도)은 영역(310)(제6도)과 합체될 수 있다. 그러나, 이때는 상당한 양의 은 분말을 필요로 한다.

칩(10)의 전체 표면은 캐리어(11)상에 있지만, 접촉 패드(13, 16)만이 전기적으로 접속된다. 상기 전체 표면 접촉부(약간의 부가적인 압착 (제5도, 제6도)에 의해 성취됨)는 우수한 전기적 강도와 양호한 열 접촉을 제공한다. 부가적인 클램핑 또는 포팅(potting)을 할 필요는 없으나, 패시베이션 에컨대 절연질이 IC 기술에서 널리 알려져 있는 바와 같이 전체 하이브리드를 보호하기 위해 공급되는 것이 바람직하다.

또한, 기판중 하나만의 기판상의 접착층을 경화시키고, 각 패드(13, 16)위의 잔류 점착성 부분들상에 전도성 입자를 선택적으로 유지시키고 경화된 표면상에는 어떤 금속 분말도 남아 있지 않도록 하는 것이 가능하다. 제 2 경화된층은 기판중 다른 하나의 기판에 배치되어, 서로 대항하는 부분을 다시 압착시킬 때 (제5 및 6도 참조), 경화되지 않은 전체 표면에 걸쳐서 연장된 접착제가 기판(11)과 칩(10) 사이에서 표면-접착부를 형성하며, 노출되지 않은 영역들은 약  $150^\circ C$ 의 고온처리에 의해 경화된다.

반도체는 표준 처리, 예를 들면 다양한 공지된 처리를 통해 이루어진 바이폴라 또는 MOS 소자일 수 있다. 보강재를 형성하는 니켈 및/또는 은 또는 금층(13', 15')은 스퍼터링 및/또는 플레이팅 처리로 제공될 수 있다. 패시베이션 층은 표준 처리로 제공되어, 예를 들면 표준 산화물, 질화물, 또는 폴리이미드(polyimide)를 형성하며, 바람직하게는 에컨대 플레이팅 처리를 위해 반도체를 밀봉하여 환경 오염 또는 환경에 의한 영향에 대해 유닛을 보호한다.

광 처리는 포지티브 또는 네거티브일 수 있다. 즉, 접촉 패드는 비점착성 층이 제공될 때 본래 비점착성 재료 또는 접착제인 재료를 이용하여 점착성을 갖으나 노출시에는 점착성이 있는 금속 재료가 첨가된다. 기판(11)과 칩(10) 사이의 양호한 접촉(제5도, 제6도)은 전체-표면 접촉에 의해 성취된다. 부가적인 접착은 경화중 비점착성 영역 에컨대 앞서 완전히 경화되지 않은 영역을 다시 유연하게 하거나 또는 광으로 전기 접촉을 형성한 후와 전체 합성물을 고온처리 하기전에 제 2의 얇은 접착층을 부가함으로써 성취할 수 있다.

방사될 때 점착성으로 되는 재료에 대하여 방사가 행해지면, 재료(50)(제3도, 제5도) 또는 재료(30)(제4도, 제6도)는 방사선 에너지에 의하여 방사가 행해질 때 비점착성 표면의 형성과 점착성 표면의 형성 사이에서 변화되고, 더 방사되면 점착성 표면을 형성한다. 이경우에, 광-마스킹 기술은 제2도 내지 제6도를 연관하여 상세히 설명한 바와 같이, 나머지 영역을 경화시키기 보다는 패드 또는 랜드(13, 16) 위에 있는 영역을 방사선으로 점착성 상태로 만들기 위하여 이들 영역을 제외한 모든 부분들을 차폐하여 상기 부분이 점착성을 갖도록 할 수 있다.

접촉 라인(26, 27)이 반도체 칩(19)의 표면상에 노출된 금속 전도체 또는 에컨대 캐리어 기판(11)상에 노출된 금속 전도체일 필요는 없다. 이들은 집적회로 제조와 연관해 널리 알려져 있는 바와 같이 확산된

접속층으로서 전체적으로 또는 부분적으로 형성될 수 있다. 그러나, 접속 랜드 또는 패드(13,16)는 외부 회로와의 접속을 위해, 예를 들면 칩(10)으로부터 기판(11)으로의 접속을 위해 노출된 표면 영역에 배치될 수 있다.

여러가지 다른 변형 및 응용을 이루어질 수 있으며, 본 명세서에서 설명된 소정의 특징이 본 발명의 범주내에서 임의의 다른 것으로 이용될 수도 있다.

**(57) 청구의 범위**

**청구항 1**

캐리어 플레이트 기판(11)과, 상기 캐리어 플레이트 기판(11)의 표면에 있는 다수의 캐리어 접속 패드(13)와, 반도체 칩 또는 웨이퍼 기판(10) 및, 상기 칩 또는 웨이퍼 기판(10)의 표면에 있는 다수의 칩 접속 패드(16)를 구비한 하이브리드 반도체 구조체를 제조하는 방법에 있어서, 상기 기판들중 적어도 하나의 표면 위에 광-경화 가능한 전기적 절연성 접착제로 된 층(30;50)을 제공하는 단계와; 상기 접착층(30;50)을 광-마스킹 기술에 의해 노출시키거나, 상기 각 패드(13, 16) 위에는 상기 접착층의 노출되지 않은 영역이 남도록 하여, 상기 각 패드 위에 있는 상기 영역 내의 상기 층에 접착제가 남아 있어 경화되지 않도록 하는 단계와; 상기 전기적 절연층의 상기 패드(13, 16) 위의 상기 접착성의 경화되지 않은 영역 내로 금속 분말을 주입시켜 상기 영역이 전기적으로 전도성을 갖도록 하는 단계와; 상기 기판(11, 10)의 패드(13, 16)를 서로 정렬(alignment)시키는 단계 및; 상기 적어도 한 기판의 각 패드 위의 상기 전기적 전도성 접착 영역이 상대 기판의 패드에 대향하여 결합되도록 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)을 서로 결합시켜서, 반도체 칩 또는 웨이퍼 기판(10)의 접속 패드(16)와 캐리어 플레이트 기판(11)의 접속 패드(13)가 전기적으로 접속되어 캐리어 패드(13)와 칩 패드(16) 사이에 전기적 및 기계적 접속부가 형성되는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 2**

제1항에 있어서, 금속 분말을 상기 패드(13,16) 위의 상기 잔여 접착 영역 내로 주입시키는 상기 단계는 조립중 진동, 셰이킹(shaking) 또는 원심력 또는 압력의 조건하에서 상기 금속 분말을 상기 영역에 제공하는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 3**

제1항에 있어서, 상기 금속 분말은 은 분말을 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 4**

제1항에 있어서, 상기 기판들중 적어도 한 기판상에 패시베이팅층(28, 40)을 형성하나, 각 표면의 각 패드(13, 16) 위에는 패시베이팅 층이 없도록 하는 단계와, 이후 상기 광-경화 가능한 전기적 절연 접착층을 상기 패시베이팅 층 위에 제공하는 상기 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 5**

제1항에 있어서, 상기 기판들중 적어도 하나는 각 기판의 표면상에 상기 패드로부터 연장된 접속 라인(14; 26, 27)을 포함하며, 각 표면과 각 접속 라인(14; 26, 27)에 걸쳐서 패시베이팅 층을 형성하나 각 패드(13, 16)에는 패시베이팅 층이 없도록 하는 단계와, 이후 상기 광-경화 가능한 전기적 절연 접착층을 패시베이팅 층위에 제공하는 상기 단계를 실행하는 단계를포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 6**

제1항에 있어서, 상기 기판들중 적어도 하나는 각 기판의 표면상의 각 패드로부터 연장된 접속 라인(14; 26, 27)을 포함하며, 상기 광-경화 가능한 전기적 절연 접착층을 제공하는 상기 단계는, 상기 접속 라인 위에 상기 접착제를 제공하는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 7**

제1항에 있어서, 상기 기판의 패드들을 서로 정렬시키는 단계는, 20 $\mu$ m 이내의 배열 공차로 서로 마주하는 상기 표면상의 상기 패드를 정렬시키는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 8**

제1항에 있어서, 상기 접착층(50)은 캐리어 플레이트 기판(11)에 제공되는 하이브리드 반도체 구조체 제조 방법.

**청구항 9**

제8항에 있어서, 상기 절연 접착층을 제공하는 상기 단계를 실행하기 전에 상기 캐리어 플레이트 기판(11)상에 패시베이팅 층(40)을 제공하나, 상기 패드(13)는 패시베이트 되지 않도록 남겨 놓는 단계 및; 반도체 칩 기판(10)의 표면을 패시베이팅하나, 상기 패드(16)는 패시베이트되지 않도록 남겨 놓는 단계를 더 포함하는 하이브리드 반도체 구조체 제조 방법.

**청구항 10**

제8항에 있어서, 상기 패시베이팅 층(40)의 두께보다 큰 두께를 갖는 보강 재료로 된 커버층(13')에 의

해 상기 패드(13)를 보강하는 단계를 포함하며, 보강재료로는 니켈, 은, 금층 적어도 하나를 선택적으로 함유하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 11

제1항에 있어서, 상기 접착층(30)은 상기 반도체 칩 또는 웨이퍼 기판(10)상에 제공되는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 12

제11항에 있어서, 상기 접착제를 상기 반도체 칩 또는 웨이퍼 기판(10)상에 제공하는 단계를 실행하기 전에 상기 반도체 칩 또는 웨이퍼 기판(10)의 상기 표면을 패시베이팅하나, 상기 패드(16)는 패시베이트되지 않도록 남겨 놓는 단계 및; 상기 패시베이팅 층의 두께보다 큰 두께를 갖고 있는 보강 재료로 된 커버층(16')으로 접속 패드(16)를 보강하는 단계를 더 포함하며, 상기 보강 재료로는 니켈, 은, 금층 적어도 하나를 선택적으로 함유하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 13

제1항에 있어서, 상기 전기적 절연 광-경화 가능한 접착제를 제공하는 상기 단계는, 상기 접착제를 상기 캐리어 플레이트 기판(11)및 상기 반도체 칩 또는 웨이퍼 기판(10)위에 제공하는 단계를 포함하고; 상기 노출 단계는, 상기 층들중 적어도 하나의 층을 노출시키거나, 상기 경화되지 않은 두 기판의 각 패드(13, 16) 위의 영역은 노출되지 않도록 남겨 놓는 단계를 포함하며; 상기 금속 분말 주입 단계는 상기 금속 분말을 상기 각 패드 위의 상기 영역들중 적어도 한 영역 내로 주입시키는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 14

제1항에 있어서, 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)을 서로 결합시키는 상기 단계는, 상기 패드를 제외하고 열적으로 결합되고 전기적으로 절연된 합성 구조체를 형성하기 위해 필수적으로 각 기판의 전체 표면 위에 표면 접촉부를 형성하도록 상기 기판들을 결합하는 단계를 포함하는 하이브리드 반도체 구조체 제조방법.

#### 청구항 15

제항에 있어서, 상기 광-경화 가능한 층을 제공하는 상기 단계는, 상기 두 기판(11, 10)의 표면 위에서 실행되고; 상기 노출 단계는, 상기 기판들중 한 기판만의 표면위에서 실행되나, 상기 기판중 다른 한 기판 위에 제공된 전체 표면은 경화되지 않은 점착성 상태로 남겨 두며; 상기 기판들을 결합하는 상기 단계는, 상기 기판들이 상기 표면과 접촉되도록 결합하는 단계를 포함하여, 경화되지 않은 점착성 표면이 다른 기판의 경화된 표면 부분들에 접촉되어 기계적 및 열적으로 결합된 합성 반도체 구조체를 형성하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 16

제1항에 있어서, 상기 패드 위의 경화되지 않은 접착 영역 내로 주입된 금속 분말의 입자 크기는 1 내지 5 $\mu$ m 정도인 하이브리드 반도체 구조체 제조 방법.

#### 청구항 17

캐리어 플레이트 기판(11)과, 상기 캐리어 플레이트 기판(11)의 표면에 있는 다수의 캐리어 접속 패드(13)와, 반도체 칩 또는 웨이퍼 기판(10)및, 상기 칩 또는 웨이퍼 기판(10)의 표면에 있는 다수의 칩 접속 패드(16)를 구비한 하이브리드 반도체 구조체를 제조하는 방법에 있어서, 상기 기판들중 적어도 하나의 표면 위에 방사 에너지에 의한 방사 상태에서, 그 특성이 점착성 표면과 비점착성 표면 사이에서 변화하는 재료로 된 층(30; 50)을 제공하는 단계와; 상기 재료를 선택적으로 방사하여 상기 패드(13, 16)위에는 점착성 표면을 형성하고 나머지 재료 위에는 비점착성 표면을 형성하는 단계와; 상기 전기적 절연층의 상기 패드(13, 16) 위의 접착부의 점착성 부분으로 금속 분말을 주입시켜 상기 점착성 영역이 전기적으로 전도성을 갖도록 하는 단계와; 상기 기판(11, 10)의 패드(13, 16)를 서로 정렬(alignment)시키는 단계 및; 상기 적어도 한 기판의 각 패드 위의 상기 전기적 전도성 접착 영역이 상대 기판의 패드에 대하여 결합되도록 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)을 서로 결합시켜서, 반도체 칩 또는 웨이퍼 기판(10)의 접속 패드(16)와 캐리어 플레이트 기판(11)의 접속 패드(13)가 전기적으로 접속되어 캐리어 패드(13)와 칩의 접속 패드(16)사이에서 전기적 및 기계적 접속부가 형성되고, 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)의 결합 시, 점착성 접속부가 형성되는 단계를 포함하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 18

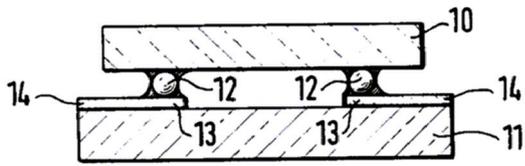
제1항에 있어서, 상기 접착층은 방사선 에너지에 의한 방사 상태에서 경화되는 재료를 포함하며, 그리고 경화되지 않은 상태에서는 상기 패드위에서 층 전체에 상기 금속 분말이 침투될 수 있는 특성을 갖도록 하여, 상기 영역이 전기적으로 전도성이 되도록 하는 하이브리드 반도체 구조체 제조 방법.

#### 청구항 19

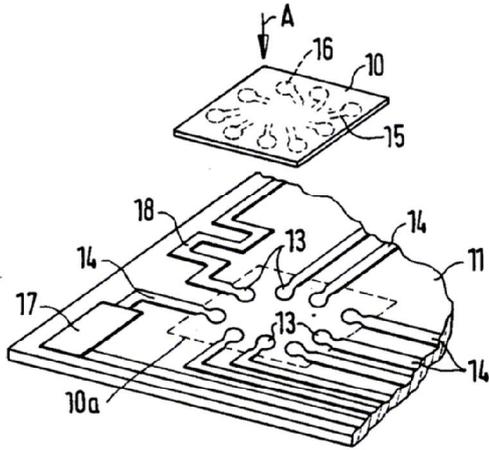
제8항에 있어서, 상기 방사선 에너지는 자외선 광선을 포함하는 하이브리드 반도체 구조체 제조 방법.

**도면**

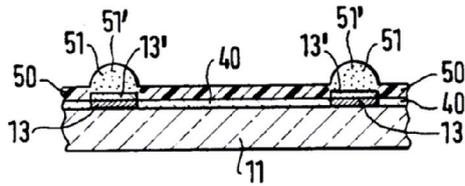
도면1



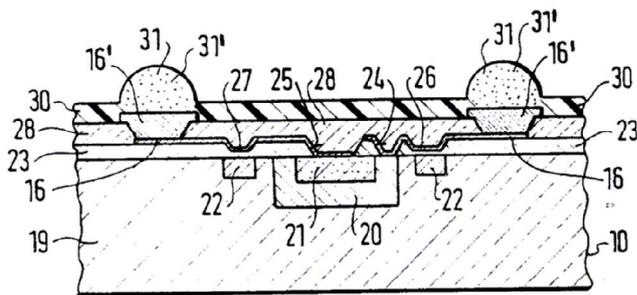
도면2



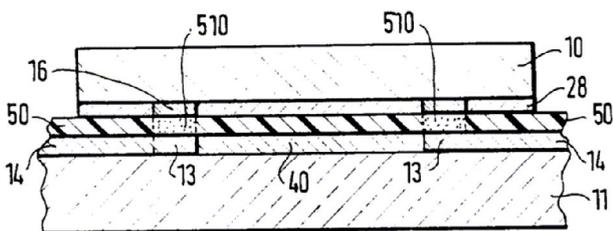
도면3



도면4



도면5



도면6

