



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0126444
(43) 공개일자 2022년09월16일

(51) 국제특허분류(Int. Cl.)
H04L 25/06 (2006.01) H04L 25/02 (2006.01)
H04L 25/03 (2006.01) H04L 7/00 (2006.01)

(52) CPC특허분류
H04L 25/068 (2013.01)
H04L 25/0292 (2013.01)

(21) 출원번호 10-2021-0030712
(22) 출원일자 2021년03월09일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)

(72) 발명자
최문철
서울특별시 관악구 관악로 1(신림동) 104-1동 217호
이상희
서울특별시 관악구 관악로 1(신림동) 104-1동 217호
(뒷면에 계속)

(74) 대리인
김선종

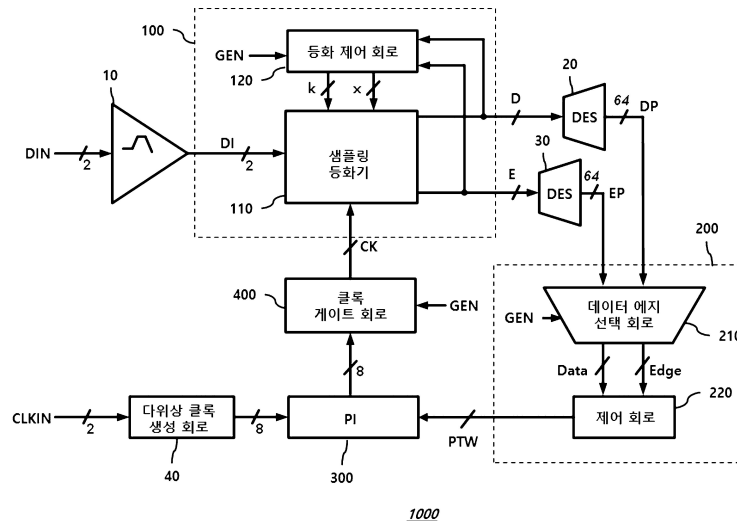
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 멀티 레이트 등화기를 포함하는 수신기

(57) 요약

본 기술에 의한 수신기는 다위상 클럭 신호에 따라 데이터 입력 신호를 샘플링하여 데이터 샘플 신호와 에지 샘플 신호를 출력하고 데이터 샘플 신호 또는 에지 샘플 신호에 따라 등화 동작을 수행하는 등화 회로; 및 선택 신호에 따라 다수의 다위상 클럭 신호 중 필요한 다위상 클럭 신호를 선택하는 클럭 게이트 회로를 포함한다.

대표도 - 도1



(52) CPC특허분류

H04L 25/03006 (2013.01)

H04L 25/069 (2013.01)

H04L 7/0087 (2013.01)

(72) 발명자

노승하

서울특별시 관악구 관악로 1(신림동) 104-1동 217호

이광호

서울특별시 관악구 관악로 1(신림동) 104-1동 217호

정덕균

서울특별시 서초구 방배로28길 90 1005

이 발명을 지원한 국가연구개발사업

과제고유번호 1711117042

과제번호 2020-0-01307-001

부처명 과학기술정보통신부

과제관리(전문)기관명 정보통신기획평가원

연구사업명 차세대지능형반도체기술개발(설계)(R&D)

연구과제명 인공지능 컴퓨팅 플랫폼의 칩간 초고속(100Gbps 이상) Multi-Rate 데이터 전송 지원
가능 저전력 직렬 인터페이스 기술 개발

기 여 율 1/1

과제수행기관명 서울대학교 산학협력단

연구기간 2020.04.01 ~ 2020.12.31

명세서

청구범위

청구항 1

다위상 클럭 신호에 따라 데이터 입력 신호를 샘플링하여 데이터 샘플 신호와 에지 샘플 신호를 출력하고 상기 데이터 샘플 신호 또는 상기 에지 샘플 신호에 따라 등화 동작을 수행하는 등화 회로; 및
 선택 신호에 따라 다수의 다위상 클럭 신호 중 필요한 상기 다위상 클럭 신호를 선택하는 클럭 게이트 회로를 포함하는 수신기.

청구항 2

청구항 1에 있어서, 상기 다수의 다위상 클럭 신호를 생성하는 다위상 클럭 생성 회로를 더 포함하는 수신기.

청구항 3

청구항 1에 있어서, 상기 다수의 다위상 클럭 신호의 위상을 조절하는 위상 보간 회로를 더 포함하는 수신기.

청구항 4

청구항 3에 있어서, 상기 데이터 샘플 신호와 상기 에지 샘플 신호에 따라 상기 위상 보간 회로의 위상 조절 동작을 제어하는 위상 제어 신호를 제공하는 위상 제어 회로를 더 포함하는 수신기.

청구항 5

청구항 4에 있어서, 상기 위상 제어 회로는

상기 선택 신호에 따라 상기 데이터 샘플 신호와 상기 에지 샘플 신호 중에서 데이터를 샘플한 신호를 선택하여 데이터 신호를 생성하고 에지를 샘플한 신호를 선택하여 에지 신호를 생성하는 데이터 에지 선택 회로; 및

상기 데이터 신호와 상기 에지 신호에 따라 상기 위상 제어 신호를 생성하는 제어 회로

를 포함하는 수신기.

청구항 6

청구항 5에 있어서, 상기 데이터 샘플 신호를 병렬화하여 상기 위상 제어 회로에 제공하는 데이터 병렬화 회로 및 상기 에지 샘플 신호를 병렬화하여 상기 위상 제어 회로에 제공하는 에지 병렬화 회로를 더 포함하는 수신기.

청구항 7

청구항 1에 있어서, 상기 등화 회로는

상기 다위상 클럭 신호에 따라 상기 데이터 샘플 신호와 상기 에지 샘플 신호를 생성하는 샘플링 등화기; 및

상기 선택 신호에 따라 상기 데이터 샘플 신호와 상기 에지 샘플 신호 중 다수의 피드백 신호와 상기 다수의 피드백 신호에 대응하는 다수의 가중치 신호를 선택하여 상기 샘플링 등화기에 제공하는 등화 제어 회로

를 포함하되,

상기 샘플링 등화기는 상기 다수의 가중치 신호와 상기 다수의 피드백 신호에 따라 등화 동작을 수행하는 수신기.

청구항 8

청구항 7에 있어서, 상기 샘플링 등화기는

상기 데이터 입력 신호를 수신하여 데이터 출력 신호를 생성하는 제 1 등화기; 및

상기 다위상 클럭 신호 중 제 1 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 상기 데이터 샘플 신호를 출력하는 데이터 샘플링 등화기; 및

상기 다위상 클럭 신호 중 제 2 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 상기 에지 샘플 신호를 출력하는 에지 샘플링 등화기

를 포함하되, 상기 제 1 등화기, 상기 데이터 샘플링 등화기, 및 상기 에지 샘플링 등화기는 상기 다수의 피드백 신호 및 상기 다수의 가중치 신호에 따라 등화 동작을 수행하는 수신기.

청구항 9

청구항 8에 있어서, 상기 제 1 등화기는

상기 데이터 입력 신호를 증폭하여 상기 데이터 출력 신호를 생성하는 데이터 수신 회로; 및

제 1 가중치 신호와 제 1 피드백 신호에 따라 상기 데이터 출력 신호를 조절하는 제 1 등화 수신 회로

를 포함하는 수신기.

청구항 10

청구항 9에 있어서, 제 2 가중치 신호와 제 2 피드백 신호에 따라 상기 데이터 출력 신호를 조절하는 제 2 등화 수신 회로를 더 포함하는 수신기.

청구항 11

청구항 8에 있어서, 상기 데이터 샘플링 등화기는

상기 제 1 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 상기 데이터 샘플 신호를 출력하는 데이터 샘플링 회로; 및

제 3 가중치 신호와 제 3 피드백 신호에 따라 상기 데이터 샘플 신호를 조절하는 데이터 등화 회로

를 포함하는 수신기.

청구항 12

청구항 8에 있어서, 상기 에지 샘플링 등화기는

상기 제 2 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 상기 에지 샘플 신호를 출력하는 데이터 샘플링 회로; 및

제 4 가중치 신호와 제 4 피드백 신호에 따라 상기 에지 샘플 신호를 조절하는 에지 등화 회로

를 포함하는 수신기.

청구항 13

청구항 6에 있어서, 상기 샘플링 등화기는 다수의 하위 샘플링 등화기를 포함하되, 상기 다수의 하위 샘플링 등화기는 각각

상기 데이터 입력 신호를 수신하여 데이터 출력 신호를 생성하는 제 1 등화기; 및

상기 다위상 클럭 신호 중 제 1 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 데이터 샘플 신호를 출력하는 데이터 샘플링 등화기; 및

상기 다위상 클럭 신호 중 제 2 클럭 신호에 따라 상기 데이터 출력 신호를 샘플링하여 에지 샘플 신호를 출력하는 에지 샘플링 등화기

를 포함하되, 상기 제 1 등화기, 상기 데이터 샘플링 등화기, 및 상기 에지 샘플링 등화기는 상기 다수의 피드백 신호 및 상기 다수의 가중치 신호에 따라 등화 동작을 수행하는 수신기.

청구항 14

청구항 1에 있어서, 상기 선택 신호는 상기 수신기에서 사용하는 PCIe 인터페이스 기술의 세대를 나타내는 수신

기.

발명의 설명

기술 분야

[0001] 본 기술은 멀티 레이트 등화기를 포함하는 수신기에 관한 것이다.

배경 기술

[0002] PCIe(Peripheral Component Interconnect Express) 등의 인터페이스 기술은 세대가 바뀌면서 채널을 통해 전송되는 신호의 전송 속도가 증가하는 경향이 있으며, 전송 속도 향상을 위해서 샘플링 레이트 역시 높아지는 경향이 있다.

[0003] 일반적으로 최신 세대의 인터페이스 규격에서는 지난 세대의 인터페이스 규격을 동시에 만족시키는데 이때 다양한 샘플링 레이트를 지원하는 멀티 레이트 수신기를 사용한다.

[0004] 다양한 샘플링 레이트를 지원하기 위하여 넓은 범위의 주파수를 생성하는 클록 생성 회로를 사용하는 경우 클록 신호를 생성하는데 부가적인 회로의 면적이 증가하는 문제가 있다.

[0005] 또한 다양한 주파수에 대응하기 위한 등화기의 구조 역시 복잡해지고 전력 소모가 증가한다.

[0006] 이에 따라 멀티 레이트를 지원하면서 수신기의 회로 복잡도 및 소비 전력을 낮출 수 있는 기술이 요구되고 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) KR 10-2019-0137757 A

(특허문헌 0002) US 2019-0199563 A1

발명의 내용

해결하려는 과제

[0008] 본 기술은 멀티 레이트를 지원하는 등화기를 포함하는 수신기를 제공한다.

[0009] 본 기술은 멀티 레이트를 지원하면서 회로 면적과 소비 전력을 줄이는 수신기를 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 의한 수신기는 다위상 클록 신호에 따라 데이터 입력 신호를 샘플링하여 데이터 샘플 신호와 에지 샘플 신호를 출력하고 데이터 샘플 신호 또는 에지 샘플 신호에 따라 등화 동작을 수행하는 등화 회로; 및 선택 신호에 따라 다수의 다위상 클록 신호 중 필요한 다위상 클록 신호를 선택하는 클록 게이트 회로를 포함한다.

발명의 효과

[0011] 본 기술에 의한 수신기는 선택 신호에 따라 필요한 샘플링 클록을 선택하여 제공함으로써 클록 생성 회로의 면적과 소비 전력을 줄일 수 있다.

[0012] 본 기술에 의한 수신기는 복잡도를 증가시키지 않으면서 다양한 세대의 인터페이스 기술에 공통적으로 사용할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 의한 수신기를 나타내는 블록도.
- 도 2는 본 발명의 일 실시예에 의한 수신기에서 사용하는 다위상 클록 신호를 나타내는 도면.
- 도 3은 본 발명의 일 실시예에 의한 샘플링 등화기를 나타내는 블록도.
- 도 4는 본 발명의 일 실시예에 의한 하위 샘플링 등화기의 상세 블록도.
- 도 5는 본 발명의 일 실시예에 의한 하위 샘플링 등화기에 입력력되는 신호를 나타내는 표.
- 도 6은 본 발명의 일 실시예에 의한 제 1 등화기를 나타내는 회로도.
- 도 7은 본 발명의 일 실시예에 의한 데이터 샘플링 등화기를 나타내는 회로도.
- 도 8은 본 발명의 일 실시예에 의한 등화 제어 회로의 동작을 설명하는 표.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [0015] 도 1은 본 발명의 일 실시예에 의한 수신기를 나타내는 블록도이다.
- [0016] 본 발명의 일 실시예에 의한 수신기(1000)는 등화 회로(100), 위상 제어 회로(200), 위상 보간 회로(300), 클록 게이트 회로(400)를 포함한다.
- [0017] 본 발명의 일 실시예에 의한 수신기(1000)는 선형 등화기(10), 데이터 병렬화 회로(20), 에지 병렬화 회로(30), 다위상 클록 생성 회로(40)를 더 포함할 수 있다.
- [0018] 선형 등화기(10)는 채널을 통해 입력되는 채널 데이터 신호(DIN)를 등화하여 데이터 입력 신호(DI)를 출력한다.
- [0019] 선형 등화기(10)는 CTLE(Continuous Time Linear Equalizer)로 구현될 수 있으며 이는 종래에 잘 알려진 것이므로 구체적인 개시를 생략한다.
- [0020] 본 실시예에서 채널 데이터 신호(DIN) 및 데이터 입력 신호(DI)는 차동 신호이다.
- [0021] 선형 등화기(10)는 생략될 수 있으며 이 경우 데이터 입력 신호(DI)는 채널 데이터 신호(DIN)와 동일하다.
- [0022] 등화 회로(100)는 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D)와 에지 샘플 신호(E)를 출력하면서 등화 동작을 함께 수행한다.
- [0023] 이때 데이터 샘플 신호(D)는 세대에 따라서는 실질적으로 에지를 샘플한 신호에 대응할 수 있으며, 에지 샘플 신호(E)는 세대에 따라서는 실질적으로는 데이터를 샘플한 신호에 대응할 수 있다.
- [0024] 이에 대해서는 도 2를 참조하여 아래에서 다시 설명한다.
- [0025] 데이터 샘플 신호(D)와 에지 샘플 신호(E)는 위상에 따라 각각 다수 개가 병렬로 생성될 수 있다.
- [0026] 데이터 병렬화 회로(20)는 다수의 데이터 샘플 신호(D)를 위상 순서로 병렬화하여 병렬 데이터 신호(DP)를 출력한다.
- [0027] 에지 병렬화 회로(30)는 다수의 에지 샘플 신호를 위상 순서로 병렬화하여 병렬 에지 신호(EP)를 출력한다.
- [0028] 위상 제어 회로(200)는 병렬 데이터 신호(DP)와 병렬 에지 신호(EP)를 분석하여 위상 제어 신호(PW)를 출력한다.
- [0029] 위상 제어 회로(200)는 데이터 에지 선택 회로(210)와 제어 회로(220)를 포함한다.
- [0030] 데이터 에지 선택 회로(210)는 선택 신호(GEN)에 따라 병렬 데이터 신호(DP)와 병렬 에지 신호(EP) 중에서 필요한 신호를 선택하여 데이터 신호(Data)와 에지 신호(Edge)를 출력한다.
- [0031] 이때 선택 신호(GEN)는 샘플링 레이트를 선택하는 역할을 한다.
- [0032] 예를 들어 PCIe 인터페이스는 1세대(GEN1), 2세대(GEN2), 3세대(GEN3), 4세대(GEN4), 5세대(GEN5)와 같이 기술이 발전되어 왔다.
- [0033] 예를 들어 1세대의 경우 2.5 Gb/s, 2세대의 경우 5 Gb/s, 3세대의 경우 8 Gb/s의 데이터 레이트를 지원하고, 4

세대의 경우 16 Gb/s의 데이터 레이트를 지원하며, 5세대의 경우 32 Gb/s의 데이터 레이트를 지원한다.

- [0034] 세대에 따라 샘플링 클록의 주파수가 달라지고, 이에 따라 데이터와 에지를 샘플링하는 시점도 달라진다. 또한 세대에 따라 병렬 데이터 신호(DP)와 병렬 에지 신호(EP) 중에서 실제로 필요한 데이터와 에지 신호를 선택할 수 있어야 한다.
- [0035] 이에 대해서는 아래에서 다시 구체적으로 설명한다.
- [0036] 위상 보간 회로(300)는 위상 제어 신호(PTW)에 따라 다위상 클록 신호의 위상을 조절하여 위상이 조절된 다위상 클록 신호를 출력한다.
- [0037] 위상 보간 회로(300)에 입력되는 다위상 클록 신호는 다위상 클록 생성 회로(40)에서 출력된다.
- [0038] 본 실시예에서는 다위상 클록 생성 회로(40)는 채널을 통해 입력된 차동 형태의 클록 입력 신호(CLKIN)로부터 서로 일정한 위상차를 가지는 8-위상 클록 신호를 생성한다.
- [0039] 클록 게이트 회로(400)는 위상 보간 회로(300)에서 출력된 다위상 클록 신호 중에서 선택 신호(GEN)에 따라 필요한 클록 신호(CK)를 선택하여 출력한다.
- [0040] 클록 게이트 회로(400)에서 출력되는 클록 신호(CK)는 등화 회로(100)에 입력되어 데이터 입력 신호(DI)를 샘플링하여 데이터와 에지를 추출하는데 사용한다.
- [0041] 도 2는 다위상 클록 신호를 나타내는 도면이다.
- [0042] 도 2에서는 세대에 따라 주파수가 다른 멀티 레이트 클록 신호(CK)와 데이터 입력 신호(DI)를 함께 도시한다.
- [0043] 도 2(A)는 5세대(GEN5) PCIe 인터페이스에서 사용되는 클록 신호(CK)와 데이터 입력 신호(DI)를 나타내고, 도 2(B)는 4세대(GEN4) PCIe 인터페이스에서 사용되는 클록 신호(CK)와 데이터 입력 신호(DI)를 나타내고, 도 2(C)는 1세대(GEN1), 2세대(GEN2), 또는 3세대(GEN3) PCIe 인터페이스에서 사용되는 클록 신호(CK)와 데이터 입력 신호(DI)를 나타낸다.
- [0044] 등화 회로(100)는 클록 신호(CK)를 이용하여 데이터 입력 신호(DI)에서 데이터와 에지를 샘플링한다.
- [0045] 5세대에서는 32 Gb/s의 데이터 레이트를 지원하고 4세대에서는 16 Gb/s의 데이터 레이트를 지원하고, 3세대에서는 8 Gb/s의 데이터 레이트를 지원하는 경우를 가정한다.
- [0046] 먼저 5세대에 적용될 것을 가정하여 먼저 8 GHz 주파수를 갖는 8 개의 다위상 클록 신호를 생성하고, 4세대의 기술을 지원하는 경우에는 이 중 4개를 사용하고, 3세대의 기술을 지원하는 경우에는 이중 2개를 사용할 수 있다.
- [0047] 또한, 1세대와 같이 2.5 Gb/s를 지원하거나 2세대와 같이 5 Gb/s의 데이터 레이트를 지원하는 경우라면 먼저 5세대와 같이 5 GHz 또는 2.5 GHz의 주파수를 갖는 8개의 다위상 클록 신호를 생성하고 이 중에서 2개를 사용할 수 있다.
- [0048] 도 2(A)와 같이 5세대의 경우 클록 신호(CK)는 총 8개의 위상을 가진 다위상 클록 신호로서 데이터와 에지를 샘플링한다.
- [0049] 즉 0도, 90도, 180도, 270도의 위상에 대응하는 클록 신호(CK)를 이용하여 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호 D0, D90, D180, D270을 생성하고, 45도, 135도, 225도, 315도의 위상에 대응하는 클록 신호(CK)를 이용하여 데이터 입력 신호(DI)를 샘플링하여 에지 샘플 신호 E45, E135, E225, E315를 생성한다.
- [0050] 도 2(B)와 같이 4세대의 경우 클록 신호(CK)는 총 4개의 위상을 가진 다위상 클록 신호로서 데이터와 에지를 샘플링한다.
- [0051] 이때 클록 신호(CK)는 도 2(A)의 5세대 용 클록 신호(CK)와 동일하되 단지 필요한 4 개의 위상에 대응하는 클록 신호(CK)만을 골라서 사용할 수 있다.
- [0052] 이에 따라 데이터를 샘플링하기 위하여 45도, 225도의 위상에 대응하는 클록 신호(CK)를 사용하고, 에지를 샘플링하기 위하여 135도, 315도의 위상에 대응하는 클록 신호(CK)를 사용한다.
- [0053] 즉, 5세대를 기준으로 에지 샘플 신호 E45, E225는 4세대에서는 실질적으로 데이터를 샘플한 신호이고, 5세대를 기준으로 에지 샘플 신호 E135, E315는 4세대에서도 에지를 샘플한 신호이다.

- [0054] 도 2(C)와 같이 3세대의 경우 클럭 신호(CK)는 총 2개의 위상을 가진 다위상 클럭 신호로서 데이터와 에지를 샘플링한다.
- [0055] 마찬가지로 클럭 신호(CK)는 도 2(A)의 5세대 용 클럭 신호(CK)와 동일하되 단지 필요한 2개의 위상에 대응하는 클럭 신호(CK)만을 골라서 사용할 수 있다.
- [0056] 이에 따라 데이터를 샘플링하기 위하여 135도의 위상에 대응하는 클럭 신호(CK)를 사용하고, 에지를 샘플링하기 위하여 315도의 위상에 대응하는 클럭 신호(CK)를 사용한다.
- [0057] 즉, 5세대에서 샘플링된 에지 샘플 신호 E135는 3세대에서는 실질적으로 데이터를 샘플한 신호이고, 5세대에서 샘플링된 에지 샘플 신호 E315는 3세대에서도 에지를 샘플한 신호이다.
- [0058] 클럭 게이트 회로(400)는 선택 신호(GEN)에 따라 위와 같은 방식으로 위상 보간 회로(300)에서 생성되는 다수의 다위상 클럭 신호 중 필요한 위상의 클럭 신호를 선택하여 출력한다.
- [0059] 도 1로 돌아가 데이터 에지 선택 회로(210)는 선택 신호(GEN)에 따라 데이터 신호(Data)와 에지 신호(Edge)를 선택한다.
- [0060] 도 2(A)와 같이 5세대의 경우 데이터 신호(Data)는 병렬 데이터 신호(DP)로부터 선택되고, 에지 신호(Edge)는 병렬 에지 신호(EP)로부터 선택된다.
- [0061] 그러나 도 2(B)와 같이 4세대의 경우 데이터 신호(Data)와 에지 신호(Edge) 모두 병렬 에지 신호(EP)로부터 선택되어야 한다.
- [0062] 이와 같이 데이터 에지 선택 회로(210)는 병렬 데이터 신호(DP)와 병렬 에지 신호(EP)로부터 선택 신호(GEN)에 따라 필요한 신호를 선택하여 데이터 신호(Data)와 에지 신호(Edge)를 생성한다.
- [0063] 제어 회로(220)는 데이터 신호(Data)와 에지 신호(Edge)의 정보를 이용하여 위상 보간 회로(300)의 위상을 조절하는데 이는 종래의 CDR(Clock Data Recovery) 기술 분야에서 일반적으로 사용하는 것을 적용할 수 있으므로 구체적인 설명은 생략한다.
- [0064] 등화 회로(100)는 다위상 클럭 신호(CK)에 따라 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D)와 에지 샘플 신호(E)를 출력한다.
- [0065] 전술한 바와 같이 데이터 샘플 신호(D)는 세대에 따라 에지를 샘플한 신호에 대응할 수 있고, 에지 샘플 신호(E)는 세대에 따라 데이터를 샘플한 신호에 대응할 수 있다.
- [0066] 등화 회로(100)는 샘플링 등화기(110)와 등화 제어 회로(120)를 포함한다.
- [0067] 샘플링 등화기(110)는 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D)와 에지 샘플 신호(E)를 출력하면서 등화 동작을 함께 수행한다.
- [0068] 등화 제어 회로(120)는 가중치 신호(k)와 피드백 신호(x)를 샘플링 등화기(110)에 제공하여 샘플링 등화기(110)의 등화 동작을 제어한다.
- [0069] 이때 피드백 신호(x)는 샘플링 등화기(110)에서 출력되는 데이터 샘플 신호(D), 에지 샘플 신호(E) 중에서 선택 신호(GEN)에 따라 선택되며 가중치 신호(k)는 등화 동작시 사용되는 알고리즘에 의해 다양하게 제어될 수 있다.
- [0070] 가중치 신호(k)와 피드백 신호(x)는 각각 다수 개로서 서로 짝을 이룰 수 있다.
- [0071] 도 3은 본 발명의 일 실시예에 의한 샘플링 등화기(110)의 상세 블록도이다.
- [0072] 샘플링 등화기(110)는 다수 개의 하위 샘플링 등화기(130)를 포함한다.
- [0073] 이들은 모두 실질적으로 동일한 구조를 가지며 입력되는 클럭 신호(CK)의 위상과 출력되는 데이터 샘플 신호(D)와 에지 샘플 신호(E)의 위상만 상이하다.
- [0074] 먼저, 첫 번째 하위 샘플링 등화기(130)는 0도, 45도의 위상에 대응하는 클럭 신호(CK0, CK45)에 따라 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D0)와 에지 샘플 신호(E45)를 출력하는데 이를 제 1 하위 샘플링 등화기(130-1)로 나타낼 수 있다.
- [0075] 다음으로, 두 번째 하위 샘플링 등화기(130)는 90도, 135도의 위상에 대응하는 클럭 신호(CK90, CK135)에 따라 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D90)와 에지 샘플 신호(E135)를 출력하는데 이를 제 2 하

위 샘플링 등화기(130-2)로 나타낼 수 있다.

- [0076] 다음으로, 세 번째 하위 샘플링 등화기(130)는 180도, 225도의 위상에 대응하는 클록 신호(CK180, CK225)에 따라 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D180)와 예지 샘플 신호(E225)를 출력하는데 이를 제 3 하위 샘플링 등화기(130-3)로 나타낼 수 있다.
- [0077] 마지막으로, 네 번째 하위 샘플링 등화기(130)는 270도, 315도의 위상에 대응하는 클록 신호(CK270, CK315)에 따라 데이터 입력 신호(DI)를 샘플링하여 데이터 샘플 신호(D270)와 예지 샘플 신호(E315)를 출력하는데 이를 제 4 하위 샘플링 등화기(130-4)로 나타낼 수 있다.
- [0078] 하위 샘플링 등화기(130)의 개수는 다위상 클록 신호의 위상 개수에 따라 달라질 수 있다.
- [0079] 도 2(A)(B)와 같이 4세대 또는 5세대의 경우라면 모든 하위 샘플링 등화기(130)가 활성화되어 사용된다.
- [0080] 도 2(C)와 같이 3세대의 경우라면 135도와 315도의 위상을 사용하므로 이를 사용하지 않는 제 1 하위 샘플링 등화기(130-1)와 제 3 하위 샘플링 등화기(130-3)는 비활성화될 수 있다.
- [0081] 도 3에서는 하위 샘플링 등화기(130)에 인가되는 가중치 신호(k)와 피드백 신호(x)를 구체적으로 표시하지 않았다. 이에 대해서는 이하에서 구체적으로 개시한다.
- [0082] 도 4는 본 발명의 일 실시예에 의한 하위 샘플링 등화기(130)의 상세 블록도이다.
- [0083] 샘플링 등화기(130)는 제 1 등화기(140), 데이터 샘플링 등화기(150), 예지 샘플링 등화기(160)를 포함한다.
- [0084] 제 1 등화기(140)는 제 1 등화 신호 수신 회로(141)와 제 2 등화 신호 수신 회로(142)를 포함하고 이에 따라 데이터 입력 신호(DI)를 등화하여 데이터 출력 신호(DO)를 제공한다.
- [0085] 제 1 등화 신호 수신 회로(141)는 제 1 가중치 신호(k1)와 제 1 피드백 신호(x1)를 수신하여 등화 동작을 수행하고 제 2 등화 신호 수신 회로(142)는 제 2 가중치 신호(k2)와 제 2 피드백 신호(x2)를 수신하여 등화 동작을 수행한다.
- [0086] 데이터 샘플링 등화기(150)는 데이터 출력 신호(DO)를 제 1 클록 신호(CK1)에 따라 샘플링하여 데이터 샘플 신호(Dx)를 출력하되, 제 3 가중치 신호(k3)와 제 3 피드백 신호(x3)에 따라 등화 동작을 함께 수행한다.
- [0087] 예지 샘플링 등화기(160)는 데이터 출력 신호(DO)를 제 2 클록 신호(CK2)에 따라 샘플링하여 예지 샘플 신호(Ex)를 출력하되, 제 4 가중치 신호(k4)와 제 4 피드백 신호(x4)에 따라 등화 동작을 함께 수행한다.
- [0088] 도 5는 본 발명의 일 실시예에 의한 하위 샘플링 등화기에 입출력되는 신호를 나타내는 표로서 도 3과 도 4로부터 도출된 것이다.
- [0089] 예를 들어, 제 1 하위 샘플링 등화기(130-1)에 입력되는 제 1 클록 신호(CK1)는 0도 위상에 대응하는 클록 신호(CK0)이고, 제 2 클록 신호(CK2)는 45도 위상에 대응하는 클록 신호(CK45)이다.
- [0090] 또한 제 1 하위 샘플링 등화기(130-1)에서 출력되는 데이터 샘플 신호(Dx)는 0도 위상에 대응하는 데이터 샘플 신호(D0)이고 예지 샘플 신호(Ex)는 45도 위상에 대응하는 예지 샘플 신호(E45)이다.
- [0091] 도 6은 본 발명의 일 실시예에 의한 제 1 등화기(140)를 나타내는 회로도이다.
- [0092] 제 1 등화기(140)는 데이터 신호 수신 회로(143), 제 1 등화 신호 수신 회로(141), 제 2 등화 신호 수신 회로(142)를 포함한다.
- [0093] 데이터 신호 수신 회로(143)는 차동 형태의 데이터 입력 신호(DI)를 수신하여 차동 형태의 데이터 출력 신호(DO)를 생성한다.
- [0094] 제 1 노드(O1)에서 데이터 출력 신호(DO)를 출력하고, 제 2 노드(O2)에서 반전 데이터 출력 신호(/DO)를 출력한다.
- [0095] 데이터 신호 수신 회로(143)는 일반적인 차동 증폭기 형태이다.
- [0096] 먼저 제 1 전원(VDD)과 제 1 노드(O1) 및 제 2 전원(VDD)과 제 2 노드(O2) 사이에 각각 부하 저항(R)이 연결된다.
- [0097] 데이터 신호 수신 회로(143)는 게이트에 데이터 입력 신호(DI)가 인가되고 드레인이 제 2 노드(O2)에 연결되는 NMOS 트랜지스터(N1)와 게이트에 반전 데이터 입력 신호(/DI)가 인가되고 드레인이 제 1 노드(O1)에 연결되는

NMOS 트랜지스터(N2)를 포함한다.

- [0098] 데이터 수신 회로(143)는 NMOS 트랜지스터(N1, N2)의 공통 소스와 제 2 전원(GND) 사이에 고정된 바이어스 전류(1B)를 제공하는 바이어스 전류원(111)을 포함한다.
- [0099] 제 1 등화 수신 회로(141)는 게이트에 제 1 피드백 신호(x1)가 인가되고 드레인이 제 1 노드(O1)에 연결되는 NMOS 트랜지스터(N3)와 게이트에 반전 제 1 피드백 신호(/x1)가 인가되고 드레인이 제 2 노드(O2)에 연결되는 NMOS 트랜지스터(N4)를 포함한다.
- [0100] 제 1 등화 수신 회로(141)는 NMOS 트랜지스터(N3, N4)의 공통 소스와 제 2 전원(GND) 사이에 제 1 가중치 신호(k1)에 대응하는 바이어스 전류를 제공하는 바이어스 전류원(112)을 포함한다.
- [0101] 제 2 등화 수신 회로(142)는 게이트에 제 2 피드백 신호(x2)가 인가되고 드레인이 제 1 노드(O1)에 연결되는 NMOS 트랜지스터(N5)와 게이트에 반전 제 2 피드백 신호(/x2)가 인가되고 드레인이 제 2 노드(O2)에 연결되는 NMOS 트랜지스터(N6)를 포함한다.
- [0102] 제 2 등화 수신 회로(142)는 NMOS 트랜지스터(N5, N6)의 공통 소스와 제 2 전원(GND) 사이에 제 2 가중치 신호(k2)에 대응하는 바이어스 전류를 제공하는 바이어스 전류원(113)을 포함한다.
- [0103] 제 1 가중치 신호(k1), 제 2 가중치 신호(k2), 제 1 피드백 신호(x1), 제 2 피드백 신호(x2)는 선택 신호(GEN)에 따라 등화 제어 회로(120)에서 제공된다. 이에 대해서는 아래에서 다시 구체적으로 개시한다.
- [0104] 도 7은 본 발명의 일 실시예에 의한 데이터 샘플링 등화기(150)를 나타내는 회로도이다.
- [0105] 데이터 샘플링 등화기(150)는 데이터 등화 회로(151)와 데이터 샘플링 회로(152)를 포함한다.
- [0106] 데이터 등화 회로(151)는 등화 제어 회로(120)에서 제공되는 등화 신호에 따라 등화 동작을 수행한다.
- [0107] 등화 신호는 제 3 가중치 신호(k3)와 제 3 피드백 신호(x3)를 포함한다.
- [0108] 도 7의 실시예는 차동 신호를 사용하는 회로로서, 제 3 가중치 신호(k3)는 양의 제 3 가중치 신호(k3p)와 음의 제 3 가중치 신호(k3n)를 포함한다.
- [0109] 제 3 가중치 신호(k3)와 양의 제 3 가중치 신호(k3p) 및 음의 제 3 가중치 신호(k3n)의 관계는 다음과 같다.
- [0110] 예를 들어 양의 제 3 가중치 신호(k3p)는 미리 정해진 중심 값을 기준으로 제 3 가중치 신호(k3)에 대응하는 값을 더한 값에 대응하고, 음의 제 3 가중치 신호(k3n)는 미리 정해진 중심 값을 기준으로 제 3 가중치 신호(k3)에 대응하는 값을 뺀 값에 대응할 수 있다.
- [0111] 데이터 등화 회로(151)는 드레인이 제 3 노드(O3)에 연결되고 게이트에 양의 제 3 피드백 신호(x3p)가 인가되는 NMOS 트랜지스터(N13), 드레인이 제 4 노드(O4)에 연결되고 게이트에 음의 제 3 피드백 신호(x3n)가 인가되는 NMOS 트랜지스터(N14)를 포함한다.
- [0112] NMOS 트랜지스터(N13, N14)의 소스는 공통 연결된다.
- [0113] 데이터 등화 회로(151)는 드레인이 제 3 노드(O3)에 연결되고 게이트에 음의 제 3 피드백 신호(x3n)가 인가되는 NMOS 트랜지스터(N15), 드레인이 제 4 노드(O4)에 연결되고 게이트에 양의 제 3 피드백 신호(x3p)가 인가되는 NMOS 트랜지스터(N16)를 포함한다.
- [0114] NMOS 트랜지스터(N15, N16)의 소스는 공통 연결된다.
- [0115] 데이터 등화 회로(151)는 드레인이 NMOS 트랜지스터(N14)의 소스에 연결되고 게이트에 양의 제 3 가중치 신호(k3p)가 인가되는 NMOS 트랜지스터(N17)와 드레인이 NMOS 트랜지스터(N15)의 소스에 연결되고 게이트에 음의 제 3 가중치 신호(k3n)가 인가되는 NMOS 트랜지스터(N18)를 포함한다.
- [0116] NMOS 트랜지스터(N17, N18)의 소스는 공통 연결된다.
- [0117] 데이터 등화 회로(151)는 드레인이 NMOS 트랜지스터(N17)에 연결되고 게이트에 제 1 클럭 신호(CK1)가 인가되며 소스가 제 2 전원(GND)에 연결된 NMOS 트랜지스터(N20)를 포함한다.
- [0118] 데이터 샘플링 회로(152)는 드레인이 제 3 노드(O3)에 연결되고 게이트에 데이터 출력 신호(DO)가 인가되는 NMOS 트랜지스터(N9), 드레인이 제 3 노드(O3)에 연결되고 게이트에 양의 오프셋 신호(VOP)가 인가되는 NMOS 트랜지스터(N10)를 포함한다.

- [0119] NMOS 트랜지스터(N9, N10)의 소스는 공통 연결된다.
- [0120] 데이터 샘플링 회로(152)는 드레인이 제 4 노드(O4)에 연결되고 게이트에 반전 데이터 출력 신호(/D0)가 인가되는 NMOS 트랜지스터(N12), 드레인이 제 4 노드(O4)에 연결되고 게이트에 음의 오프셋 신호(VON)가 인가되는 NMOS 트랜지스터(N11)를 포함한다.
- [0121] NMOS 트랜지스터(N11, N12)의 소스는 공통 연결된다.
- [0122] 위에서 양의 오프셋 신호(VOP)는 공통 전압에 미리 정해진 오프셋 전압을 더한 값이고, 음의 오프셋 신호(VON)는 공통 전압에서 미리 정해진 오프셋 전압을 뺀 값에 대응한다.
- [0123] 데이터 샘플링 회로(152)는 드레인이 NMOS 트랜지스터(N9)에 연결되고 게이트에 제 1 클록 신호(CK1)가 인가되며 소스가 제 2 전원(GND)에 연결된 NMOS 트랜지스터(N19)를 포함한다.
- [0124] 데이터 샘플링 회로(152)는 제 1 전원(VDD)과 제 3 노드 사이에 연결되어 제 5 노드(O5)가 출력단이고 제 6 노드(O6)가 입력단인 인버터를 구성하는 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N7)를 포함한다.
- [0125] 데이터 샘플링 회로(152)는 제 1 전원(VDD)과 제 4 노드 사이에 연결되어 제 5 노드(O5)가 입력단이고 제 6 노드(O6)가 출력단인 인버터를 구성하는 PMOS 트랜지스터(P4)와 NMOS 트랜지스터(N8)를 포함한다.
- [0126] 데이터 샘플링 회로(152)는 게이트에 제 1 클록 신호(CK1)가 인가되고 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 5 노드(O5)에 연결되는 PMOS 트랜지스터(P1), 게이트에 제 1 클록 신호(CK1)가 인가되고 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 6 노드(O6)에 연결되는 PMOS 트랜지스터(P5), 및 게이트에 제 1 클록 신호(CK1)가 인가되고 소스와 드레인이 제 5 노드(O5)와 제 6 노드(O6)에 연결되는 PMOS 트랜지스터(P3)를 포함한다.
- [0127] 제 1 클록 신호(CK1)가 로우 레벨인 경우 제 5 노드(O5)와 제 6 노드(O6)는 전원 전압(VDD)으로 충전된다.
- [0128] 제 1 클록 신호(CK1)가 하이 레벨인 경우 데이터 출력 신호(D0)에 따라 제 5 노드(O5)와 제 6 노드(O6)의 전압에 차이가 발생하고 이에 따라 크로스 커플드 래치의 동작에 따라 전압 차가 증폭된다. 이 과정에서 제 3 가중치 신호(k3)와 제 3 피드백 신호(x3)에 따라 등화 동작이 함께 수행된다.
- [0129] SR 래치(153)는 제 5 노드(O5)와 제 6 노드(O6)의 전압에 따라 데이터 신호(Dx)를 출력한다. SR 래치(153)의 동작에 의해 제 1 클록 신호(CK1)가 로우 레벨인 경우 데이터 신호(Dx)는 제 1 클록 신호(CK1)가 하이 레벨인 경우의 신호를 유지한다.
- [0130] 도 4에서 예지 샘플링 등화기(160)는 신호의 종류만 다를 뿐 데이터 샘플링 등화기(150)와 실질적으로 동일한 구성을 가진다.
- [0131] 즉, 예지 샘플링 등화기(160)는 데이터 샘플링 회로(152)에 대응하는 예지 샘플링 회로와 데이터 등화 회로(151)에 대응하는 예지 등화 회로를 포함할 수 있다.
- [0132] 구체적인 회로 구성은 실질적으로 동일할 것이므로 구체적인 개시는 생략한다.
- [0133] 도 8은 등화 제어 회로(120)의 동작을 설명하는 테이블이다.
- [0134] 등화 제어 회로(120)는 선택 신호(GEN)에 따라 제 1 내지 제 4 가중치 신호와 제 1 내지 제 4 피드백 신호를 선택하여 출력한다.
- [0135] 도 8에서 '-'로 표시된 것은 가중치 신호와 피드백 신호가 인가되지 않거나 영향을 주지 않는 경우를 나타낸다.
- [0136] 도 8(A)는 제 1 하위 샘플링 등화기(130-1)에 제공되는 신호를 나타내고, 도 8(B)는 제 2 하위 샘플링 등화기(130-2)에 제공되는 신호를 나타내고, 도 8(C)는 제 3 하위 샘플링 등화기(130-3)에 제공되는 신호를 나타내고, 도 8(D)는 제 4 하위 샘플링 등화기(130-4)에 제공되는 신호를 나타낸다.
- [0137] 도 8(A)를 예로 들어 설명한다.
- [0138] 등화 제어 회로(120)는 선택 신호(GEN)가 4세대(GEN4)에 대응하는 경우, 제 1 등화 수신 회로(141)에 제 1 피드백 신호(x1)로서 예지 샘플 신호(E45)를 제공하고, 예지 샘플링 등화기(160)에 제 4 피드백 신호(x4)로서 예지 샘플 신호(E225)를 제공한다.
- [0139] 이때 예지 샘플 신호(E45)는 제 1 하위 샘플링 등화기(130-1)에서 출력되는 예지 샘플 신호이고, 예지 샘플 신

호(E225)는 제 3 하위 샘플링 등화기(130-3)에서 출력되는 예지 샘플 신호이다.

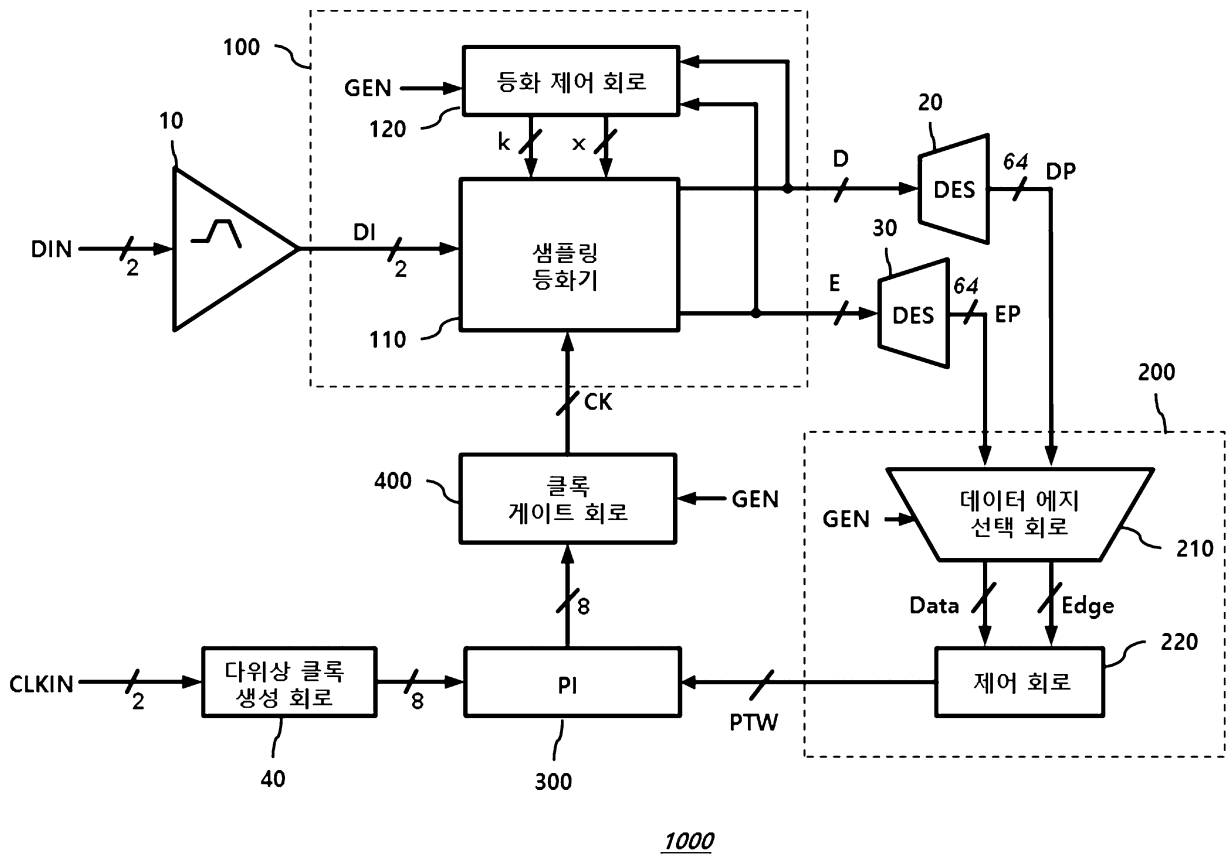
- [0140] 등화 제어 회로(120)는 선택 신호(GEN)가 5세대(GEN5)에 대응하는 경우, 제 1 등화 수신 회로(141)에 제 1 피드백 신호(x1)로서 데이터 샘플 신호(D180)를 제공하고, 제 2 피드백 신호(x2)로서 데이터 샘플 신호(D90)를 제공하고, 데이터 샘플링 등화기(150)에 제 3 피드백 신호(x4)로서 데이터 샘플 신호(D270)를 제공한다.
- [0141] 이때 데이터 샘플 신호(D180)는 제 3 하위 샘플링 등화기(130-3)에서 출력되는 데이터 샘플 신호이고, 데이터 샘플 신호(D90)는 제 2 하위 샘플링 등화기(130-2)에서 출력되는 데이터 샘플 신호이고, 데이터 신호(D270)는 제 4 하위 샘플링 등화기(130-4)에서 출력되는 데이터 샘플 신호이다.
- [0142] 도 8(B) ~ (D)에 대응하는 동작은 전술한 바와 동일한 방식으로 이해할 수 있으므로 반복 설명은 생략한다.
- [0143] 등화 제어 회로(120)에서 제공되는 제 1 내지 제 4 가중치 신호는 등화 동작 도중에 등화 알고리즘에 의해 조절될 수 있다.
- [0144] 등화 알고리즘 자체는 통상의 기술자에 의해 다양하게 설계 변경될 수 있는 것이므로 이에 대해서는 구체적으로 개시하지 않는다.
- [0145] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

부호의 설명

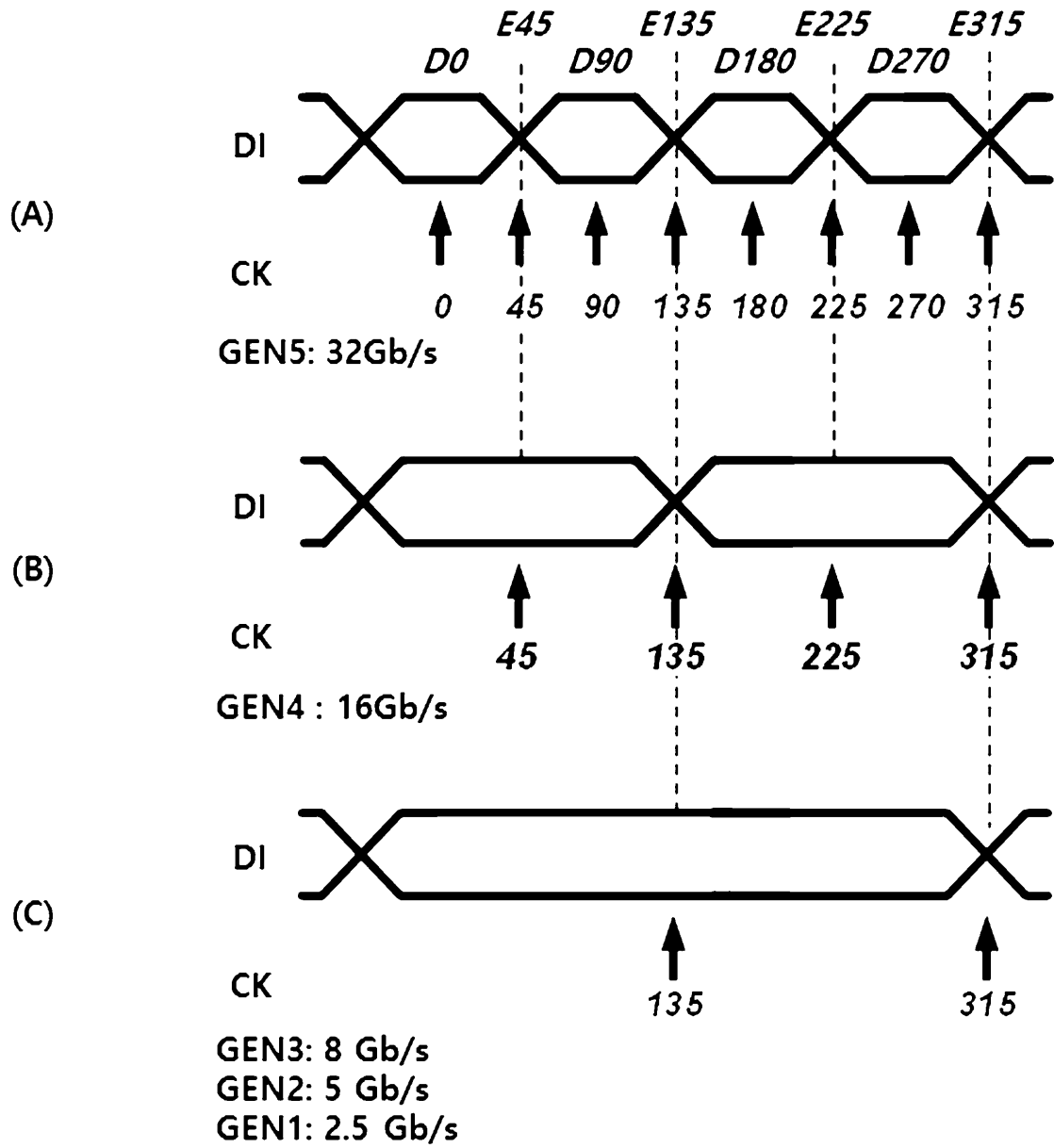
- [0146] 100: 등화 회로
- 110: 샘플링 등화기
- 120: 등화 제어 회로
- 130: 하위 샘플링 등화기
- 140: 제 1 등화기
- 141: 제 1 등화 수신 회로
- 142: 제 2 등화 수신 회로
- 143: 데이터 수신 회로
- 150: 데이터 샘플링 등화기
- 151: 데이터 등화 회로
- 152: 데이터 샘플링 회로
- 160: 예지 샘플링 등화기
- 200: 위상 제어 회로
- 210: 데이터 예지 선택 회로
- 220: 제어 회로
- 300: 위상 보간 회로
- 400: 클록 게이트 회로
- 10: 선형 등화기
- 20: 데이터 병렬화 회로
- 30: 예지 병렬화 회로
- 40: 다위상 클록 생성 회로

도면

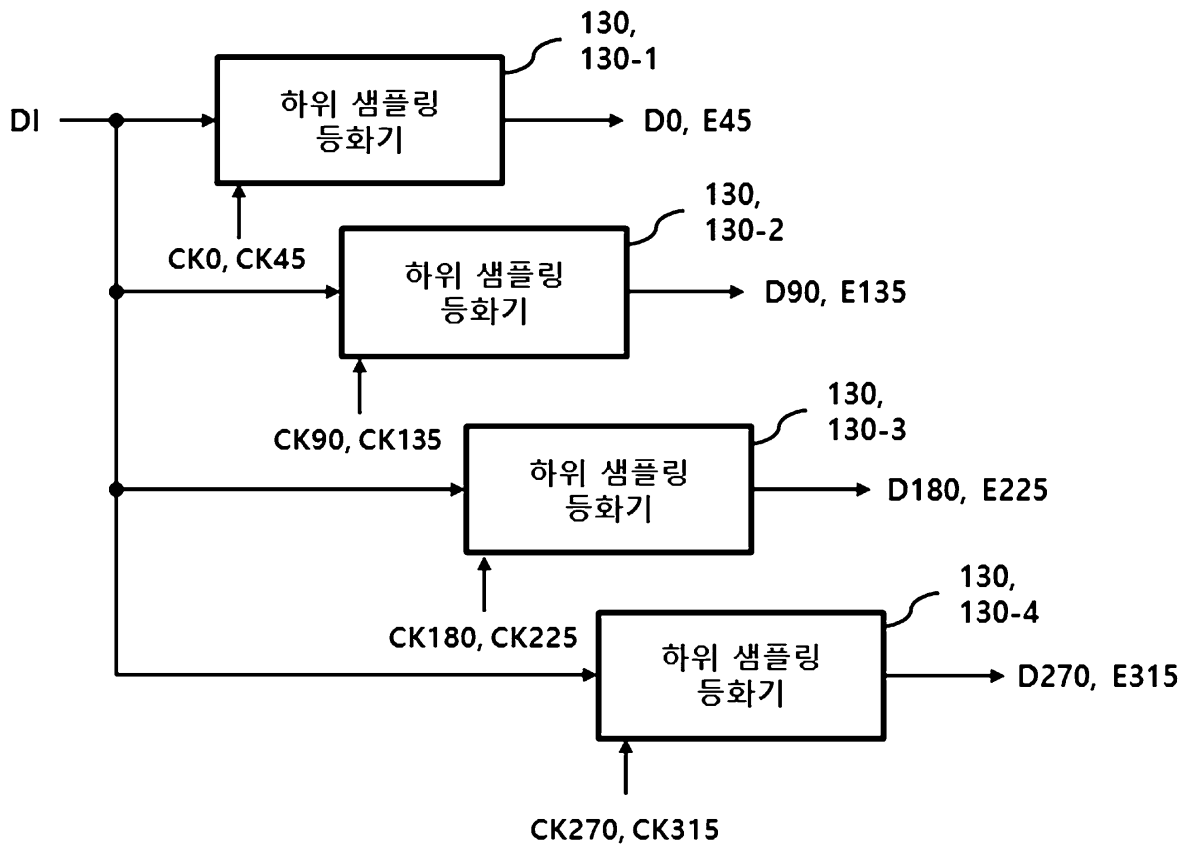
도면1



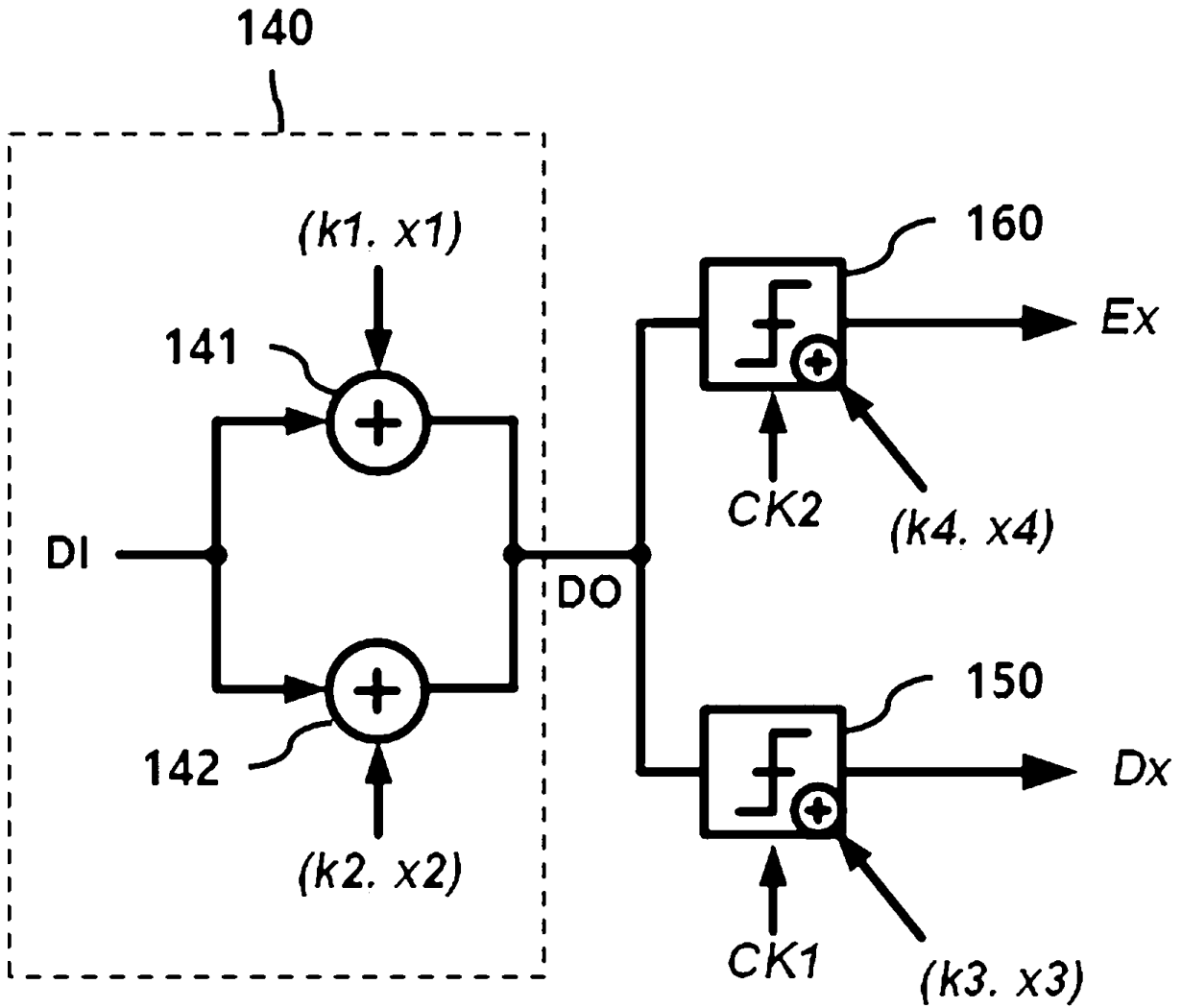
도면2



도면3



도면4

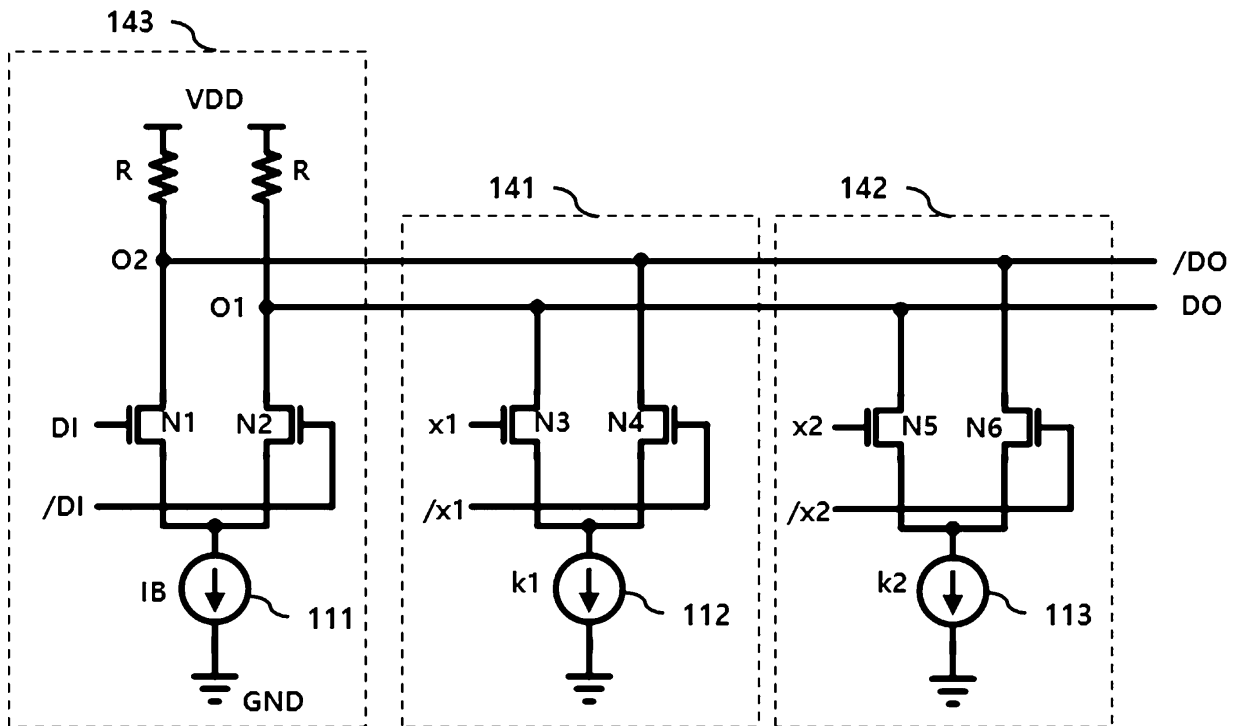


130

도면5

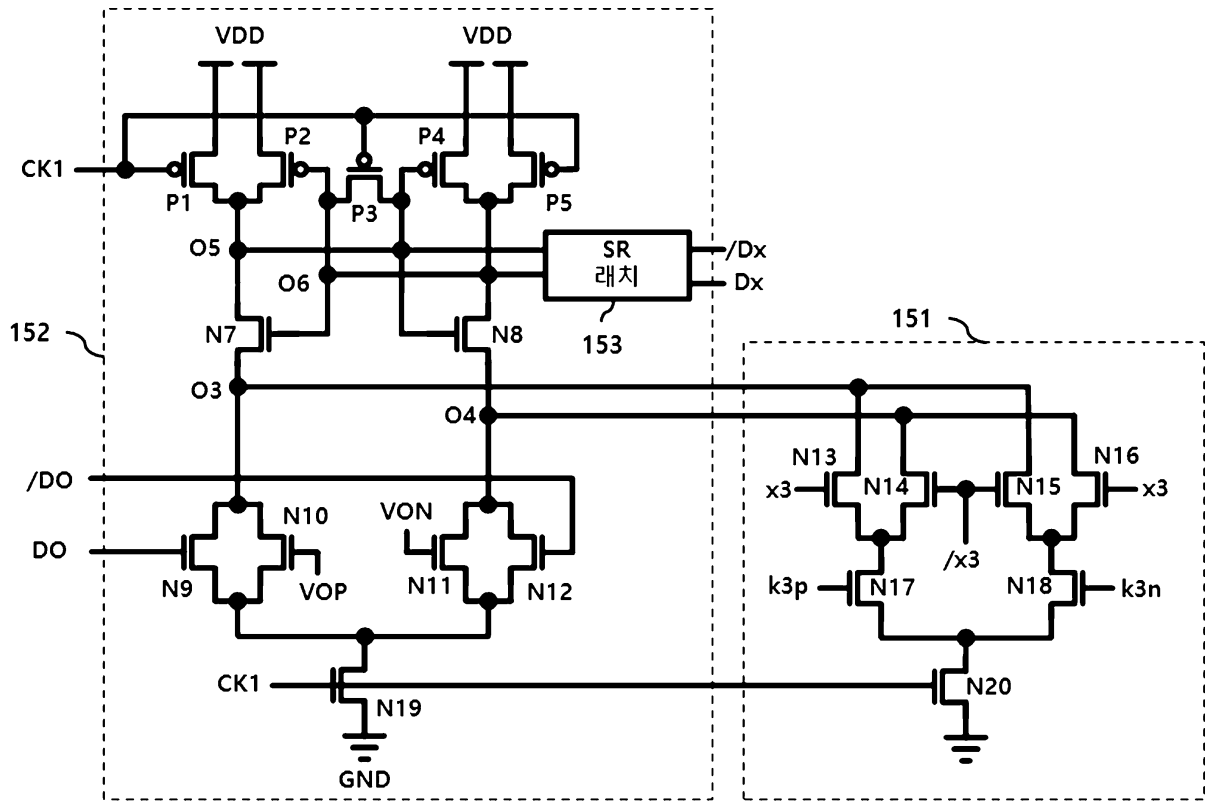
	CK1	CK2	Dx	Ex
130-1	CK0	CK45	D0	E45
130-2	CK90	CK135	D90	E135
130-3	CK180	CK225	D180	E225
130-4	CK270	CK315	D270	E315

도면6



140

도면7



150

도면8

(A)	GEN	X1	X2	X3	x4
	GEN1, GEN2, GEN3	-	-	-	-
	GEN4	E45	-	-	E225
	GEN5	D180	D90	D270	-

(B)	GEN	x1	X2	X3	x4
	GEN1, GEN2, GEN3	-	-	-	E135
	GEN4	-	-	-	-
	GEN5	D270	D180	D0	-

(C)	GEN	x1	x2	x3	x4
	GEN1, GEN2, GEN3	-	-	-	-
	GEN4	E225	-	-	E45
	GEN5	D0	D270	D90	-

(D)	GEN	x1	x2	x3	x4
	GEN1, GEN2, GEN3	-	-	-	-
	GEN4	-	-	-	-
	GEN5	D90	D0	D180	-