

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5727288号
(P5727288)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月10日(2015.4.10)

(51) Int.Cl.	F I				
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	P			
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	E			
HO 1 L 27/04 (2006.01)	HO 1 L 21/82	C			
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	E			
HO 1 L 21/60 (2006.01)	HO 1 L 21/60	3 O 1 A			
			請求項の数 10	(全 28 頁)	最終頁に続く

(21) 出願番号	特願2011-101656 (P2011-101656)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成23年4月28日(2011.4.28)	(74) 代理人	100110928 弁理士 速水 進治
(65) 公開番号	特開2012-234931 (P2012-234931A)	(74) 代理人	100127236 弁理士 天城 聡
(43) 公開日	平成24年11月29日(2012.11.29)	(72) 発明者	友田 雅史 神奈川県横浜市神奈川区金港町3番地1 ルネサスマイクロシステム株式会社内
審査請求日	平成26年2月10日(2014.2.10)	(72) 発明者	佃 昌幸 神奈川県横浜市神奈川区金港町3番地1 ルネサスマイクロシステム株式会社内
		審査官	宇多川 勉
			最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の設計方法、半導体装置設計装置、及びプログラム

(57) 【特許請求の範囲】

【請求項1】

半導体チップを有しており、
前記半導体チップは、
基板と、
前記基板上に形成された多層配線層と、
平面視で前記基板の縁に沿って配置され、少なくとも一つの第1 I/Oセルを有する外周セル列と、
前記外周セル列の内周側に形成され、少なくとも一つの第2 I/Oセルを有する内周セル列と、
前記外周セル列及び前記内周セル列の少なくとも一方に設けられ、電源供給セル及び接地電位供給セルの一方である電位供給セルと、
前記多層配線層の最上層配線層に形成され、前記第1 I/Oセル、前記電位供給セル、及び前記第2 I/Oセルそれぞれに少なくとも一つずつ設けられた電極パッドと、
前記最上層配線層より下層の配線層に設けられ、前記外周セル列と同一方向に延伸しており、前記第1 I/Oセルに接続される第1電位供給配線と、
前記最上層配線層より下層の配線層に設けられ、前記内周セル列と同一方向に延伸しており、平面視で前記第1電位供給配線の内周側に位置し、前記第2 I/Oセルに接続される第2電位供給配線と、
前記第1電位供給配線と前記第2電位供給配線とを互いに接続する電位供給用接続配

10

20

線と、
を備え、

前記電位供給セルは、前記第1電位供給配線及び前記第2電位供給配線の一方に直接接続するとともに、前記一方及び前記電位供給用接続配線を介することにより、前記第1電位供給配線及び前記第2電位供給配線の他方に接続し、

第1の前記電位供給用接続配線は、第1の前記第1I/Oセル及び第1の前記第2I/Oセルに平面視で重なるように設けられており、

第2の前記電位供給用接続配線は、前記第1の第1I/Oセル及び第2の前記第2I/Oセルに平面視で重なるように設けられており、

第3の前記電位供給用接続配線は、第2の前記第1I/Oセル及び前記第2の第2I/Oセルに平面視で重なるように設けられている半導体装置。 10

【請求項2】

請求項1に記載の半導体装置において、

前記電位供給用接続配線は、前記最上層配線層よりも下層の配線層に形成されている半導体装置。

【請求項3】

請求項1又は2に記載の半導体装置において、

前記電位供給用接続配線は、平面視でいずれかの前記第1I/Oセル及びいずれかの前記第2I/Oセルと重なるように設けられている半導体装置。

【請求項4】 20

請求項1～3のいずれか一項に記載の半導体装置において、

前記外周セル列及び前記内周セル列のうち、前記電位供給セルが設けられてないセル列は、前記電位供給セルと同一の電位が前記半導体チップの外部から直接供給されるセルを有していない半導体装置。

【請求項5】

請求項1～4のいずれか一項に記載の半導体装置において、

前記外周セル列及び前記内周セル列のうち前記電位供給セルを有するセル列は、前記電位供給セルとして、電源供給セル及び接地電位供給セルの双方を有しており、

前記第1電位供給配線として、第1電源配線と、第1接地配線とを有しており、

前記第2電位供給配線として、第2電源配線及び第2接地配線を有しており、 30

前記電位供給用接続配線として、前記第1電源配線を前記第2電源配線に接続する電源用接続配線と、前記第1接地配線を前記第2接地配線に接続する接地用接続配線とを有しており、

前記第1電源配線及び前記第2電源配線のいずれか一方は、前記電源供給セルに接続しており、

前記第1接地配線及び前記第2接地配線のいずれか一方は、前記接地電位供給セルに接続している半導体装置。

【請求項6】

請求項1～5のいずれか一項に記載の半導体装置において、

前記外周セル列に含まれる前記第1I/Oセルと、前記外周セル列の一つ内側の前記内周セル列に含まれる前記第2I/Oセルは、前記基板の縁に沿う方向において互い違いに配置されている半導体装置。 40

【請求項7】

請求項6に記載の半導体装置において、

前記外周セル列において、複数の第1の前記電位供給用接続配線が、前記基板の縁と直交する方向に延伸しており、

前記内周セル列において、複数の第2の前記電位供給用接続配線が、前記基板の縁と直交する方向に延伸しており、

複数の前記第1の前記電位供給用接続配線は、互いに異なる前記第2の電位供給用接続配線に接続している半導体装置。 50

【請求項 8】

コンピュータを用いて半導体装置の設計を行う半導体装置の設計方法であって、

コンピュータが、少なくとも一つの第 1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、すくなくとも一つの第 2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ、前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置し、

前記コンピュータが、最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記第 1 I/Oセルに接続される第 1 電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第 1 電位供給配線の内周側に位置し、前記第 2 I/Oセルに接続される第 2 電位供給配線を配置し、かつ前記第 1 電位供給配線及び前記第 2 電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給セルに接続し、

前記コンピュータが、前記第 1 電位供給配線と前記第 2 電位供給配線を接続する電位供給用接続配線を配置し、

第 1 の前記電位供給用接続配線は、第 1 の前記第 1 I/Oセル及び第 1 の前記第 2 I/Oセルに平面視で重なるように設けられており、

第 2 の前記電位供給用接続配線は、前記第 1 の第 1 I/Oセル及び第 2 の前記第 2 I/Oセルに平面視で重なるように設けられており、

第 3 の前記電位供給用接続配線は、第 2 の前記第 1 I/Oセル及び前記第 2 の第 2 I/Oセルに平面視で重なるように設けられている、半導体装置の設計方法。

【請求項 9】

半導体装置の設計を支援する半導体装置設計装置であって、

少なくとも一つの第 1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、少なくとも一つの第 2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ、前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置するセル配置部と、

最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記電位供給セルを前記第 1 I/Oセルに接続される第 1 電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第 1 電位供給配線の内周側に位置し、前記第 2 I/Oセルに接続される第 2 電位供給配線を配置し、かつ前記第 1 電位供給配線及び前記第 2 電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給セルに接続する電位供給配線配置部と、

前記第 1 電位供給配線を前記第 2 電位供給配線に接続する電位供給用接続配線を配置する接続配線配置部と、

を備え、

第 1 の前記電位供給用接続配線は、第 1 の前記第 1 I/Oセル及び第 1 の前記第 2 I/Oセルに平面視で重なるように設けられており、

第 2 の前記電位供給用接続配線は、前記第 1 の第 1 I/Oセル及び第 2 の前記第 2 I/Oセルに平面視で重なるように設けられており、

第 3 の前記電位供給用接続配線は、第 2 の前記第 1 I/Oセル及び前記第 2 の第 2 I/Oセルに平面視で重なるように設けられている半導体装置設計装置。

【請求項 10】

コンピュータを、半導体装置の設計を支援する半導体装置設計装置として機能させるためのプログラムであって、

前記コンピュータに、

少なくとも一つの第 1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、少なくとも一つの第 2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置する機能と、

最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記電位供給セルを前記第 1 I / O セルに接続される第 1 電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第 1 電位供給配線の内周側に位置し、前記第 2 I / O セルに接続される第 2 電位供給配線を配置し、かつ前記第 1 電位供給配線及び前記第 2 電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給セルに接続する機能と、

前記第 1 電位供給配線を前記第 2 電位供給配線に接続する電位供給用接続配線を配置する機能と、
を持たせ、

第 1 の前記電位供給用接続配線は、第 1 の前記第 1 I / O セル及び第 1 の前記第 2 I / O セルに平面視で重なるように設けられており、

第 2 の前記電位供給用接続配線は、前記第 1 の第 1 I / O セル及び第 2 の前記第 2 I / O セルに平面視で重なるように設けられており、

第 3 の前記電位供給用接続配線は、第 2 の前記第 1 I / O セル及び前記第 2 の第 2 I / O セルに平面視で重なるように設けられている、プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の設計方法、半導体装置設計装置、及びプログラムに関する。

【背景技術】

【0002】

半導体装置には、外部との間で入出力を行うために、I / O (Input/Output) セルが設けられている。また半導体装置には、半導体装置に電力を供給するために、電源電位供給セル及び接地電位供給セルが設けられている。これらセルは、平面視で半導体装置の縁に沿って設けられている。

【0003】

近年は、半導体装置の微細化が進んでおり、これに伴い、半導体装置の一辺が短くなってきている。また、半導体装置の多ピン化も進んでいる。しかし、セルは、ある程度以下には微細化できない。このため、セルを多段に配置することが検討されている。

【0004】

例えば特許文献 1 には、内周側のセルの配置間隔を、外周側のセルの配置間隔より広くすることが開示されている。特許文献 2 には、同一の列に属している I / O セルの電源配線を互いに接続すること、及び、内周側に位置するセルを外周側に位置するセルよりも小さくすることが開示されている。特許文献 3 には、横長の I / O セルを縦方向に並べて配置することが開示されている。特許文献 4 には、一部にセルを多段に配置し、かつ他の部分にセルを一段のみ配置することが開示されている。特許文献 5 には、チップ面積の縮小化を可能とすることを目的として、一つの I / O セルを機能ごとにサブブロックに分割し、これらサブブロックを配置してから組み合わせることにより、一つの I / O セルの機能を持たせることが記載されている。

【0005】

また特許文献 6 には、外周側から順に、接地セル、電源セル、及び I / O セルをこの順に配置すること、及び下層の配線を用いてこれらセルを内部領域に接続することが記載されている。特許文献 7 には、互いに異なる電圧レベルのパッドを異なる段に配置した上で、一つの I / O セルにこれら複数のパッドを接続することが記載されている。特許文献 8 には、多段に配置されたセルを有する半導体チップを配線基板上に配置し、半導体チップのセルが有するパッドを、ボンディングワイヤを介して配線基板上の配線と接続することが記載されている。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 6 】

【特許文献 1】特許第 3 9 4 7 1 1 9 号公報

【特許文献 2】特許第 3 2 5 9 7 6 3 号公報

【特許文献 3】特開 2 0 0 2 - 1 5 1 5 9 0 号公報

【特許文献 4】特開 2 0 0 8 - 1 4 1 1 6 8 号公報

【特許文献 5】特開 2 0 0 6 - 1 4 7 6 1 0 号公報

【特許文献 6】米国特許出願公開第 2 0 0 5 / 0 1 1 6 3 5 6 号明細書

【特許文献 7】米国特許第 6 7 9 8 0 7 5 号明細書

【特許文献 8】米国特許出願公開第 2 0 0 7 / 0 1 8 7 8 0 8 号明細書

【発明の概要】

10

【発明が解決しようとする課題】

【 0 0 0 7 】

近年は、半導体装置の微細化が進んでいることにより、半導体チップの一辺が短くなってきている。その一方で、半導体チップに集積化される半導体素子の数が増加することにより、半導体チップで実現可能な機能の高機能化が進んでいる。これにより、入出力される信号数が増加するため、半導体装置の多ピン化も進んでいる。このため、半導体装置の一辺になるべく多くの I / O セルを配置できるようにする必要がある。これに対応するためにセルを多段に配置する場合、各段に電源及び接地電位を供給する必要がある。このためには、各段に電源電位供給セル及び接地電位供給セルを設けることが一般的である。この場合、電源電位供給セル及び接地電位供給セルの数が増えた分、I / O セルの数が少なくなってしまう。

20

【課題を解決するための手段】

【 0 0 0 8 】

本発明によれば、半導体チップを有しており、

前記半導体チップは、

基板と、

前記基板上に形成された多層配線層と、

平面視で前記基板の縁に沿って配置され、少なくとも一つの第 1 I / O セルを有する外周セル列と、

前記外周セル列の内周側に形成され、少なくとも一つの第 2 I / O セルを有する内周セル列と、

30

前記外周セル列及び前記内周セル列の少なくとも一方に設けられ、電源供給セル及び接地電位供給セルの一方である電位供給セルと、

前記多層配線層の最上層配線層に形成され、前記第 1 I / O セル、前記電位供給セル、及び前記第 2 I / O セルそれぞれに少なくとも一つずつ設けられた電極パッドと、

前記最上層配線層より下層の配線層に設けられ、前記外周セル列と同一方向に延伸しており、前記第 1 I / O セルに接続される第 1 電位供給配線と、

前記最上層配線層より下層の配線層に設けられ、前記内周セル列と同一方向に延伸しており、平面視で前記第 1 電位供給配線の内周側に位置し、前記第 2 I / O セルに接続される第 2 電位供給配線と、

40

前記第 1 電位供給配線と前記第 2 電位供給配線とを互いに接続する電位供給用接続配線と、

を備え、

前記電位供給セルは、前記第 1 電位供給配線及び前記第 2 電位供給配線の一方に直接接続するとともに、前記一方及び前記電位供給用接続配線を介することにより、前記第 1 電位供給配線及び前記第 2 電位供給配線の他方に接続する半導体装置が提供される。

【 0 0 0 9 】

この半導体装置によれば、内周セル列及び外周セル列の一方に、電位供給セルが設けられている。そして、電位供給用接続配線を用いて、内周セル列の下方に位置する第 2 電位供給配線と、外周セル列の下方に位置する第 1 電位供給配線とを接続している。そして第

50

1 電位供給配線と第2電位供給配線の一方は、電位供給セルに接続している。このため、内周セル列及び外周セル列の一方に電位供給セルを設けなくても、内周セル列及び外周セル列の双方に所定の電位を供給することができる。従って、より多くのI/Oセルを配置することができる。

【0010】

本発明によれば、コンピュータを用いて半導体装置の設計を行う半導体装置の設計方法であって、

コンピュータが、少なくとも一つの第1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、すくなくとも一つの第2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ、前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置し、

10

前記コンピュータが、最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記第1 I/Oセルに接続される第1電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第1電位供給配線の内周側に位置し、前記第2 I/Oセルに接続される第2電位供給配線を配置し、かつ前記第1電位供給配線及び前記第2電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給セルに接続し、

前記コンピュータが、前記第1電位供給配線と前記第2電位供給配線を接続する電位供給用接続配線を配置する、半導体装置の設計方法が提供される。

20

【0011】

本発明によれば、半導体装置の設計を支援する半導体装置設計装置であって、

少なくとも一つの第1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、少なくとも一つの第2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ、前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置するセル配置部と、

最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記電位供給セルを前記第1 I/Oセルに接続される第1電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第1電位供給配線の内周側に位置し、前記第2 I/Oセルに接続される第2電位供給配線を配置し、かつ前記第1電位供給配線及び前記第2電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給セルに接続する電位供給配線配置部と、

30

前記第1電位供給配線を前記第2電位供給配線に接続する電位供給用接続配線を配置する接続配線配置部と、

を備える半導体装置設計装置が提供される。

【0012】

本発明によれば、コンピュータを、半導体装置の設計を支援する半導体装置設計装置として機能させるためのプログラムであって、

前記コンピュータに、

少なくとも一つの第1 I/Oセルを含む外周セル列を、半導体装置の基板の縁に沿って配置し、前記外周セル列の内周側に、少なくとも一つの第2 I/Oセルを含む、少なくとも一つの内周セル列とを配置し、かつ前記外周セル列及び前記内周セル列の一方に、電源供給セル及び接地電位供給セルの一方である電位供給セルを配置する機能と、

40

最上層配線層より下層の配線層に、前記外周セル列と同一方向に延伸して前記電位供給セルを前記第1 I/Oセルに接続される第1電位供給配線を配置し、前記最上層配線層より下層の配線層に、前記内周セル列と同一方向に延伸して平面視で前記第1電位供給配線の内周側に位置し、前記第2 I/Oセルに接続される第2電位供給配線を配置し、かつ前記第1電位供給配線及び前記第2電位供給配線のうち前記電位供給セルと重なる配線を、前記電位供給配線に接続する機能と、

前記第1電位供給配線を前記第2電位供給配線に接続する電位供給用接続配線を配置す

50

る機能と、
を持たせるプログラムが提供される。

【発明の効果】

【0013】

本発明によれば、より多くのI/Oセルを配置することができる。

【図面の簡単な説明】

【0014】

【図1】第1の実施形態に係る半導体装置の構成を示す平面図である。

【図2】図1に示したI/Oセルの構成を示す平面図である。

【図3】図1に示した半導体チップを配線基板に搭載した状態を示す平面図である。

10

【図4】比較例に係る半導体装置の構成を示す平面図である。

【図5】図3に示した例と、図4に示した例におけるI/Oセル、電源供給セル及び接地電位供給セルの数、並びに電源供給セル及び接地電位供給セルに接続する長いボンディングワイヤの数を示している。

【図6】半導体装置設計装置の機能構成を示すブロック図である。

【図7】第2の実施形態に係る半導体装置の構成を示す平面図である。

【図8】比較例2に係る半導体装置の構成を示す平面図である。

【図9】比較例3に係る半導体装置の構成を示す平面図である。

【図10】図7に示した例、図8に示した例、及び図9に示した例それぞれにおける、メリット及びデメリットを示す表である。

20

【図11】第3の実施形態に係る半導体チップの構成を示す平面図である。

【図12】図11に用いられたI/Oセルの構成を示す平面図である。

【図13】第4の実施形態に係る半導体チップの構成を示す平面図である。

【図14】第5の実施形態に係る半導体チップの構成を示す平面図である。

【図15】図14に用いられたI/Oセルの構成を示す平面図である。

【図16】図14の変形例を示す平面図である。

【図17】第6の実施形態に係る半導体チップの構成を示す平面図である。

【図18】第7の実施形態に係る半導体チップの構成を示す平面図である。

【図19】第8の実施形態に係る半導体チップが有するセルのレイアウトを示す図である

30

【図20】図19の変形例を示す図である。

【図21】第9の実施形態に係る半導体チップが有するセルのレイアウトを示す図である

【図22】図21の変形例を示す図である。

【図23】第10の実施形態に係る半導体チップが有するセルのレイアウトを示す図である。

【図24】図23の変形例を示す図である。

【図25】図23の変形例を示す図である。

【図26】第11の実施形態に係る半導体チップが有するセルのレイアウトを示す図である。

40

【図27】図26の変形例を示す図である。

【図28】(a)はI/Oセルの構成を示す図であり、(b)は互いに上下に位置する2つの電源供給セル(または接地電位供給セル)の構成を示す図である。

【図29】第12の実施形態に係る半導体チップが有するセルのレイアウトを示す図である。

【図30】第12の実施形態に係る半導体チップが有するセルのレイアウトを説明する図である。

【図31】第13の実施形態に係る半導体装置の構成を示す断面図である。

【図32】第1の実施形態の変形例に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

50

【 0 0 1 5 】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【 0 0 1 6 】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置の構成を示す平面図である。この半導体装置は、半導体チップ10を有している。半導体チップ10は、基板(例えばシリコン基板)と、基板上に形成された多層配線層を有している。半導体チップ10には、平面視で、外周セル列20及び内周セル列30が配置されている。外周セル列20は、平面視で半導体チップ10の基板の縁12に沿って配置された複数のセルからなっている。これらのセルには、複数のI/Oセル200(第1I/Oセル)、並びに電源電位供給セル202及び接地電位供給セル204の少なくとも一方が含まれている。内周セル列30は、平面視で外周セル列20の内周側に形成されており、複数のI/Oセル200(第2I/Oセル)を含んでいる。そしてI/Oセル200、電源電位供給セル202、及び接地電位供給セル204には、それぞれ電極パッド226が設けられている。電極パッド226は、多層配線層の最上層配線層に形成されている。

10

【 0 0 1 7 】

最上層配線層より下層の配線層には、平面視で外周セル列20と重なる領域に、電源電位供給配線222及び接地電位供給配線224(第1電位供給配線)が設けられている。電源電位供給配線222及び接地電位供給配線224は、外周セル列20に沿う方向に延伸している。電源電位供給配線222は電源電位供給セル202に接続しており、接地電位供給配線224は接地電位供給セル204に接続している。そして電源電位供給配線222及び接地電位供給配線224は、外周セル列20を構成するI/Oセル200に電源電位及び接地電位を供給している。

20

【 0 0 1 8 】

また最上層配線層より下層の配線層には、平面視で内周セル列30と重なる領域にも、電源電位供給配線222及び接地電位供給配線224(第2電位供給配線)が設けられている。この電源電位供給配線222及び接地電位供給配線224は内周セル列30に沿う方向に延伸しており、平面視で、外周セル列20の下方に位置する電源電位供給配線222及び接地電位供給配線224よりも内周側に位置している。そしてこれらの電源電位供給配線222及び接地電位供給配線224は、内周セル列30を構成するI/Oセル200に接続しており、これらのI/Oセル200に電源電位及び接地電位を供給している。

30

【 0 0 1 9 】

そして多層配線層には、電位供給用接続配線230が設けられている。電位供給用接続配線230は、平面視で外周セル列20を構成するI/Oセル200のいずれか、および内周セル列30を構成するI/Oセル200のいずれかと重なっている。そして電位供給用接続配線230は、外周セル列20の下方に位置する電源電位供給配線222を、内周セル列30の下方に位置する電源電位供給配線222に接続するとともに、外周セル列20の下方に位置する接地電位供給配線224を、内周セル列30の下方に位置する接地電位供給配線224に接続している。本図に示す一つの電位供給用接続配線230は、複数の配線の束によって形成されている。そして、これらの配線の一部(電源用接続配線)が電源電位供給配線222を互いに接続しており、他の一部(接地用接続配線)が接地電位供給配線224を互いに接続している。

40

【 0 0 2 0 】

本図に示す例では、内周セル列30には、電源電位供給セル202及び接地電位供給セル204の少なくとも一方、具体的にはこれらの双方が設けられていない。このため、内周セル列30に、より多くのI/Oセル200を配置することができる。

【 0 0 2 1 】

また電位供給用接続配線230は、電極パッド226よりも下層の配線層に形成されている。詳細には、本図に示す例では、電源電位供給配線222及び接地電位供給配線22

50

4 は、互いに同一の配線層（ただし電極パッド 2 2 6 よりも下層の配線層）に形成されている。電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 は、例えば電極パッド 2 2 6 の一つ下の配線層に形成されている。そして電位供給用接続配線 2 3 0 は、電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 よりも下層の配線層、例えば電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 の一つ下の配線層に形成されている。ただし、電源電位供給配線 2 2 2 及び 2 2 4 がさらに下の配線層に形成されている場合、電位供給用接続配線 2 3 0 は、電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 よりも上層の配線層に形成されていても良い。

【 0 0 2 2 】

なお、電位供給用接続配線 2 3 0 は、電極パッド 2 2 6 の上に設けられても良い。ただしこの場合、電位供給用接続配線 2 3 0 と重なる部分では、電極パッド 2 2 6 が電位供給用接続配線 2 3 0 によって隠れてしまうため、電極パッド 2 2 6 にボンディングワイヤを接続して信号の入出力を行うことはできない。このため、この場合は、I / Oセル 2 0 0 を設けることはできない。

10

【 0 0 2 3 】

また本図に示す例では、外周セル列 2 0 を構成する各セルと、内周セル列 3 0 を構成する各セルは、縁 1 2 に沿う方向で見た場合、互い違いに配置されている。詳細には、縁 1 2 に沿う方向において、外周セル列 2 0 を構成する各セルの中心と、内周セル列 3 0 を構成する各セルの境界部分が重なっている。また、縁 1 2 に沿う方向において、外周セル列 2 0 の電極パッド 2 2 6 の中心は、内周セル列 3 0 の電極パッド 2 2 6 の相互間の中央と重なっている。

20

【 0 0 2 4 】

そして、外周セル列 2 0 において、I / Oセル 2 0 0 の電位供給用接続配線 2 3 0 が、縁 1 2 と直交する方向に延伸している。また内周セル列 3 0 において、I / Oセル 2 0 0 の電位供給用接続配線 2 3 0 が、縁 1 2 と直交する方向に延伸している。そして外周セル列 2 0 に含まれる電位供給用接続配線 2 3 0 は、内周セル列 3 0 に含まれる電位供給用接続配線 2 3 0 のうち、互いに異なる配線に接続している。すなわち、複数の電位供給用接続配線 2 3 0 が、縁 1 2 と直行する方向に、外周セル列 2 0 から内周セル列 3 0 にわたって延伸していることになる。

【 0 0 2 5 】

本図に示す例では、一つの I / Oセル 2 0 0 について 2 つの電位供給用接続配線 2 3 0 が設けられている。これら 2 つの電位供給用接続配線 2 3 0 は、I / Oセル 2 0 0 の中心を通過して縁 1 2 に直角な線を基準として、線対称となる位置に配置されている。具体的には、電位供給用接続配線 2 3 0 の中心線は、I / Oセル 2 0 0 の中心を通る線から、I / Oセル 2 0 0 の幅の 1 / 4 離れている。

30

【 0 0 2 6 】

また、外周セル列 2 0 及び内周セル列 3 0 のうちいずれか一方（本図に示す例では内周セル列 3 0 ）において、端部に位置する I / Oセル 2 0 0 は、端部側の半分が、他方（本図に示す例では外周セル列 2 0 ）を構成するセルからはみ出す形になる。このため、この端部に位置する I / Oセル 2 0 0 は、他の I / Oセル 2 0 0 と異なり、端部側の半分に位置すべき電位供給用接続配線 2 3 0 が設けられていない。

40

【 0 0 2 7 】

なお、内周セル列 3 0 の内側には、内部用周回電源配線 3 0 0 が設けられている。内部用周回電源配線 3 0 0 は、半導体チップ 1 0 を周回しており、半導体チップ 1 0 の内部回路に電源電位及び接地電位を供給する。

【 0 0 2 8 】

図 2 は、図 1 に示した I / Oセル 2 0 0 の構成を示す平面図である。I / Oセル 2 0 0 は、電極パッド 2 2 6 及び素子配置領域 2 2 8 を有している。素子配置領域 2 2 8 は、I / Oセル 2 0 0 を構成する各素子（例えばトランジスタ）が配置される領域である。なお、電極パッド 2 2 6 の中心は、素子配置領域 2 2 8 の中心と重なっていてもよい。

50

【 0 0 2 9 】

さらに I / O セル 2 0 0 は、電源電位供給配線 2 2 2、接地電位供給配線 2 2 4、及び電位供給用接続配線 2 3 0 を有している。

【 0 0 3 0 】

電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 は、幅方向（図 1 では縁 1 2 に沿う方向）において、I / O セル 2 0 0 の端から端まで延伸している。また電位供給用接続配線 2 3 0 は、高さ方向（図 1 では縁 1 2 に直交する方向）において、I / O セル 2 0 0 の端から端まで延伸している。そして I / O セル 2 0 0 を横に並べた場合、互いに隣り合う I / O セル 2 0 0 の間で、電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 が互いに接続する。

10

【 0 0 3 1 】

I / O セル 2 0 0 の中における電位供給用接続配線 2 3 0 の位置は、I / O セル 2 0 0 を上下に互い違いに並べた場合、互いに上下に位置する I / O セル 2 0 0 の間で、電位供給用接続配線 2 3 0 が互いに接続するように決められている。そして、I / O セル 2 0 0 の中心を通る線 A を基準として、電位供給用接続配線 2 3 0 は、左半分と右半分とで同じ形状が繰り返される関係にある。特に本図に示す例では、2 本の電位供給用接続配線 2 3 0 は、I / O セル 2 0 0 の中心を通る線 A を基準として線対称になっており、かつ、中心間の距離が、互いに隣り合う I / O セル 2 0 0 の中心間距離の半分となっている。そして 2 本の電位供給用接続配線 2 3 0 それぞれの中では、電源電位供給配線 2 2 2 を互いに接続する配線と、接地電位供給配線 2 2 4 を互いに接続する配線とが、同じ位置に配置されている。

20

【 0 0 3 2 】

なお、I / O セル 2 0 0、電源電位供給セル 2 0 2、及び接地電位供給セル 2 0 4 は、いずれも、平面形状が同一であり、また、電源電位供給配線 2 2 2、接地電位供給配線 2 2 4、及び電位供給用接続配線 2 3 0 の配置も同じである。このため、これらのセルは、レイアウトを決める上で、互いに互換性がある。

【 0 0 3 3 】

図 3 は、図 1 に示した半導体チップ 1 0 を配線基板 5 0 に搭載した状態を示す平面図である。配線基板 5 0 は、第 1 の電極列を構成する複数の電極 5 2 と、第 2 の電極列を構成する複数の電極 5 4 とを有している。電極 5 2 は、電極 5 4 よりも半導体チップ 1 0 の近くに位置している。そして外周セル列 2 0 を構成する各セルは、ボンディングワイヤ 5 6 を介して電極 5 2 に接続されており、内周セル列 3 0 を構成する各セルは、ボンディングワイヤ 5 6 を介して電極 5 4 に接続されている。すなわち内周セル列 3 0 と電極 5 4 とを接続するボンディングワイヤ 5 6 は、外周セル列 2 0 と電極 5 2 とを接続するボンディングワイヤ 5 6 よりも、長くなっている。

30

【 0 0 3 4 】

次に、本実施形態の作用及び効果について説明する。本実施形態によれば、電位供給用接続配線 2 3 0 を用いて、内周セル列 3 0 の下方に位置する電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 を、外周セル列 2 0 の下方に位置する電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 に接続している。このため、内周セル列 3 0 に電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 を設けなくても、内周セル列 3 0 の下方に位置する電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 に電源電位及び接地電位を供給することができる。従って、内周セル列 3 0 に、より多くの I / O セル 2 0 0 を配置することができる。

40

【 0 0 3 5 】

また、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 に接続するボンディングワイヤ 5 6 は、短いほうが好ましい。本実施形態では、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 は、内周セル列 3 0 に設けられていない。このため、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 に接続するボンディングワイヤ 5 6 が長くなることを抑制できる。

50

【 0 0 3 6 】

上記した効果を、図 4 及び図 5 を用いてさらに説明する。図 4 は、比較例に係る半導体装置の構成を示す平面図であり、第 1 の実施形態における図 3 に対応している。この比較例では、電位供給用接続配線 2 3 0 が設けられておらず、その代わりに内周セル列 3 0 に電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 が設けられている。

【 0 0 3 7 】

図 5 は、第 1 の実施形態（図 3 に示した例）と、比較例 1（図 4 に示した例）における I / O セル 2 0 0、電位供給セル（電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4）の数、及び電位供給セルに接続する長いボンディングワイヤの数を示している。図 3 に示した例では、I / O セル 2 0 0 は 1 1 個設けられているのに対して、図 4 に示した例では、I / O セル 2 0 0 は 9 個のみしか設けられていない。これは、電位供給セルの数が、図 4 に示した例のほうが 2 つ多いためである。また、電位供給セルに接続する長いボンディングワイヤは、図 3 に示した例では 0 であるのに対し、図 4 に示した例では 2 つある。このように、第 1 の実施形態に係る半導体装置は、比較例 1 に係る半導体装置よりも様々な点で優位である。

【 0 0 3 8 】

なお、このような半導体チップ 1 0 は、例えば図 6 に示した半導体装置設計装置 5 0 0 を用いて形成することができる。半導体装置設計装置 5 0 0 は、セル配置部 5 1 0、接続配線配置部 5 2 0、及び電位供給配線配置部 5 3 0 を有している。

【 0 0 3 9 】

セル配置部 5 1 0 は、設計者からの入力に従って、外周セル列 2 0 及び内周セル列 3 0 のレイアウトを定める。例えば設計者が、電極パッド 2 2 6 の配置を、外周セル列 2 0 及び内周セル列 3 0 のレイアウトとして入力すると、セル配置部 5 1 0 は、この入力に従って各セルを配置する。セル配置部 5 1 0 は、セルデータ記憶部 5 1 2 及び配置ルール記憶部 5 1 4 が記憶している各種のデータを利用する。セルデータ記憶部 5 1 2 は、I / O セル 2 0 0、電源電位供給セル 2 0 2、及び接地電位供給セル 2 0 4 の設計データを記憶している。ここで記憶されている設計データにおいて、電源電位供給配線 2 2 2 および接地電位供給配線 2 2 4 は含まれていない。配置ルール記憶部 5 1 4 は、I / O セル 2 0 0、電源電位供給セル 2 0 2、及び接地電位供給セル 2 0 4 の配置ルールが記憶している。またセル配置部 5 1 0 は、必要に応じて、隙間を埋めるためのセルを配置する。このセルのデータも、セルデータ記憶部 5 1 2 の中に記憶されている。さらにセル配置部 5 1 0 は、必要に応じて、セルのレイアウトが、配置ルール記憶部 5 1 4 が記憶している配置ルールを満たしているかを検証する。

【 0 0 4 0 】

接続配線配置部 5 2 0 は、電位供給用接続配線 2 3 0 を配置する処理を行う。具体的には、I / O セル 2 0 0、電源電位供給セル 2 0 2、及び接地電位供給セル 2 0 4 には、それぞれ電位供給用接続配線 2 3 0 が含まれている。接続配線配置部 5 2 0 は、これらのセルに含まれる接続配線配置部 5 2 0 が、互いに上下に位置するセル同士で互いに繋がっているかを確認し、かつこれらを一つの配線として扱うための処理を行う。

【 0 0 4 1 】

電位供給配線配置部 5 3 0 は、セル配置部 5 1 0 が定めた外周セル列 2 0 及び内周セル列 3 0 のレイアウトに従って、電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 を配置する。そして電位供給配線配置部 5 3 0 で処理された設計データは、設計データ記憶部 5 3 2 に記憶される。

【 0 0 4 2 】

なお、図 6 に示した半導体装置設計装置 5 0 0 の各構成要素は、ハードウェア単位の構成ではなく、機能単位のブロックを示している。半導体装置設計装置 5 0 0 の各構成要素は、任意のコンピュータの CPU、メモリ、メモリにロードされた本図の構成要素を実現するプログラム、そのプログラムを格納するハードディスクなどの記憶ユニット、ネットワーク接続用インタフェースを中心にハードウェアとソフトウェアの任意の組合せによ

10

20

30

40

50

て実現される。そして、その実現方法、装置には様々な変形例がある。

【 0 0 4 3 】

なお、本実施形態では、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 の双方を外周セル列 2 0 に配置している。しかし、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 の一方、又は双方は、外周セル列 2 0 の代わりに内周セル列 3 0 のみに設けられていても良い。この場合においても、外周セル列 2 0 及び内周セル列 3 0 の和で数えた場合、より多くの I / O セル 2 0 0 を配置することができる。

【 0 0 4 4 】

図 3 2 は、第 1 の実施形態の変形例に係る半導体チップ 1 0 の構成を示す平面図であり、第 1 の実施形態における図 1 に対応している。本実施形態に係る半導体チップ 1 0 は、10

【 0 0 4 5 】

まず、電位供給用接続配線 2 3 0 のうち接地電位を供給する配線の一つ（図 3 2 における電位供給用接続配線 2 3 0 a ）が、内部用周回電源配線 3 0 0 のうち接地電位を供給する配線に接続している。すなわち本実施形態では、接地電位供給セル 2 0 4 は、内部回路と I / O セルの双方に共通の接地電位供給用のセルである。

【 0 0 4 6 】

また、外周セル列 2 0 及び内周セル列 3 0 それぞれは、内部回路用の電源供給配線 3 0 1 を有している。内部回路用の電源供給配線 3 0 1 は、電源電位供給配線 2 2 2 と同一層に位置しており、電源電位供給配線 2 2 2 と平行に延伸している。さらに外周セル列 2 0 20 及び内周セル列 3 0 のいずれか一方（本図に示す例では、外周セル列 2 0 ）は、内部回路用の電源供給セル 2 0 6 を、I / O セル 2 0 0 用の電位供給セル容量素子 2 0 2 とは別に有している。電源供給セル 2 0 6 は、電位供給用接続配線 2 3 0 と同一層の配線 2 3 3 を介して、内部用周回電源配線 3 0 0 に内部回路用の電源電位を供給している。また、電源供給セル 2 0 6 は、電源供給セル 3 0 1 にも内部回路用の電源電位を供給している。このため、外周セル列 2 0 及び内周セル列 3 0 それぞれ任意の位置で、配線 2 3 3 と同様な配線を、内部用周回電源配線 3 0 0 に対して伸ばすことで、内部用周回電源配線 3 0 0 の電源電位をより安定させることが可能となる。なお、電源供給配線 3 0 1 も、I / O セル 2 0 0 の設計データに含まれている。

【 0 0 4 7 】

I / O セル 2 0 0 の電源電位の電源電位の変動（電源ノイズ）は大きいため、この電源ノイズが内部回路に伝わると、内部回路が誤動作してしまう可能性が出てくる。これに対し、本実施形態では、内部回路と I / O セル 2 0 0 の電源電位を分離できるため、内部回路が誤動作する可能性を低くすることができる。30

【 0 0 4 8 】

（第 2 の実施形態）

図 7 は、第 2 の実施形態に係る半導体装置の構成を示す平面図であり、第 1 の実施形態における図 3 に対応している。本実施形態に係る半導体装置は、半導体チップ 1 0 の内周セル列 3 0 に、I / O セル 2 0 0 が設けられていない領域 3 2 が存在している点を除いて、第 1 の実施形態に係る半導体装置と同様の構成である。40

【 0 0 4 9 】

詳細には、内周セル列 3 0 には、複数の I / O セル 2 0 0 が設けられている。そして、I / O セル 2 0 0 の一部が間引かれることにより、領域 3 2 が形成されている。領域 3 2 では、電源電位供給配線 2 2 2、接地電位供給配線 2 2 4、及び電位供給用接続配線 2 3 0 が形成されている各配線層に、他の配線（例えば半導体チップ 1 0 の内部回路を形成するための配線）が引き回されている。

【 0 0 5 0 】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。また、内周セル列 3 0 に I / O セル 2 0 0 を設けない領域 3 2 を形成している。このため、領域 3 2 のうち電源電位供給配線 2 2 2、接地電位供給配線 2 2 4、及び電位供給用接続配線 2 3 50

0 が形成されるべき配線層に、他の配線を引き回すことができる。従って、他の配線の引き回しの自由度が向上する。

【 0 0 5 1 】

上記した効果を、図 8、図 9、及び図 10 を用いてさらに説明する。

【 0 0 5 2 】

図 8 は、比較例 2 に係る半導体装置の構成を示す平面図であり、第 2 の実施形態における図 7 に対応している。この比較例では、電位供給用接続配線 230 が設けられておらず、その代わりに内周セル列 30 に電源電位供給セル 202 及び接地電位供給セル 204 が設けられている。そして領域 32 が設けられることにより、内周セル列 30 において電源電位供給配線 222 及び接地電位供給配線 224 は、2 つに分断されている。このため、分断された電源電位供給配線 222 及び接地電位供給配線 224 の組それぞれに対して、電源電位供給セル 202 及び接地電位供給セル 204 を設ける必要がある。

10

【 0 0 5 3 】

図 9 は、比較例 3 に係る半導体装置の構成を示す平面図であり、第 2 の実施形態における図 7 に対応している。この比較例は、領域 32 にも電源電位供給配線 222 及び接地電位供給配線 224 が形成されている点を除いて、図 8 に示した比較例と同様である。このため、第 2 の実施形態と異なり、領域 32 のうち電源電位供給配線 222 及び接地電位供給配線 224 が形成されている領域には、他の配線を形成することができない。

【 0 0 5 4 】

図 10 は、第 2 の実施形態（図 7 に示した例）、比較例 2（図 8 に示した例）、及び比較例 3（図 9 に示した例）それぞれにおける、メリット及びデメリットを示す表である。図 7 に示した例では、I/Oセル 200 は 9 個設けられているのに対して、図 8 に示した例では、I/Oセル 200 は 5 個のみしか設けられておらず、また図 9 に示した例では、I/Oセル 200 は 7 個しか設けられていない。電位供給セルの数が、図 8、9 に示した例のほうが多いためである。また、電位供給セルに接続する長いボンディングワイヤは、図 7 に示した例では 0 であるのに対し、図 8、9 に示した例では、それぞれ複数設けられている。さらに、図 7、8 に示した例では、領域 32 に他の配線をレイアウトできるのに対し、図 9 に示した例では他の配線をレイアウトできない。このように、第 2 の実施形態に係る半導体装置は、比較例に係る半導体装置よりも様々な点で優位である。

20

【 0 0 5 5 】

（第 3 の実施形態）

図 11 は、第 3 の実施形態に係る半導体チップ 10 の構成を示す平面図であり、第 1 の実施形態における図 1 に対応している。図 12 は、図 11 に用いられた I/Oセル 200 の構成を示す平面図である。本実施形態における半導体装置は、各セル内における電位供給用接続配線 230 のレイアウトを除いて、第 1 の実施形態に係る半導体チップ 10 と同様の構成である。

30

【 0 0 5 6 】

本実施形態の各セルにおいて、2 本の電位供給用接続配線 230 の中心間距離は、図 1 に示した例と同様に互いに隣り合う I/Oセル 200 の中心間距離の半分となっている。また、I/Oセル 200 の中心を通る線を基準として、電位供給用接続配線 230 は、左半分と右半分とで同じ形状が繰り返される関係にある。例えば、第 1 の実施形態の図 2 に示されたように、2 本の電位供給用接続配線 230 を基準線 A に対し左右で線対称に置くことが、下層の素子配置領域 228 に位置する素子のレイアウトの都合上、困難である場合もある。このような場合でも、本実施の形態に示すように、左半面と右半面とで同じ形状が繰り返される関係にあれば、必ずしも線対称とする必要はない。その結果、第 1 の実施形態に比べ、さらに、電位供給用接続配線 230 のレイアウトの自由度を高めることができる。

40

【 0 0 5 7 】

（第 4 の実施形態）

図 13 は、第 4 の実施形態に係る半導体チップ 10 の構成を示す平面図であり、第 1 の

50

実施形態における図 1 に対応している。本実施形態に係る半導体装置は、外周セル列 2 0 を構成する各セルと、内周セル列 3 0 を構成する各セルが、縁 1 2 に沿う方向において、同一の位置に配置されている点を除いて、第 1 の実施形態に係る半導体チップ 1 0 と同様の構成である。すなわち本実施形態では、外周セル列 2 0 を構成する各セルと、内周セル列 3 0 を構成する各セルにより格子（例えば正方格子）が形成されている。そして各セルは、いずれも格子点となる位置に配置されている。なお、第 2 の実施形態において、本実施形態のようなレイアウトをとっても良い。

【 0 0 5 8 】

詳細には、外周セル列 2 0 に含まれる電極パッド 2 2 6 と、内周セル列 3 0 に含まれる電極パッド 2 2 6 は、縁 1 2 に沿う方向において中心が互いに同一の位置に位置している。そして電位供給用接続配線 2 3 0 は、外周セル列 2 0 を構成する各セルの電極パッド 2 2 6 の下方から、内周セル列 3 0 を構成する各セルの電極パッド 2 2 6 の下方に延伸している。そしていずれの電位供給用接続配線 2 3 0 も、半導体チップ 1 0 の縁 1 2 と直交する方向に延伸している。そして電位供給用接続配線 2 3 0 は、電極パッド 2 2 6 の中心を基準としたときの位置が、いずれのセルにおいても互いに同一である。

【 0 0 5 9 】

本実施形態によれば、第 1 の実施形態と同様の効果を得ることができる上、さらに外周セル列 2 0 を構成する各セルと、内周セル列 3 0 を構成する各セルを、互い違いに配置する必要がない。従って、デッドスペースが少ない効率的なレイアウトが可能になり、より多くの I / O セル 2 0 0 を配置することができる。

【 0 0 6 0 】

（第 5 の実施形態）

図 1 4 は、第 5 の実施形態に係る半導体チップ 1 0 の構成を示す平面図であり、第 4 の実施形態における図 1 3 に対応している。図 1 5 は、図 1 4 に用いられた I / O セル 2 0 0 の構成を示す平面図である。本実施形態における半導体装置は、各セル内における電位供給用接続配線 2 3 0 のレイアウトを除いて、第 4 の実施形態に係る半導体チップ 1 0 と同様の構成である。本実施形態において、電位供給用接続配線 2 3 0 からなる配線の束は、中心線 B が、I / O セル 2 0 0 の中心を通っている。

【 0 0 6 1 】

なお、図 1 6 に示すように、本実施形態において、電位供給用接続配線 2 3 0 の中心線は、I / O セル 2 0 0 の中心を通っていなくても良い。

【 0 0 6 2 】

本実施形態によれば、第 3 の実施形態で得られる効果と第 4 の実施形態で得られる効果の双方を得ることができる。

【 0 0 6 3 】

（第 6 の実施形態）

図 1 7 は、第 6 の実施形態に係る半導体チップ 1 0 の構成を示す平面図であり、第 1 の実施形態における図 1 に対応している。本実施形態に係る半導体チップ 1 0 は、以下の点を除いて、第 1 の実施形態に係る半導体チップ 1 0 と同様の構成である。

【 0 0 6 4 】

まず、外周セル列 2 0 及び内周セル列 3 0 は、いずれも第 1 のセル群 1 1 と第 2 のセル群 1 3 に分けられている。第 1 のセル群 1 1 に属する I / O セル 2 0 0 と、第 2 のセル群 1 3 に属する I / O セル 2 1 0 は、互いに異なる電源電位によって駆動する。そして第 1 のセル群 1 1 に属する外周セル列 2 0 には電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 が設けられており、第 2 のセル群 1 3 に属する外周セル列 2 0 には、電源供給セル 2 1 2 及び接地電位供給セル 2 1 4 が設けられている。電源供給セル 2 1 2 及び接地電位供給セル 2 1 4 の構成は、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 の構成と同様である。

【 0 0 6 5 】

外周セル列 2 0 及び内周セル列 3 0 それぞれにおいて、第 1 のセル群 1 1 と第 2 のセル

10

20

30

40

50

群 1 3 の間には、電源分離領域 1 4 が設けられている。電源分離領域 1 4 は、第 1 のセル群 1 1 と第 2 のセル群 1 3 の間にスペースを設けるために設定された領域であり、電源電位供給配線 2 2 2 及び接地電位供給配線 2 2 4 が設けられていない。このため、第 1 のセル群 1 1 と第 2 のセル群 1 3 の間の絶縁が確保される。なお、電源分離領域 1 4 の設計データは、図 6 に示した半導体装置設計装置 5 0 0 のセルデータ記憶部 5 1 2 に記憶されている。

【 0 0 6 6 】

本実施形態によれば、第 1 の実施形態と同様の効果を得ることができる上、さらに、一組のセル列の中に、互いに異なる電源電位を有する第 1 のセル群 1 1 及び第 2 のセル群 1 3 を容易に配置することができる。なお、第 2 ~ 第 5 の実施形態において、本実施形態と同様に、第 1 のセル群 1 1、第 2 のセル群 1 3、及び電源分離領域 1 4 を設けてもよい。

10

【 0 0 6 7 】

(第 7 の実施形態)

図 1 8 は、第 7 の実施形態に係る半導体チップ 1 0 の構成を示す平面図であり、第 1 の実施形態における図 1 に対応している。本実施形態に係る半導体チップ 1 0 は、内周セル列 3 0 に含まれる電位供給用接続配線 2 3 0 の一部が、内部用周回電源配線 3 0 0 に接続している点を除いて、第 1 の実施形態に係る半導体チップ 1 0 と同様の構成である。

【 0 0 6 8 】

本実施形態によれば、第 1 の実施形態と同様の効果を得ることができる上、さらに、内周セル列 2 0、3 0 に供給される電源電位及び接地電位が、それぞれ、半導体チップ 1 0 の内部回路の電源電位及び接地電位としても供給される場合に、外周セル列 2 0 の電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 を介して、内部用周回電源配線 3 0 0 に電源電位及び接地電位を供給することができる。

20

【 0 0 6 9 】

なお、第 2 ~ 第 6 の実施形態において、本実施形態と同様に、電位供給用接続配線 2 3 0 を内部用周回電源配線 3 0 0 に接続してもよい。

【 0 0 7 0 】

(第 8 の実施形態)

図 1 9 は、第 8 の実施形態に係る半導体チップ 1 0 が有する I / O セル 2 0 0、電源電位供給セル 2 0 2、及び接地電位供給セル 2 0 4 のレイアウトを示す図である。本実施形態においては、内周セル列 3 0 の内側に、さらに内周セル列 4 0 が設けられている。内周セル列 4 0 には、電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 が設けられていない。そして、内周セル列 3 0 と内周セル列 4 0 の間における電位供給用接続配線 2 3 0 のレイアウトは、外周セル列 2 0 と内周セル列 3 0 の間における電位供給用接続配線 2 3 0 のレイアウトと同様である。このため、内周セル列 4 0 を構成する I / O セル 2 0 0 には、電位供給用接続配線 2 3 0 (本図では図示せず) を介して、電源電位供給セル 2 0 2 に供給された電源電位、及び接地電位供給セル 2 0 4 に供給された接地電位が供給される。本実施の形態により、最外周のセル列 2 0 から、電源電位及び接地電位の双方を供給することができるため、内周セル 3 0、4 0 には、電源電位供給セル 2 0 2、接地電位供給セル 2 0 4 は配置する必要がなくなる。従って、内周セル 3 0、4 0 に、より多くの I / O セル 2 0 0 を配置することが可能となる。

30

40

【 0 0 7 1 】

このように、内周セル列の数、すなわちセルの段数は、任意に設定される。

【 0 0 7 2 】

なお、図 2 0 に示すように、本実施形態において、図 1 7 に示した第 6 の実施形態と同様に、第 1 のセル群 1 1 及び第 2 のセル群 1 3 を設けても良い。この場合、図 1 7 と同様に、第 1 のセル群 1 1 を構成する外周セル列 2 0 には電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 が設けられ、第 2 のセル群 1 3 を構成する外周セル列 2 0 には電源供給セル 2 1 2 及び接地電位供給セル 2 1 4 が設けられる。また、外周セル列 2 0 及び内周セル列 3 0 と同様に、内周セル列 4 0 にも、第 1 のセル群 1 1 と第 2 のセル群 1 3 の間に電

50

源分離領域 14 が設けられる。本実施の形態により、第 6 の実施形態で得られる効果、及び第 8 の実施形態で得られる効果の双方を同時に得ることができる。

【0073】

(第 9 の実施形態)

図 21 は、第 9 の実施形態に係る半導体チップ 10 が有するセルのレイアウトを示す図である。本実施形態に係るレイアウトは、外周セル列 20 及び内周セル列 30 の横に、I/Oセル 240 が設けられている点を除いて、第 1 の実施形態に係る半導体装置と同様の構成である。なお、本図に示す例では、図 32 に示した電源供給配線 301 を有している。

【0074】

I/Oセル 240 は、I/Oセル 200 とは異なる平面形状を有している。本図に示す例では、I/Oセル 240 は、縁 12 に直角な方向で見た場合、I/Oセル 200 よりも長く、外周セル列 20 及び内周セル列 30 の双方に跨って位置している。そして I/Oセル 240 は、単列で配置されている。I/Oセル 240 と外周セル列 20 の間、及び I/Oセル 240 と内周セル列 30 の間には、それぞれ高さ合わせセル 242 が設けられている。I/Oセル 240 の設計データ及び高さ合わせセル 242 の設計データは、図 6 に示した半導体装置設計装置 500 のセルデータ記憶部 512 に記憶されている。

【0075】

なお、本実施の形態に示されるように、内周セル列 20 に含まれる I/Oセル 200 (あるいは電源供給 202、接地電位供給セル 204) は、図 2 に示すように電源電位供給配線 222 及び接地電位供給配線 224 を有しているが、これら配線の基板の縁 12 からの距離を、I/Oセル 240 が有している電源電位供給配線 222 及び接地電位供給配線 224 における基板の縁 12 からの距離と等しくしておくのが好ましい。これによって、高さ合わせセル 242 を用いて、一つの半導体チップのなかに、互いに異なる形状の I/Oセル 200 及び I/Oセル 240 を混在して設けることが可能となる。これにより、より設計の自由度が高い半導体チップを実現することが可能となる。なお、本図に示す例では、各セルは、図 31 に示した電源供給配線 301 も有している。

【0076】

また、図 22 に示すように、高さ合わせセル 242 の中に、内周セル列 30 が有する電源電位供給配線 222 及び接地電位供給配線 224、及び内周セル列 40 が有する電源電位供給配線 222 及び接地電位供給配線 224 を、I/Oセル 240 が有している電源電位供給配線 222 及び接地電位供給配線 224 に接続するための配線を用意しておくのが好ましい。これにより、内周セル列 30、あるいは、内周セル列 40 の電源を強化しつつ、互いに異なる形状の I/Oセル 200 及び I/Oセル 240 を自由に混在して配置することができる。これにより、さらに設計の自由度の高い半導体チップを実現することが可能となる。なお、本実施形態では、2列目の内周セル列 30 と、高さ合わせセル 242 の間にスペースがある。このため、このスペースに、電源配線(接地配線を含む)を配置するためのセル 244 を配置している。これにより、2列目の内部セル列 30 が有する電源電位供給配線 222、接地電位供給配線、及び電源供給配線 301 も、高さ合わせセル 242 が有する配線を介して、外周セル列 20 が有する電源電位供給配線 222、接地電位供給配線、及び電源供給配線 301 に接続できる。

【0077】

なお、第 2 ~ 第 8 の実施形態において、本実施形態と同様に I/Oセル 240 及び高さ合わせセル 242 を設けても良い。

【0078】

(第 10 の実施形態)

図 23 は、第 10 の実施形態に係る半導体チップ 10 が有するセルのレイアウトを示す図である。本実施形態に係るレイアウトは、外周セル列 20 に電源電位供給セル 202 及び接地電位供給セル 204 の一方が設けられており、内周セル列 30 に電源電位供給セル 202 及び接地電位供給セル 204 の他方が設けられている点を除いて、第 1 の実施形態

10

20

30

40

50

と同様である。

【 0 0 7 9 】

本図に示す例では、外周セル列 2 0 には複数の電源電位供給セル 2 0 2 が設けられており、内周セル列 3 0 には複数の接地電位供給セル 2 0 4 が設けられている。このように電源電位供給セル 2 0 2 及び接地電位供給セル 2 0 4 がそれぞれ複数設けられているのは、電源電位及び接地電位を安定にするためである。

【 0 0 8 0 】

なお、図 2 4 及び図 2 5 に示すように、互いに異なるセル列それぞれに、電源電位供給セル 2 0 2 を設けても良いし、互いに異なるセル列それぞれに、接地電位供給セル 2 0 4 を設けても良い。この場合においても、電源電位及び接地電位を安定にすることができる。

10

【 0 0 8 1 】

詳細には、図 2 4 に示す例では、あるセル列（例えば外周セル列 2 0）に電源電位供給セル 2 0 2 を設け、残りのセル列（例えば内周セル列 3 0, 4 0）に接地電位供給セル 2 0 4 を設けている。また図 2 5 に示す例では、外周セル列 2 0 に第 1 の電源電位供給セル 2 0 2 を設け、内周セル列 3 0 に、第 2 の電源電位供給セル 2 0 2 及び第 1 の接地電位供給セル 2 0 4 を設け、内周セル列 4 0 に第 2 の接地電位供給セル 2 0 4 を設けている。そして第 1 の電源電位供給セル 2 0 2 及び第 1 の接地電位供給セル 2 0 4 は、縁 1 2 に沿う方向で見た場合、一部が重なり合うように配置されている。また第 2 の電源電位供給セル 2 0 2 及び第 2 の接地電位供給セル 2 0 4 も、縁 1 2 に沿う方向で見た場合、一部が重なり合うように配置されている。

20

【 0 0 8 2 】

ただし、いずれの場合においても、あるセル列に位置する電源電位供給セル 2 0 2（または接地電位供給セル 2 0 4）と、その一つ内側に位置するセル列に位置する電源電位供給セル 2 0 2 または接地電位供給セル 2 0 4 は、縁 1 2 に沿う方向で見た場合、一部が重なり合うように配置されるのが好ましい。このようにすると、あるセル列に位置する電源電位供給セル 2 0 2（または接地電位供給セル 2 0 4）と、その一つ内側に位置するセル列に位置する電源電位供給セル 2 0 2 または接地電位供給セル 2 0 4 とを、電位供給用接続配線 2 3 0 を介して直接接続することができる。

30

【 0 0 8 3 】

（第 1 1 の実施形態）

図 2 6 は、第 1 1 の実施形態に係る半導体チップ 1 0 が有するセルのレイアウトを示す図である。本実施形態に係るレイアウトでは、外周セル列 2 0 の一部と重なる位置に内周セル列 3 0 及び内周セル列 4 0 が設けられている。そして外周セル列 2 0 のうち内周セル列 3 0 及び内周セル列 4 0 のいずれとも重なっていない領域に、電源電位供給セル 2 0 2 が配置されている。この部分では、外周セル列 2 0 の直ぐ内側に、内部用周回電源配線 3 0 0 が引き回されている。そして電源電位供給セル 2 0 2 が電位供給用接続配線 2 3 0 を介して直接内部用周回電源配線 3 0 0 に接続されている。このようにすると、電源電位供給セル 2 0 2 から直接内部用周回電源配線 3 0 0 に電源電位を供給することができ、配線等の寄生抵抗による電位低下の影響を受けにくいため、内部用周回電源配線 3 0 0 の電源電位を安定にすることができる。

40

【 0 0 8 4 】

また、図 2 7 に示すように、内周セル列 4 0 に電源電位供給セル 2 0 2 が設けられている場合、内周セル列 4 0 に設けられた電源電位供給セル 2 0 2 を、電位供給用接続配線 2 3 0 を介して内部用周回電源配線 3 0 0 に接続しても良い。

【 0 0 8 5 】

なお、図 2 7 に示す例では、外周セル列 2 0、内周セル列 3 0、及び内周セル列 4 0 それぞれに、電源電位供給セル 2 0 2（または接地電位供給セル 2 0 4：不図示）が設けられている。そして、縁 1 2 に沿う方向で見た場合、外周セル列 2 0 に設けられた電源電位供給セル 2 0 2 は、内周セル列 3 0 に設けられた電源電位供給セル 2 0 2 と、一部が重なり

50

り合うように配置されている。このため、外周セル列 20 の電源電位供給セル 202 と、内周セル列 30 の電源電位供給セル 202 とを、電位供給用接続配線 230 を介して直接接続することができる。

【0086】

また、内周セル列 30 に設けられた電源電位供給セル 202 は、内周セル列 40 に設けられた電源電位供給セル 202 と、一部が重なり合うように配置されている。このため、内周セル列 30 の電源電位供給セル 202 と、内周セル列 40 の電源電位供給セル 202 とを、電位供給用接続配線 230 を介して直接接続することができる。これにより、内部用周回電源配線 300 は、配線等の寄生抵抗による電位低下の影響を受けにくくなり、内部用周回電源配線 300 の電源電位を安定にすることができる。

10

【0087】

図 28 は、互いに上下に位置する 2 つの電源電位供給セル 202 (または接地電位供給セル 204) のレイアウト (図 28 (b)) を、I/Oセル 200 のレイアウト (図 28 (a)) と比較して示す図である。図 28 (a) に示すように、I/Oセル 200 が有する複数の電位供給用接続配線 230 は、その太さが互いに等しい。これに対して図 28 (b) に示すように、2 つの電源電位供給セル 202 が互いに上下に位置する場合、これら 2 つの電源電位供給セル 202 を接続する電位供給用接続配線 231 は、他の電位供給用接続配線 230 と比較して幅が太い。このようにすると、複数の電源電位供給セル 202 の間で電源電位に差が生じることを抑制できる。

【0088】

なお、図 28 (b) に示した多段用の電位供給セルの設計データは、図 6 に示した半導体装置設計装置 500 のセルデータ記憶部 512 に記憶されている。

20

【0089】

(第 12 の実施形態)

図 29 は、第 12 の実施形態に係る半導体チップ 10 が有するセルのレイアウトを示す図である。本図に示すレイアウトは、半導体チップ 10 の角部用のレイアウト 400 を示している。角部を構成する縁 12, 16 には、それぞれ外周セル列 20 及び内周セル列 30 が設けられている。そして角部近傍には、セル非配置領域 402 が設定されている。セル非配置領域 402 は、セルの配置が禁止されている領域であり、縁 12 に沿って配置されているセルと、縁 16 に沿って配置されているセルとが干渉しないように設けられている。

30

【0090】

図 30 は、図 29 に示したレイアウトを説明するための図である。図 30 に示すように、図 29 に示された形状において、本来最低限必要なセル非配置領域は、符号 403 で示された領域であるが、図 29 の符号 402 で示されたようにセル非配置領域を余裕を持って確保しておくことにより、図 30 に示すように、必要において、半導体チップ 10 の各辺に分かれて配置された各々のセル列の電源間を接続する配線 404 を、セル非配置領域 402 の一部領域に配置することにより、各辺に置かれたセル列に共通に電源を供給することが可能となる。この結果、半導体チップ 10 内に、より多くの I/Oセル 200 を配置することが可能となる。

40

【0091】

なお、レイアウト 400 の設計データは、図 6 に示した半導体装置設計装置 500 のセルデータ記憶部 512 に記憶されている。

【0092】

(第 13 の実施形態)

図 30 は、第 13 の実施形態に係る半導体装置の構成を示す断面図である。本実施形態に係る半導体装置は、半導体チップ 10 が配線基板 50 にフリップチップ実装されている点を除いて、上記した核実施形態にかかる半導体装置と同様の構成である。

本実施形態によっても、I/Oセル 200 の数を増やすことができる。

【0093】

50

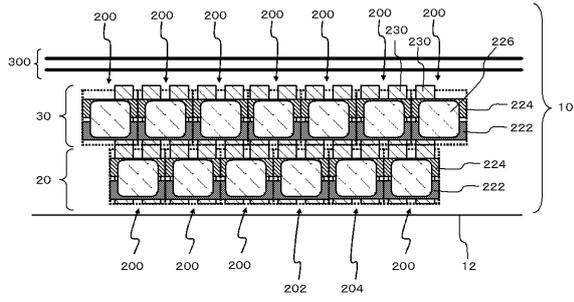
以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。例えば上記した各実施形態では、電位供給用接続配線 230 は、半導体チップ 10 の縁 12 に対して直角な方向に直線状に延伸していたが、階段状に延伸していてもよい。また上記した各実施形態では、電位供給用接続配線 230 は、各セルに配置されていたが、電位供給用接続配線 230 が設けられていないセルが存在していてもよい。

【符号の説明】

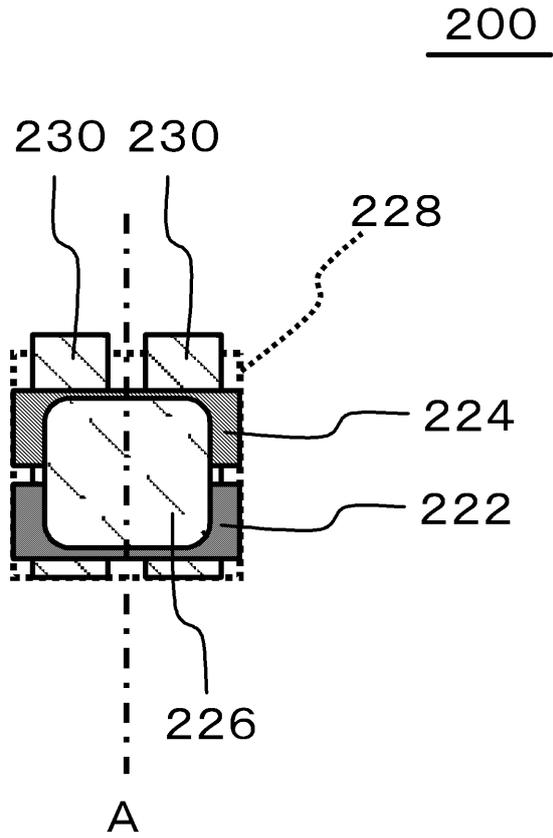
【0094】

10	半導体チップ	
11	セル群	10
12	縁	
13	セル群	
14	電源分離領域	
16	縁	
20	外周セル列	
30	内周セル列	
32	領域	
40	内周セル列	
50	配線基板	
52	電極	20
54	電極	
56	ボンディングワイヤ	
200	I/Oセル	
202	電源電位供給セル	
204	接地電位供給セル	
212	電源電位供給セル	
214	接地電位供給セル	
222	電源電位供給配線	
224	接地電位供給配線	
226	電極パッド	30
228	素子配置領域	
230	電位供給用接続配線	
231	電位供給用接続配線	
233	配線	
240	I/Oセル	
242	高さ合わせセル	
300	内部用周回電源配線	
301	電源供給配線	
300	直接内部用周回電源配線	
400	レイアウト	40
402	セル非配置領域	
404	配線	
500	半導体装置設計装置	
510	セル配置部	
512	セルデータ記憶部	
514	配置ルール記憶部	
520	接続配線配置部	
530	電位供給配線配置部	
532	設計データ記憶部	

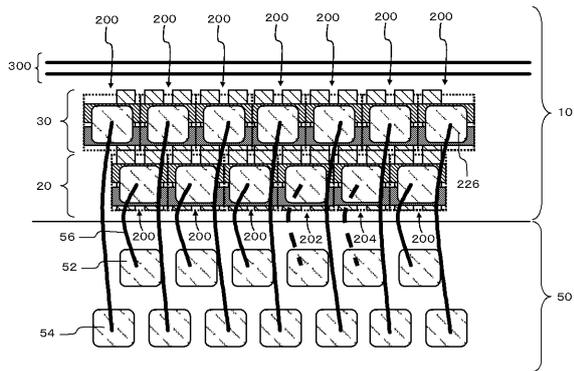
【図1】



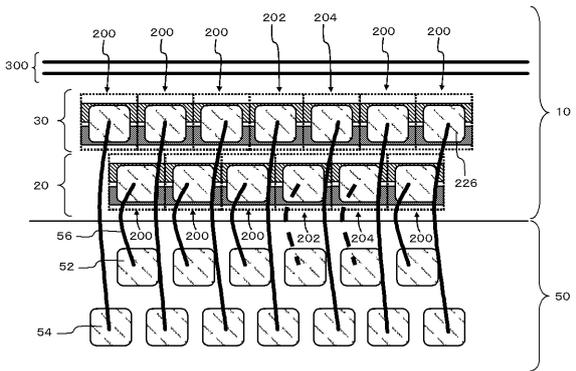
【図2】



【図3】



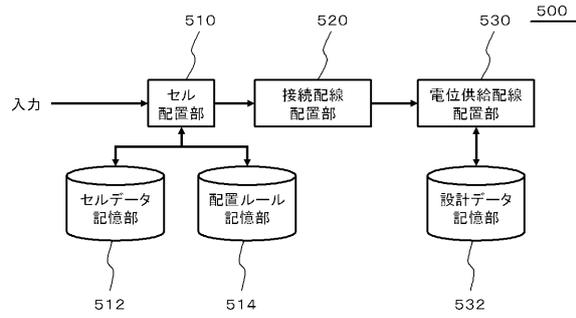
【図4】



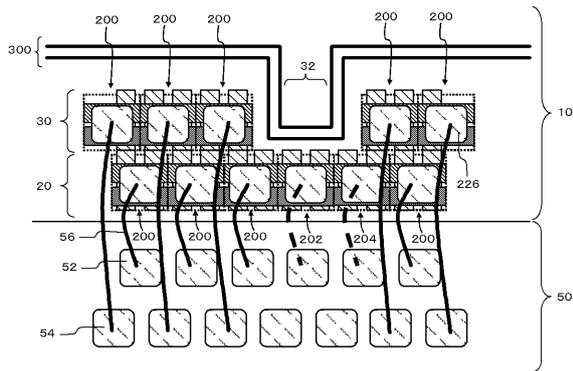
【図5】

	図3 (実施形態)	図4 (比較例)
I/Oセルの数	11	9
電位供給セルの数	2	4
電位供給セルに接続する長いワイヤの数	0	2

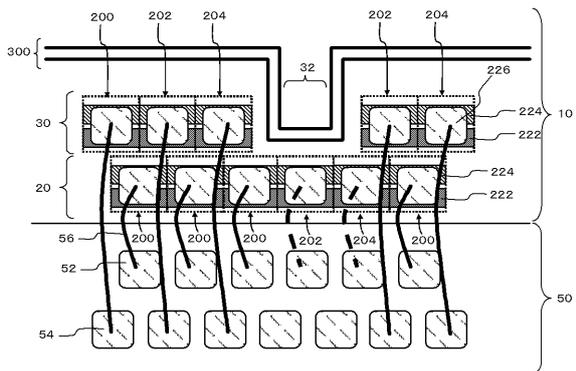
【図6】



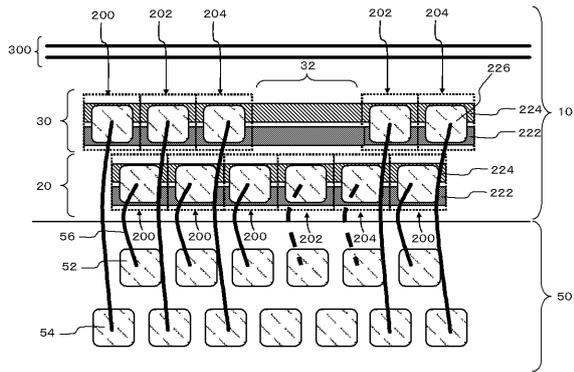
【図7】



【図8】



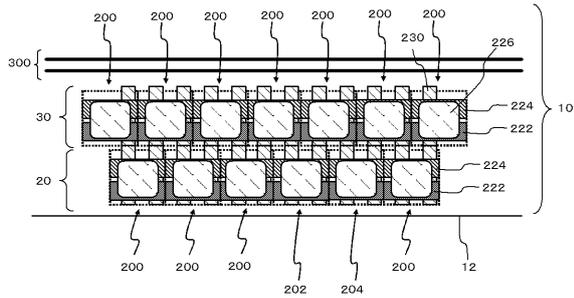
【図9】



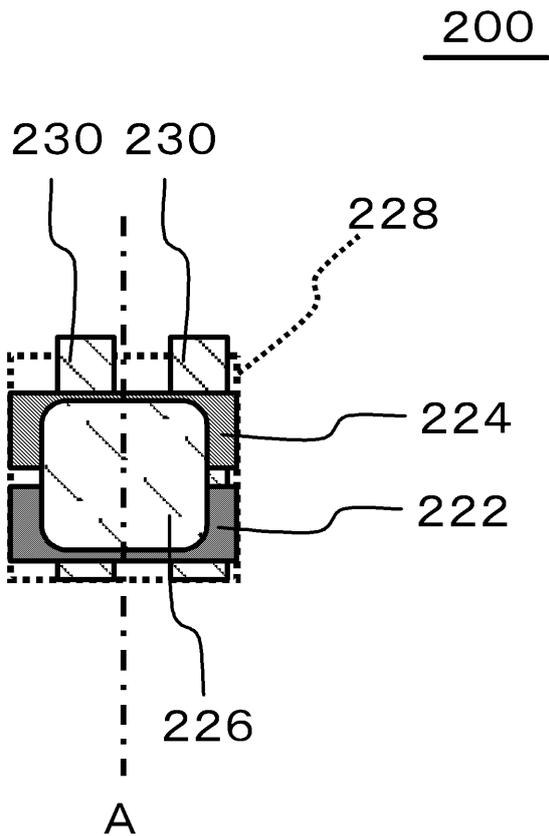
【図10】

	図7 (実施形態)	図8 (比較例2)	図9 (比較例3)
I/Oセルの数	9	5	7
電位供給セルの数	2	6	4
電位供給セルの数に接続する長いワイヤの数	0	4	2
領域32に回路用の配線をレイアウトできるか	可能	可能	不可能

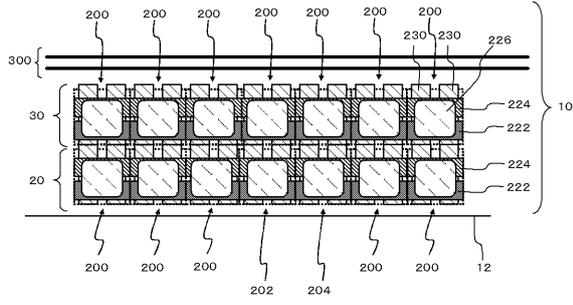
【図11】



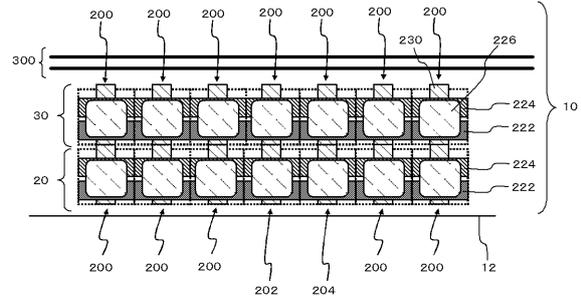
【図12】



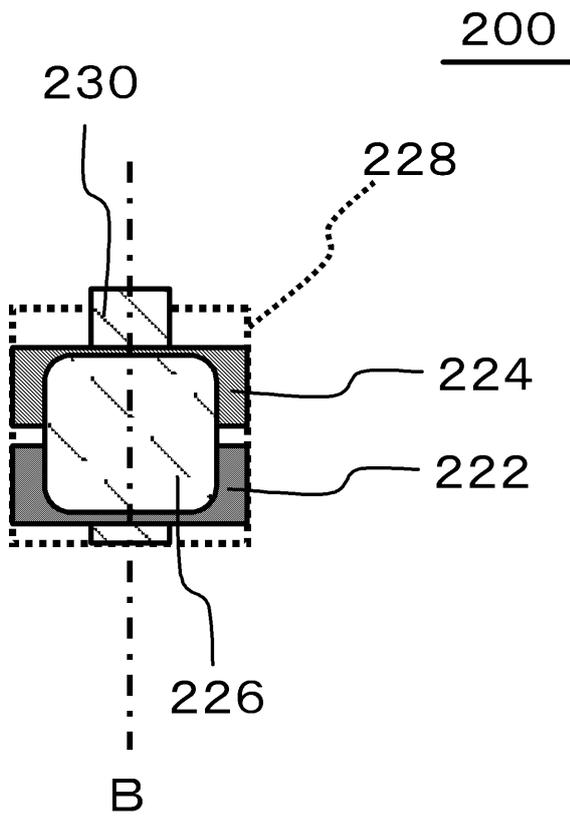
【図 13】



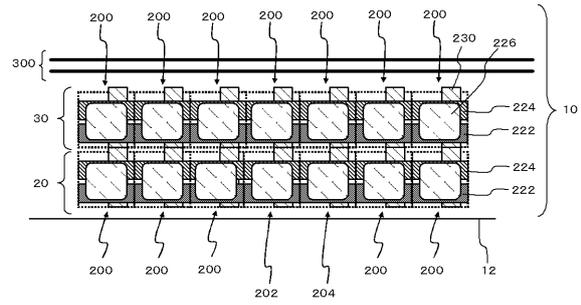
【図 14】



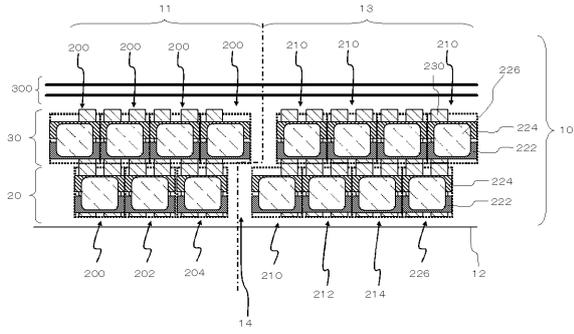
【図 15】



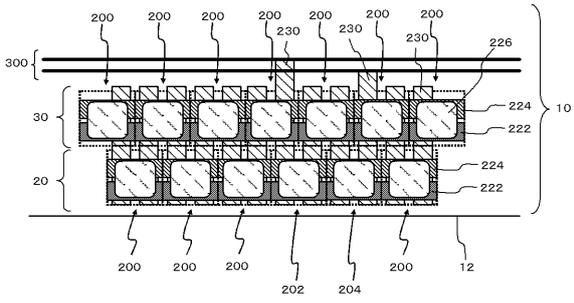
【図 16】



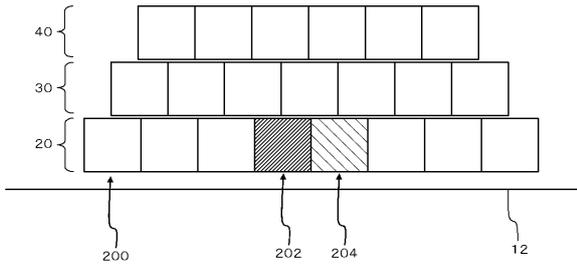
【図 17】



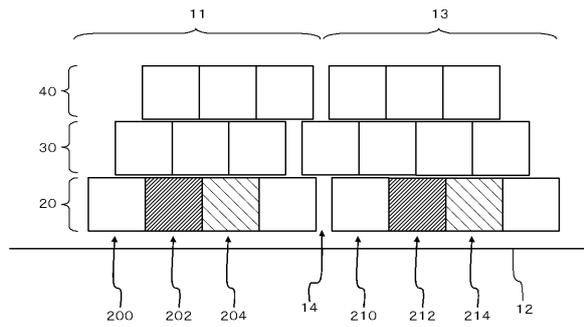
【図 18】



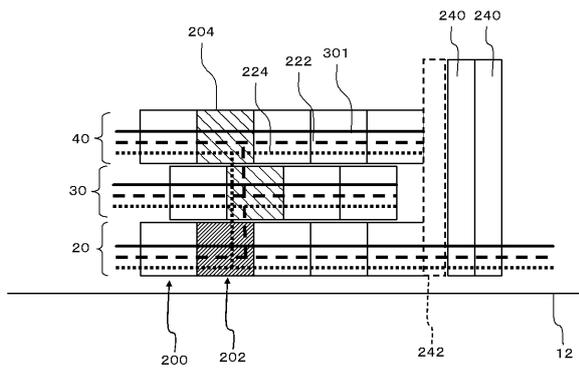
【図 19】



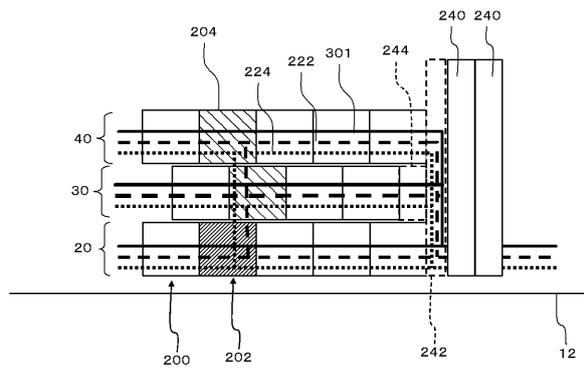
【図 20】



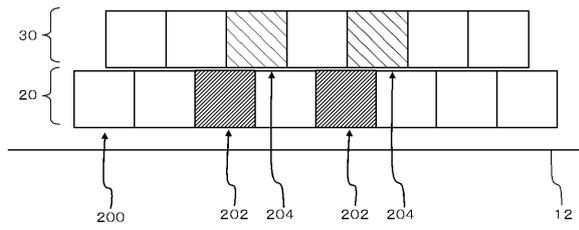
【図 2 1】



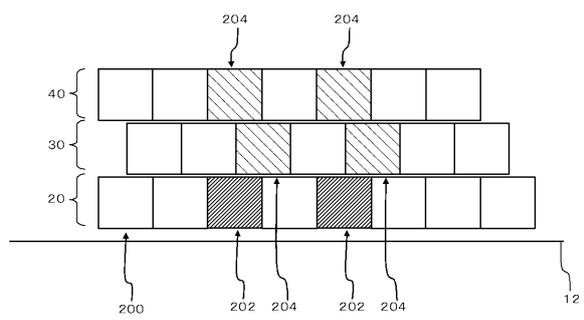
【図 2 2】



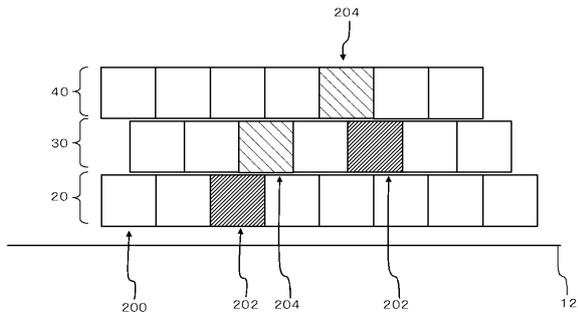
【図 2 3】



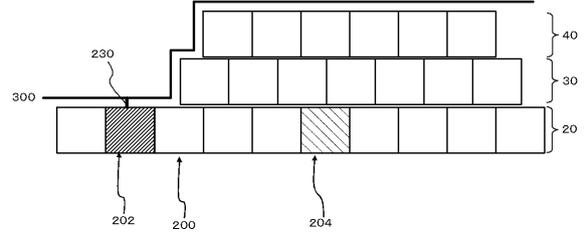
【図 2 4】



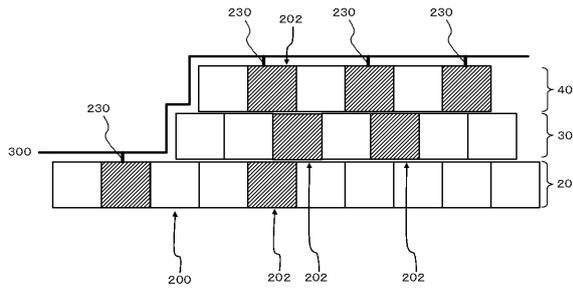
【図 25】



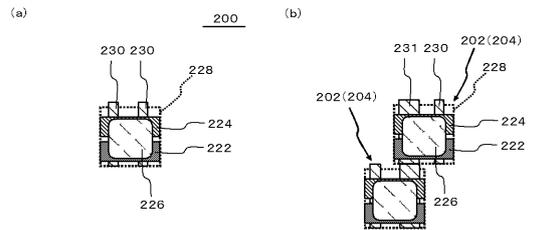
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/60 3 1 1 Q

(56)参考文献 特開平 1 1 - 1 8 6 5 0 0 (J P , A)
特開 2 0 0 1 - 3 5 1 9 8 3 (J P , A)
特開 2 0 0 6 - 2 0 2 8 6 6 (J P , A)
特開平 0 4 - 0 4 9 6 6 3 (J P , A)
特開昭 6 3 - 1 9 9 4 4 4 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
H 0 1 L 2 1 / 8 2
H 0 1 L 2 1 / 6 0
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 3 / 1 2
H 0 1 L 2 7 / 0 4