



(12) 发明专利

(10) 授权公告号 CN 102549753 B

(45) 授权公告日 2015.02.25

(21) 申请号 201080038077.8

H01L 21/336(2006.01)

(22) 申请日 2010.08.27

H01L 29/812(2006.01)

(30) 优先权数据

12/548,841 2009.08.27 US

(56) 对比文件

CN 101180737 A, 2008.05.14,

US 2005/0184336 A1, 2005.08.25,

CN 101060132 A, 2007.10.24,

JP 特开 2005-142240 A, 2005.06.02,

JP 特开 2005-142240 A, 2005.06.02,

(85) PCT国际申请进入国家阶段日

2012.02.27

(86) PCT国际申请的申请数据

PCT/US2010/047039 2010.08.27

审查员 温菊红

(87) PCT国际申请的公布数据

W02011/031563 EN 2011.03.17

(73) 专利权人 威世硅尼克斯

地址 美国加利福尼亚州

(72) 发明人 Y·高 凯尔·特里尔

德瓦·帕塔纳亚克 K·陈 T·周

莎伦·石 Q·陈

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张天舒

(51) Int. Cl.

H01L 29/78(2006.01)

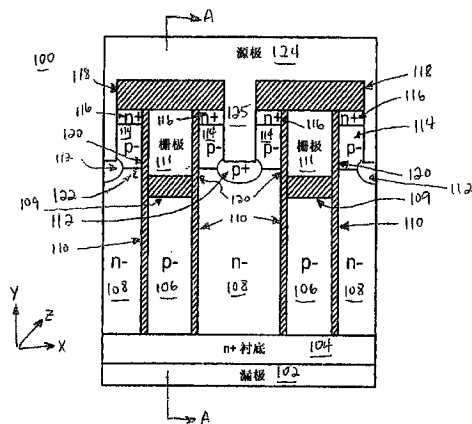
权利要求书3页 说明书9页 附图17页

(54) 发明名称

超结型沟槽功率 MOSFET 器件

(57) 摘要

在一种超结型沟槽功率 MOSFET (金属氧化物半导体场效应晶体管) 器件中,超结中的 p 型掺杂物柱与 n 型掺杂物的第一柱通过第一氧化物柱隔离开,并与 n 型掺杂物的第二柱通过第二氧化物柱隔离开。在 n 沟道器件中,用于 FET 的栅极元件优选地位于 p 型掺杂物柱的上方,而在 p 沟道器件中,用于 FET 的栅极元件优选地位于 n 型掺杂物柱的上方。



1. 一种超结型沟槽功率金属氧化物半导体场效应晶体管 (MOSFET) 器件, 具有第一型掺杂物的沟道, 所述器件包括:

布置在所述第一型掺杂物的衬底上并且包括绝缘材料的第一柱, 所述绝缘材料将布置在所述衬底上的第二型掺杂物的柱与所述第一型掺杂物的第一柱隔离开;

布置在所述衬底上并且包括绝缘材料的第二柱, 所述绝缘材料将所述第二型掺杂物的柱与所述第一型掺杂物的第二柱隔离开;

用于场效应晶体管的栅极元件, 其中所述栅极元件排列在所述绝缘材料的第一柱与所述绝缘材料的第二柱之间;

布置在所述第一型掺杂物的第一柱上方的所述第二型掺杂物的体区;

布置在所述体区上方的所述第一型掺杂物的源极区;

形成在所述第一型掺杂物的第一柱上方的沟槽, 该沟槽将所述体区和所述源极区暴露给形成在所述沟槽中的源极金属, 其中所述源极金属与所述体区和所述源极区接触;

形成在所述沟槽底部的所述第二型掺杂物的接触区, 该接触区比所述沟槽宽并且将所述沟槽中的所述源极金属与所述第一型掺杂物的所述第一柱隔离开。

2. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件, 还包括将所述栅极元件与所述第二型掺杂物的柱隔离开的隔离层。

3. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件, 其中所述第一型掺杂物包括 n 型掺杂物, 所述第二型掺杂物包括 p 型掺杂物。

4. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件, 其中所述源极金属与所述第二型掺杂物的柱电短路。

5. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件, 其中所述沟槽与所述第一型掺杂物的第一柱的纵轴排成一列。

6. 一种具有第一型掺杂物的沟道的半导体器件, 所述器件包括:

所述第一型掺杂物的衬底;

耦接到所述衬底的超结型结构, 所述超结型结构包括布置在所述第一型掺杂物的柱形第一区与所述第一型掺杂物的柱形第二区之间的第二型掺杂物的柱形区, 其中所述第一型掺杂物的柱形第一区、所述第一型掺杂物的柱形第二区和所述第二型掺杂物的柱形区均布置在所述衬底上, 以及所述第二型掺杂物的柱形区与所述第一型掺杂物的柱形第一区通过第一隔离层隔离开, 并且与所述第一型掺杂物的柱形第二区通过第二隔离层隔离开;

场效应晶体管, 其耦接到所述超结型结构并包括栅极元件, 其中所述栅极元件位于所述第二型掺杂物的柱形区上方;

布置在所述第一型掺杂物的柱形第一区上方的所述第二型掺杂物的第一体区, 以及布置在所述第一型掺杂物的柱形第一区上方的所述第二型掺杂物的第二体区;

布置在所述第一体区上方的所述第一型掺杂物的第一源极区, 以及布置在所述第二体区上方的所述第一型掺杂物的第二源极区;

形成在所述第一型掺杂物的柱形第一区上方的沟槽, 该沟槽将所述第一和第二体区和所述第一和第二源极区暴露给形成在所述沟槽中的源极金属, 其中所述源极金属与所述第一和第二体区和所述第一和第二源极区接触;

形成在所述沟槽底部的所述第二型掺杂物的接触区, 该接触区比所述沟槽宽并且将所

述沟槽中的所述源极金属与所述第一型掺杂物的柱形第一区隔离开。

7. 根据权利要求 6 的半导体器件,还包括将所述栅极元件与所述第二型掺杂物的柱形区隔离开的氧化物层。

8. 根据权利要求 6 的半导体器件,其中所述源极金属与所述第二型掺杂物的柱形区电短路。

9. 根据权利要求 6 的半导体器件,其中所述沟槽与所述第一型掺杂物的柱形第一区的纵轴排成一列。

10. 一种具有第一型掺杂物的沟道的半导体器件,包括:

所述第一型掺杂物的衬底;

耦接到所述衬底的超结型结构,所述超结型结构包括布置在所述第一型掺杂物的第一区与所述第一型掺杂物的第二区之间的第二型掺杂物的区,其中所述第一型掺杂物的第一区、所述第一型掺杂物的第二区和所述第二型掺杂物的区均布置在所述衬底上,以及所述第二型掺杂物的区以及所述第一型掺杂物的第一区和第二区中的每一个的第一尺寸都大于第二尺寸,所述第一尺寸是在第一方向上测量得到的,所述第二尺寸是在垂直于所述第一方向的第二方向上测量得到的;

包括栅极元件的场效应晶体管,其中所述第二型掺杂物的区在所述第一方向上位于所述栅极元件与所述衬底之间,以使得所述栅极元件位于所述第二型掺杂物的区的上方;以及

源极金属的层,其与所述第二型掺杂物的区在垂直于所述第一方向和所述第二方向的第三方向上电短路;

布置在所述第一型掺杂物的第一区上方的所述第二型掺杂物的第一体区,以及布置在所述第一型掺杂物的第一区上方的所述第二型掺杂物的第二体区;

布置在所述第一体区上方的所述第一型掺杂物的第一源极区,以及布置在所述第二体区上方的所述第一型掺杂物的第二源极区;

形成在所述第一型掺杂物的第一区上方的沟槽,该沟槽将所述第一和第二体区和所述第一和第二源极区暴露给形成在所述沟槽中的源极金属,其中所述源极金属与所述第一和第二体区和所述第一和第二源极区接触;

形成在所述沟槽底部的所述第二型掺杂物的接触区,该接触区比所述沟槽宽并且将所述沟槽中的所述源极金属与所述第一型掺杂物的第一区隔离开。

11. 根据权利要求 10 的半导体器件,其中所述第二型掺杂物的区与所述第一型掺杂物的第一区通过第一隔离层隔离开,并与所述第一型掺杂物的第二区通过第二隔离层隔离开。

12. 根据权利要求 10 的半导体器件,还包括氧化物层,其将所述栅极元件与所述第二型掺杂物的区隔离开。

13. 根据权利要求 10 的半导体器件,其中所述第一型掺杂物的第一区在所述第一方向上位于所述沟槽与所述衬底之间。

14. 根据权利要求 4 的超结型沟槽功率 MOSFET 器件,其中所述源极金属的层与所述第二型掺杂物的柱在垂直于所述第二型掺杂物的柱的纵轴的方向上电短路。

15. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件,其中所述第一型掺杂物包括 p 型

掺杂物,且所述第二型掺杂物包括 n 型掺杂物。

16. 根据权利要求 1 的超结型沟槽功率 MOSFET 器件,还包括与所述栅极元件相邻的绝缘材料构成的第三柱和与所述栅极元件相邻的绝缘材料构成的第四柱,其中所述绝缘材料构成的第一柱与所述绝缘材料构成的第三柱一起提供将所述栅极元件和所述第二型掺杂物的柱与所述第一型掺杂物的第一柱隔离开的连续边界,以及其中所述绝缘材料构成的第二柱与所述绝缘材料构成的第四柱一起提供将所述栅极元件和所述第二型掺杂物的柱与所述第一型掺杂物的第二柱隔离开的连续边界。

超结型沟槽功率 MOSFET 器件

[0001] 相关申请

[0002] 本申请的相关共同未决申请为 Gao 等人于 2009 年 8 月 27 日提交的美国专利申请第 12/549,190 号,该相关申请的发明名称为“Super Junction Trench Power MOSFET Devices Fabrication”,且被转让给本申请的受让人。

技术领域

[0003] 根据本发明的实施方式总的来说涉及半导体器件。

背景技术

[0004] 为了节约能量,减少例如在直流 (DC) 到直流转换器中所使用的晶体管中的功率损耗尤为重要。在金属氧化物半导体场效应晶体管 (MOSFET) 器件中,尤其是在已知作为功率 MOSFET 的一类 MOSFET 中,能够通过减小器件的接通电阻 (R_{dson}) 来减小功率损耗。

[0005] 击穿电压指示出器件在反向电压条件下的耐击穿能力。由于击穿电压与 R_{dson} 成反比关系,所以当 R_{dson} 减小时会产生不利影响。为了解决这一问题,引入了超结型 (SJ) 功率 MOSFET,其包括位于器件有源区以下的交替的 p 型区和 n 型区。SJ 功率 MOSFET 中交替的 p 型区和 n 型区理想地处于电荷平衡 ($Q_p = Q_n$) 状态,从而这些区在反向电压条件下相互耗尽,因此使器件能够更好地耐击穿。

发明内容

[0006] 虽然传统的 SJ 功率 MOSFET 提供了例如上述的优点,但其仍有改进的空间。例如,在传统的 SJ 沟槽功率 MOSFET 器件中,形成超结的 p 型柱和 n 型柱可能会在制造期间被加热时发生相互扩散,这样的扩散将会减小击穿电压。另外,p 型柱是浮置的从而这些柱中的载流子无法快速移动,因此通常认为传统的 SJ 沟槽功率 MOSFET 器件不适用于用在高速电路中。而且,在传统的 SJ 沟槽功率 MOSFET 器件中,有源器件的密度受到每个沟槽栅极的布置的限制;例如在传统的 n 沟道器件中,沟槽栅极被放置在两个 p 型柱之间(即,栅极被放置在一个 n 型柱之上)。

[0007] 在根据本发明的一个实施例中,SJ 沟槽功率 MOSFET 器件包括超结,超结具有交替的 p 型掺杂物柱和 n 型掺杂物柱。例如,超结包括 p 型掺杂物柱,该 p 型掺杂物柱在其一侧通过第一氧化物柱(或层)与 n 型掺杂物的第一柱隔离开,而在其另一侧通过第二氧化物柱(或层)与 n 型掺杂物的第二柱隔离开。氧化物层阻止了在制造期间对器件加热时相邻的 n 型柱和 p 型柱发生相互扩散。因此,氧化物层能够防止制造过程对击穿电压产生不利影响。

[0008] 在另一个实施例中,在 n 沟道器件中,使超结中的 p 型柱抬高并使其与源极短路,从而能够在所得的体二极管从导通切换到截止时快速地扫清 p 型柱中的载流子;在 p 沟道器件中,使超结中的 n 型柱抬高并使其与源极短路,以实现类似的优点。因此,具有该特征的 SJ 沟槽功率 MOSFET 更适用于高速电路中。

[0009] 在另一个实施例中,在 n 沟道器件中,用于 FET 的栅极元件(例如,沟槽栅极)位于超结中 p 型掺杂物柱的上方而不是位于 n 型掺杂物柱之上。通过将沟槽栅极与 p 型柱排成一行,能够减小 n 型柱的宽度。在 p 沟道器件中,用于 FET 的栅极元件位于超结中 n 型掺杂物柱的上方而不是位于 p 型掺杂物柱之上,从而能够减小 p 型柱的宽度。因此,能够将沟槽栅极放置得更为靠近,从而增加单元密度,其效果是进一步减小 SJ 沟槽功率 MOSFET 器件的接通电阻 (R_{dson})。

[0010] 在另一实施例中, SJ 沟槽功率 MOSFET 器件包括上述每个特征。

[0011] 在本领域技术人员参阅各个附图来阅读了以下详细说明书之后将会认识到本发明的上述这些以及其它的目的和优点。

附图说明

[0012] 说明书附图作为说明书的一部分示出了本发明的示例实施例,并且与以下具体实施方式的描述一道用来解释本发明的原理。在附图和说明书的通篇中用相似的数字表示相似的组成元素。

[0013] 图 1 和图 2 是示出根据本发明实施例的半导体器件的组成元素的截面图。

[0014] 图 3A、图 3B 和图 3C 示出了根据本发明实施例用于制造半导体器件的过程的流程图。

[0015] 图 4、图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17、图 18、图 19、图 20、图 21、图 22、图 23、图 24 和图 25 是示出了根据本发明实施例在半导体器件的制造中所选阶段的截面图。

[0016] 图 26 是示出根据本发明另一实施例的半导体器件的组成元素的截面图。

具体实施方式

[0017] 在以下对本发明的详细描述中阐明了多个特定细节以期提供对本发明的透彻理解。然而本领域技术人员应该意识到在不具有这些特定细节或是具有这些特定细节的等同物的情况下也可以实现本发明。另外,未详细描述公知的方法、生产过程、组件以及电路是为了避免不必要地模糊了本发明的实质方面。

[0018] 以下详细描述的一些部分是根据制造半导体器件的生产过程、逻辑模块、处理以及操作的其它象征性表示法来进行表述的。这些描述和表示法具有半导体制造领域的技术人员常用的含义,从而最为有效地将他们工作的实质内容传达给该领域的其它技术人员。在本申请中,生产过程、逻辑模块、处理等被构思为用来导出期望结果的自相容的步骤或指令顺序。这些步骤需要一定物理量的物理操作。然而应当明确的是所有这些术语以及类似术语将与适当的物理量有关,并且仅仅是应用于这些物理量的简便标注。除非有特别说明,否则如以下所讨论的内容能够明确的是,在本申请通篇中利用诸如“形成”、“执行”、“生产”、“沉积”、“刻蚀”等之类的术语所进行的讨论应被认为是指导半导体器件制造的行为和处理(例如,图 3A、图 3B 和图 3C 的流程图 300)。

[0019] 附图并非按比例绘制,而仅仅在图中示出了部分结构以及形成这些结构的各个层。另外,可连同本文所讨论的处理和步骤一同来执行各制造处理和步骤,也就是说,在本文所示出和描述的步骤之前、之间和 / 或之后可能还有多个处理步骤。重要的是,根据本发

明的实施例能够连同这些另外的处理和步骤（可能是传统的处理和步骤）一起实现而不会对这些另外的处理和步骤产生显著的干扰。一般来说，根据本发明的实施例能够替代一部分传统处理而不会对前后的处理和步骤有显著地影响。

[0020] 如本文所使用的字母“n”是指 n 型掺杂物，而字母“p”是指 p 型掺杂物。加号“+”或减号“-”分别用于表示相对较高的掺杂物浓度和相对较低的掺杂物浓度。

[0021] 本文中以公认的方式使用术语“沟道”。也就是电流在 FET 内的移动是在沟道中从源极连接移动到漏极连接。沟道可由 n 型半导体材料或 p 型半导体材料制成；因此，FET 被指定为 n 沟道器件或 p 沟道器件。图 1 至图 25 是以 n 沟道器件为例进行描述的，具体来说是 n 沟道超结型 MOSFET，但本发明的实施例并不限于此。也就是说，本文所描述的各种特征可被用于后文所描述的图 26 示出的 p 沟道器件。图 1 至图 25 所讨论的内容能够通过将 n 型掺杂物和材料替换为相应的 p 型掺杂物和材料而被容易地对应到 p 沟道器件，反之亦然。

[0022] 图 1 是示出根据本发明一个实施例的半导体器件 100（例如，n 沟道 SJ 沟槽功率 MOSFET 器件）的组成元素的截面图。器件 100 包括 n+ 漏极层或衬底 104 的底表面上的漏电极 102。p- 漂移区或 p 型柱 106 以及 n- 漂移区或 n 型柱 108 位于衬底 104 上方且相互交替。交替的 p 型（p-）柱 106 和 n 型（n-）柱 108 形成通常所说的超结。重要的是，p 型掺杂物的柱 106 与 n 型掺杂物的相邻柱 108 通过隔离层或隔离柱 110（例如电介质或氧化物的层/柱）彼此隔离。如下所述，隔离层 110 阻止了在制造期间对结构加热时 n 型柱 108 和 p 型柱 106 发生相互扩散。因此，隔离层 110 能够防止击穿电压受到制造处理的不利影响。

[0023] 同样重要的是，在图 1 的示例中，每个 p 型柱 106 都位于各自的多晶硅（poly）沟槽栅极 111（栅极多晶硅 111）下方。一般来说，每个沟槽栅极 111 都排列在两个相邻的隔离层 110 之间及相应的 p 型柱 106 上方。具体来说，在一个实施例中，每个沟槽栅极 111 都沿相应的 p 型柱 106 的纵轴排列（给定图 1 的方向，则纵轴是指 p 型柱内的垂直线），沟槽栅极 111 的纵轴与 p 型柱 106 的纵轴一致，使得沟槽栅极位于 p 型柱的上方中央。在图 1 的实施例中，p 型柱 106 通过各自的隔离层 109 与沟槽栅极 111 隔离，该隔离层 109 可以用不同于隔离层 110 的材料形成。

[0024] 通过将沟槽栅极 111 与 p 型柱 106 排成一列，能够减小 n 型柱 108 的宽度。因此，能够将沟槽栅极靠近放置以增加单元密度，其效果是进一步减小器件 100 的接通电阻（R_{dson}）。在一个实施例中，相邻沟槽栅极之间的间距大约为 1.2 微米，这与传统器件中的 5 微米形成对比。

[0025] 与图 1 的结构相关的另一优点在于，因为沟槽栅极 111 与相邻 n 型柱 108 之间的重叠量 122 很小，所以减小了栅-漏电荷（Q_{gd}）。在一个实施例中，重叠量 122 大约为 0.1 微米。

[0026] 在图 1 的实施例中，沟槽 125 形成在相邻的两个沟槽栅极 111 之间并位于 n 型柱 108 上方。具体来说，在一个实施例中，每个沟槽 125 都沿着相应的 n 型柱 108 的纵轴排列，沟槽 125 的纵轴与 n 型柱 108 的纵轴一致，使得沟槽的位于 n 型柱的上方中央。沟槽 125 填充有源极金属 124。

[0027] p+ 区（p 型接触区 112）将每个沟槽 125 中的源极金属 124 与相应的 n 型柱 108 隔离开。p- 区（p 型体区 114）位于每个沟槽 125 的每一侧上，处在沟槽与沟槽栅极 111 之间

以及源极金属 124 与一个 n 型柱 108 之间。另外如图 1 所示, n+ 区 (n 型源极区 116) 位于每个沟槽 125 的相对两侧上。

[0028] p 型 (p-) 体区 114 和 n 型 (n+) 源极区 116 通过另一隔离层 120 (例如栅极氧化物) 与各自的沟槽栅极 111 隔离开。应当明白, 隔离层 110 和 120 在制造处理的不同时间点形成, 因此可能并不像图 1 中示出的那样排成一列。另外可以使用不同的材料制成隔离层 110 和 120。尽管如此, 隔离层 110 和 120 还是提供了在图 1 的 y 方向上的近乎连续的边界, 在此情况下可被看成具有单个隔离材料柱的特征。

[0029] 在每个 n 型源极区 116 和每个沟槽栅极 111 上方可形成绝缘层 118。源极金属层 124 形成在绝缘层 118 上方并如上所述延伸入沟槽 125。

[0030] 根据本发明的一个实施例, p 型柱 106 被抬高并与源极金属层 124 电短路。实现这一结构的一种方式如图 2 所示, 图 2 是沿图 1 的切线 A-A 截取的器件 100 的截面图; 也就是说图 2 中表示的示意图是垂直于图 1 所示的两个维度 (x 和 y) 的第三维度 (z)。

[0031] 在图 2 的实施例中, 将沟槽 225 形成为连接相应的 p 型柱 106 与源极金属层 124。沟槽 225 填充有金属, 并且如图所示, 沟槽 225 中的金属与沟槽栅极 111 通过 n 型柱 108、多晶硅区 211 以及隔离层 120 隔离开。通过将 p 型柱 106 与源极金属层 124 短接, 能够在所得的体二极管从导通切换到截止时快速地扫清 p 型柱中的载流子。因此器件 100 更适于用在高速电路中。

[0032] 图 3A、图 3B 和图 3C 示出了用于制造诸如图 1 和图 2 中的器件之类的半导体器件的过程的一个实施例的流程图 300。尽管在图 3A 至图 3C 中公开了具体的步骤, 但这些步骤仅仅作为示例。也就是说, 根据本发明的实施例还适于执行图 3A 至图 3C 所述步骤的各种其它步骤或变化步骤。图 3A、图 3B 和图 3C 是结合图 4 至图 25 进行讨论的, 其中图 4 至图 25 是示出了根据本发明一个实施例在半导体器件的制造中所选阶段的截面图。

[0033] 在图 3A 的步骤框 302 中, 在 n+ 衬底 104 上方生长 p- 掺杂物的外延层 402 (图 4)。衬底 104 可包括漏电极层 102 (图 1)。

[0034] 在步骤框 304 中, 将第一电介质层 502 沉积在外延层 402 上, 并将光致抗蚀剂 (PR) 层 504 沉积在电介质层上 (图 5)。电介质层 502 例如可以是热氧化产物或是通过次常压化学汽相沉积 (SACVD) 沉积的氧化产物。

[0035] 在步骤框 306 中, 形成第一掩模 (未示出), 并且如图 6 所示刻蚀掉光致抗蚀剂层 504 和电介质层 502 的暴露部分。电介质层 502 的剩余部分对应于图 1 的隔离层 109。

[0036] 在步骤框 308 中, 部分 p 型外延层 402 也被刻蚀掉, 以形成图 7 所示的 p 型柱 106。对外延层 402 的刻蚀可能相对轻微地延伸入衬底 104。在步骤框 308 中所应用的刻蚀材料可以不同于在步骤框 306 中使用的刻蚀材料。在步骤框 310 中, 将剩余的光致抗蚀剂层 504 去除 (图 8)。

[0037] 在图 3A 的步骤框 312 中, 在隔离层 109 和 p 型柱 106 的暴露表面上生长或沉积第二电介质层 902 (图 9)。具体来说, 将电介质层 902 形成在 p 型柱 106 的相对两侧上以及隔离层 109 上方, 实际是在 p 型柱的两侧上形成了电介质材料的层或柱。用于第二电介质层 902 的材料可以不同于用于隔离层 109 的材料。另外, 第二电介质层 902 与隔离层 109 的厚度相比可以相对较薄 (大约 300-500 埃)。

[0038] 在图 3A 的步骤框 314 中, 如图 10 所示将电介质层 902 中与衬底 104 紧邻的部分

(图 9) 去除, 该处理可被称作底部氧化物穿透。在 p 型柱 106 两侧上的电介质层 902 的部分并未被去除, 这些部分对应于图 1 的隔离层 110。作为底部氧化物穿透处理的一部分, 位于隔离层 109 上方的电介质层 902 的部分也被部分去除或整体去除。换句话说, 在底部氧化物穿透处理之后, 衬底 104 如图 10 所示被暴露, 同时隔离层 109 可能仅由作为第一电介质层 502 (图 5) 的一部分的沉积材料构成, 或是可能由包括在第一电介质层 502 和第二电介质层 902 中的材料的组合构成。另外在步骤框 314 中, 在底部氧化物穿透处理之后, 在衬底 104 上方以及包括 p 型柱 106 和隔离层 109、110 的结构周围生长 n- 掺杂物的外延层 1002。

[0039] 在图 3A 的步骤框 316 中, 施加光致抗蚀剂层并且随后将其选择性地去除, 以形成如图 11 所示的掩模 1102。掩模 1102 将被用于在 n 型外延层 1002 中形成如图 12 所示的终端沟槽 1202。终端沟槽 1202 可延伸入衬底 104。另外如图 12 所示, 随后去除掩模 1102。

[0040] 在图 3A 的步骤框 318 中, 如图 13 所示, 在终端沟槽 1202 内侧以及在 n 型外延层 1002 上方生长或沉积 (例如使用 SACVD) 第三电介质层 1302。用于第三电介质层 1302 的材料可以不同于用于隔离层 109 和 110 的材料。随后可以使用致密化处理来对第三电介质层 1302 进行固化或退火。重要的是, 隔离层 110 防止或限制了在致密化处理期间以及在制造处理中结构被加热的任何其他时间 p 型柱 106 与 n 型外延层 1002 发生相互扩散。

[0041] 在图 3A 的步骤框 320 中, 对电介质层 1302 进行回蚀, 以使得如图 14 所示终端沟槽 1202 中电介质的水平面与 n 型外延层 1002 的上表面的水平面实质齐平。

[0042] 在图 3B 的步骤框 322 中, 施加光致抗蚀剂层并且随后选择性地将其去除以形成如图 15 所示的掩模 1502。掩模中的开口 1504 与 p 型柱 106 的位置一致。开口 1504 的宽度 (在图 15 的 x 方向上测得) 可以小于 p 型柱 106 的宽度, 从而避免开口与 p 型柱对齐的问题。换句话说, 将会看到, 掩模 1502 将被用于在 p 型柱 106 上方形成沟槽, 并且理想的是这些沟槽将不会延伸超出 p 型柱的外边缘。

[0043] 在图 3B 的步骤框 324 中, 参考图 15 和图 16, 将开口 1504 下面的 n 型外延层 1002 的部分刻蚀掉, 形成延伸到隔离层 109 的沟槽 1602。外延层 1002 未被刻蚀掉的部分对应于图 1 的 n 型柱 108。随后去除掩模 1502。

[0044] 在图 3B 的步骤框 326 中, 在隔离层 109 和 n 型柱 108 的暴露表面上, 其中包括沟槽 1602 的侧面和底面, 生长栅极氧化物层 1702 (图 17)。用于栅极氧化物层 1702 的材料可以不同于包括在第一电介质层 502 (图 5) 和第二电介质层 902 (图 9) 中的材料。图 1 的隔离层 109 可包括栅极氧化物层 1702 以及来自第一电介质层 502 和第二电介质层 902 的材料, 换句话说, 尽管在图中将隔离层 109 描绘为单个匀质层, 但实际中该隔离层 109 可包括不同的隔离材料。另外, 取决于沟槽 1602 的宽度, 栅极氧化物层 1702 中内衬于这些沟槽的部分可与隔离层 110 位置吻合, 从而形成了在图 17 的竖直方向 (y 方向) 上实质连续的隔离材料柱。

[0045] 在图 3B 的步骤框 328 中, 如图 18 所示, 在栅极氧化物层 1702 上方以及沟槽 1602 内沉积多晶硅 (poly) 层 1802。

[0046] 在图 3B 的步骤框 330 中, 可使用化学机械平面化或抛光 (CMP) 处理来去除一些多晶硅层 1802 (图 18), 直到到达栅极氧化物层 1702。随后可使用回蚀处理来去除更多的多晶硅层 1802, 以形成如图 19 所示的凹进元件。这些凹进元件对应于图 1 所示的沟槽栅极 111。

[0047] 在图 3B 的步骤框 332 中,也参考图 20,将覆盖层 p- 掺杂物注入到器件 100 中,即,注入到 n 型柱 108 中,以形成图 1 的 p 型 (p-) 体区 114。p 型体区 114 的深度 (在图 20 的 y 方向上) 比沟槽栅极 111 更浅。

[0048] 在图 3B 的步骤框 334 中,如图 21 所示,在终端沟槽 1202 和相邻区域上形成源极掩模 2102,随后将 n+ 掺杂物注入到 p 型体区 114 中以形成图 1 的 n 型 (n+) 源极区 116。以此方式,在 p 型柱 106 而非 n 型柱 108 上形成沟槽栅极。通过在 p 型柱 106 上形成沟槽栅极,可将栅极彼此靠近放置,从而增加了单元密度,这还具有减小 Rdson 的效果。在注入了 n 型源极之后,可以去除掩模 2102。

[0049] 在图 3B 的步骤框 336 中,先后沉积低温氧化物 (LTO) 层以及硼磷硅玻璃 (BPSG) 层,这些层被标识为图 22 中的层 2202。(为清楚起见,在图 22 和图 23 中并未标识出全部的栅极氧化物区 1702。)

[0050] 在图 3B 的步骤框 338 中,如图 23 所示,在层 2202 上施加光致抗蚀剂层并随后将其选择性地去除,以形成开口 2304 与 n 型柱 108 位置一致的掩模 2302。在开口 2304 下面的材料,即,这些开口下面的部分层 2202、部分栅极氧化物 1702、部分 n+ 源极区 116 以及部分 p 型体区 114 随后可被刻蚀掉,以形成图 1 的绝缘层 118,并且还形成了暴露 n+ 源极区 116、p 型体区 114 以及栅极抬高区的沟槽 125。图 1 的绝缘层 118 包括层 2202 的剩余部分以及栅极氧化物层 1702 的剩余水平 (x 方向) 部分;栅极氧化物层 1702 的 y 方向 (竖直) 部分与图 1 的隔离层 120 相合。随后在每个沟槽 125 的底部注入 p+ 掺杂物以形成图 1 的 p 型 (p+) 接触区 112。

[0051] 以类似的方法,在图 3C 的步骤框 340 中,可在图 23 的 z 方向上形成掩模 2402,使其开口 2404 与 p 型柱 106 位置一致,如图 24 所示。开口 2404 下面的材料,即,这些开口下面的部分层 2202、部分沟槽栅极 111 以及部分隔离层 109 随后可被刻蚀掉,以形成隔离多晶硅区 211 及暴露 p 型柱 106 和多晶硅区 211 的沟槽 225。通过氧化层 (栅极氧化物) 120、n 型柱 108 以及另一氧化层 120 来将 p 型柱接触沟槽 225 与栅极多晶硅 111 隔离开,并且该沟槽 225 还被氧化层 120 隔离开。

[0052] 在图 3C 的步骤框 342 中,参考图 23、图 24 和图 25,去除掩模 2302 和 2402,并在沟槽 2304 和 2404 中以及在绝缘层 118 上沉积金属。在该金属上施加光致抗蚀剂层并随后将其选择性地去除,以形成具有开口的掩模 (未示出),并且将开口下的金属刻蚀掉以形成图 1 和图 2 中的源极金属层 124,并形成栅极总线 (未示出)。因此,如图 1 和图 2 所示 p 型柱 106 和 n 型柱 108 都电连接到源极金属层 124。从而,能够在所得的体二极管从导通切换到截止时快速地扫清 p 型柱 106 中的载流子。

[0053] 在图 3C 的步骤框 344 中,可选地沉积一钝化层。随后施加掩模来对该钝化层进行刻蚀,以定义栅极焊盘和源极焊盘。

[0054] 如上所述,这里所描述的特征也能被应用于 p 沟道 SJ 沟槽功率 MOSFET 器件。图 26 是示出根据本发明一个实施例的 p 沟道 SJ 沟槽功率 MOSFET 器件 2600 的组成元素的截面图。器件 2600 包括 p+ 漏极层或衬底 2604 底面上的漏电极 (未示出)。p- 漂移区或 p 型柱 2606 以及 n- 漂移区或 n 型柱 2608 位于衬底 2604 上方且相互交替,以形成超结。p 型掺杂物的柱 2606 与相邻的 n 型掺杂物的柱 2608 通过隔离层或隔离柱 110 彼此隔离,以阻止在制造期间对结构加热时 n 型柱和 p 型柱发生相互扩散。

[0055] 在图 26 的实施例中,每个 n 型柱 2608 都位于各自的多晶硅沟槽栅极 111 下方。n 型柱 2608 与沟槽栅极 111 通过各自的隔离层 109 彼此隔离。通过将沟槽栅极 111 与 n 型柱 2608 排成一列,能够减小 p 型柱 2606 的宽度,从而可将沟槽栅极彼此更靠近地放置。

[0056] 在相邻沟槽栅 111 之间 p 型柱 2606 的上方形成沟槽 125。沟槽 125 填充有源极金属 124。n⁺ 区 (n 接触区 2612) 将每个沟槽 125 中的源极金属 124 与相应的 p 型柱 2606 隔离开。n⁻ 区 (n 型体区 2614) 位于每个沟槽 125 的每一侧上,处在沟槽与沟槽栅极 111 之间以及源极金属 124 与一个 p 型柱 2606 之间。另外,p⁺ 区 (p 型源极区 2616) 位于每个沟槽 125 的相对两侧上。n 型体区 2614 和 p 型源极区 2616 通过另一隔离层 120 (例如栅极氧化物) 与各自的沟槽栅极 111 隔离开。在每个 p 型源极区 2616 和每个沟槽栅极 111 上方可形成绝缘层 118。源极金属层 124 形成在绝缘层 118 上方并如上所述延伸入沟槽 125。

[0057] 根据本发明的一个实施例,以类似于图 2 所示的方式使 n 型柱 2608 抬高并使其与源极金属层 124 电短路。

[0058] 总而言之,本说明书描述了 SJ 沟槽功率 MOSFET 器件的实施例以及该器件的制造方法的实施例。这里所描述的特征可被用于低电压器件以及 1000 伏特功率 MOSFET 之类的高电压器件,以作为分裂栅极、双沟槽和其它传统的高电压超结型器件的替代方案。

[0059] 一般来说,本说明书已公开了以下内容。在超结型沟槽功率 MOSFET (金属氧化物半导体场效应晶体管) 器件中,超结中的 p 型掺杂物柱通过第一氧化物柱与 n 型掺杂物的第一柱隔离开,并通过第二氧化物柱与 n 型掺杂物的第二柱隔离开。在一个 n 沟道器件中,用于 FET 的栅极元件优选地位于 p 型掺杂物柱的上方,而在 p 沟道器件中,用于 FET 的栅极元件优选地位于 n 型掺杂物柱的上方。

[0060] 一般来说,本说明书公开了以下内容。在超结型沟槽功率 MOSFET (金属氧化物半导体场效应晶体管) 器件中,超结中的 p 型掺杂物柱通过第一氧化物柱与 n 型掺杂物的第一柱隔离开,并通过第二氧化物柱与 n 型掺杂物的第二柱隔离开。在一个 n 沟道器件中,用于 FET 的栅极元件优选地位于 p 型掺杂物柱的上方,而在 p 沟道器件中,用于 FET 的栅极元件优选地位于 n 型掺杂物柱的上方。

[0061] 前面对本发明具体实施方式的描述是以图解和描述的目的进行介绍的。他们并非意在穷尽本发明或将本发明限制在所公开的特定形式,基于上述指教可以进行各种变型和修改。所选择和描述的实施例是为了最好地解释本发明的原理及其实际应用,从而使本领域的其它技术人员能够更好地将本发明及包含各种变型的变化实施例适当地用于所预期的具体应用中。意在用所附权利要求及其等同物来定义本发明的范围。应当理解,本文所介绍的任意及全部元件和步骤都被优选地涵盖。这些元素和步骤中对于本领域技术人员显而易见的那些元素和步骤可被省略。

[0062] 简言之,本说明书至少公开了以下广义概念。

[0063] 概念 1. 一种超结型沟槽功率金属氧化物半导体场效应晶体管 (MOSFET) 器件,具有第一型掺杂物的沟道,所述器件包括:

[0064] 绝缘材料构成的第一柱,其将第二型掺杂物的柱与所述第一型掺杂物的第一柱隔离开;

[0065] 绝缘材料构成的第二柱,其将所述第二型掺杂物的柱与所述第一型掺杂物的第二柱隔离开;以及

[0066] 用于场效应晶体管的栅极元件,其中所述栅极元件排列在所述绝缘材料构成的第一柱与所述绝缘材料构成的第二柱之间。

[0067] 概念 2. 根据概念 1 的超结型沟槽功率 MOSFET 器件,还包括将所述栅极元件与所述第二型掺杂物的柱隔离开的隔离层。

[0068] 概念 3. 根据概念 1 的超结型沟槽功率 MOSFET 器件,其中如果所述第一型掺杂物包括 n 型掺杂物,则所述第二型掺杂物包括 p 型掺杂物,并且其中如果所述第一型掺杂物包括 p 型掺杂物,则所述第二型掺杂物包括 n 型掺杂物。

[0069] 概念 4. 根据概念 1 的超结型沟槽功率 MOSFET 器件,还包括源极金属的层,其与所述第二型掺杂物的柱电短路。

[0070] 概念 5. 根据概念 4 的超结型沟槽功率 MOSFET 器件,还包括形成在所述栅极元件与相邻的栅极元件之间的沟槽,其中所述源极金属填充所述沟槽。

[0071] 概念 6. 根据概念 5 的超结型沟槽功率 MOSFET 器件,还包括布置在所述栅极元件与所述沟槽之间的所述第二型掺杂物的体区和所述第一型掺杂物的源极区。

[0072] 概念 7. 根据概念 5 的超结型沟槽功率 MOSFET 器件,其中所述沟槽与所述第一型掺杂物的第一柱的纵轴排成一列。

[0073] 概念 8. 根据概念 7 的超结型沟槽功率 MOSFET 器件,其中所述沟槽通过所述第二型掺杂物的区与所述第一型掺杂物的第一柱隔离开。

[0074] 概念 9. 一种具有第一型掺杂物的沟道的半导体器件,所述器件包括:

[0075] 所述第一型掺杂物的衬底;

[0076] 耦接到所述衬底的超结型结构,所述超结型结构包括布置在所述第一型掺杂物的柱形第一区与所述第一型掺杂物的柱形第二区之间的第二型掺杂物的柱形区,其中所述第二型掺杂物的柱形区与所述第一型掺杂物的柱形第一区通过第一隔离层隔离开,并且与所述第一型掺杂物的柱形第二区通过第二隔离层隔离开;以及

[0077] 场效应晶体管,其耦接到所述超结型结构并包括栅极元件,其中所述栅极元件与所述第二型掺杂物的柱形区的纵轴排成一列。

[0078] 概念 10. 根据概念 9 的半导体器件,还包括将所述栅极元件与所述第二型掺杂物的柱形区隔离开的氧化物层。

[0079] 概念 11. 根据概念 9 的半导体器件,还包括源极金属的层,其与所述第二型掺杂物的柱形区电短路。

[0080] 概念 12. 根据概念 11 的半导体器件,还包括形成在所述栅极元件与相邻的栅极元件之间的沟槽,其中所述源极金属填充所述沟槽。

[0081] 概念 13. 根据概念 12 的半导体器件,还包括布置在所述栅极元件与所述沟槽之间的所述第二型掺杂物的体区和所述第一型掺杂物的源极区。

[0082] 概念 14. 根据概念 12 的半导体器件,其中所述沟槽与所述第一型掺杂物的柱形第一区的纵轴排成一列。

[0083] 概念 15. 一种具有第一型掺杂物的沟道的半导体器件,包括:

[0084] 所述第一型掺杂物的衬底;

[0085] 耦接到所述衬底的超结型结构,所述超结型结构包括布置在所述第一型掺杂物的第一区与所述第一型掺杂物的第二区之间的第二型掺杂物的区,其中所述第二型掺杂物的

区以及所述第一型掺杂物的第一区和第二区每一个的第一尺寸都大于第二尺寸,所述第一尺寸是在第一方向上测量得到的,所述第二尺寸是在垂直于所述第一方向的第二方向上测量得到的;

[0086] 包括栅极元件的场效应晶体管,其中所述第二型掺杂物的区在所述第一方向上位于所述栅极元件与所述衬底之间;以及

[0087] 源极金属的层,其与所述第二型掺杂物的区在垂直于所述第一方向和所述第二方向的第三方向上电短路。

[0088] 概念 16. 根据概念 15 的半导体器件,其中所述第二型掺杂物的区与所述第一型掺杂物的第一区通过第一隔离层隔离开,并与所述第一型掺杂物的第二区通过第二隔离层隔离开。

[0089] 概念 17. 根据概念 15 的半导体器件,还包括氧化物层,其将所述栅极元件与所述第二型掺杂物的区隔离开。

[0090] 概念 18. 根据概念 15 的半导体器件,还包括形成在所述栅极元件与相邻的栅极元件之间的沟槽,其中所述源极金属填充所述沟槽。

[0091] 概念 19. 根据概念 18 的半导体器件,还包括布置在所述栅极元件与所述沟槽之间的所述第二型掺杂物的体区和所述第一型掺杂物的源极区。

[0092] 概念 20. 根据概念 18 的半导体器件,其中所述第一型掺杂物的第一区在所述第一方向上位于所述沟槽与所述衬底之间。

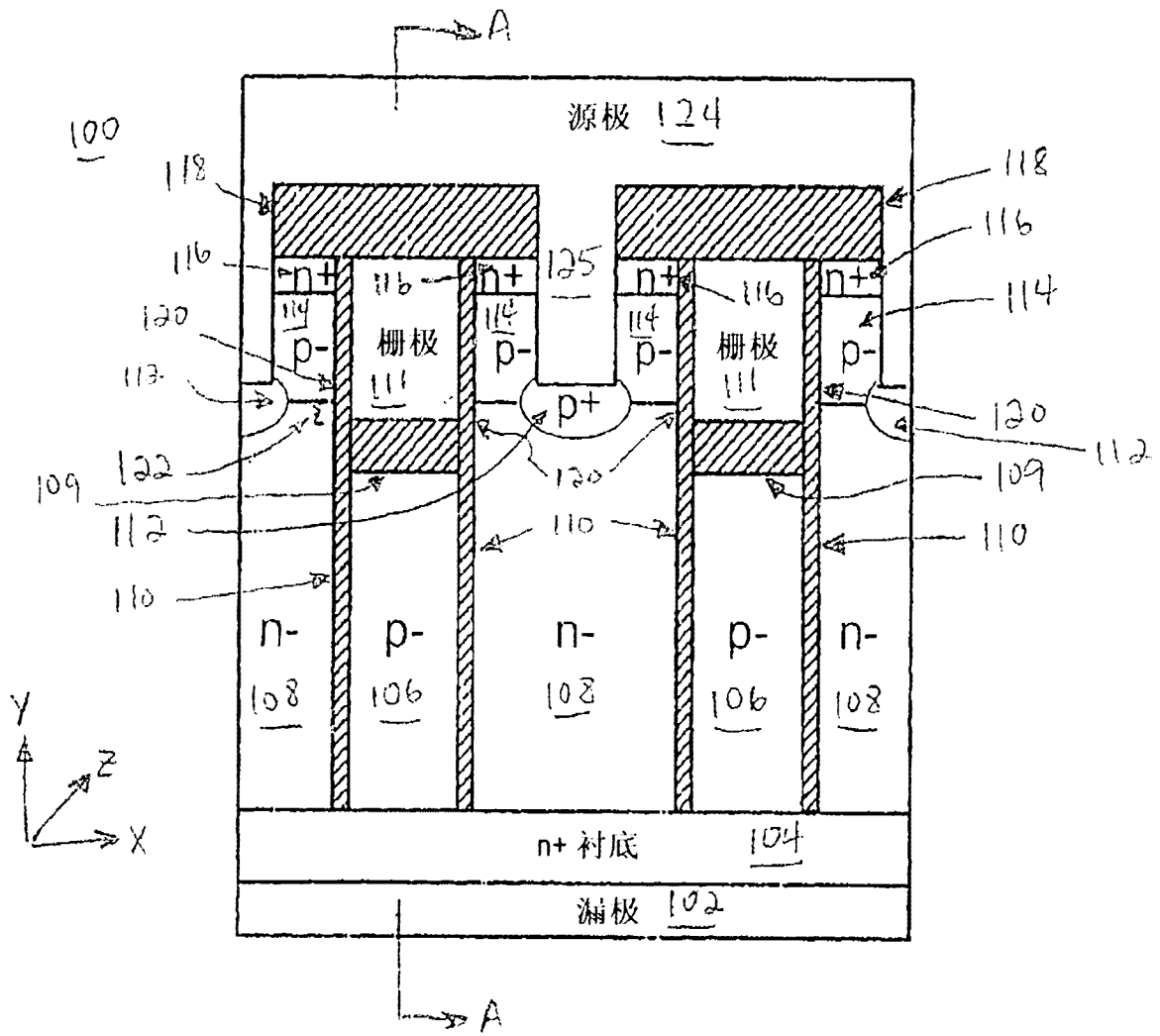


图 1

100

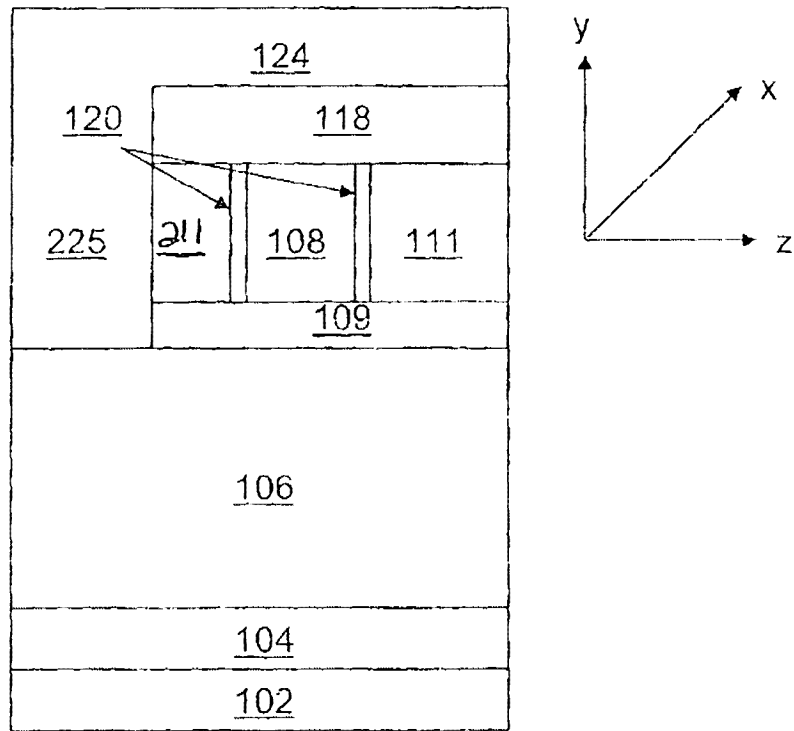


图 2

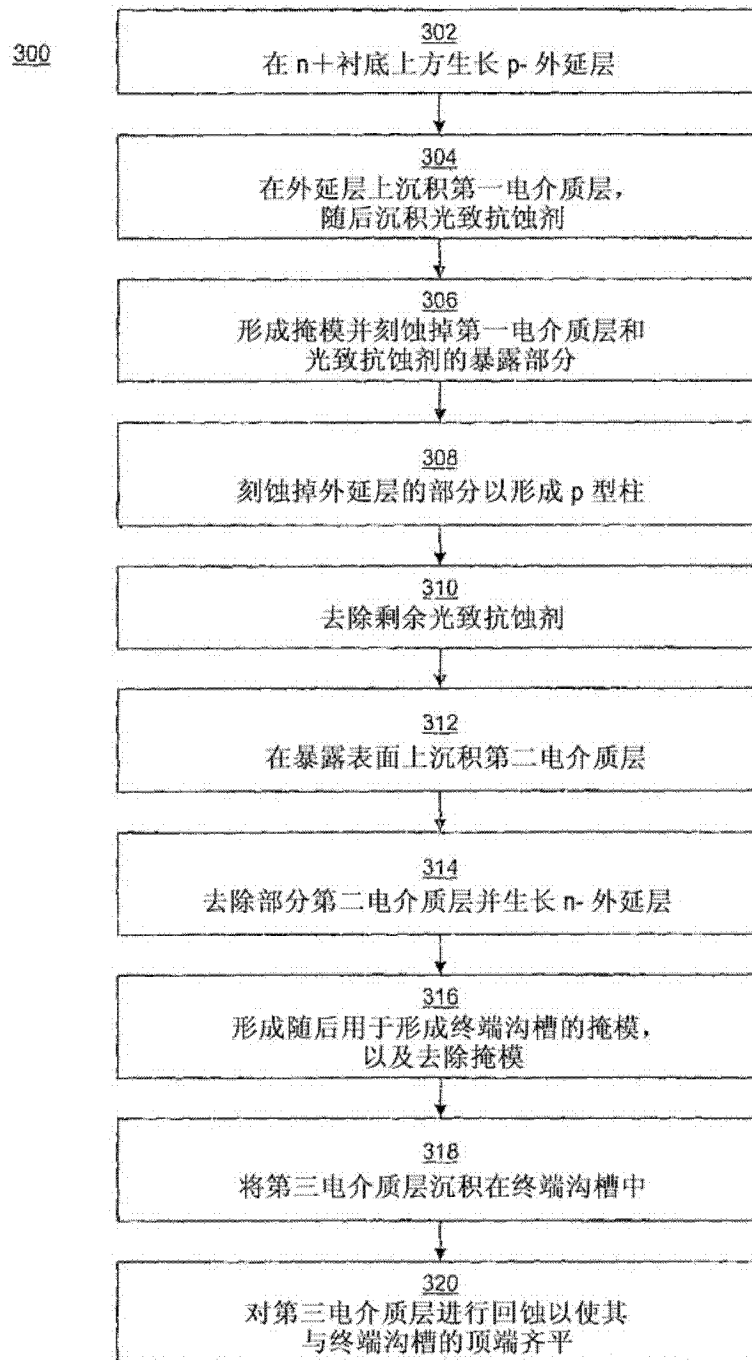


图 3A

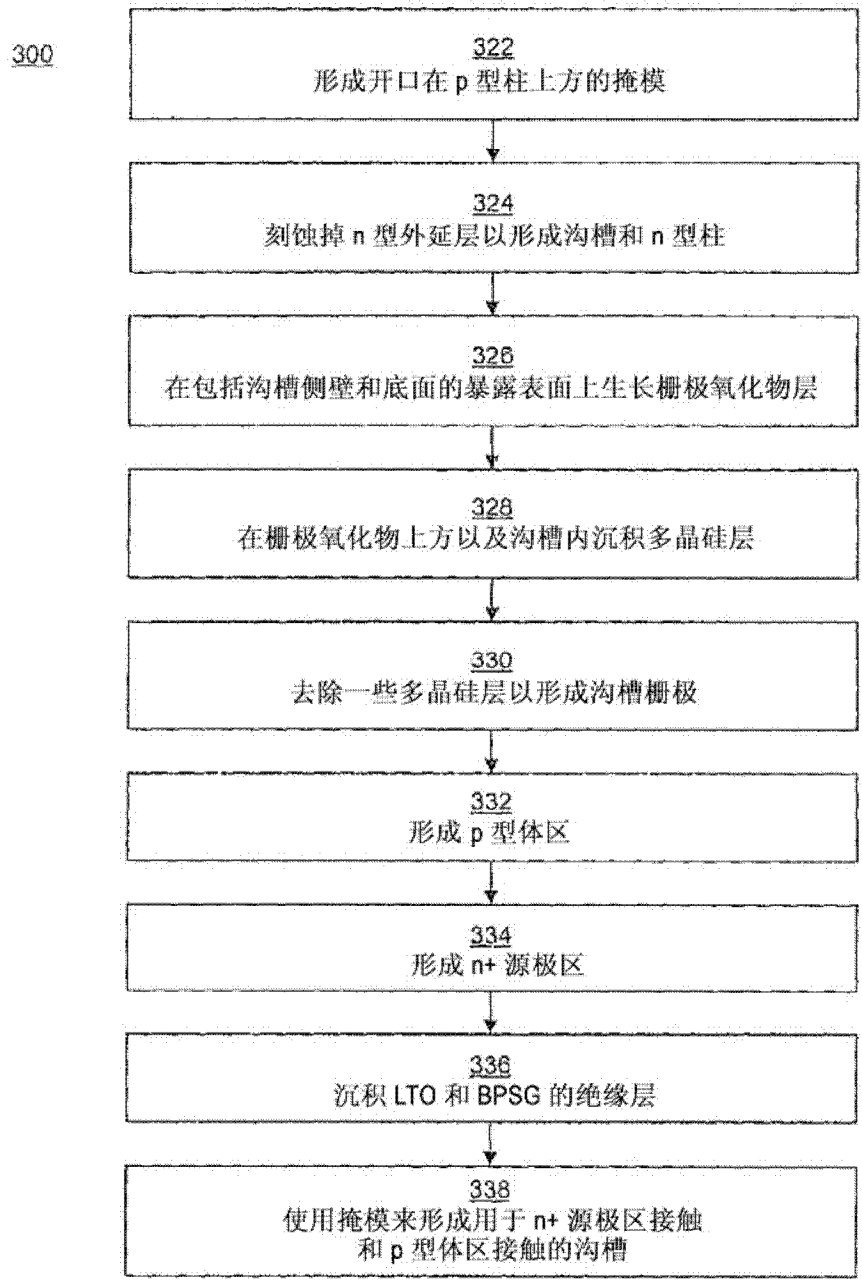


图 3B

300

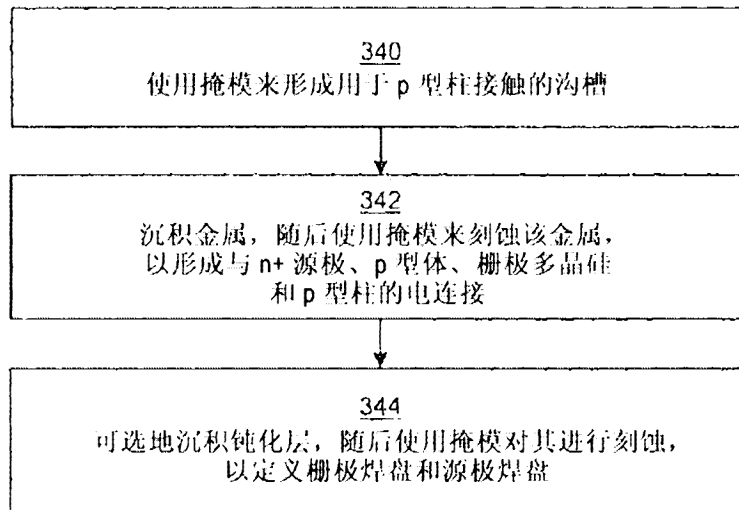


图 3C

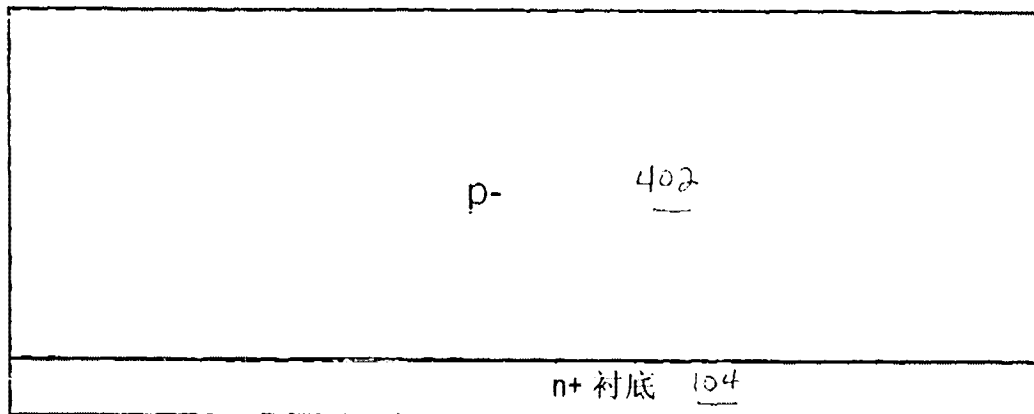


图 4

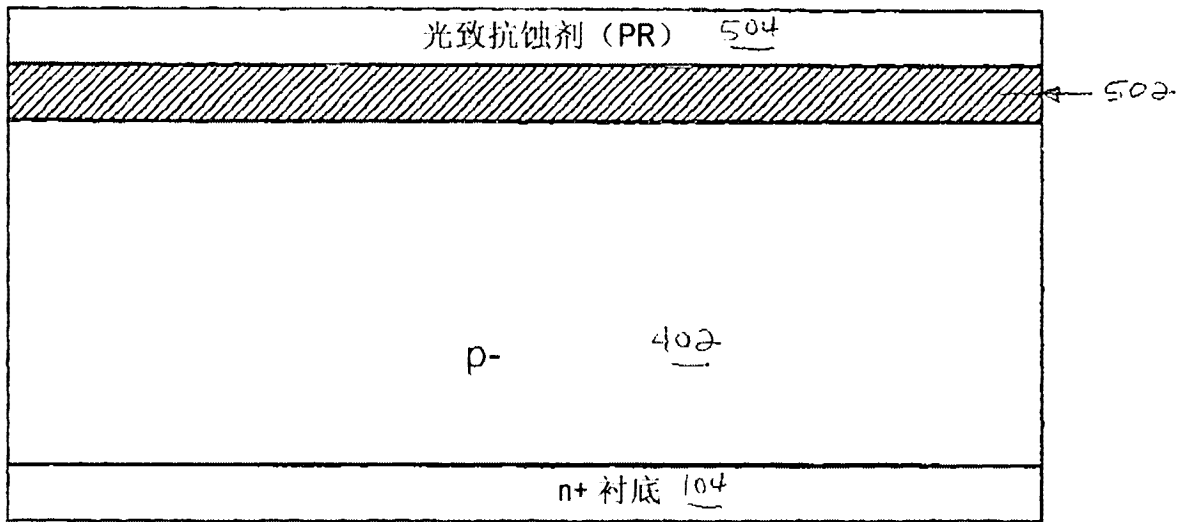


图 5

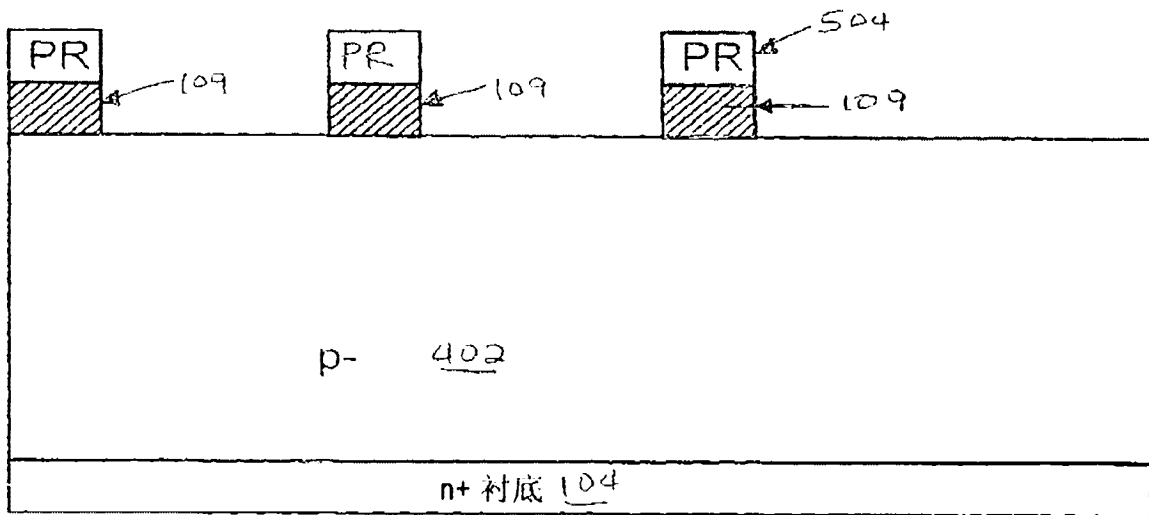


图 6

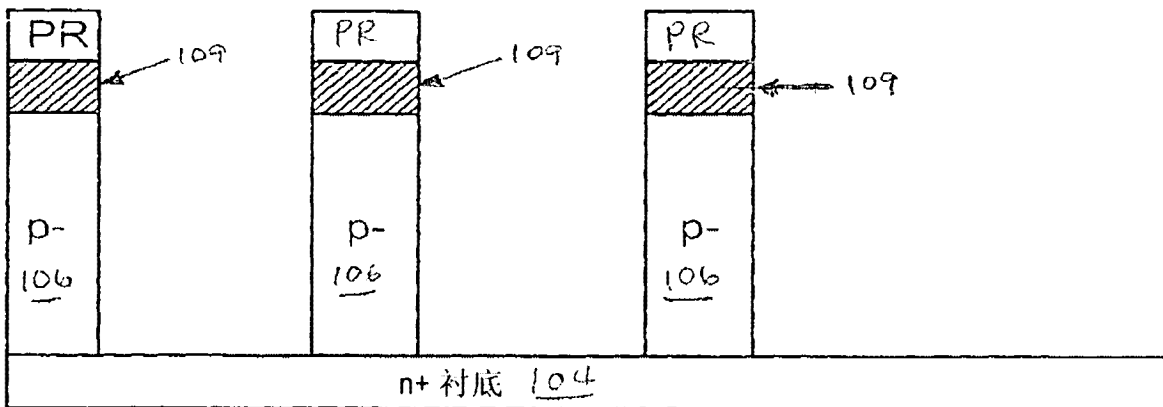


图 7

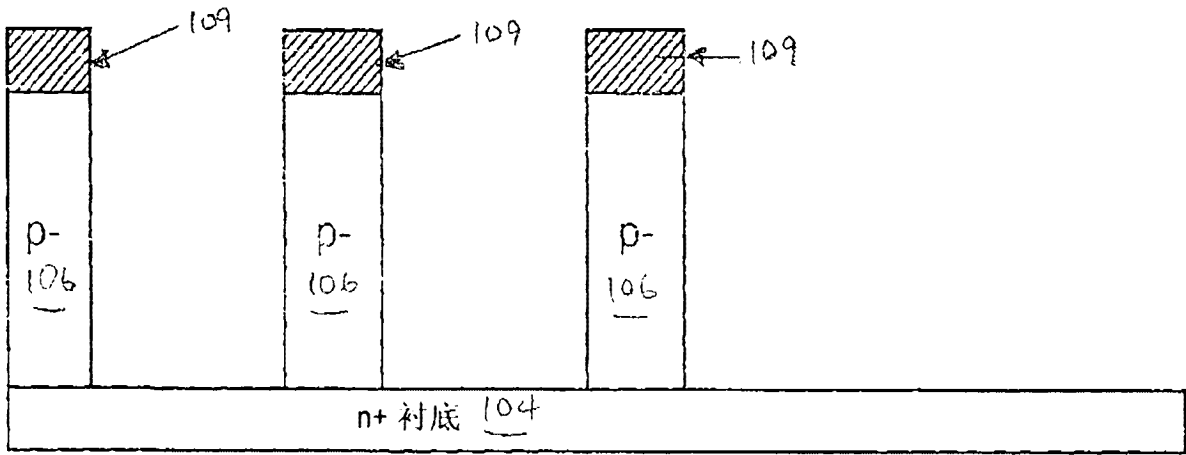


图 8

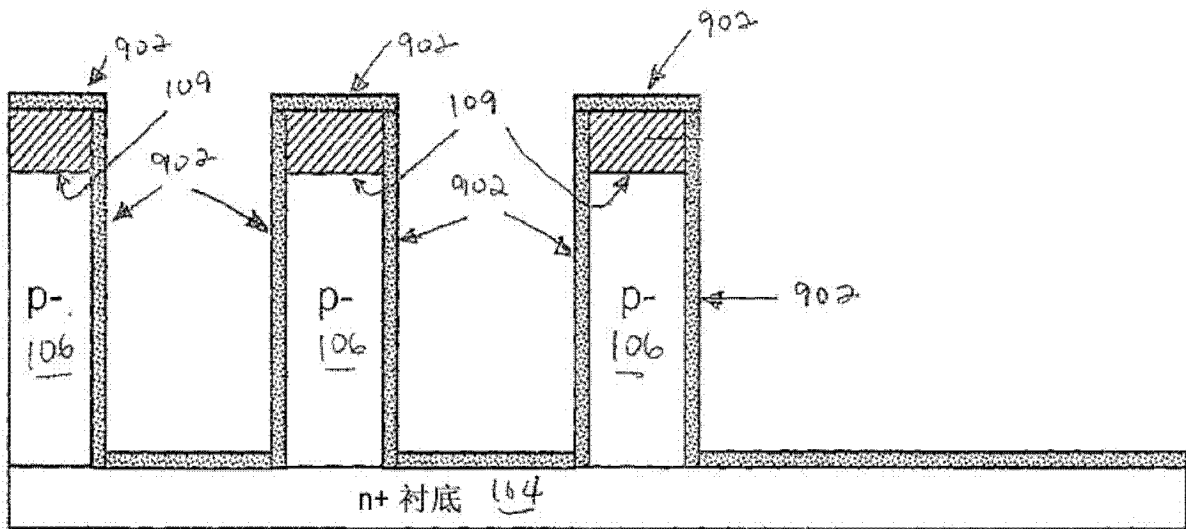


图 9

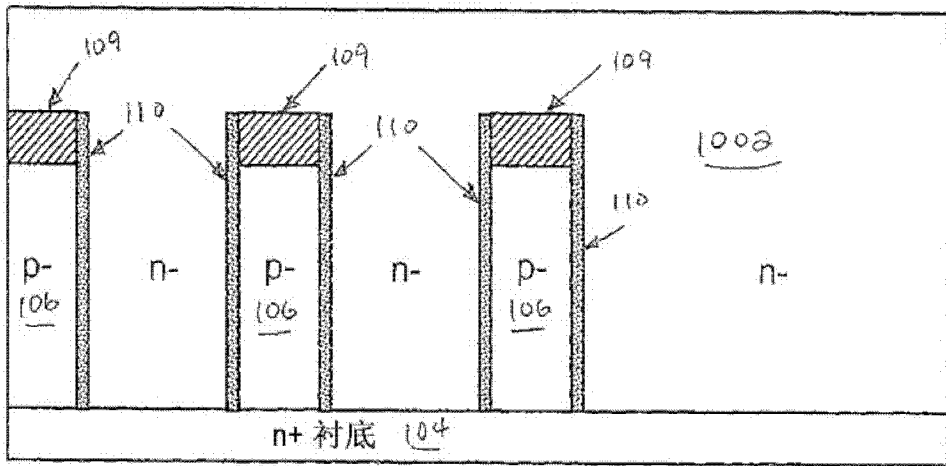


图 10

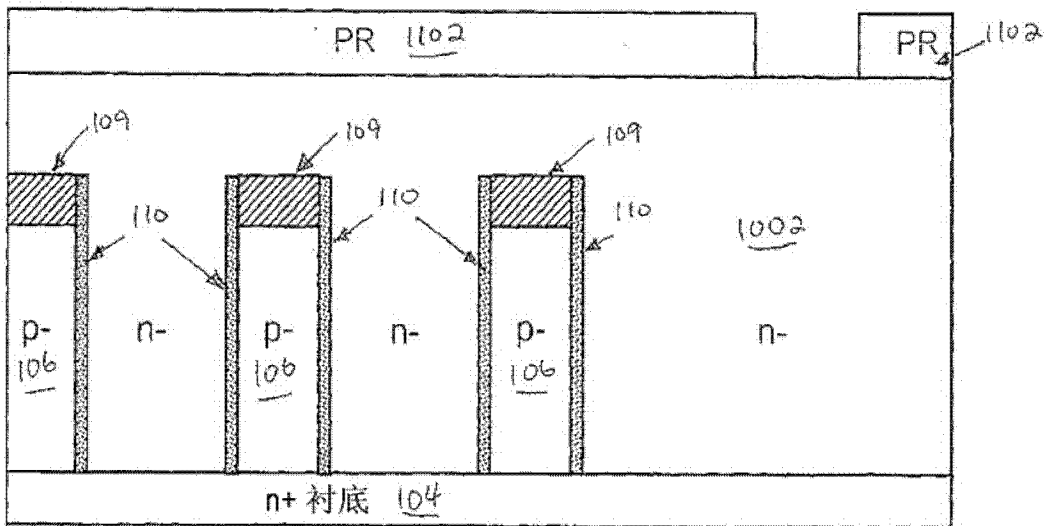


图 11

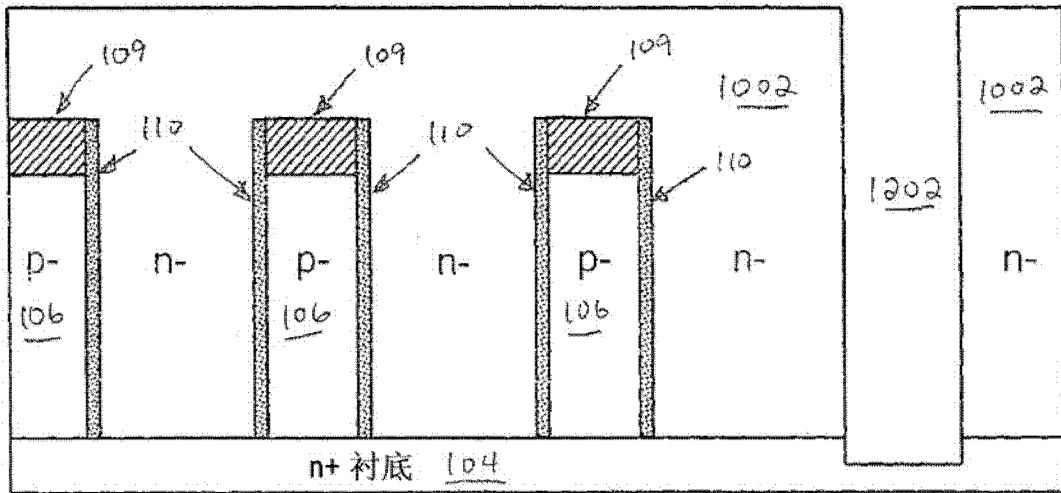


图 12

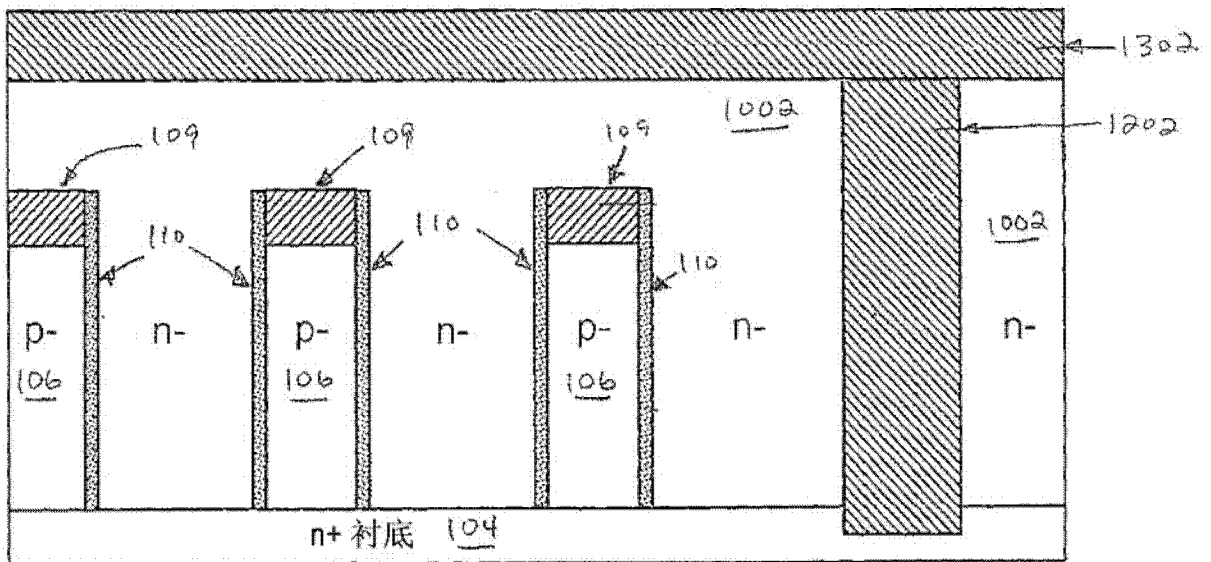


图 13

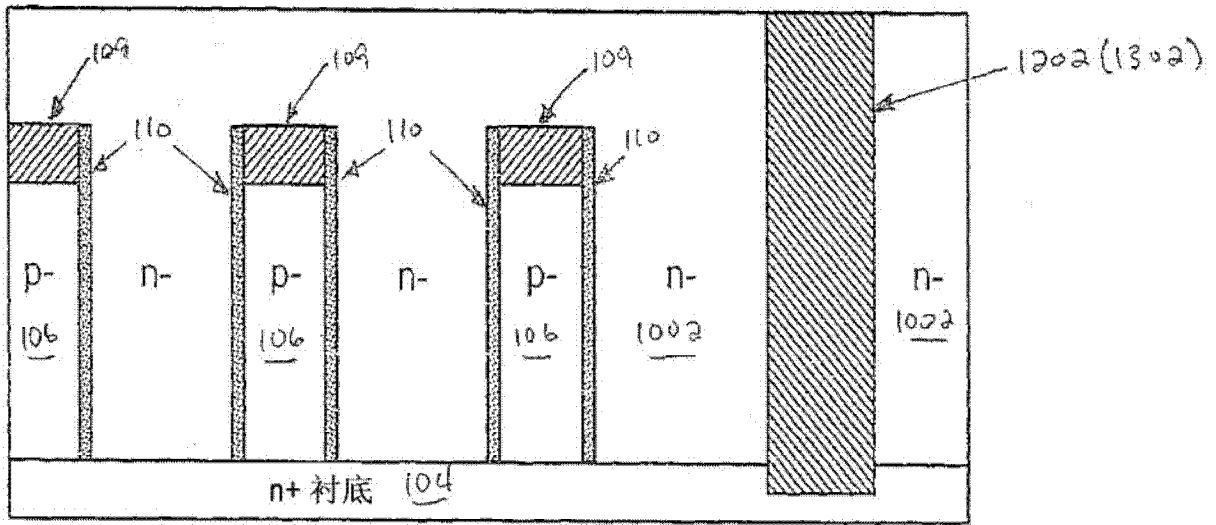


图 14

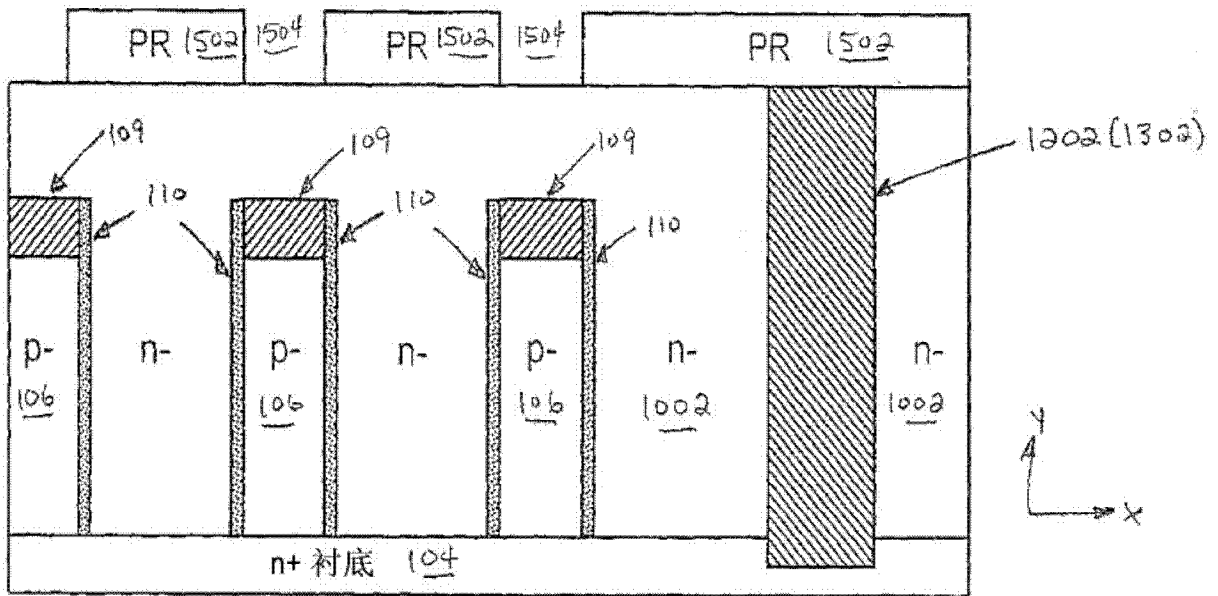


图 15

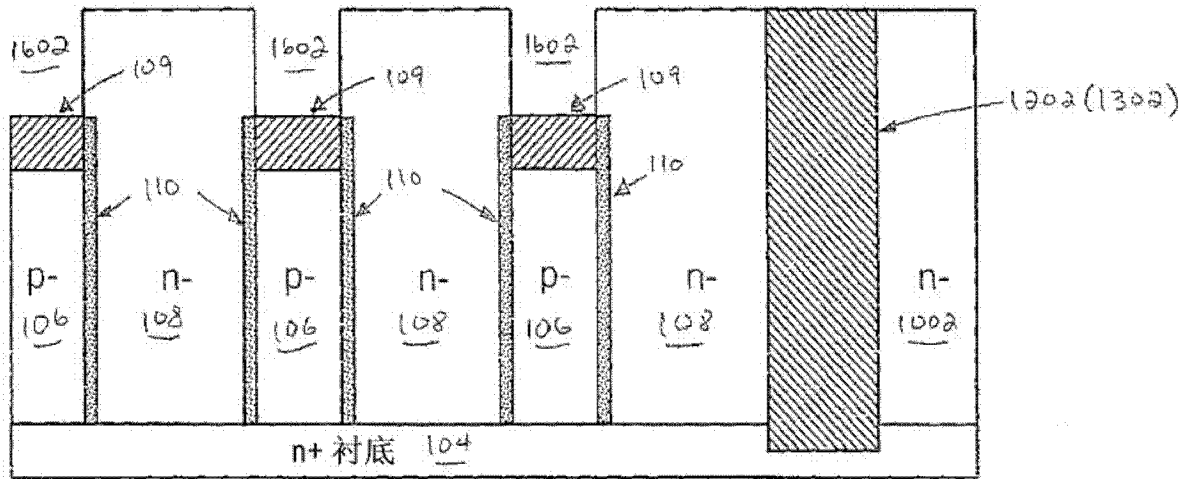


图 16

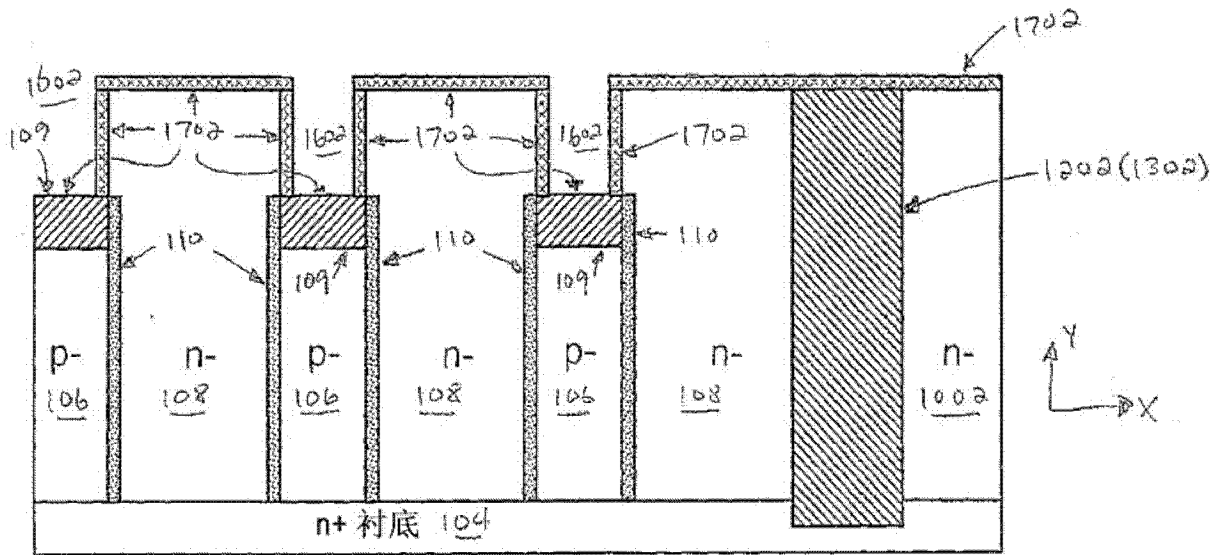


图 17

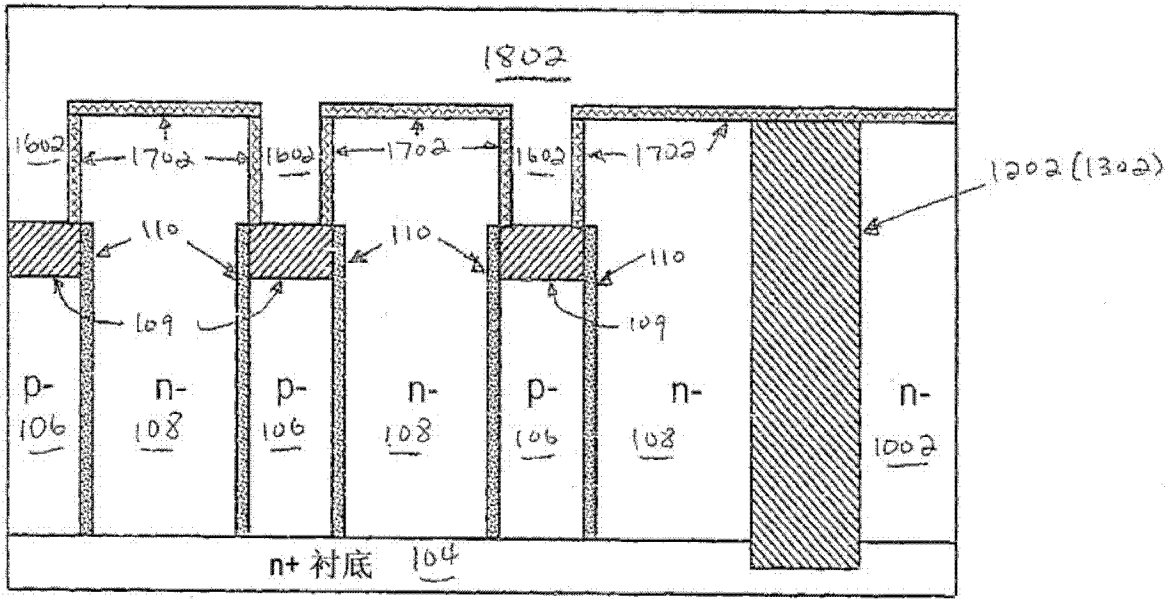


图 18

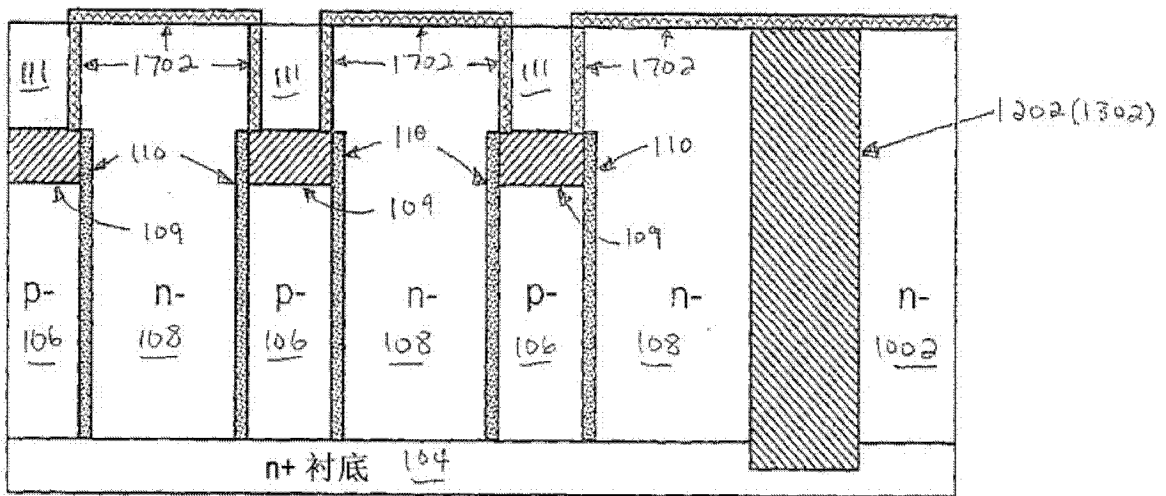


图 19

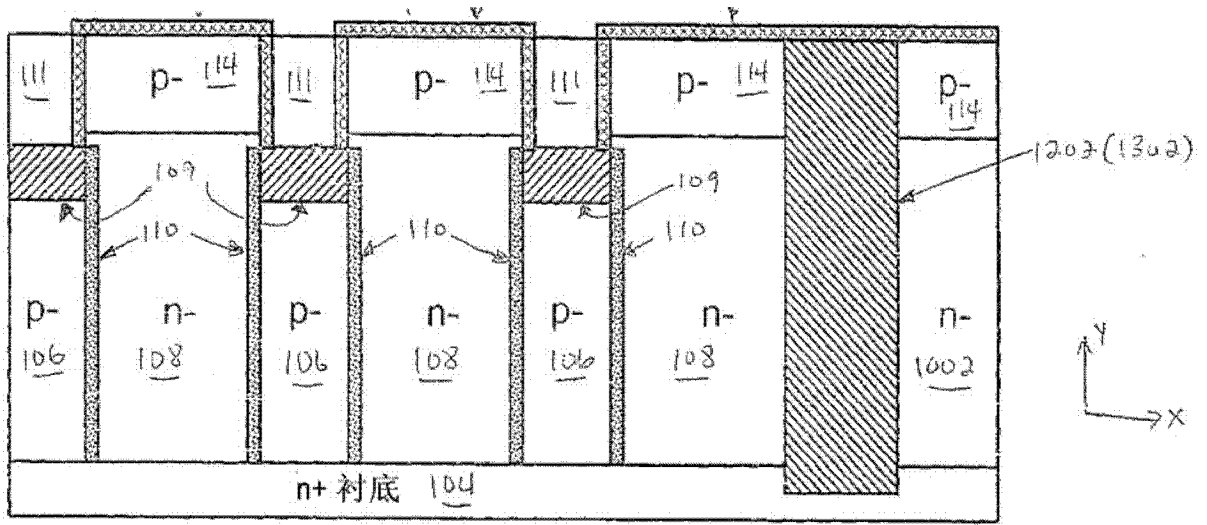


图 20

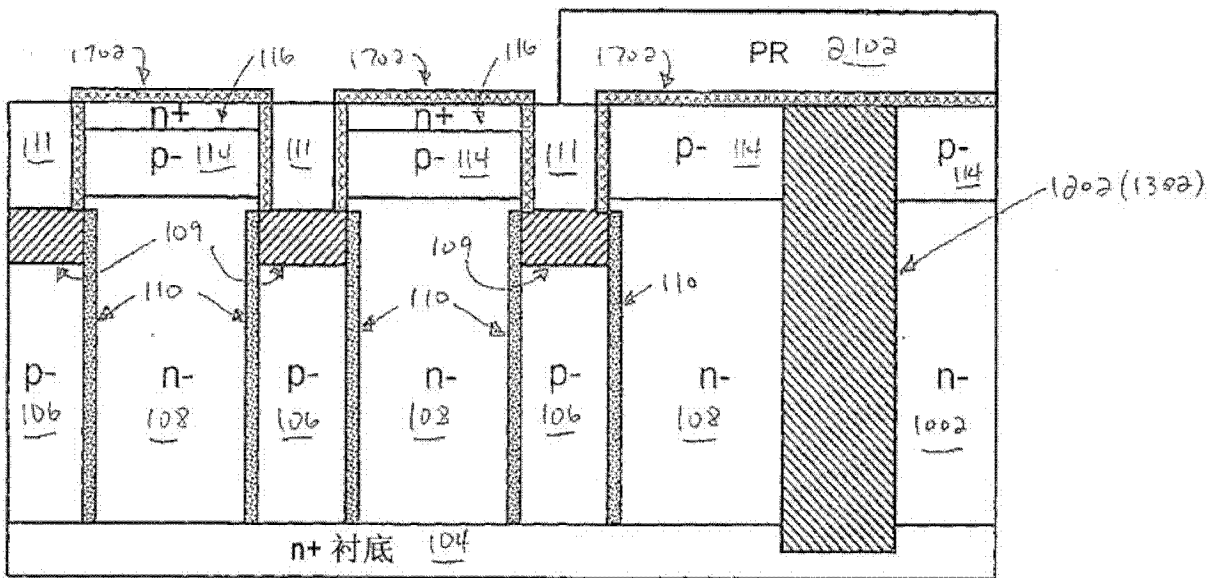


图 21

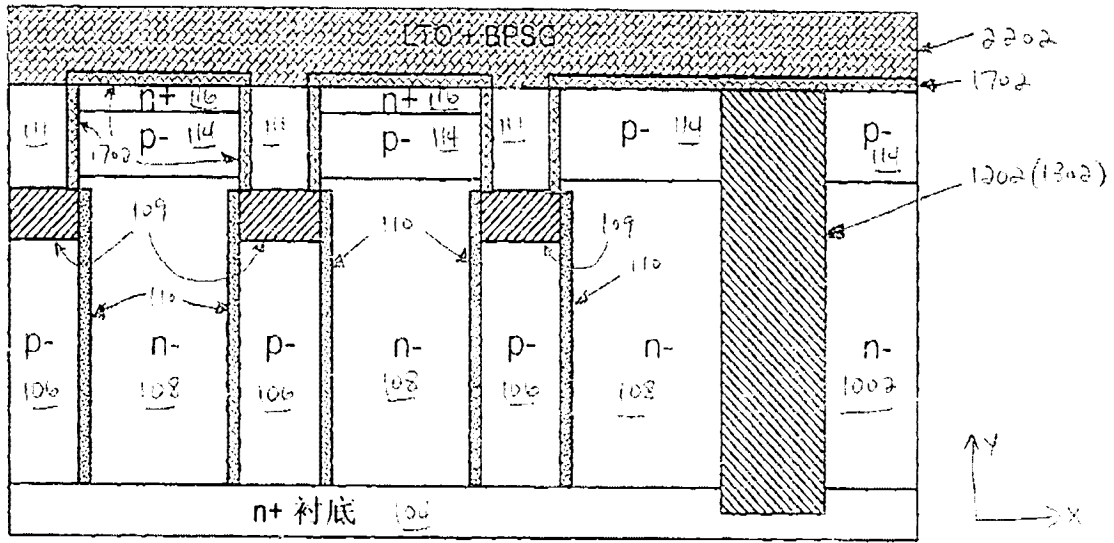


图 22

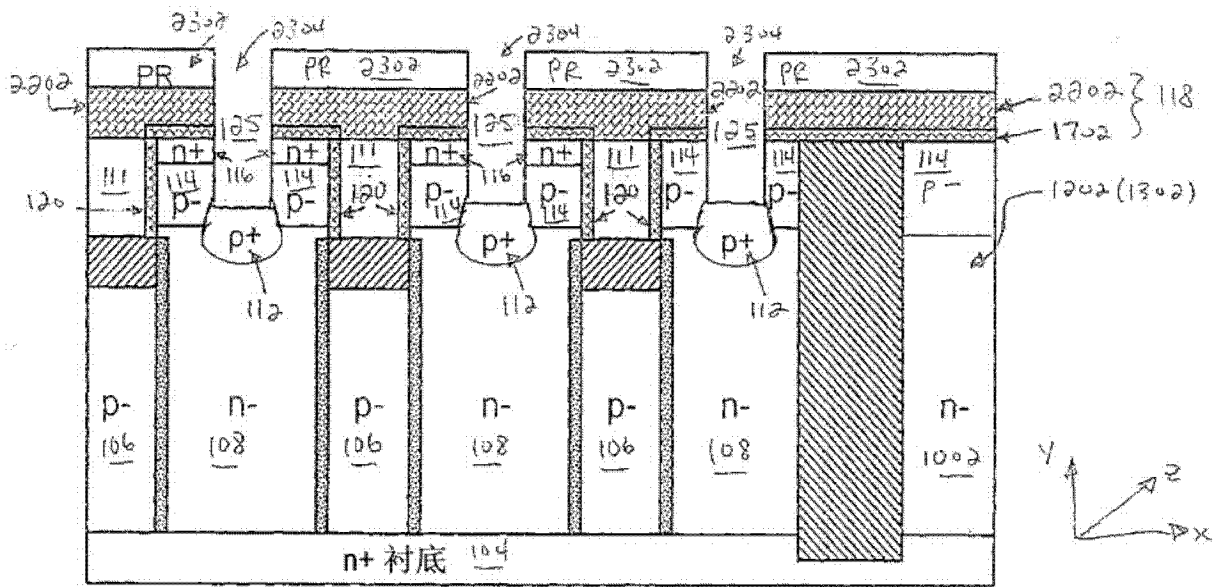


图 23

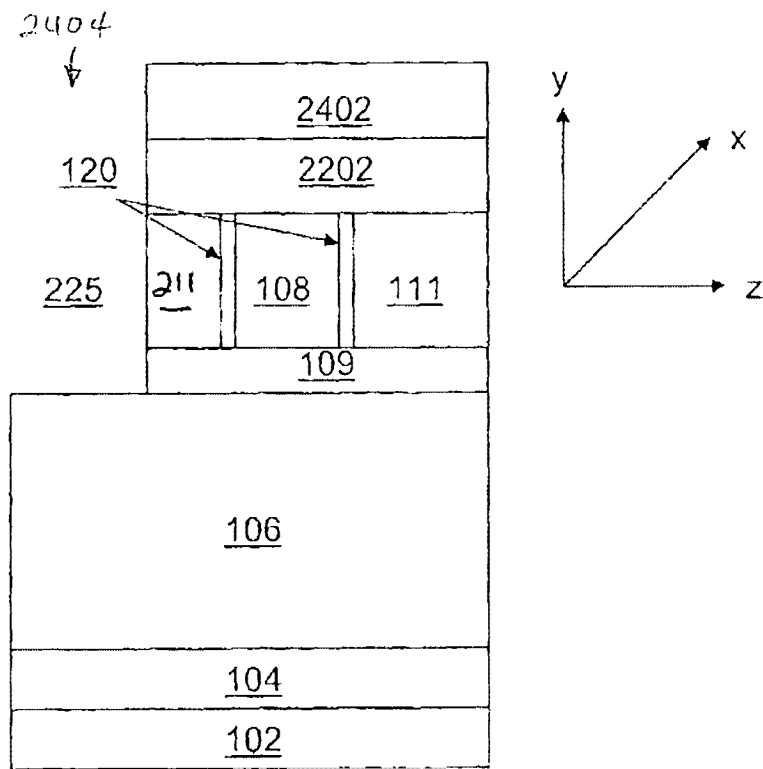


图 24

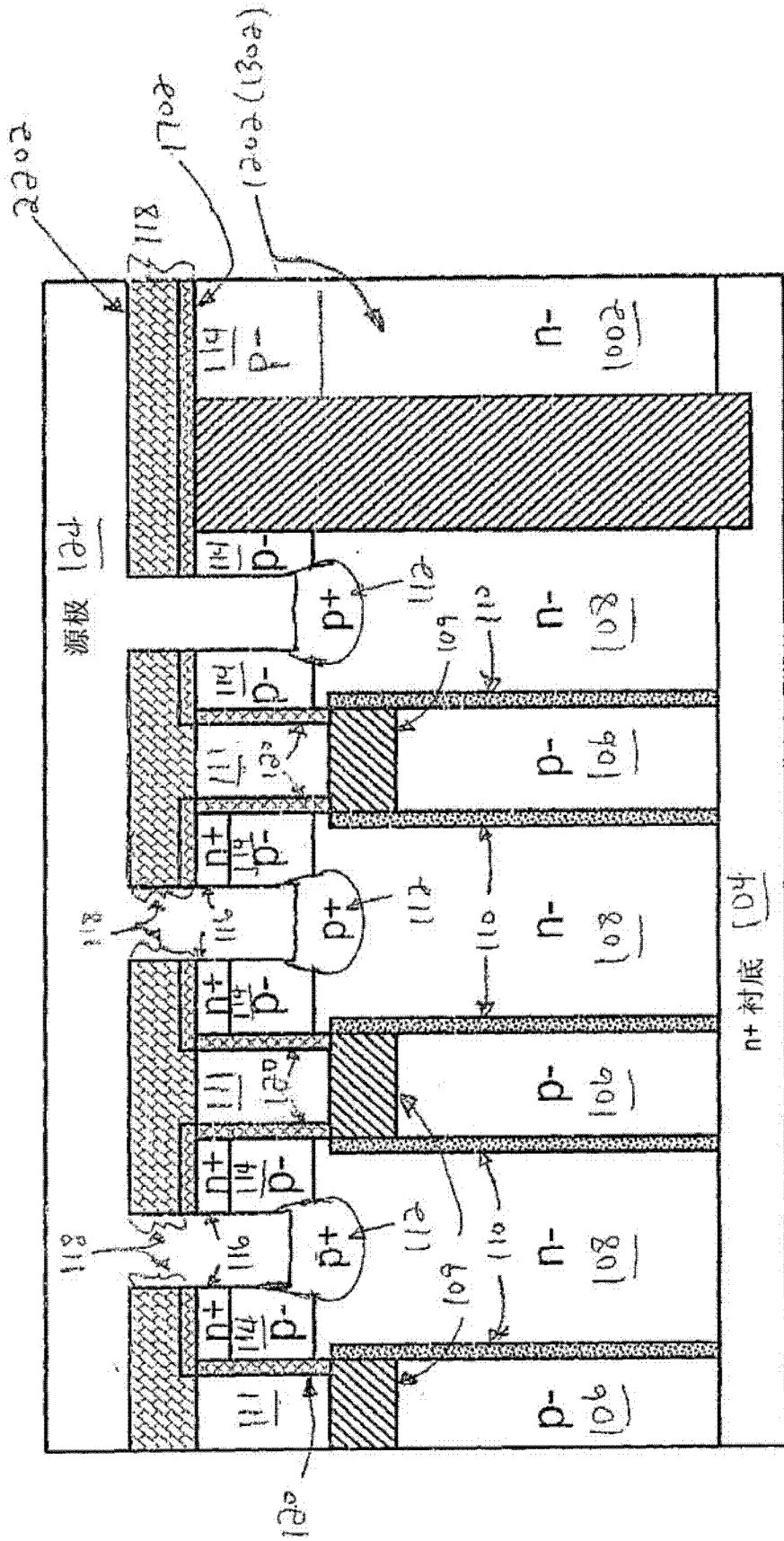


图 25

2600

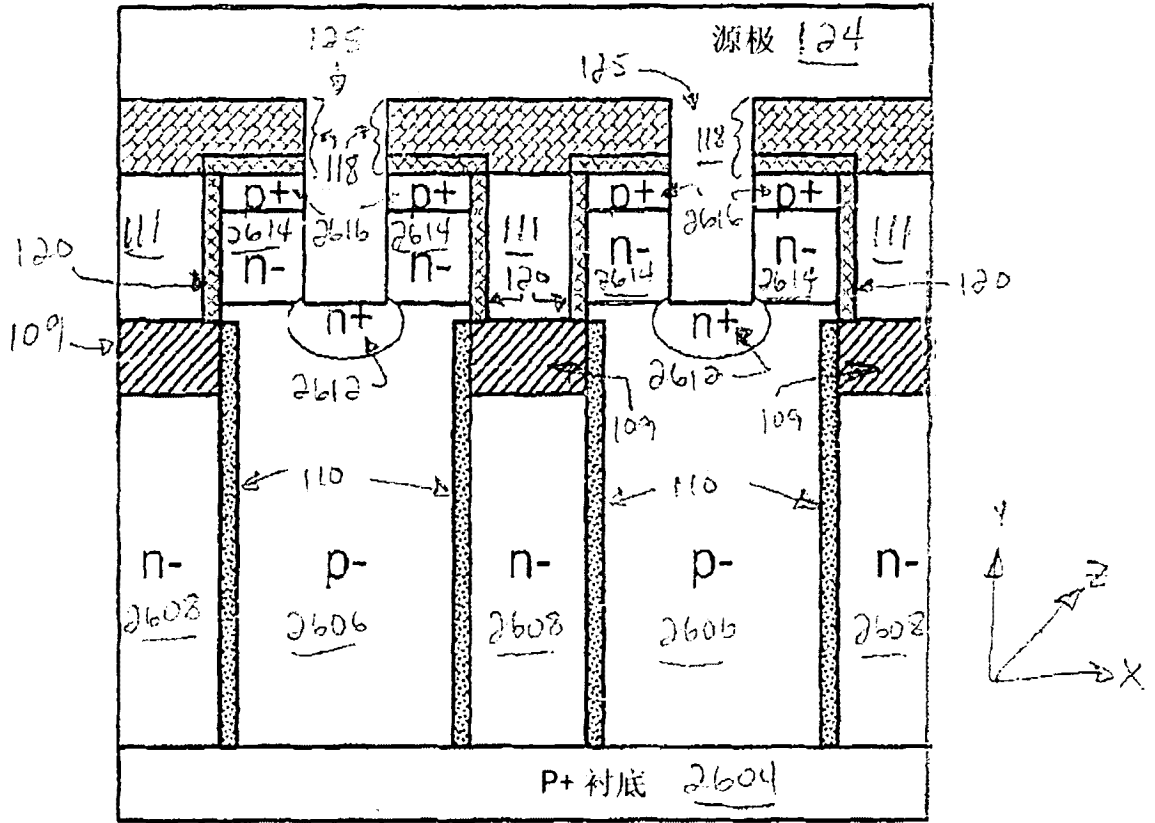


图 26