



(12) 发明专利

(10) 授权公告号 CN 101594491 B

(45) 授权公告日 2011. 09. 07

(21) 申请号 200910142705. 6

(22) 申请日 2009. 05. 31

(30) 优先权数据

142336/08 2008. 05. 30 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 土屋弘幸

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉

(51) Int. Cl.

H04N 5/347(2011. 01)

H04N 5/343(2011. 01)

H01L 27/146(2006. 01)

审查员 蒋一明

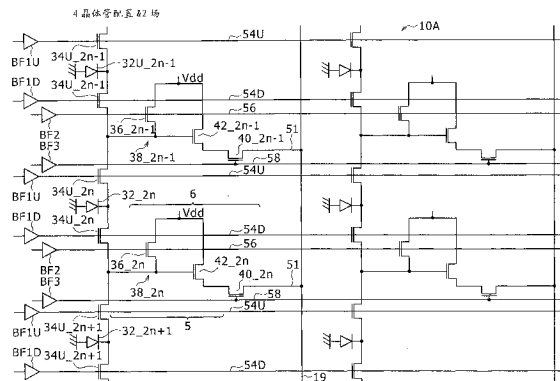
权利要求书 3 页 说明书 25 页 附图 35 页

(54) 发明名称

固态成像装置、成像装置和固态成像装置的驱动方法

(57) 摘要

一种固态成像装置,包括具有以矩阵形式二维排列的单元像素的像素阵列部分。每一个单元像素包括:电荷产生部分,被配置为产生信号电荷;多个电荷传送部分,被配置为传送由电荷产生部分产生的信号电荷;以及信号输出部分,被配置为产生并输出与由所述电荷产生部分产生的信号的电荷相称的目标信号。对于每一个电荷产生部分提供多个电荷传送部分。多个电荷传送部分在与电荷产生部分相反的一侧连接到不同行中的信号输出部分。



1. 一种固态成像装置,包括:

像素阵列部分,其具有以矩阵形式二维排列的单元像素,每一个所述单元像素包括电荷产生部分,被配置为产生信号电荷,
多个电荷传送部分,被配置为传送由所述电荷产生部分产生的所述信号电荷,以及信号输出部分,被配置为产生并输出与由所述电荷产生部分产生的所述信号电荷相称的目标信号,其中

为每一个所述电荷产生部分提供所述多个电荷传送部分,以及

所述多个电荷传送部分在与所述电荷产生部分相对的一侧连接到不同行中的所述信号输出部分。

2. 根据权利要求 1 所述的固态成像装置,包括:

驱动控制部分,被配置为控制所述多个电荷传送部分和信号输出部分的操作,其中

所述驱动控制部分执行隔行扫描,所述隔行扫描适于通过以 N 个步骤读出屏幕的多个场来读出目标信号,其中所述多个场中的每一个由在不同位置的所述信号输出部分的 1/N 行构成,

对于每一场,所述驱动控制部分将由不同行中的 N 个电荷产生部分产生的所述信号电荷传送到同一行中的所述信号输出部分,以便产生并输出通过合成 N 个信号电荷而获得的目标信号,以及

所述驱动控制部分控制所述电荷传送部分和信号输出部分,以便 N 个电荷传送部分的所述行的组合逐场地不同。

3. 根据权利要求 2 所述的固态成像装置,其中

所述驱动控制部分执行控制,以便在信号电荷读出或电子快门期间,将未用于信号电荷传送的所述电荷传送部分的非活动电平降低到低于正常的电平。

4. 根据权利要求 2 所述的固态成像装置,其中

所述驱动控制部分执行逐行扫描,所述逐行扫描适于通过控制所述电荷传送部分来以行的次序从所述信号输出部分顺序地读出目标信号,以便由所述多个电荷传送部分之一传送所述信号电荷。

5. 一种固态成像装置,包括:

像素阵列部分,其具有以矩阵形式二维排列的单元像素,每一个所述单元像素包括电荷产生部分,被配置为产生信号电荷,
多个电荷传送部分,被配置为传送由所述电荷产生部分产生的所述信号电荷,以及信号输出部分,被配置为产生并输出与由所述电荷产生部分产生的所述信号电荷相称的目标信号,其中

为每一个所述电荷产生部分提供所述多个电荷传送部分,以及

每一行中的所述信号输出部分在两个操作之间切换,一个操作被配置为从多个行的一个中的所述电荷产生部分接收信号电荷,而另一个操作被配置为从所述信号输出部分所属的、其自己的行中的所述电荷产生部分接收信号电荷,或者从除了其自己的行之外的行中的所述电荷产生部分接收信号电荷。

6. 根据权利要求 5 所述的固态成像装置,包括:

驱动控制部分,被配置为控制所述多个电荷传送部分和信号输出部分的操作,其中

所述驱动控制部分执行隔行扫描,所述隔行扫描适于通过以 N 个步骤读出屏幕的多个场来读出目标信号,其中所述多个场中的每一个由在不同位置的所述信号输出部分的 1/N 行构成,

对于每一场,所述驱动控制部分将由不同行中的 N 个电荷产生部分产生的所述信号电荷传送到同一行中的所述信号输出部分,以便产生并输出通过合成 N 个信号电荷而获得的目标信号,以及

所述驱动控制部分控制所述电荷传送部分和信号输出部分,以便 N 个电荷传送部分的所述行的组合逐场地不同。

7. 根据权利要求 6 所述的固态成像装置,其中

所述驱动控制部分执行控制,以便在信号电荷读出或电子快门期间,将未用于信号电荷传送的所述电荷传送部分的非活动电平降低到低于正常的电平。

8. 根据权利要求 6 所述的固态成像装置,其中

所述驱动控制部分执行逐行扫描,所述逐行扫描适于通过控制所述电荷传送部分来以行的次序从所述信号输出部分顺序地读出目标信号,以便由所述多个电荷传送部分中的一个传送信号电荷。

9. 一种成像装置,包括:

像素阵列部分,其具有以矩阵形式二维排列的单元像素,每一个所述单元像素包括电荷产生部分,被配置为产生信号电荷,

多个电荷传送部分,被配置为传送由所述电荷产生部分产生的所述信号电荷,以及信号输出部分,被配置为产生并输出与由所述电荷产生部分产生的所述信号电荷相称

的目标信号;

驱动控制部分,被配置为控制所述多个电荷传送部分和信号输出部分的操作;以及

主控制部分,被配置为控制所述驱动控制部分,其中

对于每一个所述电荷产生部分,所述像素阵列部分具有所述多个电荷传送部分,以及

为同一电荷产生部分提供的所述多个电荷传送部分在与所述电荷产生部分相对的一

侧连接到不同行中的所述信号输出部分。

10. 一种固态成像装置的驱动方法,所述固态成像装置包括

像素阵列部分,其具有以矩阵形式二维排列的单元像素,每一个所述单元像素包括电荷产生部分,

对于每一个所述电荷产生部分的多个电荷传送部分,每一个所述电荷传送部分被配置为传送由所述电荷产生部分产生的信号电荷,以及

信号输出部分,被配置为产生并输出与由所述电荷产生部分产生的所述信号电荷相称的目标信号,

其中所述多个电荷传送部分在与所述电荷产生部分相对的一侧连接到不同行中的所述信号输出部分,

所述驱动方法包括如下步骤:

执行隔行扫描,所述隔行扫描适于通过以 N 个步骤读出屏幕的多个场来读出目标信号,其中所述多个场中的每一个由在不同位置的所述信号输出部分的 1/N 行构成;

对于每一场,将由不同行中的 N 个电荷产生部分产生的信号电荷传送到同一行中的所

述信号输出部分,以便产生并输出通过合成 N 个信号电荷而获得的目标信号;以及

控制所述电荷传送部分和信号输出部分,以便 N 个电荷传送部分的所述行的组合逐场地不同。

固态成像装置、成像装置和固态成像装置的驱动方法

技术领域

[0001] 本发明涉及固态成像装置、成像装置和固态成像装置的驱动方法。更具体地,本发明涉及适于用于检测物理量分布的半导体装置(如固态成像装置)和包括敏感于外部馈入的电磁波(如光和辐射)的多个单元像素的排列且通过经由地址控制的任意选择可以以电信号的形式从其读出由单元组件转换为电信号的物理量分布的其他电子设备的像素驱动技术。

背景技术

[0002] 在多个领域中已经发现了用于检测物理量分布的半导体装置的广泛应用。这样的装置具有多个单元组件(如像素),其敏感于外部馈入的电磁波(如光和辐射),并且以线(line)或矩阵形式排列。

[0003] 在视频设备领域中,例如,使用 CCD(电荷耦合器件)或 MOS(金属氧化物半导体)和 CMOS(互补金属氧化物半导体)固态成像装置。将这些装置设计为在其他物理量之中检测光(电磁波的一种示例)。这样的装置允许以电信号的形式从其中读出由单元组件(固态成像装置中的像素)转换为电信号的物理量分布。

[0004] 一些固态成像装置是放大装置。这些装置包括在像素信号产生部分中被配置为固态成像元件(APS:有源像素传感器,也称为增益单元)的像素,其每一个均具有放大驱动晶体管。像素信号产生部分产生与由电荷产生部分产生的信号的电荷相称的像素信号。例如,许多 CMOS 固态成像装置以这样的方式配置。

[0005] 为了从这样的放大固态成像装置外部地读出像素信号,具有多个单元像素的排列的像素部分被地址控制,以便可以任意选择和读出来自单元像素的信号。也就是说,放大固态成像装置是地址控制的固态成像装置的示例。

[0006] 在具有以矩阵形式排列的单元像素的 X-Y 地址固态成像装置中, MOS 晶体管用作诸如开关元件之类的有源元件,适于选择像素和读出信号电荷。进一步,将 MOS 晶体管用在水平和垂直扫描电路中,这提供了如下优点:开关元件和像素部分二者均可以以一系列的步骤制造。

[0007] 单元像素包括电荷产生部分和信号输出部分。电荷产生部分产生信号电荷。信号输出部分具有适于产生并输出与由电荷产生部分产生的信号电荷相称的目标信号的晶体管。例如,电荷产生部分具有进行光电转换的光电二极管。信号输出部分具有读出选择晶体管、放大晶体管、复位晶体管和选择晶体管。读出选择晶体管读出由光电二极管产生的信号电荷。放大晶体管将读取的信号电荷转换为像素信号。复位晶体管复位信号电荷。选择晶体管选择待读出的像素。由信号产生部分的有源元件放大在光电二极管(光电转换元件)中累积的信号电荷(光电子或空穴),并将其作为图像信息读出。

[0008] 顺便提及,在这种类型的固态成像装置中执行电子曝光时间控制。在成像装置中,像素部分包括以矩阵形式二维排列的多个像素晶体管。在逐像素或逐线(行)的基础上开始与入射光相关的信号电荷的累积。通过地址说明(address specification),在成

像部分中从像素顺次读取基于信号电荷的电流或电压信号。广义上,这被称为电子快门(electronic shutter)功能。这里,通过同时存取一行像素,在逐行的基础上从像素部分读出像素信号。在 MOS(包括 CMOS) 固态成像装置中该地址控制(在下文中称为逐行读出或列读出方案)的示例是常见的。

[0009] 应该注意,在一些 X-Y 地址固态成像装置中,例如,在不读出信号电荷的水平消隐时间段期间,复位一行像素的不必要的信号电荷(对信号线放电),以便实现狭义上的电子快门功能。该电子快门功能电子地指定不同于正常曝光时间的曝光时间。

[0010] 在 X-Y 地址固态成像装置中,由从信号电荷的放电到读出信号电荷的时间段来确定与电子快门速度的曝光时间对应的时间,即像素累积时间。因此,使用累积和顺序读出方案,其在每个像素曝光时间(累积帧时间)读出像素信号。

[0011] 例如,当使用 CMOS 固态成像装置时,像素通常根据其操作原理从它输出信号的时刻起再次开始累积通过光电转换获得的信号电荷。因此,累积时间段根据成像表面的扫描定时而偏移。也就是说,累积时间从一条扫描线到另一条累积时间偏移了扫描时间,导致所谓的线曝光。与 CCD(电荷耦合器件) 固态成像装置不同,不使用全局曝光。通过以信号电荷的形式、在相同的时间段期间累积光电转换元件上的入射光,全局曝光同时将信号电荷从所有像素读出至垂直 CCD,由此满足了累积的同时性条件。由于逐行提供驱动脉冲,因此线曝光(也称为卷帘式快门(rolling shutter)或焦平面累积)被用在 CMOS 固态成像装置中,这是与其基于累积和同时读出方案的 CCD 对应物(counterpart)(即,全局曝光)相比的显著不同点。

[0012] 当快门速度很慢且指定充分长的像素累积时间时,累积时间段的偏移是可忽略的。然而,如果快门速度很快且与水平扫描时间段并非很不同,则由于物体的水平运动和扫描时间(累积时间段)的差异使得累积时间段的差异在线方向(行方向或水平扫描方向)中引起时间描影失真(time shading distortion)。时间描影失真自身表现为图像上的运动失真的形式。

发明内容

[0013] 对于该问题的一种可能的解决方案是在抓取静止图像期间与电子快门结合地使用机械快门。另一种可能的解决方案是使用适于实现全局快门功能以便电子快门操作期间的曝光/累积时间在不同像素之间恒定(以便同时曝光像素)的布置。

[0014] 然而,难以在抓取运动图像期间与电子快门结合地使用机械快门。进一步,当前所考虑的常见全局快门功能在电荷累积部分(如浮置扩散区(floating diffusion))中累积了信号电荷之后滞留(hold up)到电荷的一帧,这导致由于暗电流噪声引起的特性恶化。

[0015] 用于模拟广播电波的视频信号的隔行扫描是在没有由全局快门引起的暗电流噪声的情况下进行运动图像抓取以便改善与线曝光相关联的运动失真的一种可能的方式。例如,隔行传送 CCD 可以以两种方式驱动,帧累积和场累积。

[0016] 通过帧累积的隔行扫描在奇数场期间仅传送奇数行中电荷产生部分的信号电荷至垂直 CCD,且在偶数场期间仅传送偶数行中电荷产生部分的信号电荷至相同的 CCD。对于仅由奇数行组成的奇数场和仅由偶数行组成的偶数场,每一个电荷产生部分的累积时间是帧时间段。结果,成像快速运动的对象导致充满帧残像的图像。

[0017] 相反,通过场累积的隔行扫描在奇数场期间同时传送奇数行及其下一偶数行中电荷产生部分的信号电荷至垂直 CCD 用于相加和读出,然后在下一偶数场期间改变待相加的电荷产生部分的电荷的组合,同时传送偶数行及其下一奇数行中电荷产生部分的信号电荷至垂直 CCD 用于相加和读出。在逐场的基础上读出所有像素的电荷产生部分的信号电荷。对于每一场,每一个电荷产生部分的累积时间是场时间段(即,一半的帧时间段)。即使在成像快速运动图像时,这也提供了具有最小帧残像的图像。因此,对于 X-Y 地址固态成像装置(如 CMOS 固态成像装置)的隔行传送 CCD,使用与该场累积等效的驱动方法,将可能有助于与线曝光相关联的失真的改善。

[0018] 然而,在公共 CMOS 固态成像装置中不能执行与隔行传送 CCD 的场累积等效的隔行扫描。原因在于,在多个行中的电荷产生部分(在每帧两场通常情况下是上面和下面的像素)的信号电荷必须相加在一起。进一步,待相加的电荷产生部分的组合在不同场之间是不同的。在 CCD 固态成像装置的情况下,即使在待相加的电荷产生部分的组合变化的情况下,垂直 CCD 也可将以电荷形式的信号相加在一起。另一方面,对于公共 CMOS 固态成像装置,电荷产生部分和像素信号产生部分是一一对应的关系,由此使得以电荷形式的信号的相加是不可能的。

[0019] 解决以上问题的一种可能的对策是提供适于保存信号电荷的像素内存储器(in-pixel memory)(参照日本专利公开 No. 2007-150008(专利文档 1)和日本专利公开 No. Hei 06-334920(专利文档 2))。然而,这导致包括增大的芯片面积和更小的饱和信号电平的损害。

[0020] 例如,专利文档 1 提出了一种布置,其允许使用浮置扩散区的信号相加。然而,为了使该结构提供隔行扫描,必须共享列方向中的所有浮置扩散区,导致浮置扩散区的增大的寄生电容。这导致显著地降低了转换效率,使该方案不实际。进一步,在与浮置扩散区分离的像素阵列部分中提供电荷存储部分。由于电荷存储部分,这减小了电荷产生部分的尺寸,导致降低饱和信号电平。

[0021] 另一方面,专利文档 2 提出了使用 MOS 晶体管将上面的和下面的像素连接在一起的结构以允许电荷形式的信号相加。然而,该结构导致电容加倍,最终引起电压的平均。

[0022] 本发明已经考虑了前述问题,并且期望提供一种布置,其能够在不引起增大的芯片尺寸或降低的饱和信号电平的情况下,使用隔行扫描抑制与线曝光相关联的图像运动失真。

[0023] 首先,本发明包括像素阵列部分。像素阵列部分包括以矩阵形式二维排列的单元像素。每一个所述单元像素包括电荷产生部分、多个电荷传送部分和信号输出部分。电荷产生部分产生信号电荷。多个电荷传送部分传送由电荷产生部分产生的信号电荷。信号输出部分产生并输出与由电荷产生部分产生的信号的电荷相乘的目标信号。

[0024] 对于每一个电荷产生部分提供多个电荷传送部分。

[0025] 另外,在本发明的实施例中,对于每一个电荷产生部分提供的多个电荷传送部分在与电荷产生部分相对的一侧连接到不同行中的信号输出部分。每一个电荷产生部分可以经由多个电荷传送部分连接到不同行中的信号输出部分。

[0026] 在从不同的角度看的以上的本发明的另一个实施例中,每一行中的信号输出部分可以在两个操作之间切换,一个操作适于通过多个电荷传送部分的选择性的导通/截止操

作、从多个行中的一个的电荷产生部分接收信号电荷,而另一个操作适于从信号输出部分所属的、其自己的行中的电荷产生部分接收信号电荷,或者从除了其自己的行之外的行中的电荷产生部分接收信号电荷。

[0027] 对于每一个电荷产生部分提供多个电荷传送部分。电荷传送部分连接到不同行中的信号输出部分。这允许了涉及多个电荷产生部分的信号电荷的相加的隔行扫描。组合不同行中的电荷产生部分用于每个场的相加。通过多个电荷传送部分的选择性导通 / 截止 (通过其仅激活电荷传送部分之一的操作) 可以进行隔行扫描。这允许了对于所有像素读出电荷产生部分的信号电荷的隔行扫描。自然,类似于通过公共 CMOS 传感器的图像获取的逐行扫描也是可能的。

[0028] 应用了以上布置的固态成像装置可以以单个芯片的形式,或者可以以具有封装在一起的像素阵列部分 (成像部分) 和信号处理部分或光学系统的模块的形式。进一步,以上布置不仅可应用于固态成像装置,也可以应用于成像装置。在这种情况下,成像装置提供了与固态成像装置相同的有益效果。这里,例如,成像装置是指相机 (或相机系统)。另一方面,术语“成像”不仅包括在正常拍照期间的图像抓取,而且还包括广义上的指纹检测和其他。

[0029] 本发明的实施例具有为每一个电荷产生部分提供的多个电荷传送部分,由此允许每一个电荷产生部分到不同行中的信号输出部分的连接。这使得信号输出部分可以通过选择待激活的电荷传送部分以匹配隔行扫描,来将信号电荷相加在一起。

[0030] 隔行扫描在逐场的基础上,对于所有像素读出电荷产生部分的信号电荷,由此抑制与线曝光相关联的图像运动失真。进一步,不需要除了现有的之外用于相加目的的电荷累积部分,防止了增大的芯片区域、降低的转换效率和降低的饱和信号电平,并且由于信号电荷相加提供了改进的 S/N 比。

附图说明

[0031] 图 1 是作为固态成像装置的实施例的 CMOS 固态成像装置 (CMOS 图像传感器) 的基本配置图;

[0032] 图 2 是描述 X-Y 地址成像装置的电子快门功能的图 1;

[0033] 图 3A 到图 3C 是描述 X-Y 地址成像装置的电子快门功能的图 2;

[0034] 图 4A 到图 4C 是描述 X-Y 地址成像装置的电子快门功能的图 3;

[0035] 图 5 是描述作为比较示例的像素阵列部分的图;

[0036] 图 6 是描述根据第一实施例的像素阵列部分的图;

[0037] 图 7 是描述在第一实施例中用于隔行扫描的电荷产生部分和像素晶体管的组合的图;

[0038] 图 8 是描述在第一实施例中、在隔行扫描中奇数场读出期间的信号流的图;

[0039] 图 9 是在第一实施例中、在隔行扫描中奇数场读出的概念图;

[0040] 图 10 是描述在第一实施例中、在隔行扫描中偶数场读出期间的信号流的图;

[0041] 图 11 是在第一实施例中、在隔行扫描中偶数场读出的概念图;

[0042] 图 12A-1 到图 12B-2 是描述由于隔行扫描引起的、消除了与线曝光相关联的时间描影失真的效果的图;

- [0043] 图 13 是描述在第一实施例中用于逐行扫描的电荷产生部分和像素晶体管的组合的图；
- [0044] 图 14 是描述在第一实施例中、在逐行扫描中读出期间的信号流的第一示例的图；
- [0045] 图 15 是描述在第一实施例中、在逐行扫描中读出期间的信号流的第二示例的图；
- [0046] 图 16 是描述根据第二实施例的像素阵列部分的图；
- [0047] 图 17 是描述根据第三实施例的像素阵列部分的图；
- [0048] 图 18A 和图 18B 是描述在第三实施例中用于隔行和逐行扫描的电荷产生部分和像素晶体管的组合的图；
- [0049] 图 19 是描述在第三实施例中、在隔行扫描中奇数场读出期间的信号流的图；
- [0050] 图 20 是在第三实施例中、在隔行扫描中奇数场读出的概念图；
- [0051] 图 21 是描述在第三实施例中、在隔行扫描中偶数场读出期间的信号流的图；
- [0052] 图 22 是在第三实施例中、在隔行扫描中偶数场读出的概念图；
- [0053] 图 23 是描述根据第四实施例的像素阵列部分的图；
- [0054] 图 24 是描述根据第五实施例的像素阵列部分的图；
- [0055] 图 25A 和图 25B 是描述在第五实施例中用于隔行和逐行扫描的电荷产生部分和像素晶体管的组合的图；
- [0056] 图 26 是描述在第五实施例中、隔行扫描中第一场（第 $3n$ 行中扫描线的组合）的读出期间的信号流的图；
- [0057] 图 27 是描述在第五实施例中、隔行扫描中第二场（第 $3n+1$ 行中扫描线的组合）的读出期间的信号流的图；
- [0058] 图 28 是描述在第五实施例中、隔行扫描中第三场（第 $3n+2$ 行中扫描线的组合）的读出期间的信号流的图；
- [0059] 图 29 是描述根据第六实施例的像素阵列部分的图；
- [0060] 图 30A 和图 30B 是描述在第六实施例中用于隔行和逐行扫描的电荷产生部分和像素晶体管的组合的图；
- [0061] 图 31 是描述在第六实施例中、在隔行扫描中奇数场读出期间的信号流的图；
- [0062] 图 32 是描述在第六实施例中、在隔行扫描中偶数场读出期间的信号流的图；以及
- [0063] 图 33 是成像装置（第七实施例）的示意性配置图。

具体实施方式

[0064] 参照附图，将在下文中描述本发明的优选实施例。在不同实施例的功能性元件之间进行区分的地方，将由诸如大写字母 A、B、C 之类的附图标记来表示这样的元件。在描述中没有进行特别区分的地方，将省略这样的附图标记。对于附图同样适用。

[0065] 应该注意，在下文中将描述这样的情况：其中将 CMOS 固态成像装置（X-Y 地址固态成像装置的示例）用作一装置。进一步，除非另外指定，否则将在假设 CMOS 固态成像装置的所有单元像素包括 NMOS（n 沟道 MOS）晶体管并且信号电荷为负（电子）的情况下给出下面的描述。然而，这仅为示例，并且目标装置不限于 MOS 固态成像装置。单元像素可以包括 PMOS（p 沟道 MOS）晶体管。信号电荷可以为正（空穴）。类似地，下面描述的所有实施例可应用于检测物理量分布的所有半导体装置以及包括敏感于外部馈入的电磁波（如光和辐

射)的多个单元像素的线型(liner)或矩阵排列且通过经由地址控制的任意选择可以以电信号的形式从其读出由单元元件转换为电信号的物理量分布的其他电子设备。

[0066] < 固态成像装置 :基本配置 >

[0067] 图 1 是作为根据本发明的固态成像装置的实施例的 CMOS 固态成像装置 (CMOS 图像传感器) 的基本配置图。

[0068] 固态成像装置 1 具有像素阵列部分 10, 其包括以矩阵形式二维排列的多个单元像素 3。装置 1 可以使像素阵列部分 10 能够通过使用例如具有以拜耳模式 (Bayer pattern) 排列的 R、G 和 B 滤色片的分色滤光片 (color separation filter) 进行彩色成像。

[0069] 尽管为了简化起见, 在图 1 中省略了一些行和列, 但是在实践中为每个行和列提供几十个到几千个单元像素 3。如后面所述的那样, 例如, 除了作为检测部分的示例的、用作光接收元件的光电二极管 (电荷产生部分) 之外, 每一个单元像素还具有像素内放大器, 所述像素内放大器包括用于电荷传送、复位和放大目的的三到四个晶体管。在逐列的基础上, 单元像素 3 经由垂直信号线 19 输出像素信号电压 V_x 。像素信号电压 V_x 包含复位电平 S_{rst} (P 相分量) 和信号电平 S_{sig} (D 相分量)。

[0070] 固态成像装置 1 进一步具有列 AD 转换部分 26。部分 26 具有以列平行方式排列的 AD 转换部分 250。AD 转换部分 250 进行 CDS (相关二重采样, Correlated Double Sampling) 处理和数字转换。术语“列平行”表示对于垂直列中的每一条垂直信号线 19 (列信号线的示例) 平行地提供多个 CDS 处理功能部分、数字转换功能部分 (AD 转换部分) 和其他部分。将这样的读出方案称为列读出方案。

[0071] 固态成像装置 1 仍进一步包括驱动控制部分 7、读出电流控制部分 24、基准信号产生部分 27 和输出部分 28。读出电流控制部分 24 将用于读出像素信号的操作电流 (读出电流) 提供给单元像素 3。基准信号产生部分 27 将用于 AD 转换的基准信号 SLP_ADC 提供到列 AD 转换部分 26。

[0072] 驱动控制部分 7 包括水平扫描部分 12 (列扫描电路)、垂直扫描部分 14 (行扫描电路) 和用以对于来自像素阵列部分 10 的信号的顺序读出提供控制电路功能的通信 / 定时控制部分 20。

[0073] 水平扫描部分 12 具有水平地址设置单元 12a、水平驱动单元 12b 和其他部分。水平地址设置单元 12a 控制列地址和列扫描。垂直扫描部分 14 具有垂直地址设置单元 14a、垂直驱动单元 14b 和其他部分。垂直地址设置单元 14a 控制行地址和行扫描。水平和垂直扫描部分 12 和 14 响应于从通信 / 定时控制部分 20 提供的控制信号 $CN1$ 和 $CN2$ 开始其行和列选择 (扫描)。

[0074] 部分 20 包括定时发生器 (读出地址控制装置的示例) 功能块。该功能块将与经由端子 5a 馈入的主时钟 $CLK0$ 同步的时钟提供到该装置的各个部分 (如水平扫描部分 12、垂直扫描部分 14 和列 AD 转换部分 26)。所述部分 20 进一步包括通信接口功能块。该功能块经由端子 5a 从外部主控制部分接收主时钟 $CLK0$ 。所述功能块进一步经由端子 5b 从外部主控制部分接收适于指定例如待使用的操作模式的数据。该功能块还输出包含与固态成像装置 1 有关的信息的数据至外部主控制部分。

[0075] 例如, 通信 / 定时控制部分 20 具有时钟转换单元 20a 和系统控制单元 20b 以及其他单元。时钟转换单元 20a 具有适于产生内部时钟的时钟转换功能。系统控制单元 20b

不仅控制通信功能,还控制各个部分。时钟转换单元 20a 并入适于基于经由端子 5a 馈入的主时钟 CLK0 产生在频率上比该时钟更高的脉冲的倍频器,产生诸如计数时钟 CKcnt1 和 CKdac1 之类的内部时钟。

[0076] 输出部分 28 具有感测放大器 28a(S·A) 和接口部分 28b(IF 部分)。感测放大器 28a 检测水平信号线 18 上的信号(尽管是数字的,但幅度小)。接口部分 28b 处理固态成像装置 1 与外部设备之间的接口连接。接口部分 28 的输出连接到输出端 5c,以便将视频数据输出到在下一级的电路。输出部分 28 可以具有感测放大器 28a 与接口部分 28b 之间的数字操作部分,以处理各种类型的数字操作。

[0077] 每一个单元像素 3 均经由适于选择行的行控制线 15 连接到垂直扫描部分 14,并经由垂直信号线 19 连接到 AD 转换部分 250(为列 AD 转换部分 26 的每一个垂直列提供一个 AC 转换部分 250)之一。这里,行控制线 15 是指大体上来自垂直扫描部分 14 且通向像素的布线(wiring)。

[0078] 垂直扫描部分 14 选择像素阵列部分 10 的多个行,并向那些行提供必要的脉冲。垂直地址设置单元 14a 不仅选择从其读出信号的行(读出行;也称为所选行或信号输出行),而且选择用于电子快门的行。

[0079] 这里,X-Y 地址固态成像装置(如固态成像装置 1)使用累积和顺序读出方案。该方案在每一个区域元件(area element)的每个累积帧时间读出像素信号。在这种装置中,逐行提供驱动脉冲。结果,使用线曝光(也称为卷帘式快门或焦平面累积),其在逐行的基础上累积和读出电荷。这是与使用累积和同时读出方案的其 CCD 对应物(即,全局曝光)相比的显著不同点。通过以信号电荷的形式、在相同的时间段期间累积光电转换元件上的入射光,全局曝光同时将信号电荷从所有像素读出至垂直 CCD,由此满足了累积的同时性条件。

[0080] 在该线曝光方案的电子快门操作中,曝光时间是从将给定读出行指定为用于快门操作的行(快门操作行)开始,并且将组成单元像素 3 的光电转换元件(检测部分)复位到将所述读出行指定为用于读出操作的行(读出操作行)时,并且将信号电荷实际地读出到垂直信号线 19。

[0081] 尽管将在后面给出详细的描述,但是该线曝光方案问题在于,运动对象的抓取导致很大的时间描影失真。作为解决该问题的对策,本实施例执行隔行扫描而非逐行扫描。在隔行扫描期间,形成单元像素组 2。在每一个单元像素组 2 中,多个电荷产生部分共享单个像素信号产生部分。通过像素信号产生部分,将由多个电荷产生部分产生的信号电荷相加在一起。将产生的目标信号读出到列 AD 转换部分 26 中。

[0082] 从电路规模、处理速度(速度提升)、分辨率和其他因素的角度来看,各种 AD 转换方案可以用在 AD 转换部分 250 中。作为示例,使用被称为基准信号比较的 AD 转换方案、坡度积分(slope integrating)或斜坡信号(ramp signal)比较 AD 转换方案。在基准信号比较 AD 转换中,基于从转换的开始(比较的开始)到结束(比较的结束)的时间确定用于计数操作的有效时间段。基于表示有效时间段的计数使能信号 EN 将模拟目标信号转换为数字数据。

[0083] 因此,基准信号产生部分 27 具有 DA 转换部分 270(DAC:数字模拟转换器),产生由来自通信/定时控制部分 20 的控制数据 CN4 表示的坡度(改变的速率)的基准信号 SLP_

ADC。部分 270 与计数时钟 CKdac1 同步地从由来自通信 / 定时控制部分 20 的控制数据 CN4 表示的初始值产生基准信号。计数时钟 CKdac1 可以与计数器部分 254 的计数时钟 CKcnt1 相同。

[0084] 每一个 AD 转换部分 250 均包括比较部分 252 (COMP) 和可以在上计数和下计数模式之间切换的计数器部分 254。在该示例中, 每一个部分 250 进一步包括位于计数器部分 254 的后一级的开关电路 258 和数据存储部分 256。比较部分 252 经由垂直信号线 19 (H1、H2、..... Hh) 将由基准信号产生部分 27 产生的基准信号 SLP_ADC 与从所选行中的单元像素 3 中获得的模拟像素信号电压 V_x 进行比较。计数器部分 254 通过计数时钟 CKcnt1 对计数使能信号 EN 的有效持续时间进行计数并保存计数结果。计数使能信号 EN 具有与比较部分 252 的比较输出 C_o 的恒定关系。

[0085] 通信 / 定时控制部分 20 将控制信号 CN5 提供到每一个 AD 转换部分 250 的计数器部分 254。控制信号指定控制信息。这种控制信息包括计数器部分 254 是以下计数模式操作还是以上计数模式操作以计数 P 相和 D 相。这种控制信息还包括用于计数 P 相的初始值 Dini 和其他信息的设置和复位。

[0086] 与其他输入端 (+) 一起, 向输入端 (+) (即, 每一个比较部分 252 的两个端子之一) 提供由基准信号产生部分 27 产生的基准信号 SLP_ADC。输入端 (-) (即, 每一个比较部分 252 的两个端子中的另一个) 连接到以垂直列排列的垂直信号线 19 中相关联的一个, 并向输入端 (-) 提供来自像素阵列部分 10 的像素信号电压 V_x 。

[0087] 与其他时钟端 CK 一起, 向计数器部分 254 的时钟端 CK 提供来自通信 / 定时控制部分 20 的计数时钟 CKcnt1。如果未提供数据存储部分 256, 则与其他计数器部分 254 一起, 向计数器部分 254 提供经由控制线 12c 来自水平扫描部分 12 的控制脉冲。每一个计数器部分 254 具有闩锁功能, 以保存计数结果并保存计数输出值直到由经由控制线 12c 提供的控制脉冲指示为止。

[0088] 在本实施例中, CDS 处理由 AD 转换部分 250 完成。然而, 可以将处于复位电平 Srst 的 P 相数据和位于信号电平 Ssig 的 D 相电平分离地发送到输出部分 28, 以便由在 AD 转换部分 250 的后一级提供的数字操作部分进行 CDS 处理。本申请人已经提出了适于使用 AD 转换部分 250 来执行 AD 转换和 CDS 处理的各种基准信号比较 AD 转换方案, 并且这些方案基本上可以用在所有实施例中。

[0089] 根据本实施例的固态成像装置 1 以单个芯片装置 (提供在同一半导体衬底上) 的形式配置, 其中通过使用与半导体集成电路制造技术相同的技术, 在单晶硅或其他半导体区域中与像素阵列部分 10 整体地形成驱动控制部分 7 的各个组件 (如水平和垂直扫描部分 12 和 14)。

[0090] 固态成像装置 1 可以以单个芯片的形式、在半导体区域中与其组件整体地形成 (如上所述)。然而, 可替代地, 装置 1 可以以可成像模块的形式, 所述可成像模块除了像素阵列部分 10、驱动控制部分 7、列 AD 转换部分 26 和其他信号处理部分之外, 还具有诸如封装在一起的成像镜头、光学低通滤波器或红外截止滤光片的光学系统, 尽管省略了其图示。

[0091] 作为每一个 AD 转换部分 250 的输出侧, 例如, 计数器部分 254 的输出可以连接到水平信号线 18。可替代地, 可以在计数器部分 254 的后一级提供用作存储器的数据存储部分 256 和开关部分 258, 如图 1 所示。计数器部分 254 具有闩锁功能, 以保存计数器部分 254

的计数结果。在计数器部分 254 与数据存储部分 256 之间提供开关部分 258。开关部分 258 具有用于每一个垂直列的开关 SW。

[0092] 在包括数据存储部分 256 的配置中,与沿垂直列的其他开关一起,在预定定时,从通信/定时控制部分 20 向开关 SW 提供存储器传送指令脉冲 CN8 作为控制脉冲。当提供存储器传送指令脉冲 CN8 时,开关部分 258 的开关 SW 将相关联的计数器部分 254 的计数值传送到数据存储部分 256。数据存储部分 256 保存并存储所传送的计数值。经由控制线 12c 向部分 256 提供来自水平扫描部分 12 的控制脉冲。所述部分 256 保存来自计数器部分 254 的计数值,直到由经由控制线 12c 提供的控制脉冲指示为止。

[0093] 水平扫描部分 12 能够用作读出扫描部分,与由列 AD 转换部分 26 的比较部分 252 和计数器部分 254 操纵的处理并行地,从数据存储部分 256 读出计数值。数据存储部分 256 的输出连接到水平信号线 18。每一条水平信号线 18 与 AD 转换部分 250 的位宽同样宽或者是其两倍宽(如,用于补充输出)。所述线 18 连接到具有与输出线相关联的感测放大器 28a 的输出部分 28。应该注意,计数器部分 254、数据存储部分 256、开关部分 258 和水平信号线 18 均被配置为处理 n 个位。

[0094] <曝光时间控制功能>

[0095] 图 2 到图 4C 是描述公共 X-Y 地址成像装置的曝光控制(电子快门)功能的图。如图 2 所示,垂直扫描部分 414 的垂直地址设置部分 414x 不仅能够指定待读出的行地址 ϕTG (这是正常功能),而且还能够产生指定待关闭(shutter)的单元像素 403(快门像素)的行地址,即快门像素位置的地址信息(更具体地说,用作驱动脉冲的传送栅极脉冲 TGs)。

[0096] 应该注意,在一些 X-Y 地址固态成像装置中,例如在水平消隐时间段期间,复位一行像素的不必要的信号电荷(放电至信号线),在所述水平消隐时间段中不读出信号电荷,以便实现狭义上的电子快门功能。该电子快门功能电子地指定不同于正常曝光时间的曝光时间。

[0097] 这里,在 X-Y 地址固态成像装置中,与电子快门速度的曝光时间(即,像素累积时间)对应的时间由从信号电荷的放电到读出的时间段来确定。因此,使用累积和顺序读出方案,其每个像素曝光时间(累积帧时间)读出像素信号。这导致跨越表面排列的像素的曝光的时间差别。如果使用这样的读出方案,则对象的运动引起抓取不同像素之间的光所需的时间的偏移,由此导致运动失真。累积和顺序读出方案在这点上与累积和同时读出方案显著不同。由电荷耦合成像元件采用的后一个方案保存信号以延迟其传送,由此允许所有像素的同时曝光,并防止在单个屏幕上的“运动失真”。

[0098] 例如,列读出方案(逐行读出方案)引起累积时间段从一条水平扫描线到另一条偏移了扫描时间,由此导致在水平方向中左和右之间累积时间中的差异取决于行(水平扫描线)。这导致时间描影失真(运动失真),其引起快速运动对象以失真的方式成像。

[0099] 也就是说,排列布线,以便将驱动脉冲 ϕTGs 从垂直地址设置部分 414x 的快门定时控制功能元件提供到同一行中的所有单元像素 403。驱动脉冲 ϕTGs 指定待关闭的行地址。这允许由驱动脉冲 ϕTGs 指定的行中的单元像素 403 被指定为快门像素。

[0100] 当使用 CMOS 固态成像装置时,像素通常根据其操作原理从它输出信号的时时刻起再次开始累积通过光电转换获得的信号电荷。因此,累积时间段根据成像表面的扫描定时而偏移。也就是说,从一条扫描线到另一条累积时间偏移了扫描时间,导致所谓的线曝光。

与 CCD(电荷耦合器件) 固态成像装置不同, 不使用全局曝光。通过以信号电荷的形式、在相同的时间段期间累积光电转换元件上的入射光, 全局曝光同时将信号电荷从所有像素读出至垂直 CCD, 由此满足了累积的同时性条件。

[0101] 这里, 考虑这样的情况, 其中在成像区域中, 读出行 n 和快门行 n_s 彼此分开 Δs 行, 如图 2 所示。沿被指示要电子关闭的行 n_s 的目标列中的像素在被复位之后再次开始信号电荷累积。因此, 如果从上到下扫描成像表面, 则行 n 与行 $n + \Delta s$ 之间的时间差与帧速率和扫描线计数具有给定关系。结果, 通过调整读出行 n 与快门行 n_s 之间的间隔, 可以改变从 CMOS 固态成像装置读出的电荷的累积时间。可以以线时间段(一个水平扫描时间段)为单位进行该调整。

[0102] 现有 CMOS 传感器通过使用用于屏幕成像的单个读出行 n 和单个快门行 n_s , 在逐行的基础上执行电子快门控制。垂直地址设置部分 414x 的快门定时控制功能元件在给定时间点指定由该部分 414x 指定的读出行 n 中所有列(H1、H2、.....、Hh) 中像素的快门行 n_s 。快门行 n_s 是除了读出行 n 之外, 即与读出行 n 在位置(时间)上分开 Δs 行的任意行。在该条件下, 快门定时控制功能元件复位像素。该复位操作可以通过在快门定时之前从光电转换元件放电电荷来完成。在 CMOS 固态成像装置的情况下, 可以通过导通传送和复位栅极来完成复位操作。

[0103] 直到由垂直地址设置部分 414x 将快门行 n_s 中的像素指定为读出行 n 为止的时间段是累积时间。也就是说, 读出行 n 与快门行 n_s 之间的时间间隔是累积时间。这最终提供了在逐行基础上对累积时间的控制。当指定正常累积时间(曝光时间)时, 将不存取快门行 n_s 。在这种情形下, 将仅对于等于帧速率的时间段累积电荷。

[0104] 如上所述, 由 CMOS 固态成像装置执行的线曝光的特征利用在逐行的基础上将电子快门的驱动脉冲 ϕTGs 提供到单元像素 403。这使得可以在逐行的基础上对于单元像素 403 指定读出行 n 与快门行 $n + \Delta s$ 之间的时间差, 由此允许逐行对累积时间的准备好的控制。

[0105] 然而, 应该注意, 这里, X-Y 地址固态成像装置使用累积和顺序读出方案, 如前所述。该方案每一个区域元件的每个累积帧时间读出像素信号。在这种装置中, 逐行提供驱动脉冲 ϕTGs 。结果, 使用线曝光(也称为卷帘式快门或焦平面累积)(参照图 3B 和图 3C)。这是与基于累积和同时读出方案(即, 全局曝光)(参照图 3A)的其 CCD 对应物的显著不同点。

[0106] 当快门速度很慢且指定充分长的像素累积时间时, 累积时间段中的偏移可忽略。然而, 如果快门速度很快且与水平扫描时间段并非很不同, 则由于物体的水平运动和扫描时间(累积时间段)的差异使得累积时间段的差异在线方向(行方向或水平扫描方向)中引起时间描影失真(参照图 4B)。时间描影失真本身表现为图像上的运动失真的形式(参照图 4C)。

[0107] 对于该问题的一种可能的解决方案是隔行扫描。在隔行扫描中, 必须将多个像素相加在一起, 并且要相加在一起的像素的组合在不同场之间是不同的。在 CCD 固态成像装置的情况下, 即使在待相加的像素的组合变化的情况下, 垂直寄存器也可以将以电荷形式的信号相加在一起。另一方面, 对于公共 CMOS 固态成像装置, 电荷产生部分 32 和像素信号产生部分 5 是一一对一的关系, 由此使得以电荷形式的信号的相加是不可能的。

[0108] 由于该原因,本实施例采用有助于线方向中时间描影失真的改进的新配置,所述时间描影失真由于线曝光导致的累积时间段中的差异引起的,且时间描影失真本身表现为图像上的运动失真的形式。

[0109] 为了实现该配置,首先,像素阵列部分 10 具有为每一个电荷产生部分 32 提供的多个读出选择晶体管 34 作为电荷传送部分(传送栅极)。这些分别与像素信号产生部分 5(除了读出选择晶体管 34 之外),即不同行中的信号输出部分 6 连接。为同一电荷产生部分 32 提供的多个读出选择晶体管 34 可以选择性地导通或截止。垂直扫描部分 14 控制这些晶体管,以便在信号电荷的传送期间仅有它们中的一个活动的。所述部分 14 选择性地使用多个读出选择晶体管 34 的行,以确保成像装置支持逐行扫描和隔行扫描二者。

[0110] 在隔行扫描期间,形成单元像素组 2。在每一个单元像素组 2 中,多个电荷产生部分 32 共享单个像素信号产生部分 5。由像素信号产生部分 5 将由多个电荷产生部分 32 产生的信号电荷相加在一起,其后读出产生的目标信号。该配置是与隔行传送 CCD 的场累积等效的驱动方法,并且被称为与电荷相加结合的隔行扫描。尽管在之后给出的实施例的描述中,术语“与电荷相加结合”可以省略,但是所有隔行扫描都是与电荷相加结合地执行的。

[0111] 逐行扫描从屏幕(帧)的垂直扫描线(在本实施例中像素信号产生部分 5 或信号输出部分 6 的行)的信号输出部分 6 顺序地读出目标信号。隔行扫描通过屏幕的每 N 条扫描线进行读取来将一个屏幕分割成 N 个图像(N 场)。换言之,隔行扫描以 N 个步骤读出屏幕(场),其每一个均具有在不同位置的 1/N 条扫描线。在与电荷相加结合的隔行扫描中,每一场图像具有 1/N 倍于逐行扫描的垂直分辨率。进一步,在场之间存在时间差。然而,每秒的屏幕数比逐行扫描中每秒的屏幕数大 N 倍。电荷累积时间是逐行扫描的电荷累积时间的 1/N 倍。这允许运动对象的光滑渲染(smooth rendering),由此有助于改进时间分辨率。由此,与电荷相加结合的隔行扫描提供的优点在于,它可以消除与线曝光相关联的时间描影失真,并防止运动图像中光滑运动的恶化。应该注意,这并不意味着拒绝隔行扫描以抓取静止图像。然而,在这种情况下,每一场均具有时间差。因此,对运动对象成像导致模糊。

[0112] 下面将给出详细的描述。应该注意,术语“一个场时间段”表示在其期间二维地扫描成像表面以读出图像的时间段(更具体地说,垂直扫描时间段)。术语“一个场时间段”表示在其期间在成像表面上通过所有像素形成图像的时间段。在适于在垂直方向中连续地扫描所有行的逐行扫描中,“一个场时间段”等于“一个帧时间段”。相反,在第一垂直扫描期间跳过一些行并在第二垂直扫描期间扫描跳过的行以补充第一个的隔行扫描中,“K 个场”等于“一个帧”。“K”根据跳过行的方式而变化。通常, $K = 2$ 。应该注意,不论使用逐行扫描还是隔行扫描,在其期间二维地扫描成像表面以读出图像的垂直扫描时间段可以被称为广义上的“一个帧”。

[0113] < 像素阵列部分 :第一实施例 >

[0114] 图 5 是描述作为比较示例的像素阵列部分 10Z 的图。图 6 是描述根据第一实施例的像素阵列部分 10A 的图。

[0115] 电荷产生部分 32 以矩阵形式二维地排列,所述电荷产生部分 32 中的每一个均包括光电二极管和其他组件,并适于产生信号电荷。作为示例,除了电荷产生部分 32 之外,单元像素 3 还具有四晶体管配置,所述四晶体管配置包括每一个均具有不同功能的四个晶体管(读出选择晶体管 34、复位晶体管 36、垂直选择晶体管 40 和放大晶体管 42) 作为其基本

元件。读出选择晶体管 34、复位晶体管 36 和放大晶体管 42 与浮置扩散区 38 一起组成像素信号产生部分 5。然后,像素信号产生部分 5 和垂直选择晶体管 40 组成信号输出部分 6。所述部分 6 产生并输出用于由电荷产生部分 32 产生的信号电荷的像素信号电压 V_x 。也可以将晶体管 34、36、40 和 42 统称为像素晶体管。

[0116] 组成传送部分的读出选择晶体管 34(传送晶体管/读出晶体管)的栅极与相同行中的相同晶体管 34 的栅极一起连接到传送布线 54。由来自传送驱动缓冲器 BFT 的传送信号 TRG 驱动栅极。组成初始化部分的复位晶体管 36 的栅极与相同行中的相同晶体管 36 的栅极一起连接到复位布线 56。由来自复位驱动缓冲器 BF2 的复位信号 RST 驱动栅极。垂直选择晶体管 40(选择晶体管)的栅极与相同行中的相同晶体管 40 的栅极一起连接到垂直选择线 58。由来自选择驱动缓冲器 BF3 的垂直选择信号 VSEL 驱动栅极。传送布线 54、复位布线 56 和垂直选择线 58 是图 1 中所示的行控制线 15。

[0117] 所有晶体管均为 n 沟道 MOS 晶体管。总的来说,在高电平(源极电压电平)活动(active)而在低电平(基准电平)非活动(inactive)的二进制脉冲被用于所有信号,即传送信号 TRG、复位信号 RST 和垂直选择信号 VSEL。例如,源极电压电平约为 3V。例如,基准电平为 0.4 到 0.7V 或地电平(即,0V)。然而,根据情况,脉冲中的一些或所有可以是约为 -1V 的负电势。

[0118] 包括光电二极管 PD 或其他光接收元件 DET 的电荷产生部分 32(检测部分的示例)的每一个均具有在低电势侧(负电势,例如,约为 -1V)连接到基准电势 V_{ss} 的光接收元件 DET 的一端(阳极侧)。每一个部分 32 均具有连接到读出选择晶体管 34 的输入端(一般是源极)的光接收元件 DET 的另一端(阴极侧)。应该注意,基准电势 V_{ss} 可以是地电势 GND。读出选择晶体管 34 使其输出端(一般是漏极)连接到与复位晶体管 36、浮置扩散区 38 和放大晶体管 42 连接的连接节点。复位晶体管 36 使其源极连接到浮置扩散区 38,并使其漏极连接到复位电源 V_{rd} (通常也用作电源 V_{dd})。

[0119] 例如,垂直选择晶体管 40 使其漏极连接到放大晶体管 42 的源极,使其源极连接到像素线 51,并使其栅极(具体地说,称为垂直选择栅极 SELV)连接到垂直选择线 58。像素线 51 与同一列中的其他像素线 51 一起连接到垂直信号线 19。放大晶体管 42 使其栅极连接到浮置扩散区 38,使其漏极连接到电源 V_{dd} ,并使其源极连接到像素线 51 并进一步经由垂直选择晶体管 40 连接到垂直信号线 19。应该注意,本实施例不限于该配置。可替代地,垂直选择晶体管 40 和放大晶体管 42 可以颠倒位置,以便垂直选择晶体管 40 使其漏极连接到电源 V_{dd} ,而使其源极连接到放大晶体管 42 的漏极,并且以便放大晶体管 42 使其源极连接到像素线 51。

[0120] 垂直信号线 19 的一端朝着列 AD 转换部分 26 延伸。所述线 19 沿其路线连接到读出电流控制部分 24。尽管省略了其详细图示,但读出电流控制部分 24 具有沿每一个垂直列的负载 MOS 晶体管,并且与基准电流源部分一起,组成使负载 MOS 晶体管的栅极连接在一起的电流镜电路。该电流镜电路用作垂直信号线 19 的电流源。所述部分 24 还与放大晶体管 42 一起组成提供合适的恒定操作电流(读出电流)的源极跟随器(source follower)。

[0121] 这里,根据第一实施例的像素阵列部分 10 具有像素共享结构,其中单元像素 3 中的一些组件由多个单元像素 3 共享。像素阵列部分 10 中组成像素组 2 的单元像素 3 被以与普通 CMOS 图像传感器相同的方式配置。这里,作为示例示出双像素共享结构,其中行方

向（垂直方向）中的两个单元像素 3 共享组件以形成单个单元像素组 2。应该注意，单元像素 3 的配置和通过组合单元像素 3 而形成的单元像素组 2 的配置仅为示例。本实施例不限于此。例如，本实施例不限于由两个单元像素 3 组成的单元像素组 2。相反，所述组 2 可以由三个、四个或八个单元像素 3 组成。

[0122] 从电路配置的角度来看，单元像素组 2 具有两个电荷产生部分 32。除了读出选择晶体管 34 之外，所述部分 32 共享复位晶体管 36、浮置扩散区 38 和放大晶体管 42。然而，不同于如图 5 所示的像素结构，根据图 6 所示的第一实施例的结构具有以这样的方式提供的读出选择晶体管 34，即在隔行扫描期间，适于共享组件的电荷产生部分 32 可以逐场地变化。

[0123] 也就是说，图 5 所示的比较示例具有适于在垂直方向中一起添加两个像素的像素共享结构。为了用作向公共像素信号产生部分 5 传送分别在两个电荷产生部分 32a 和 32b 中累积的信号电荷 Q_a 和 Q_b 的部件，单元像素组 2 具有彼此独立的读出选择晶体管 34a 和 34b、传送布线 54a 和 54b 以及传送驱动缓冲器 BF1a 和 BF1b。第一单元像素 3a 可以看作包括电荷产生部分 32a、读出选择晶体管 34a 和像素信号产生部分 5，而第二单元像素 3b 可以看作包括电荷产生部分 32b、读出选择晶体管 34b 和像素信号产生部分 5。总体上，单元像素组 2 包括五个晶体管。当在电荷产生部分 32a 和 32b 方面观察时，这些部分中的每一个均具有四晶体管配置，其中单元像素 3 包括四个晶体管。

[0124] 另一方面，在图 6 所示的第一实施例中，对于每一个电荷产生部分 32，单元像素组 2 具有 N 个（在图 6 中为两个，或上面和下面）读出选择晶体管 34U 和 34D。每一个读出选择晶体管 34U 的栅极由连接到传送布线 54U 的传送驱动缓冲器 BF1U 驱动。每一个读出选择晶体管 34D 的栅极由连接到传送布线 54D 的传送驱动缓冲器 BF1D 驱动。

[0125] 用于同一电荷产生部分 32 的读出选择晶体管 34U 和 34D 连接到不同行中的像素信号产生部分 5。例如， $2n$ (n 是大于等于 1 的正整数) 行中的读出选择晶体管 34D_{2n} 和 $2n+1$ 行中的读出选择晶体管 34D_{2n+1} 连接到第 $2n$ 行中的像素信号产生部分 5_{2n}（除了读出选择晶体管 34 之外）。 $2n-1$ 行中的读出选择晶体管 34D_{2n-1} 和 $2n$ 行中的读出选择晶体管 34D_{2n} 连接到 $2n-1$ 行中的像素信号产生部分 5_{2n-1}（除了读出选择晶体管 34 之外）。

[0126] 在每一对中上面和下面的电荷产生部分 32 共享复位晶体管 36、浮置扩散区 38、垂直选择晶体管 40 和放大晶体管 42。另外，单元像素组 2 可以通过使用读出选择晶体管 34U 和 34D 在所选择的行之间改变，可以逐场地改变适于共享组件的电荷产生部分 32。

[0127] 根据扫描类型（即，逐行扫描或隔行扫描）可以选择待激活的读出选择晶体管 34U 和 34D 的行。在隔行扫描期间，导通连接到目标行中的像素信号产生部分 5 的读出选择晶体管 34U 和 34D。这允许浮置扩散区 38 将两个电荷产生部分 32 的信号电荷相加在一起。

[0128] 第一实施例与比较示例的类似性在于，第一和第二单元像素 3 中的每一个均包括两个电荷产生部分 32、两个读出选择晶体管 34 和像素信号产生部分 5，并且两个单元像素 3 组成单元像素组 2。然而，在比较示例的像素共享结构中，适于共享组件的电荷产生部分 32 的组合是固定的。相反，在隔行扫描期间，第一实施例的像素共享结构通过使用读出选择晶体管 34U 和 34D 可以在奇数和偶数场之间改变适于共享组件的电荷产生部分 32 的组合（如后面所述），这是与比较示例的显著不同点。

[0129] < 隔行扫描 : 第一实施例 >

[0130] 图 7 到图 12B-2 是描述根据第一实施例的隔行扫描的图。这里, 图 7 是描述用于隔行扫描的电荷产生部分 32 和像素晶体管的组合 (如何形成单元像素组 2) 的图。图 8 是描述第一实施例中、在隔行扫描中奇数场读出期间的信号流的图。图 9 是第一实施例中、在隔行扫描中奇数场读出的概念图。图 10 是描述第一实施例中、在隔行扫描中偶数场读出期间的信号流的图。图 11 是第一实施例中、在隔行扫描中偶数场读出的概念图。图 12A-1 到图 12B-2 是描述由于隔行扫描引起的、消除了与线曝光相关联的时间描影失真的效果的图。

[0131] 第一实施例的隔行扫描将屏幕分割为两个图像 (偶数和奇数场), 并通过屏幕的每两条垂直扫描线 (本实施例中像素信号产生部分 5 和信号输出部分 6 的行) 进行读取来在两个步骤中分别读取这些图像。

[0132] 首先, 将描述由来自奇数行 ($2n-1$: n 是大于等于 1 的正整数) 中的信号输出部分 6 的像素信号形成奇数场的情况。如图 7 所示, 分别在 $2n-1$ 和 $2n$ 行中的读出选择晶体管 $34D_{2n-1}$ 和 $34U_{2n}$ 被结合使用, 以便分别在 $2n-1$ 和 $2n$ 行中的电荷产生部分 32_{2n-1} 和 32_{2n} 共享 $2n-1$ 行中的像素信号产生部分 5_{2n-1} 。

[0133] 在这种情况下, 当激活垂直选择晶体管 40_{2n-1} 时, 激活读出选择晶体管 $34D_{2n-1}$ 和 $34U_{2n}$ 二者, 如图 8 所示。这允许浮置扩散区 38_{2n-1} 将由电荷产生部分 32_{2n-1} 和 32_{2n} 产生的信号电荷相加在一起。首先由像素信号产生部分 5_{2n-1} 将产生的电荷转换为像素信号电压 V_x , 然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0134] 如图 9 所示, 当将注意力集中在中心的像素上时, 通过导通读出选择晶体管 $34U_{2n}$, 将信号电荷从下面的电荷产生部分 32_{2n} 读出到与上面的电荷产生部分 32_{2n-1} 共享的浮置扩散区 38_{2n-1} 。还将信号电荷从上面的电荷产生部分 32_{2n-1} 读出到其中两个信号电荷相加在一起的浮置扩散区 38_{2n-1} 中。

[0135] 接着, 将描述由来自偶数行 ($2n$: n 是大于等于 1 的正整数) 中的信号输出部分 6 的像素信号形成偶数场的情况。如图 7 所示, 分别在 $2n$ 和 $2n+1$ 行中的读出选择晶体管 $34D_{2n}$ 和 $34U_{2n+1}$ 被结合使用, 以便分别在 $2n$ 和 $2n+1$ 行中的电荷产生部分内 32_{2n} 和 32_{2n+1} 共享 $2n$ 行中的像素信号产生部分 5_{2n} 。

[0136] 在这种情况下, 当激活垂直选择晶体管 40_{2n} 时, 激活读出选择晶体管 $34D_{2n}$ 和 $34U_{2n+1}$ 二者, 如图 10 所示。这允许浮置扩散区 38_{2n} 将由电荷产生部分 32_{2n} 和 32_{2n+1} 产生的信号电荷相加在一起。首先由像素信号产生部分 5_{2n} 将产生的电荷转换为像素信号电压 V_x , 然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0137] 如图 11 所示, 当将注意力集中在中心的像素上时, 通过导通读出选择晶体管 $34U_{2n}$, 将信号电荷从上面的电荷产生部分 32_{2n} 读出到与下面的电荷产生部分 32_{2n+1} 共享的浮置扩散区 38_{2n} 中。还将信号电荷从下面的电荷产生部分 32_{2n+1} 读出到其中两个信号电荷相加在一起的浮置扩散区 38_{2n} 中。

[0138] 如上所述, 在隔行扫描期间, 逐场地改变读出选择晶体管 34 (读出栅极) 的组合。这允许信号电荷被读出到其中的像素信号产生部分 5 (如, 浮置扩散区 38) 的选择。

[0139] 为每一个电荷产生部分 32 提供两个读出选择晶体管 34D 和 34U。相同晶体管 34D 和 34U 的选择组合使得多个电荷产生部分 32 共享单个像素信号产生部分 5 (如, 除了读出选择晶体管 34 之外的浮置扩散区 38) 成为可能。通过选择待激活的读出选择晶体管 34D

和 34U 的行以匹配隔行扫描,由浮置扩散区 38 可以将以电荷形式的信号相加在一起。这消除了像素部分中任何信号相加存储器的需要,由此防止了增大的芯片面积。尽管浮置扩散区 38 由多个电荷产生部分 32 和读出选择晶体管 34 共享,但是浮置扩散区 38 的寄生电容几乎不增加,由此防止转换效率的显著下降。

[0140] 与在存储器部分中相加信号的现有技术相比,期望本实施例在 S/N 比方面提供 N 倍 (fold) 的改进。N 是要相加在一起的电荷产生部分 32 的数量。此时,电荷产生部分 32 的读出选择晶体管 34 的数量也是 N。

[0141] 第一实施例 :S = 2 倍, N = 1 倍 - > S/N = 2

[0142] 现有技术 :S = 1 倍, N = 1 倍 - > S/N = 1

[0143] (假设 S 和 N 在现有技术中是一倍)。

[0144] 进一步,除了浮置扩散区 38 之外,不需要像素阵列部分 10 中的任何分离的电荷存储部分临时存储电荷。结果,不需要减小电荷产生部分 32 的尺寸,由此防止饱和信号电平的降低。尽管必须提供多个读出选择晶体管 34D 和 34U,但是与除了在像素信号产生部分 5(信号输出部分 6)中提供的现有电荷累积部分(浮置扩散区 38)之外,还提供分离的电荷累积部分(用于临时存储电荷)的情况相比,本实施例仅引起电荷产生部分 32 的尺寸的更小的减小。

[0145] 此外,本实施例通过使用浮置扩散区 38 将信号电荷相加在一起。信号电平的增大将“原样”转化为像素信号电压 V_x 的增大。这提供了与增大的信号电平相称的改进的 S/N 比。

[0146] 由于为每个电荷产生部分 32 提供 N(在之前示例中为 2) 个读出选择晶体管 34,因此在读出和/或电子快门期间,未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平 (inactive level) 可以减小到低于正常电平。在该示例中,如果正常非活动电平是地电平,则非活动电平可以减小到负电平。如果正常非活动电平是负电平,则非活动电平可以减小到更低的负电平。这通过图 9 和图 11 中内部具有负号标记“-”的圆圈示出。结果,这提供了传送方向中有效的电势梯度。向电荷产生部分 32 提供的、对于电荷传送有效的电势梯度有助于适于传送信号电荷的读出选择晶体管 34 的改进的传送效率。

[0147] 另一方面,如图 12A-1 和图 12B-1 所示,每一对电荷产生部分 32(一个在奇数行,而另一个在下一偶数行)的信号电荷被相加在一起,并且在隔行扫描期间,对于奇数场,将目标信号从奇数行中的信号输出部分 6(图中的黑点)读出。对于偶数场,每一对电荷产生部分 32(一个在偶数行,而另一个在下一奇数行)的信号电荷被相加在一起,并且将目标信号从偶数行中的信号输出部分 6(图中的黑点)读出。从隔行扫描产生的每一场图像由交替的垂直扫描线组成。然而,场时间段是现有帧时间段的一半。因此,这在奇数场和偶数场二者中,在时间描影失真(运动失真)方面提供了与现有技术相比 50% 的降低,由此消除了与线曝光相关联的时间描影失真。如图 12A-2 和图 12B-2 所示,很清楚的是,与图 4C 中的图像相比,在奇数场和偶数场二者中,已经减小了快速运动对象的运动失真。

[0148] 然而,以等于场时间段的时间差来抓取两个场的图像。因此,如果对象运动,则在通过组合两个场图像而形成的静止图像中出现模糊。也就是说,对于运动对象来说,通过组合交错的奇数和偶数场而形成的图像遭受偶数和奇数场之间的未对准。在运动图像的情况下,该未对准几乎是没有问题的。在静止图像的情况下,它可能是有问题的。因此,对于静

止图像抓取来说,通过将逐行扫描中与线曝光相关联的运动失真与隔行扫描中偶数和奇数场之间的未对准进行权衡,根据隔行和逐行图像中的哪一个是优选的,只需要选择两种方案(隔行扫描和逐行扫描)之一。自然,与机械快门结合的逐行扫描可以用于静止图像抓取。

[0149] < 逐行扫描:第一实施例 >

[0150] 图 13 是描述第一实施例中用于逐行扫描的电荷产生部分 32 和像素晶体管的组合的图。图 14 是描述第一实施例中、在逐行扫描中读出期间的信号流的第一示例的图。图 15 是描述第一实施例中、在逐行扫描中读出期间的信号流的第二示例的图。

[0151] 由于对于每一个电荷产生部分 32 来说存在多个(在之前示例中为 2 个)读出选择晶体管 34,因此根据使用哪一个读出选择晶体管 34,可以使用多种读出方法。对于单个电荷产生部分 32,只需要使用读出选择晶体管 34U 和 34D 中的任一个。例如,基本上存在两种可能的方法,即:第一和第二示例,如图 13 所示。在第一示例中,全部位于 k 行(k 是正整数)中的电荷产生部分 32_k、读出选择晶体管 34D_k 和像素信号产生部分 5_k 被结合使用。在第二示例中,k+1 行(k 是正整数)中的电荷产生部分 32_{k+1} 和读出选择晶体管 34U_{k+1} 以及 k 行中的像素信号产生部分 5_k 被结合使用。自然,包括逐个读出行地在第一和第二示例之间的切换的修改也是可能的。

[0152] 在第一示例的情况下,当激活垂直选择晶体管 40_k 时,激活读出选择晶体管 34D_k,如图 14 所示。这允许由电荷产生部分 32_k 产生的信号电荷被读出到浮置扩散区 38_k 中。首先由像素信号产生部分 5_k 将所述电荷转换为像素信号电压 V_x,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0153] 在第二示例的情况下,当激活垂直选择晶体管 40_k 时,激活读出选择晶体管 34U_{k+1},如图 15 所示。这允许由电荷产生部分 32_{k+1} 产生的信号电荷被读出到浮置扩散区 38_k 中。首先由像素信号产生部分 5_k 将所述电荷转换为像素信号电压 V_x,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0154] 如上所述,根据第一实施例的像素电路结构不仅支持隔行扫描,而且还支持普通逐行扫描。

[0155] < 像素阵列部分:第二实施例 >

[0156] 图 16 是描述根据第二实施例的像素阵列部分 10B 的图。第二实施例提供了具有从四晶体管配置修改的三晶体管配置的单元像素 3。与四晶体管配置相比,三晶体管配置缺乏垂直选择晶体管 40。第二实施例在其他所有方面与第一实施例类似。第二实施例对于每一个电荷产生部分 32 具有 N(在之前示例中为 2,或者 34U 和 34D) 个读出选择晶体管 34,允许待激活以匹配隔行扫描的读出选择晶体管 34U 和 34D 的行的选择。

[0157] 如在第一实施例中那样,在第二实施例中浮置扩散区 38 连接到放大晶体管 42 的栅极。由此放大晶体管 42 将与浮置扩散区 38 的电势相称的信号输出到垂直信号线 19。

[0158] 复位晶体管 36 使其复位布线 56 在行方向中延伸。漏极线 59 对于几乎所有像素是公共的。漏极线 59 由来自漏极驱动缓冲器 BF4 的源极电压驱动。由复位驱动缓冲器 BF2 驱动的复位晶体管 36 控制浮置扩散区 38 的电势。这里,尽管在行方向中是分离的,但是漏极线 59 对于所有行基本上是公共的。

[0159] 如上所述,与四晶体管对应物不同,三晶体管配置缺乏在其他情况下将与放大晶

晶体管 52 串联的垂直选择晶体管 40。结果,像素信号产生部分 5 “原样”地用作信号输出部分 6。垂直信号线 19 具有连接到其的多个像素。然而,通过控制 FD 电势而非垂直选择晶体管 40 来进行像素的选择。FD 电势通常为低。然而,在像素选择期间,将所选择的像素的 FD 电势拉高,由此允许将所选择的像素的信号读出到垂直信号线 19 中。然后,将所选择的像素的 FD 电势再拉回低。同时关于一行中的像素执行该操作。

[0160] 如上所述,FD 电势控制操作如下:1) 拉高漏极线 59,以经由所选择的行中的复位晶体管 36 拉高所选择的行的 FD 电势,以及 2) 拉低漏极线 59,以经由所选择的行中的复位晶体管 36 拉低所选择的行的 FD 电势。

[0161] 另一方面,由读出选择晶体管 34 将电荷产生部分 32 的信号电荷读出到浮置扩散区 38 中。结果,四晶体管配置和三晶体管配置在这方面是类似的。因此,与第一实施例相关的、在隔行扫描和逐行扫描期间读出选择晶体管 34 之间的切换的描述可“原样”地应用于第二实施例。

[0162] < 像素阵列部分 :第三实施例 >

[0163] 图 17 是描述根据第三实施例的像素阵列部分 10C 的图。在第三实施例中,在水平方向中在多个列之间共享组件。在正常像素结构中,不将垂直方向中的像素相加在一起。在第三实施例中这已经进行了改变,以便在隔行扫描期间将垂直方向中的两个像素相加在一起。由于存在多个这样的列,因此第三实施例支持两行乘 M 列的相加模式。为了简化起见,将进行 $M = 2$ 的情况的描述。

[0164] 如第一实施例中那样,在第三实施例中,单元像素组 2 对于每一个电荷产生部分 32 具有两个读出选择晶体管 34U 和 34D。与第一实施例中不同,在两行之间共享像素信号产生部分 5(除了读出选择晶体管 34 之外)。尽管没有图示,但是读出选择晶体管 34U 的栅极(一个在奇数列,而另一个在偶数列)连接到不同的传送布线 54D,并由彼此独立的传送驱动晶体管 BF1U 驱动。读出选择晶体管 34D 的栅极(一个在奇数列,而另一个在偶数列)连接到不同的传送布线 54D,并由彼此独立的传送驱动缓冲器 BF1D 驱动。

[0165] 对于同一电荷产生部分 32 的读出选择晶体管 34U 和 34D 连接到不同行中的像素信号产生部分 5。然而,在成对的列中的电荷产生部分 32 的读出选择晶体管 34U 或 34D(即,一个在奇数列,而另一个在偶数列)连接到同一行中的像素信号产生部分 5。

[0166] 结果,在四个电荷产生部分 32(即,左上、左下、右上和右下的电荷产生部分 32)之中共享一个浮置扩散区 38。也就是说,四个电荷产生部分 32 共享一个复位晶体管 36、一个浮置扩散区 38、一个垂直选择晶体管 40 和一个放大晶体管 42。

[0167] 如第一实施例中那样,可以选择待激活的读出选择晶体管 34D 和 34U 的行以匹配逐行和隔行扫描。在隔行扫描期间,导通两列中(即,第 $2m-1$ 列和第 $2m$ 列(m 是大于等于 1 的正整数))的上面的和下面的读出选择晶体管 34D 和 34U。这允许浮置扩散区 38 将四个电荷产生部分 32 的信号电荷相加在一起。第三实施例与第一实施例的类似性在于,在隔行扫描期间,通过在读出选择晶体管 34U 和 34D 之间进行改变,可以在奇数和偶数场之间改变适于共享组件的上面和下面的电荷产生部分 32 的组合。

[0168] < 隔行扫描 :第三实施例 >

[0169] 图 18A 到图 22 是描述第三实施例中隔行和逐行扫描的图。这里,图 18A 和图 18B 是描述第三实施例中用于隔行和逐行扫描的电荷产生部分 32 和像素晶体管的组合的图。

图 19 是描述隔行扫描中奇数场读出期间的信号流的图。图 20 是隔行扫描中奇数场读出的概念图。图 21 是描述隔行扫描中偶数场读出期间的信号流的图。图 22 是隔行扫描中偶数场读出的概念图。

[0170] 首先,将描述由来自奇数行 ($2n-1$: n 是大于等于 1 的正整数) 中的信号输出部分 6 的像素信号形成奇数场的情况。如图 18A 所示,在四个电荷产生部分 32(即,第 $2m-1$ 列 (m 是大于等于 1 的正整数) 的 $2n-1$ 行中的电荷产生部分 $32_{2n-1,2m-1}$ 、第 $2m-1$ 列的 $2n$ 行中的电荷产生部分 $32_{2n,2m-1}$ 、第 $2m$ 列的 $2n-1$ 行中的电荷产生部分 $32_{2n-1,2m}$ 以及第 $2m$ 列的 $2n$ 行中的电荷产生部分 $32_{2n,2m}$) 之中共享奇数行中的像素信号产生部分 $5_{2n-1,2m}$ 。因此,结合地使用四个读出选择晶体管 34(即,第 $2m-1$ 列的 $2n-1$ 行中的读出选择晶体管 $34D_{2n-1,2m-1}$ 、第 $2m-1$ 列的 $2n$ 行中的读出选择晶体管 $34U_{2n,2m-1}$ 、第 $2m$ 列的 $2n-1$ 行中的读出选择晶体管 $34D_{2n-1,2m}$ 以及第 $2m$ 列的 $2n$ 行中的读出选择晶体管 $34U_{2n,2m}$)。

[0171] 在这种情况下,当激活垂直选择晶体管 $40_{2n-1,2m}$ 时,全部激活读出选择晶体管 $34D_{2n-1,2m-1}$ 、 $34U_{2n,2m-1}$ 、 $34D_{2n-1,2m}$ 以及 $34U_{2n,2m}$,如图 19 所示。这允许浮置扩散区 $38_{2n-1,2m}$ 将由电荷产生部分 $32_{2n-1,2m-1}$ 、 $32_{2n,2m-1}$ 、 $32_{2n-1,2m}$ 和 $32_{2n,2m}$ 产生的信号电荷相加在一起。首先由像素信号产生部分 $5_{2n-1,2m}$ 将产生的电荷转换为像素信号电压 V_x ,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0172] 将注意力集中在作为从第 $2m-1$ 列的底部起第 2 个的电荷产生部分 $32_{2n,2m-1}$,如图 20 所示。通过导通读出选择晶体管 $34U_{2n,2m-1}$,将信号电荷从该电荷产生部分读出到浮置扩散区 $38_{2n-1,2m}$ 中,所述浮置扩散区 $38_{2n-1,2m}$ 在电荷产生部分 $32_{2n,2m-1}$ 和三个其他电荷产生部分 32(即,上面、右面和右上电荷产生部分 $32_{2n-1,2m-1}$ 、 $32_{2n,2m}$ 和 $32_{2n-1,2m}$) 之中共享。还将信号电荷从上面、右面和右上电荷产生部分 $32_{2n-1,2m-1}$ 、 $32_{2n,2m}$ 和 $32_{2n-1,2m}$ 读出到浮置扩散区 $38_{2n-1,2m}$ 中,在浮置扩散区 $38_{2n-1,2m}$ 中将信号电荷相加在一起。

[0173] 接着,将描述由来自偶数行 ($2n$: n 是大于等于 1 的正整数) 中的信号输出部分 6 的像素信号形成偶数场的情况。如图 18A 所示,在四个电荷产生部分 32(即,第 $2m-1$ 列的 $2n$ 行中的电荷产生部分 $32_{2n,2m-1}$ 、第 $2m-1$ 列的 $2n+1$ 行中的电荷产生部分 $32_{2n+1,2m-1}$ 、第 $2m$ 列的 $2n$ 行中的电荷产生部分 $32_{2n,2m}$ 以及第 $2m$ 列的 $2n+1$ 行中的电荷产生部分 $32_{2n+1,2m}$) 之中共享偶数行中的像素信号产生部分 $5_{2n,2m}$ 。因此,四个读出选择晶体管 34(即,第 $2m-1$ 列的 $2n$ 行中的读出选择晶体管 $34D_{2n,2m-1}$ 、第 $2m-1$ 列的 $2n+1$ 行中的读出选择晶体管 $34U_{2n+1,2m-1}$ 、第 $2m$ 列的 $2n$ 行中的读出选择晶体管 $34D_{2n,2m}$ 以及第 $2m$ 列的 $2n+1$ 行中的读出选择晶体管 $34U_{2n+1,2m}$) 被结合地使用。

[0174] 在这种情况下,当激活垂直选择晶体管 $40_{2n,2m}$ 时,全部激活读出选择晶体管 $34D_{2n,2m-1}$ 、 $34U_{2n+1,2m-1}$ 、 $34D_{2n,2m}$ 以及 $34U_{2n+1,2m}$,如图 21 所示。这允许浮置扩散区 $38_{2n,2m}$ 将由电荷产生部分 $32_{2n,2m-1}$ 、 $32_{2n+1,2m-1}$ 、 $32_{2n,2m}$ 以及 $32_{2n+1,2m}$ 产生的信号电荷相加在一起。首先由像素信号产生部分 $5_{2n,2m}$ 将产生的电荷转换为像素信号电压 V_x ,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0175] 将注意力集中在作为从第 $2m-1$ 列的底部起第 2 个的电荷产生部分 $32_{2n,2m-1}$,如图 22 所示。通过导通读出选择晶体管 $34D_{2n,2m-1}$,将信号电荷从该电荷产生部分 $32_{2n,2m-1}$ 读出到浮置扩散区 $38_{2n,2m}$ 中,所述浮置扩散区 $38_{2n,2m}$ 在电荷产生部分

32_{2n,2m-1} 和三个其他电荷产生部分 32 (即,下面、右面和右下电荷产生部分 32_{2n+1,2m-1}、32_{2n,2m} 和 32_{2n+1,2m}) 之中共享。还将信号电荷从下面、右面和右下电荷产生部分 32_{2n+1,2m-1}、32_{2n,2m} 和 32_{2n+1,2m} 读出到浮置扩散区 38_{2n,2m} 中,在浮置扩散区 38_{2n,2m} 中将信号电荷相加在一起。

[0176] 如上所述,在隔行扫描期间,读出选择晶体管 34 (读出栅极) 逐场地变化以选择像素信号产生部分 5 (如,浮置扩散区 38),其中即使在支持 2 乘 2 像素相加的第二实施例中,也将信号电荷读入到像素信号产生部分 5 中。

[0177] 第三实施例与第一实施例的不同在于,还将水平方向中的多个像素 (在之前示例中为两个像素) 相加在一起。然而,第三实施例在垂直方向中相加像素的方式方面与第一实施例类似。因此,第三实施例提供了与第一实施例相同的有益效果。第三实施例与第一实施例的相似性还在于,在读出和 / 或电子快门期间,可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常水平。这通过图 20 和图 22 中在内部具有负号标记“-”的圆圈示出。

[0178] 尽管没有图示,但是根据第三实施例的像素结构中逐行扫描期间的信号流与第一实施例中的类似。如图 18B 所示,两种示例是可能的,在第一种示例中,结合地使用 k 行 (k 是正整数) 中的电荷产生部分 32_{k,2m-1} 和 32_{k,2m} 和 k 行中的像素信号产生部分 5_{k,2m},而在第二种示例中,结合地使用 k+1 行 (k 是正整数) 中的电荷产生部分 32_{k+1,2m-1} 和 32_{k+1,2m} 和 k 行中的像素信号产生部分 5_{k,2m}。自然,包括逐读出行地在第一和第二示例之间的切换的修改也是可能的。

[0179] < 像素阵列部分 : 第四实施例 >

[0180] 图 23 是描述根据第四实施例的像素阵列部分 10D 的图。第四实施例具有从第一实施例的像素排列结构旋转 45 度的像素排列结构。只需要通过对角地旋转页面 45 度来考虑该结构。对于隔行扫描和逐行扫描,可应用于第一实施例的相同方案也可应用于第四实施例。结果,第四实施例提供了与第一实施例相同的有益效果。

[0181] 尽管没有图示,但是第四实施例也可应用于例如蜂巢排列。因此,第四实施例可以提供相同的有益效果是可想象的。

[0182] < 像素阵列部分 : 第五实施例 >

[0183] 图 24 是描述根据第五实施例的像素阵列部分 10E 的图。根据第五实施例的单元像素组 2 对于每一个电荷产生部分 32 具有三个读出选择晶体管 34U、34M 和 34D。同一电荷产生部分 32 的读出选择晶体管 34U、34M 和 34D 连接到不同行中的像素信号产生部分 5。

[0184] 例如,3n 行 (n 是大于等于 1 的正整数) 中读出选择晶体管 34M_{3n,3n-1} 行中的读出选择晶体管 34D_{3n-1} 和 3n+1 行中的读出选择晶体管 34U_{3n+1} 连接到 3n 行中的像素信号产生部分 5_{3n} (除了读出选择晶体管 34 之外)。3n+1 行中的读出选择晶体管 34M_{3n+1,3n} 行中的读出选择晶体管 34D_{3n} 和 3n+2 行中的读出选择晶体管 34U_{3n+2} 连接到 3n+1 行中的像素信号产生部分 5_{3n+1} (除了读出选择晶体管 34 之外)。3n+2 行中的读出选择晶体管 34M_{3n+2,3n+1} 行中的读出选择晶体管 34D_{3n+1} 和 3n+3 行中的读出选择晶体管 34U_{3n+3} 连接到 3n+2 行中的像素信号产生部分 5_{3n+2} (除了读出选择晶体管 34 之外)。每一组中的上面、中间和下面的电荷产生部分 32 共享复位晶体管 36、浮置扩散区 38、垂直选择晶体管 40 和放大晶体管 42。

[0185] 第五实施例与第一实施例的类似性在于,可以选择待激活的读出选择晶体管 34U、34M 和 34D 的行以匹配逐行和隔行扫描。在隔行扫描期间,导通连接到待读出的行中的像素信号产生部分 5 的上面、中间和下面的读出选择晶体管 34U、34M 和 34D,以便浮置扩散区 38 将三个电荷产生部分 32 的信号电荷相加在一起。

[0186] < 隔行扫描 :第五实施例 >

[0187] 图 25A 和图 25B 是描述第五实施例中用于隔行和逐行扫描的电荷产生部分 32 和像素晶体管的组合的图。图 26 是描述第五实施例中、在隔行扫描中第一场(第 $3n$ 行中扫描线的组合)读出期间的信号流的图。图 27 是描述第五实施例中、在隔行扫描中第二场(第 $3n+1$ 行中扫描线的组合)读出期间的信号流的图。图 28 是描述第五实施例中、在隔行扫描中第三场(第 $3n+2$ 行中扫描线的组合)读出期间的信号流的图。

[0188] 第五实施例的隔行扫描将屏幕分割为三个图像(第一、第二和第三场)并通过屏幕的每三条垂直扫描线(在该实施例中像素信号产生部分 5 和信号输出部分 6 的行)进行读取来分别在三个步骤中读取这些图像。

[0189] 首先,将描述通过来自第 $3n$ 行中信号输出部分 6 的像素信号,扫描线组成第一场的情况。如图 25A 所示,结合地使用分别在 $3n-1$ 、 $3n$ 和 $3n+1$ 行中的读出选择晶体管 $34D_{3n-1}$ 、 $34M_{3n}$ 和 $34U_{3n+1}$,以便分别在 $3n-1$ 、 $3n$ 和 $3n+1$ 行中的电荷产生部分 32_{3n-1} 、 32_{3n} 和 32_{3n+1} 共享 $3n$ 行中的像素信号产生部分 5_{3n} 。

[0190] 在这种情况下,当激活垂直选择晶体管 40_{3n} 时,全部激活读出选择晶体管 $34D_{3n-1}$ 、 $34M_{3n}$ 和 $34U_{3n+1}$,如图 26 所示。这允许浮置扩散区 38_{3n} 将由电荷产生部分 32_{3n-1} 、 32_{3n} 和 32_{3n+1} 产生的信号电荷相加在一起。首先由像素信号产生部分 5_{3n} 将产生的电荷转换为像素信号电压 V_x ,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0191] 接着,将描述通过来自第 $3n+1$ 行中的信号输出部分 6 的像素信号,扫描线组成第二场的情况。如图 25A 所示,结合地使用分别在 $3n$ 、 $3n+1$ 和 $3n+2$ 行中的读出选择晶体管 $34D_{3n}$ 、 $34M_{3n+1}$ 和 $34U_{3n+2}$,以便分别在 $3n$ 、 $3n+1$ 和 $3n+2$ 中的电荷产生部分 32_{3n} 、 32_{3n+1} 和 32_{3n+2} 共享 $3n+1$ 行中的像素信号产生部分 5_{3n+1} 。

[0192] 在这种情况下,当激活垂直选择晶体管 40_{3n+1} 时,全部激活读出选择晶体管 $34D_{3n}$ 、 $34M_{3n+1}$ 和 $34U_{3n+2}$,如图 27 所示。这允许浮置扩散区 38_{3n+1} 将由电荷产生部分 32_{3n} 、 32_{3n+1} 和 32_{3n+2} 产生的信号电荷相加在一起。首先由像素信号产生部分 5_{3n+1} 将产生的电荷转换为像素信号电压 V_x ,然后经由垂直信号线 19 将其传送到列 AD 转换部分 26。

[0193] 接着,将描述通过来自第 $3n+2$ 行中的信号输出部分 6 的像素信号,扫描线组成第三场的情况。如图 25A 所示,结合地使用分别在 $3n+1$ 、 $3n+2$ 和 $3n+3$ 行中的读出选择晶体管 $34D_{3n+1}$ 、 $34M_{3n+2}$ 和 $34U_{3n+3}$,以便分别在 $3n+1$ 、 $3n+2$ 和 $3n+3$ 中的电荷产生部分 32_{3n+1} 、 32_{3n+2} 和 32_{3n+3} 共享 $3n+2$ 行中的像素信号产生部分 5_{3n+2} 。

[0194] 在这种情况下,当激活垂直选择晶体管 40_{3n+2} 时,全部激活读出选择晶体管 $34D_{3n+1}$ 、 $34M_{3n+2}$ 和 $34U_{3n+3}$,如图 28 所示。这允许浮置扩散区 38_{3n+2} 将由电荷产生部分 32_{3n+1} 、 32_{3n+2} 和 32_{3n+3} 产生的信号电荷相加在一起。首先由像素信号产生部分 5_{3n+2} 将产生的电荷转换为像素信号电压 V_x ,然后经由垂直信号线 19 将其传送到列 AD 转

换部分 26。

[0195] 如上所述,在隔行扫描期间,读出选择晶体管 34(读出栅极)逐场地变化,以选择信号电荷被读取到其中的像素信号产生部分 5(如,浮置扩散区 38)。单元像素组 2 对于每一个电荷产生部分 32 具有三个读出选择晶体管 34U、34M 和 34D。为每一个电荷产生部分 32 提供三个读出选择晶体管 34U、34M 和 34D。晶体管 34U、34M 和 34D 的选择性组合使得对于多个电荷产生部分 32 来说可以共享单个像素信号产生部分 5(如,除了读出选择晶体管 34 之外的浮置扩散区 38)。通过选择待激活的读出选择晶体管 34U、34M 和 34D 的行以匹配隔行扫描,可以由浮置扩散区 38 将以电荷形式的信号相加在一起。

[0196] 第五实施例在垂直方向中将电荷产生部分 32 的信号电荷相加在一起的方式上,而且还在分割屏幕的方式上与第一实施例不同。也就是说,第一实施例将两行中的电荷产生部分 32 的信号电荷相加在一起并且通过信号输出部分 6 的每两行进行读取来将屏幕划分为两个图像。相反,第五实施例将三行中的电荷产生部分 32 的信号电荷相加在一起,并且通过信号输出部分 6 的每三行进行读取来将屏幕分割为三个图像。然而,在布置上所述两个实施例是基本相同的。因此,第五实施例提供了与第一实施例相同的有益效果。与现有技术相比,由于将三个电荷产生部分 32 相加在一起,因此第五实施例提供了 S/N 比的三倍改进。第五实施例与第一实施例的相似性还在于,在读出和 / 或电子快门期间,可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平。

[0197] 尽管没有图示,但是根据第五实施例的像素结构中逐行扫描期间的信号流与第一实施例中的类似。如图 25B 所示,三种示例是可能的,在第一种示例中,结合地使用 k 行(k 是正整数)中的电荷产生部分 32_k、读出选择晶体管 34M_k 和像素信号产生部分 5_k,在第二种示例中,结合地使用 k-1 行中的电荷产生部分 32_{k-1} 和读出选择晶体管 34D_{k-1} 以及 k 行中的像素信号产生部分 5_k,而在第三种示例中,结合地使用 k+1 行中的电荷产生部分 32_{k+1} 和读出选择晶体管 34U_{k+1} 以及 k 行中的像素信号产生部分 5_k。自然,包括逐读出行地在第一和第二示例之间的切换的修改也是可能的。

[0198] < 像素阵列部分 :第六实施例 >

[0199] 图 29 是描述根据第六实施例的像素阵列部分 10F 的图。根据第六实施例的单元像素组 2 具有从图 5 所示的比较示例的双像素共享结构修改的结构,其将垂直方向中的两个像素相加在一起,由此支持隔行扫描。对于不将垂直方向中的像素相加在一起的正常像素结构来说,在隔行扫描期间,在垂直方向中不将像素相加在一起。延伸该构思,以便对于适于在隔行扫描期间将垂直方向中的两个像素相加在一起的像素共享结构来说,在隔行扫描期间将四个像素相加在一起。

[0200] 首先,双像素共享结构对于单个像素信号产生部分 5,具有两对电荷产生部分 32 和读出选择晶体管 34,即,一对电荷产生部分 32a 和读出选择晶体管 34a,以及另一对电荷产生部分 32b 和读出选择晶体管 34b。基于此,在第六实施例中,为电荷产生部分 32a 提供读出选择晶体管 34aU 和 34aD,并为电荷产生部分 32b 提供读出选择晶体管 34bU 和 34bD。在图 29 中,为了方便起见(为了图中图示的简单),示出了成对的电荷产生部分 32a 和 32b 以水平移动。然而,假设这些部分位于相同的行中。

[0201] 相同电荷产生部分 32a 的读出选择晶体管 34aU 和 34aD 连接到不同行中的像素信号产生部分 5。相同电荷产生部分 32b 的读出选择晶体管 34bU 和 34bD 连接到不同行中的

像素信号产生部分 5。另一方面,与成对的电荷产生部分 32a 和 32b 相关联的读出选择晶体管 34aU 和 34bU 连接到同一行中的像素信号产生部分 5。读出选择晶体管 34aD 和 34bD 连接到同一行中的像素信号产生部分 5。

[0202] 例如,因此,2n 行中的读出选择晶体管 34aD_{2n} 和 34bD_{2n} 以及 2n+1 行中的读出选择晶体管 34aU_{2n+1} 和 34bU_{2n+1} 连接到 2n 行 (n 是大于等于 1 的正整数) 中的像素信号产生部分 5_{2n} (除了读出选择晶体管 34 之外)。2n-1 行中的读出选择晶体管 34aD_{2n-1} 和 34bD_{2n-1} 以及 2n 行中的读出选择晶体管 34aU_{2n} 和 34bU_{2n} 连接到 2n-1 行中的像素信号产生部分 5_{2n-1} (除了读出选择晶体管 34 之外)。在每一对中的上面和下面的电荷产生部分 32a 和 32b 共享复位晶体管 36、浮置扩散区 38、垂直选择晶体管 40 和放大晶体管 42。

[0203] 在第六实施例中,读出选择晶体管 34aU 和 34bU 是成对的,并且读出选择晶体管 34aD 和 34bD 是成对的。第六实施例与第一实施例的相似性在于,可以选择带激活的读出选择晶体管 34aU 和 34bU 以及读出选择晶体管 34aD 和 34bD 的行,以匹配逐行和隔行扫描。在隔行扫描期间,导通连接到待读出的行中的像素信号产生部分 5 的读出选择晶体管 34aU、34bU、34aD 和 34bD 的上面的对和下面的对,以便浮置扩散区 38 将四个电荷产生部分 32 的信号电荷相加在一起。

[0204] < 隔行扫描 :第六实施例 >

[0205] 图 30A 和图 30B 是描述第六实施例中用于隔行和逐行扫描的电荷产生部分 32 和像素晶体管的组合的图。图 31 是描述在第六实施例中隔行扫描期间、在奇数场读出期间的信号流的图。图 32 是在第六实施例中、在隔行扫描中偶数场读出期间的信号流的图。

[0206] 第六实施例的隔行扫描将屏幕分割为两个图像 (偶数和奇数场) 并通过屏幕的每三条垂直扫描线 (在本实施例中像素信号产生部分 5 和信号输出部分 6 的行) 进行读取来在分别的两个步骤中读取这些图像。尽管省略了其详细描述,但是在第六实施例中,只需要考虑将第一实施例中的每一个电荷产生部分 32 和每一个读出选择晶体管 34 被分别分割为两个电荷产生部分 32a 和 32b 以及读出选择晶体管 34a 和 34b,如可从图 30A 推想的那样。第六实施例与第一实施例的相似性在于,在读出和 / 或电子快门期间,可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平。

[0207] 尽管没有图示,但是根据第六实施例的像素结构中逐行扫描期间的信号流与第一实施例中的类似。如图 30B 所示,两种示例是可能的,在第一种示例中,结合地使用全部位于 k 行 (k 是正整数) 中的电荷产生部分 32a_k、读出选择晶体管 34aD_k、电荷产生部分 32b_k 和读出选择晶体管 34bD_k 以及 k 行中的像素信号产生部分 5_k,而在第二种示例中,结合地使用全部位于 k+1 (k 是正整数) 行中的电荷产生部分 32a_{k+1}、读出选择晶体管 34aU_{k+1}、电荷产生部分 32b_{k+1} 和读出选择晶体管 34bU_{k+1} 以及 k 行中的像素信号产生部分 5_k。自然,包括逐读出行地在第一和第二示例之间的切换的修改也是可能的。

[0208] < 成像装置 :第七实施例 >

[0209] 图 33 是描述第七实施例的图。第七实施例是用在固态成像装置 1 的以上实施例中的、对于作为物理信息获取装置的示例的成像装置的、用于隔行和逐行扫描的布置的应用。图 33 是成像装置 8 的示意性配置图。

[0210] 根据本发明的成像装置也支持隔行和逐行扫描,并允许在运动图像抓取期间通过

隔行扫描有助于运动对象的光滑渲染和改进的时间分辨率的布置的实现。此时,例如,通过将控制指令信息从外部主控制部分设置到通信/定时控制部分 20 中,可以任意地指定对于至少扫描方案的控制。

[0211] 更具体地说,成像装置 8 包括成像镜头 802、光学低通滤波器 804、滤色片组 812、像素阵列部分 10、驱动控制部分 7、列 AD 转换部分 26、基准信号产生部分 27 和相机信号处理块 810。如图 33 中的虚线所示,可以与光学低通滤波器 804 一起提供红外截止滤光片 805。所述滤光片 805 被设计为减少红外分量。

[0212] 进一步,在本实施例中,与半导体区域(半导体芯片)分开地提供包括正和负电源 302 和 304 的电源部分 300,在所述半导体区域中,形成像素阵列部分 10、驱动控制部分 7、列 AD 转换部分 26 和基准信号产生部分 27。

[0213] 成像镜头 802 通过将携带例如具有透明光或太阳光的照明下的对象 Z 的图像的光 L 引导至成像装置中来形成图像。滤色片组 812 具有例如以拜耳模式排列的 R、G 和 B 滤色片。装置驱动部分 7 驱动像素阵列部分 10。读出电流控制部分 24 控制来自像素阵列部分 10 的像素信号操作电流。列 AD 转换部分 26 处理来自像素阵列部分 10 的像素信号的 CDS 处理和 AD 转换。基准信号产生部分 27 将基准信号 SLP_ADC 提供到列 AD 转换部分 26。相机信号处理块 810 处理来自列 AD 转换部分 26 的成像信号。

[0214] 在列 AD 转换部分 26 的后一级提供的相机信号处理块 810 包括成像信号处理部分 820 和相机控制部分 900。所述部分 900 用作适于对成像装置 8 作为整体进行控制的主控制部分。成像信号处理部分 820 包括信号分离单元 822、彩色信号处理单元 830、亮度信号处理单元 840 和编码器单元 860。

[0215] 信号分离单元 822 具有原色分离功能,所述原色分离功能适于在使用非原色滤光片作为滤色片时,将来自列 AD 转换部分 26 的 AD 转换功能部分的数字成像信号分离为 R(红)、G(绿)和 B(蓝)原色信号。彩色信号处理单元 830 基于由信号分离单元 822 分离的原色信号 R、G 和 B 处理彩色信号 C。亮度信号处理单元 840 基于由信号分离单元 822 分离的原色信号 R、G 和 B 处理亮度信号 Y。编码器单元 860 基于亮度信号 Y 和彩色信号 C 产生视频信号 VD。

[0216] 例如,尽管省略了其图示,但彩色信号处理单元 830 包括白平衡放大器、伽玛校正部分和色差矩阵部分。例如,尽管省略了其图示,但亮度信号处理单元 840 包括高频和低频亮度信号产生部分以及亮度信号产生部分。高频亮度信号产生部分基于来自信号分离单元 822 的原色分离部分的原色信号产生亮度信号 YH。亮度信号 YH 包含在频率上相对高的一些分量。低频亮度信号产生部分基于来自白平衡放大器的经白平衡调整的原色信号产生亮度信号 YL。亮度信号 YL 仅包含在频率上相对低的一些分量。亮度信号产生部分基于两个亮度信号 YH 和 YL 产生亮度信号 Y,并将所述信号 Y 提供到编码器单元 860。亮度信号 YL 还用于曝光控制。

[0217] 编码器单元 860 首先通过与彩色信号副载波相关联的数字信号数字地调制色差信号 R-Y 和 B-Y,然后将产生的信号以及由亮度信号处理单元 840 产生的亮度信号 Y 进行合成,用于转换为数字视频信号 VD($= Y+S+C$; S 是合成信号,而 C 是色度信号)。将来自编码器单元 860 的数字视频信号 VD 提供到在再后一级提供的相机信号输出部分(省略其图示),用于监视器输出以及到记录介质的数据记录。此时,如果需要的话,通过 DA 转换将数

字视频信号 VD 转换为模拟视频信号。

[0218] 根据本实施例的相机控制部分 900 包括微处理器 902、作为只读存储部分的 ROM(只读存储器)904、RAM(随机存取存储器)906 和其他外围组件(省略其图示)。微处理器 902 类似于在计算机中扮演核心角色的微处理器,并且一般是通过将由计算机处理的运算和控制功能合并到极小的集成电路中而实现的 CPU(中央处理单元)。RAM 906 是随时可重写且可读的易失性存储部分的示例。也可以将微处理器 902、ROM 904 和 RAM 906 统称为微型计算机。

[0219] 相机控制部分 900 对系统作为整体进行控制。在本实施例中,特别地,所述部分 900 能够控制隔行和逐行扫描。与该能力相关地,相机控制部分 900 将关于要使用两种扫描方案中的哪一个的信息提供到驱动控制部分 7。ROM904 存储用于相机控制部分 900 的程序。特别地,在本实例中,ROM 904 存储适于控制隔行和逐行扫描的程序。RAM 906 存储对于相机控制部分 900 进行各种类型处理所需的数据。

[0220] 进一步,相机控制部分 900 被配置为允许记录介质 924(如存储卡)的附加和拆卸,并允许到通信网络(如因特网)的连接。例如,除了微处理器 902、ROM 904 和 RAM 906 之外,相机控制部分 900 还包括存储器读出单元 907 和通信 IF(接口)908。

[0221] 例如,记录介质 924 用于存储广泛范围的数据,包括要由微处理器 902 通过软件处理的程序数据、基于来自亮度信号处理单元 840 的亮度信号的光度数据 DL 的收敛范围,以及用于曝光控制处理(包括电子快门控制)的各种控制信息的设置。

[0222] 存储器读出单元 907 将从记录介质 924 读出的数据存储(安装)到 RAM906。通信 IF 908 通过因特网或其他通信网络对通信数据的交换做媒介。

[0223] 将成像装置 8 示出为以模块形式,其具有与像素阵列部分 10 分离的驱动控制部分 7 和列 AD 转换部分 26。然而,无须说,可以使用具有在同一半导体衬底上与像素阵列部分 10 整体地形成的驱动控制部分 7 和列 AD 转换部分 26 的固态成像装置 1,如关于所述装置 1 所述的那样。进一步,在图 33 中示出了成像装置 8,以除了像素阵列部分 10、列 AD 转换部分 26、基准信号产生部分 27 和相机信号处理块 810 之外,还包括光学系统(如成像镜头 802、光学低通滤波器 804 或红外截止滤光片 805)。当将成像装置 8 用作具有在其中封装了以上组件的可成像模块时,该实施例是优选的。

[0224] 这里,关于固态成像装置 1 与模块之间的关系,可以以可成像模块的形式提供所述装置 1。如图 33 所示,该模块具有与信号处理部分(除了位于列 AD 转换部分 26 的后一级的相机信号处理块之外)(如与像素阵列部分 10 紧密相关的、具有 AD 转换的差(CDS)处理功能的列 AD 转换部分 26)一起封装的像素阵列部分 10(成像部分)。然后,在以模块形式提供的固态成像装置 1 的后一级提供作为剩余信号处理部分的相机信号处理块 810。固态成像装置 1 和相机信号处理块 810 一起在整体上构成成像装置 8。

[0225] 可替代地,尽管没有图示,但是固态成像装置 1 可以以具有与光学系统(如成像镜头 802)一起封装的像素阵列部分 10 的可成像模块的形式提供。然后,相机信号处理块 810 也可以以模块的形式提供,以便所述部分 810 和固态成像装置 1 一起在整体上构成成像装置 8。仍然可替代地,固态成像装置 1 的模块可以包括相机信号处理块 810。在这种情况下,可以将固态成像装置 1 基本上看作与成像装置 8 相同的事物。例如,将所述装置 8 提供为适于执行“成像”的、配备有相机、或可成像移动设备。应该注意,术语“成像”不仅包括正

常照相期间的图像抓取,而且还包括广义上的指纹检测或其它。

[0226] 如上所述配置的成像装置 8 包括固态成像装置 1 的全部功能,并且可以基本上以与固态成像装置 1 相同的方式配置和操作。特别地,运动图像抓取期间的隔行扫描提供了具有运动对象的光滑渲染运动的图像,并不引起增大的芯片尺寸、降低的转换效率或降低的饱和信号电平的情况下确保改进的 S/N 比。

[0227] 尽管已经在以上描述了优选实施例,但本发明的范围不限于在这些实施例中描述的范围。在不脱离本发明的范围和精神的情况下,本发明可以以各种方式改变或修改,并且包括这些改变或修改的实施例也包括在本发明的技术范围内。

[0228] 进一步,以上实施例不限制如在所附权利要求中提出的本发明,并且并非在实施例中描述的特征的所有组合构成了本发明的必要解决方式。以上实施例包括本发明的各个阶段,并且通过多个所公开的组成元件的适当的组合,可以提取出各种发明。即使从全部元件中除去一些组成元件,仍然可以提取没有这些组成元件的配置作为发明,只要它提供了本发明的有益效果即可。

[0229] 例如,在以上实施例中已经具体地描述了适于将每一帧分割为两个或三个场的隔行扫描。然而,隔行扫描可以将每一帧分割为四个或更多个场。为了完成其,只需要对于每一个电荷产生部分 32 来说具有 N 个读出选择晶体管 34,并将所述晶体管 34 连接到不同行中的像素信号产生部分 5。因此,基本构思与以上实施例中的相同。

[0230] 进一步,在对于具有包含四个晶体管 (34、36、40 和 42) 的信号输出部分 6 的像素共享结构的隔行扫描的应用的第六实施例中已经给出了描述。然而,对于具有缺少垂直选择晶体管 40 的三晶体管配置的像素来说,可以实现如在第六实施例中描述的所述功能和有益效果。即使在这种情况下,根据第六实施例的布置可应用于基于同一原理操作的像素,如对于两个光电二极管 (电荷产生部分 32) 中的每一个具有多个读出选择晶体管 34 以支持隔行扫描的那些像素。

[0231] 为了将本发明应用于彩色图像抓取,只需要排列滤色片以支持用于隔行传送 CCD 的场累积即可。

[0232] 在以上实施例中,已经采用包括单元像素 (每一个单元像素由 NMOS 晶体管构成) 的传感器作为示例给出了描述。然而,本发明不限于此。根据信号电荷和晶体管极性,通过颠倒控制信号电势中的关系 (颠倒正负电势),本发明提供了与以上实施例中所述的功能和有益效果相同的功能和有益效果。

[0233] 也就是说,至少对于在使用空穴作为信号电荷的 MOS 固态成像装置中的读出选择晶体管 34,采用与在以上实施例中使用的 NMOS 晶体管的导通类型相反的 PMOS 晶体管。即使在这种情况下,只需要对于每一个电荷产生部分 32 提供多个 PMOS 读出选择晶体管 34,并将所述晶体管 34 连接到不同行中的像素信号产生部分 5 和信号输出部分 6 以便支持隔行扫描。

[0234] 关于单元像素 3 的配置,可以将衬底和半导体区域全部改变到与剩余未改变的实施例中所示的情况相反的导通类型。此外在这种情况下,如果需要的话,只需要进行修改,以便颠倒信号电荷以及控制信号电势 (正负电势) 中的关系。

[0235] 本发明包含涉及在 2008 年 5 月 30 日在日本专利局提交的日本优先权专利申请 JP 2008-142336 的主题,将其全部内容通过引用的方式合并在此。

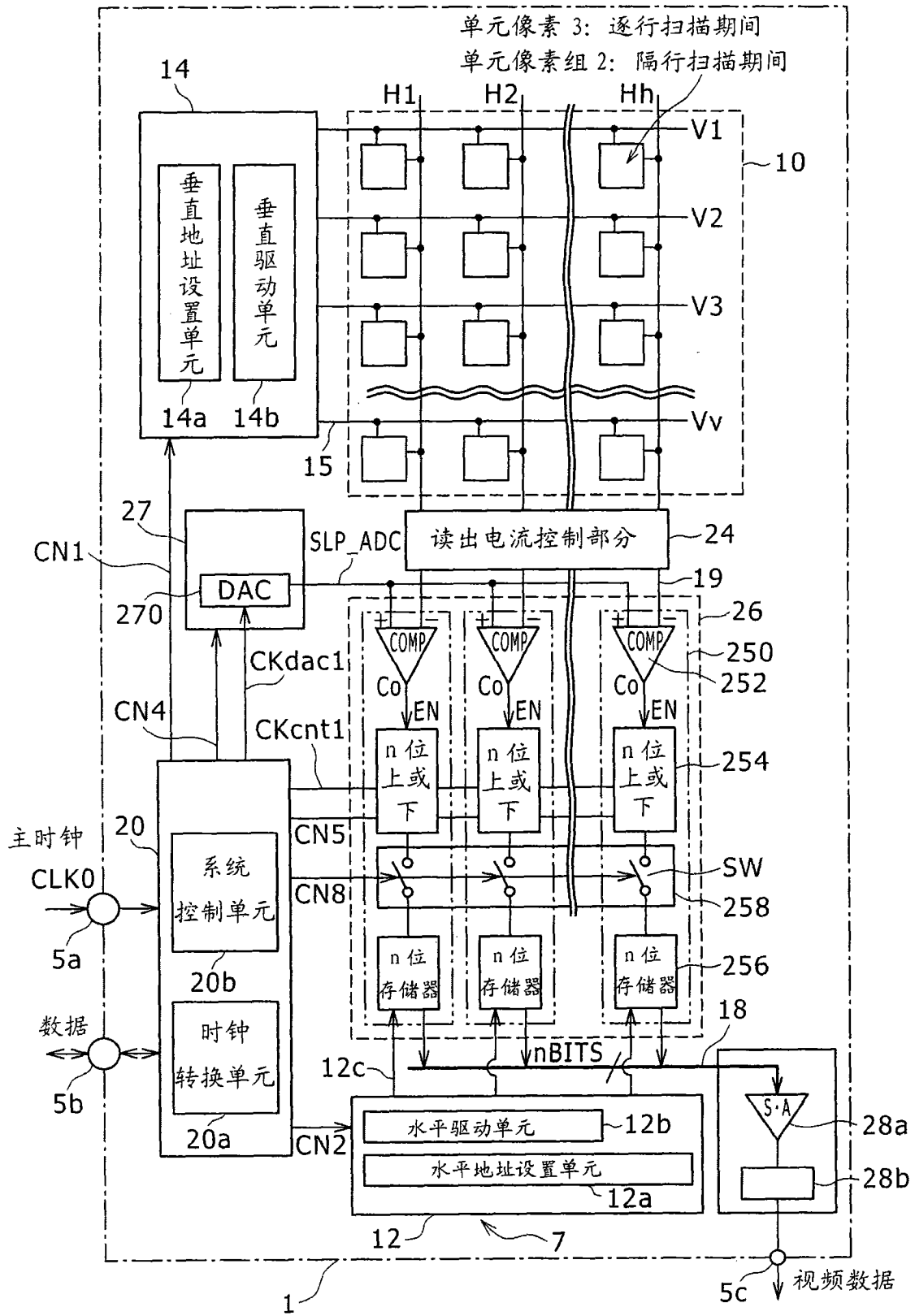


图 1

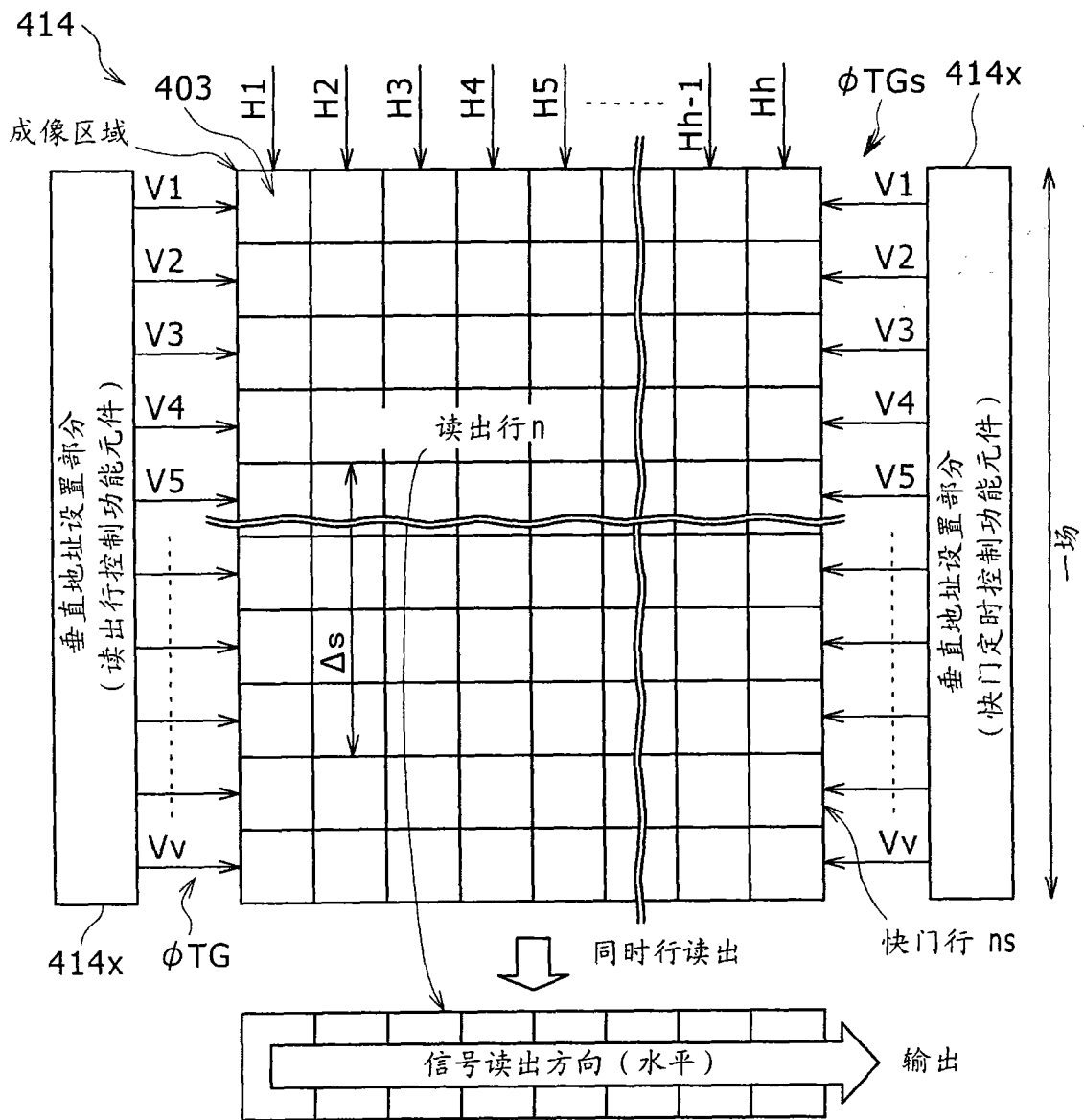


图 2

累积和同时读出方案
(如, 用于 CCD 的读出方案)

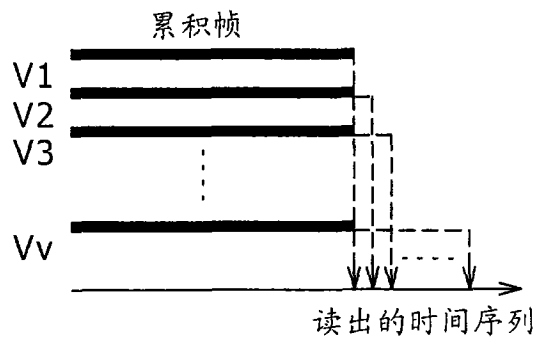


图 3A

累积和顺序读出方案
(如, 用于 CMOS 的读出方案)

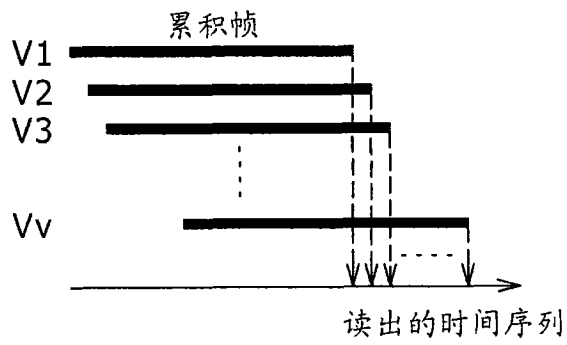


图 3B

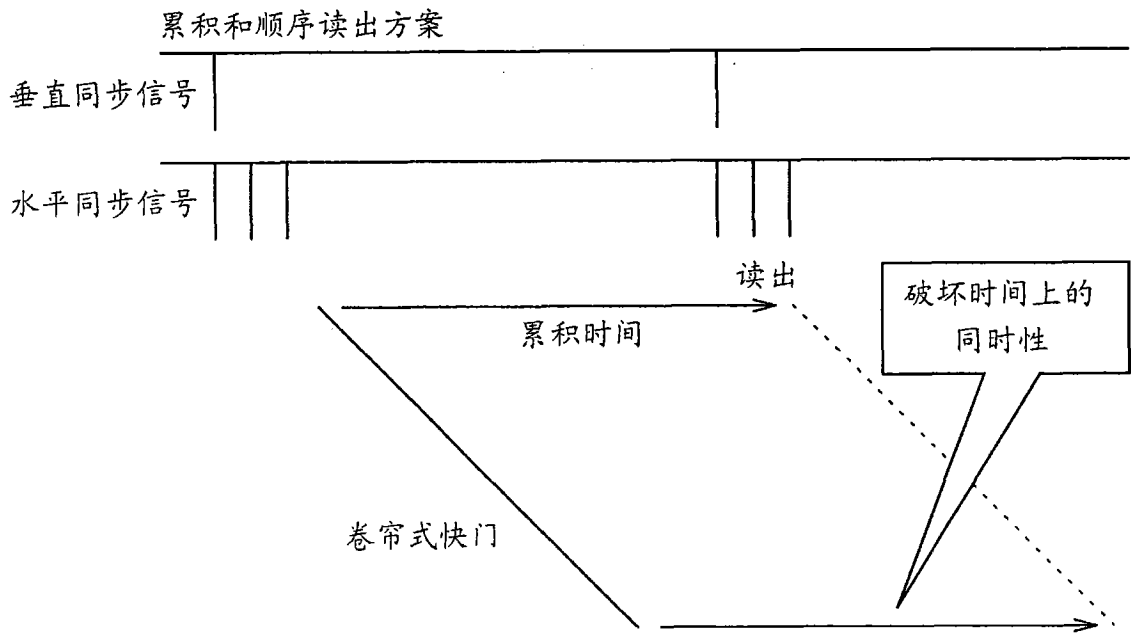


图 3C

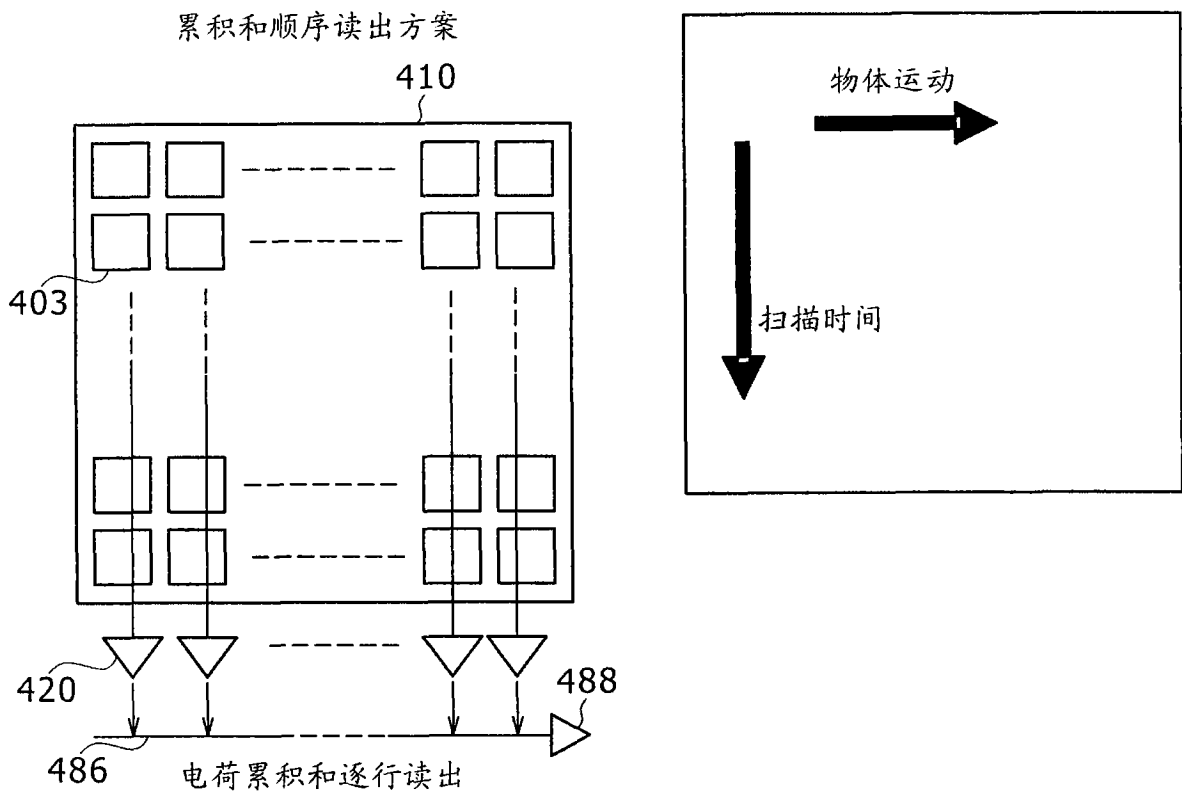


图 4B

图 4A

由于累积时间中的
差异引起的线方向中的时间
描影失真

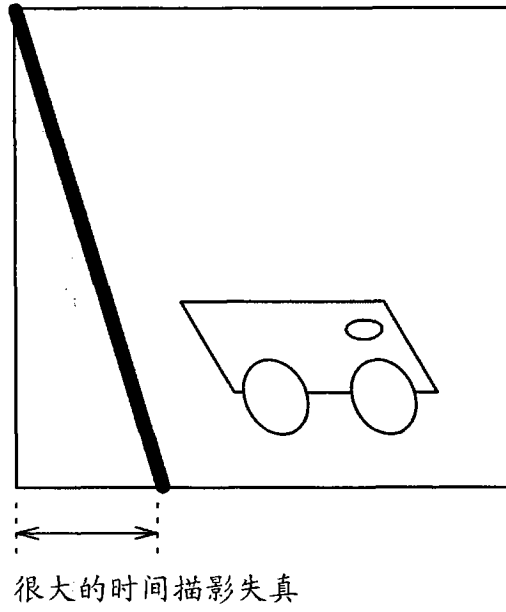


图 4C

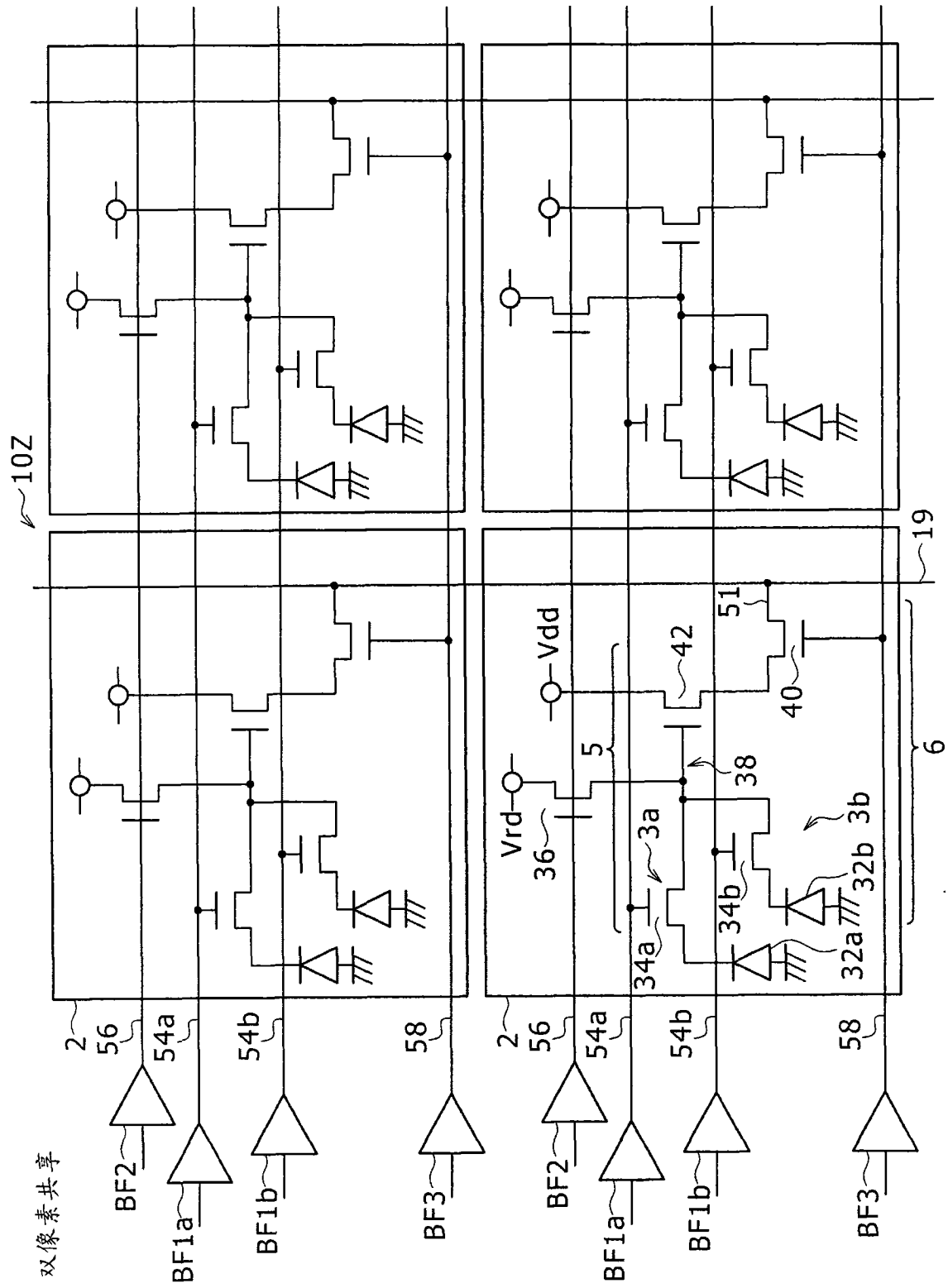


图 5

4 晶体管配置 & 2 场

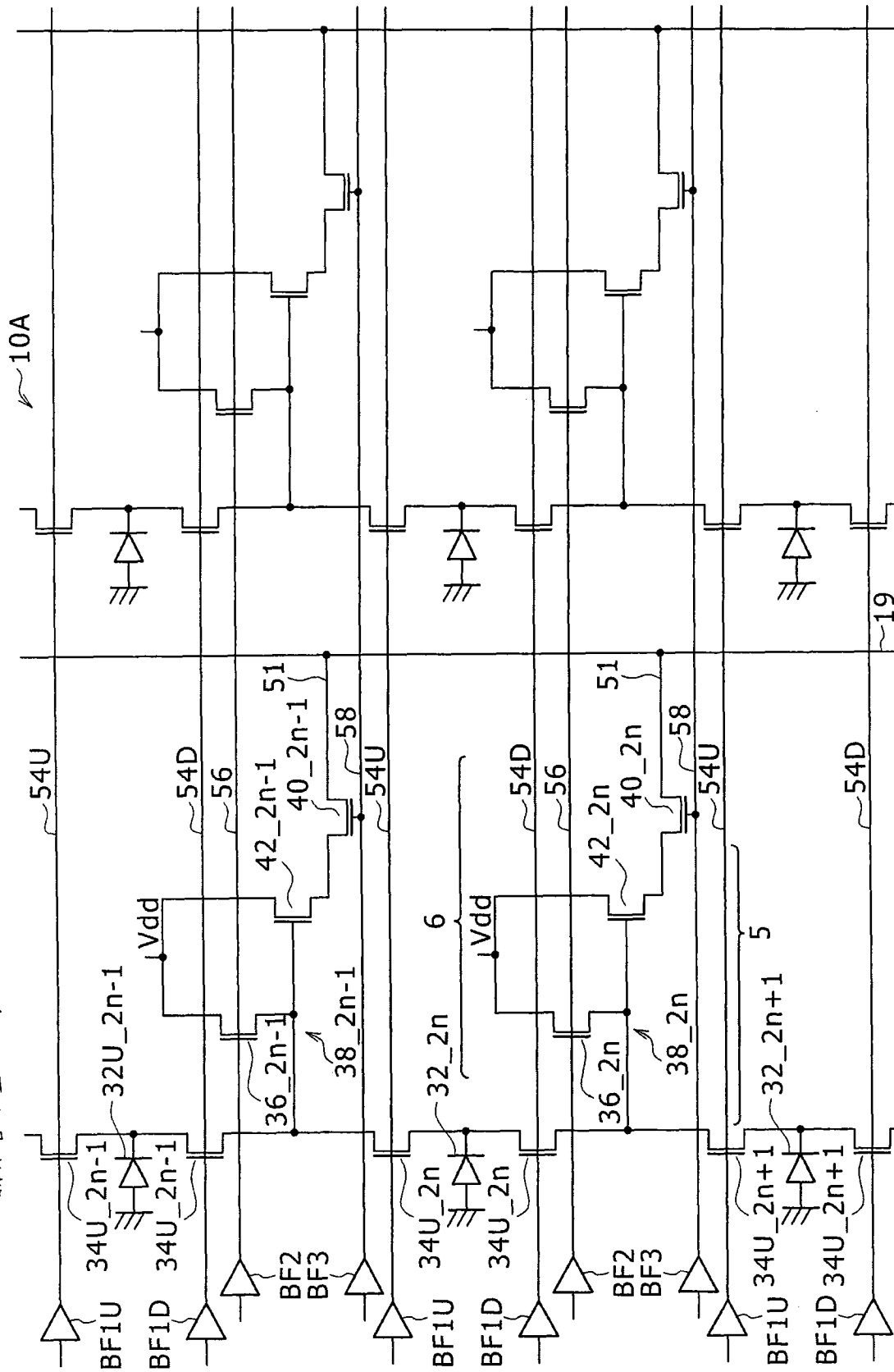


图 6

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
奇数	32_2n-1	34D_2n-1	5_2n-1	40_2n-1	2 个像素的相加
	32_2n	34D_2n			
偶数	32_2n	34D_2n	5_2n	40_2n	2 个像素的相加
	32_2n+1	34D_2n+1			

在读出或电子快门期间
 可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平

图 7

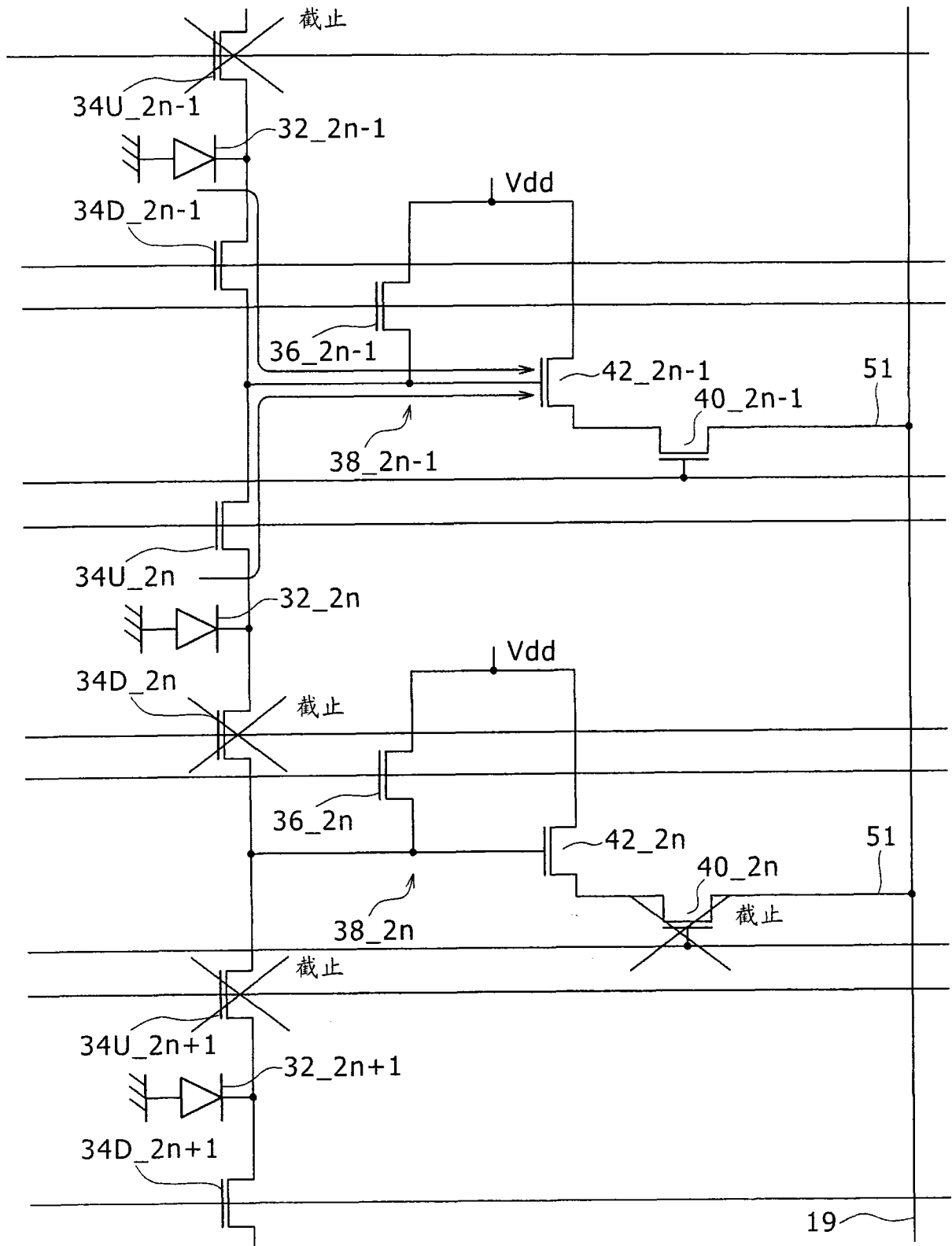


图 8

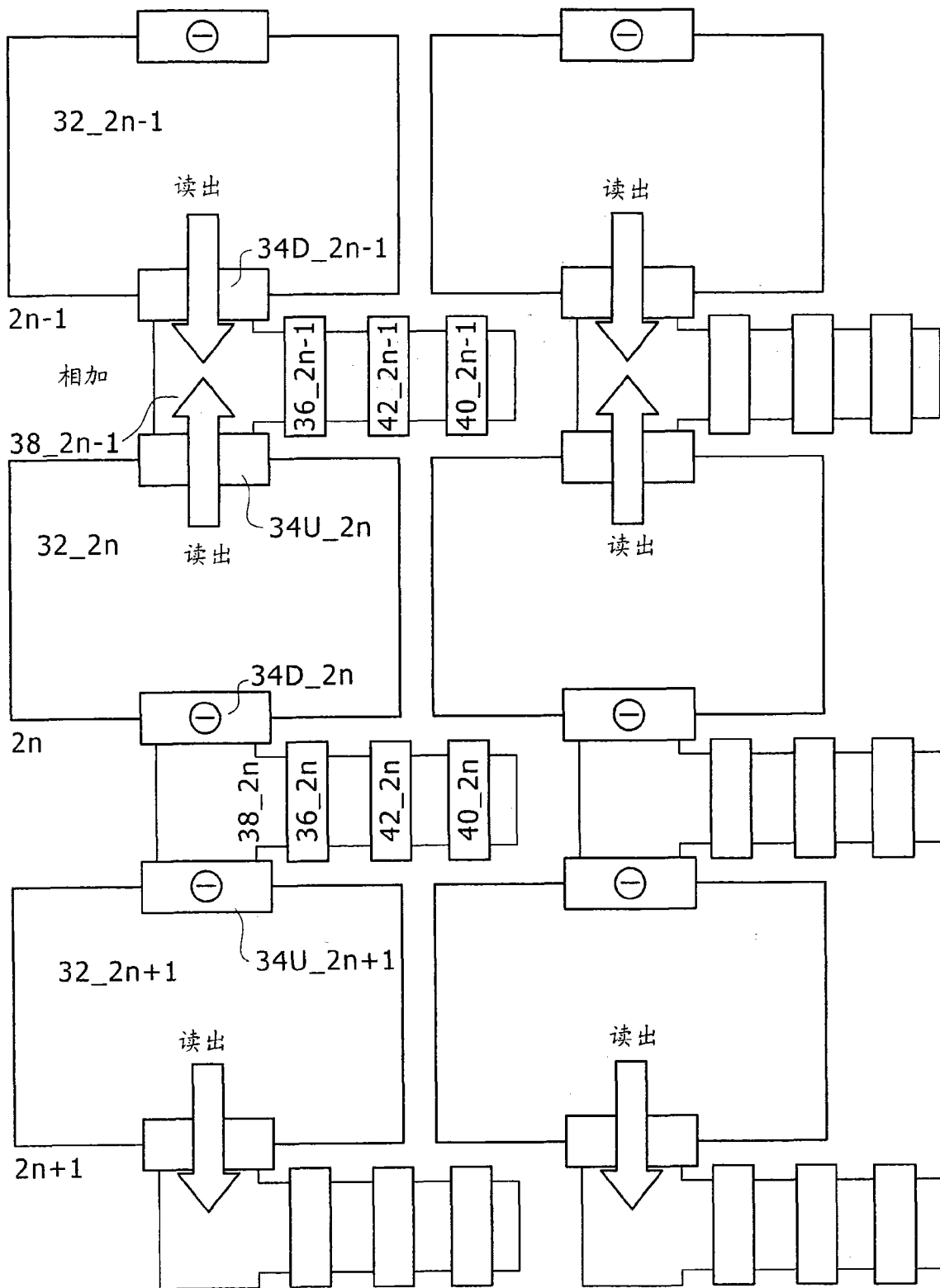


图 9

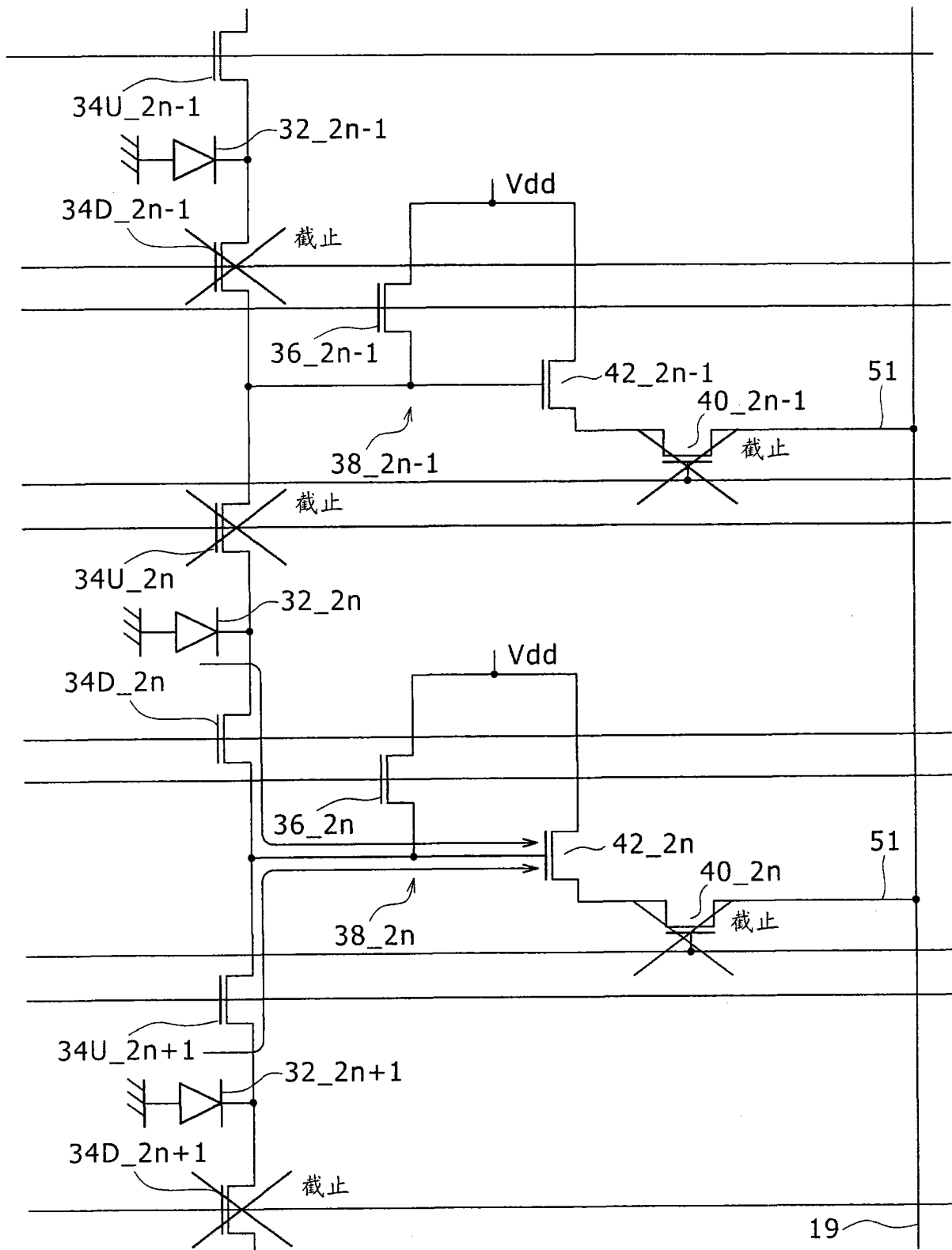


图 10

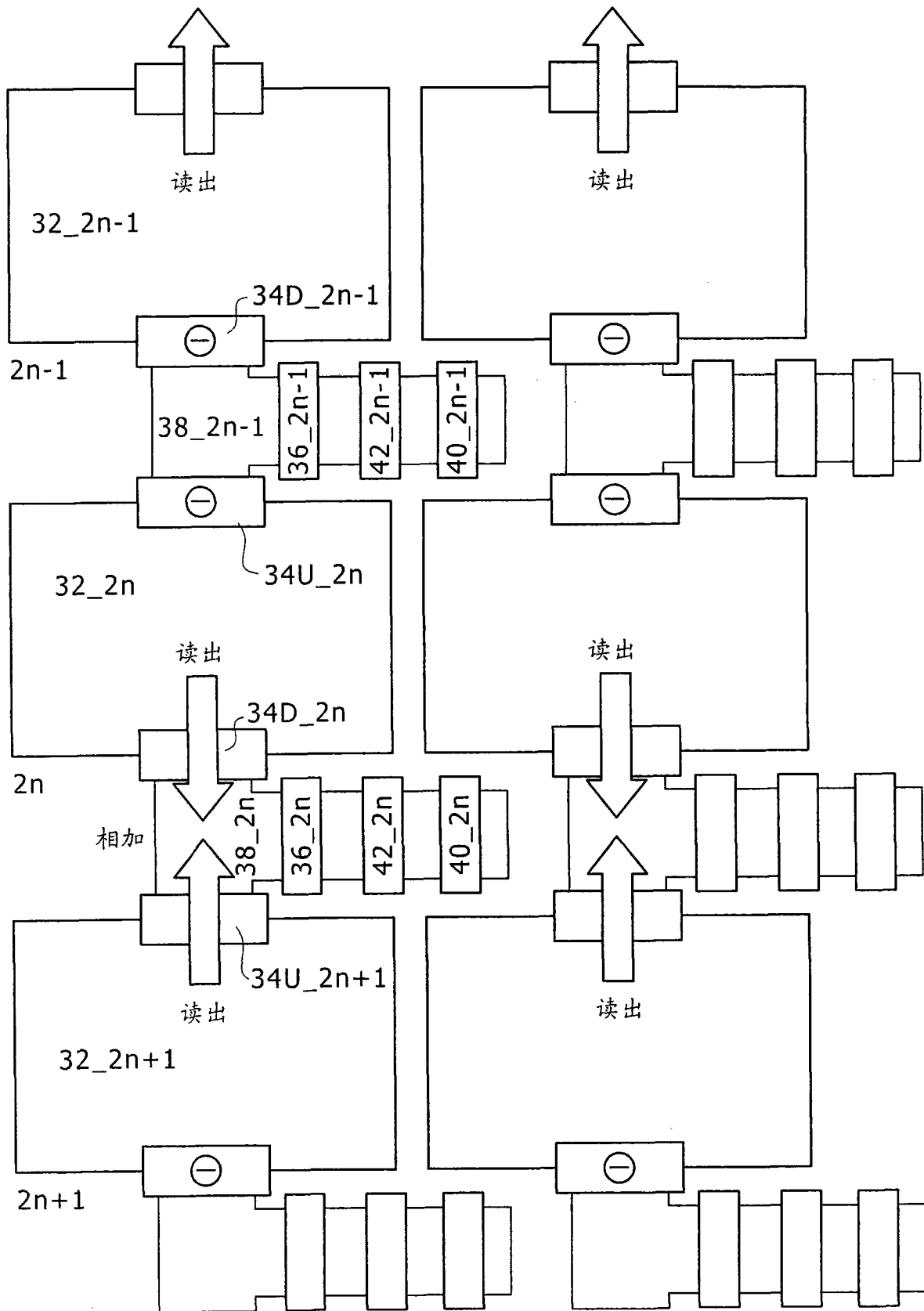


图 11

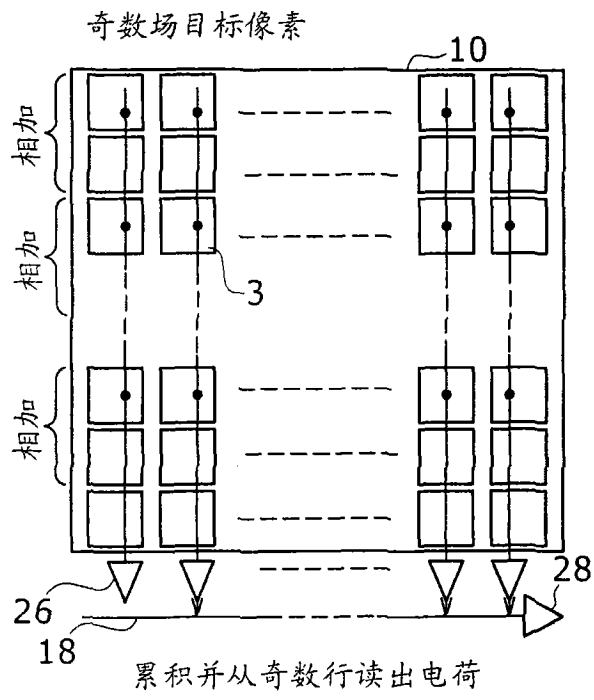


图 12A-1

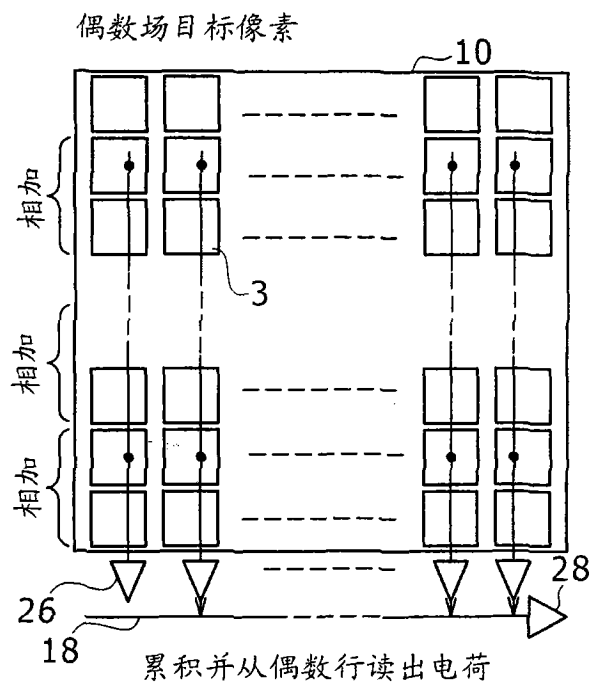
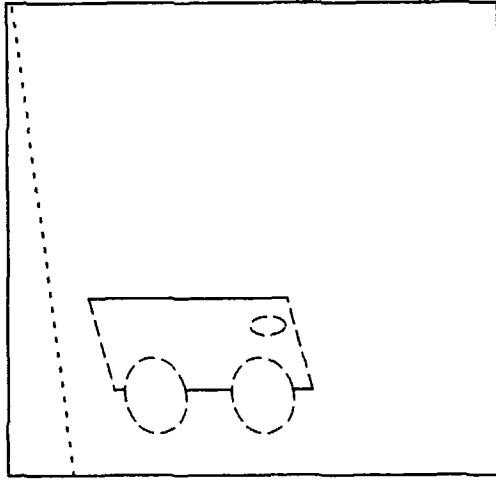


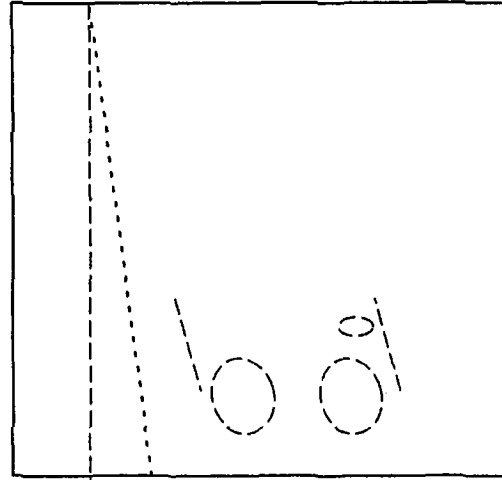
图 12B-1

奇数场
由于累积时间中的差异引起的
线方向中的时间描影失真



很小的时间描影失真

偶数场
由于累积时间中的差异引起的
线方向中的时间描影失真



很小的时间描影失真

在两个场中时间描影失真的 50% 降低

图 12A-2

图 12B-2

	单元像素				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
第一示例	32_k	34D_k	5_k	40_k	没有 2 个像素的相加
第二示例	32_k+1	34U_k+1			

图 13

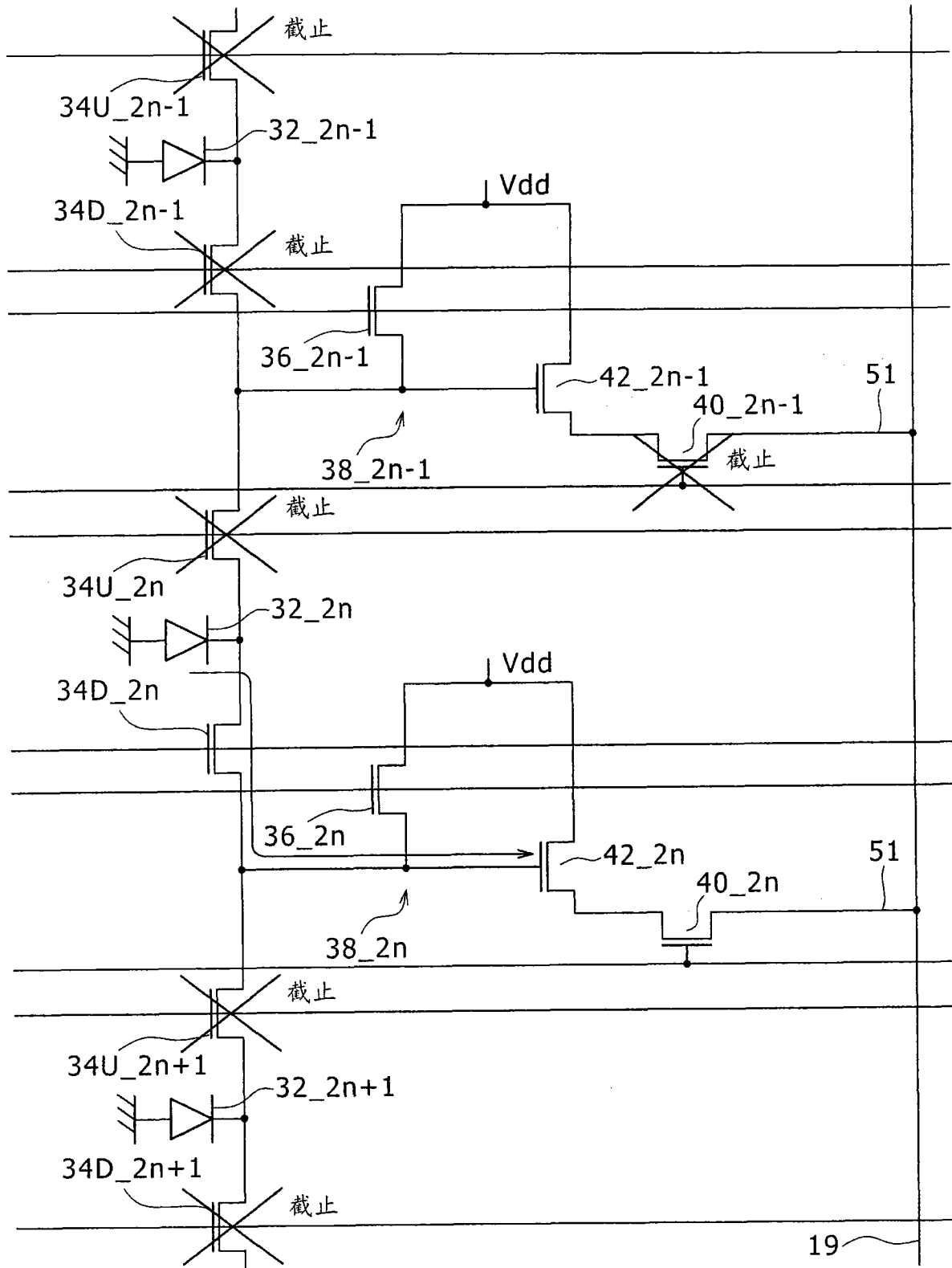


图 14

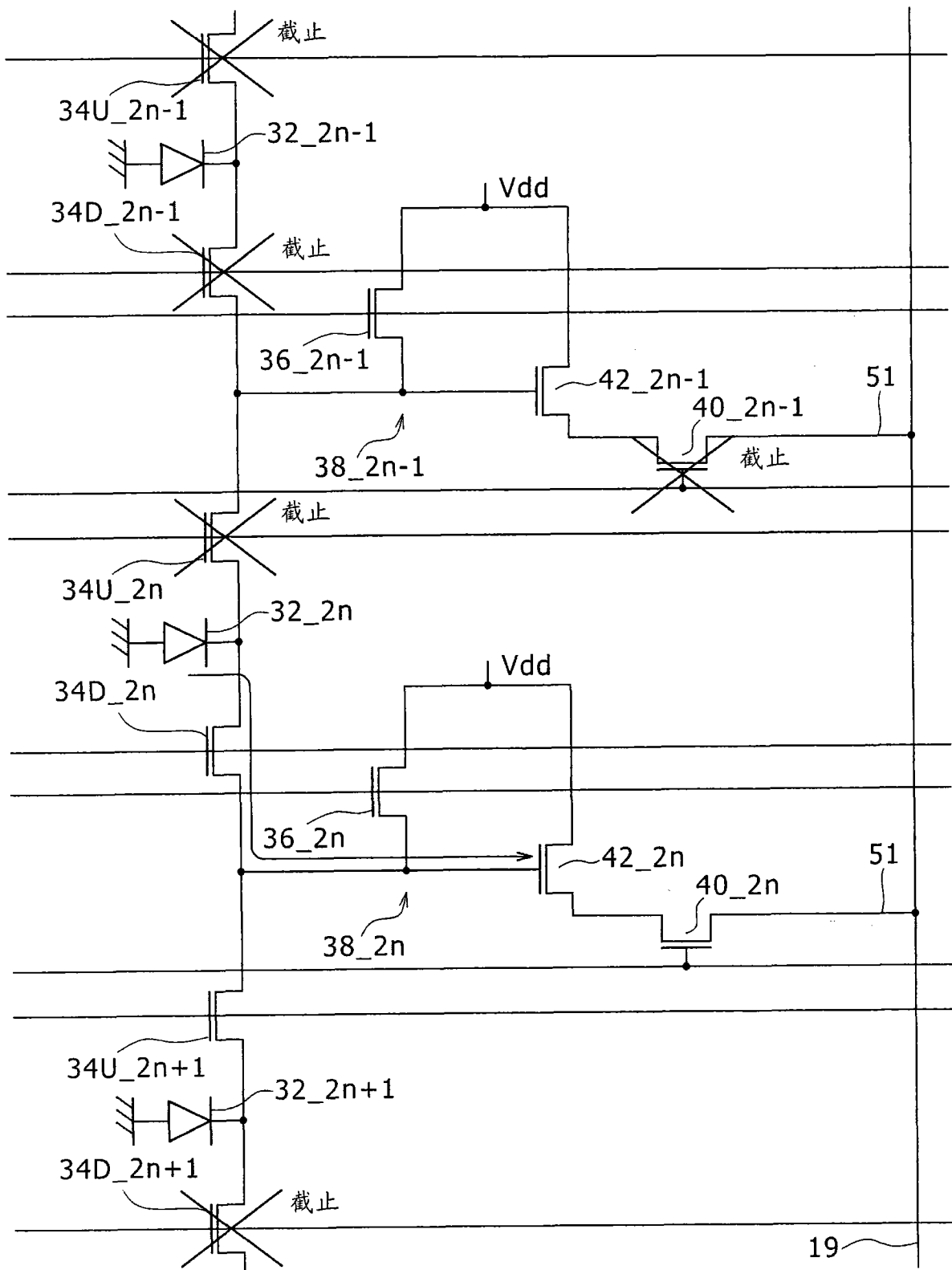


图 15

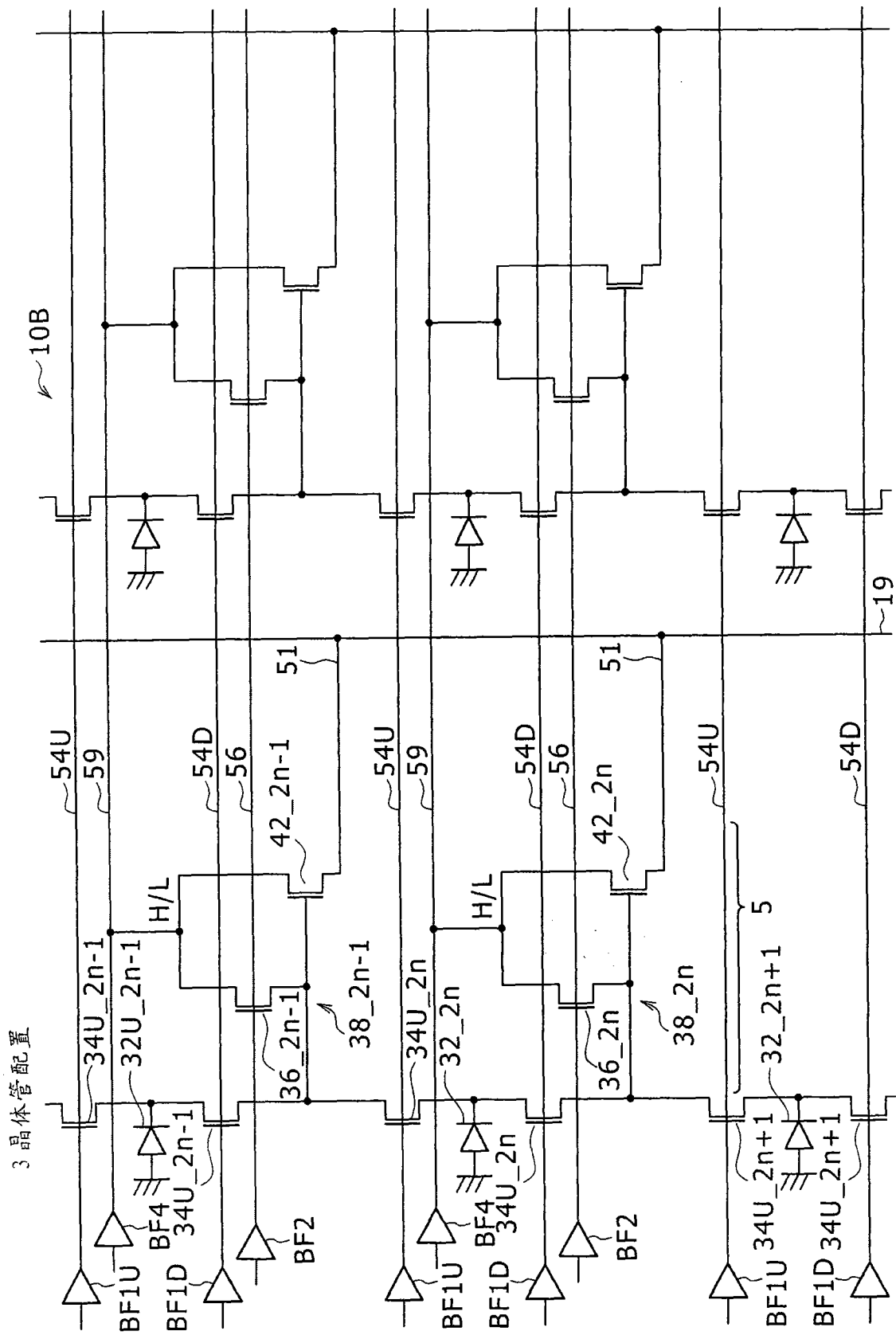


图 16

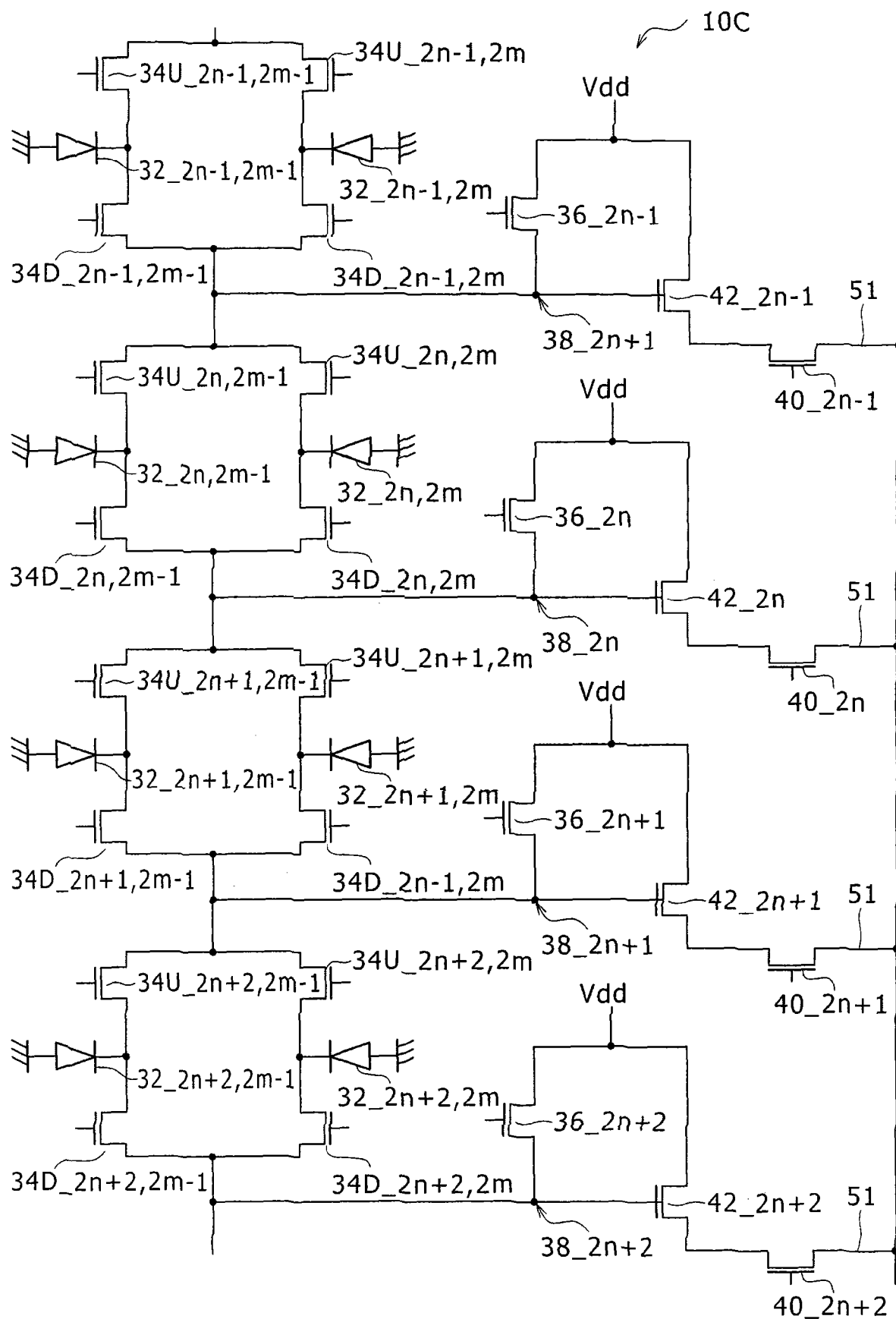


图 17

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
奇数	$32_{2n-1,2m-1}$	$34D_{2n-1,2m-1}$	5_{2n-1}	40_{2n-1}	2×2 个像素的相加
	$32_{2n,2m-1}$	$34U_{2n,2m-1}$			
	$32_{2n-1,2m}$	$34D_{2n-1,2m}$			
	$32_{2n,2m}$	$34U_{2n,2m}$			
偶数	$32_{2n,2m-1}$	$34D_{2n,2m-1}$	5_{2n}	40_{2n}	2×2 个像素的相加
	$32_{2n+1,2m-1}$	$34U_{2n+1,2m-1}$			
	$32_{2n,2m}$	$34D_{2n,2m}$			
	$32_{2n+1,2m}$	$34U_{2n+1,2m}$			

图 18A 在读出或电子快门期间可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
第一示例	$32_{k,2m-1}$	$34D_{k,2m-1}$	5_k	40_k	1×2 个像素的相加
	$32_{k,2m}$	$34D_{k,2m}$			
第二示例	$32_{k+1,2m-1}$	$34U_{k+1,2m-1}$			
	$32_{k+1,2m}$	$34U_{k+1,2m}$			

图 18B

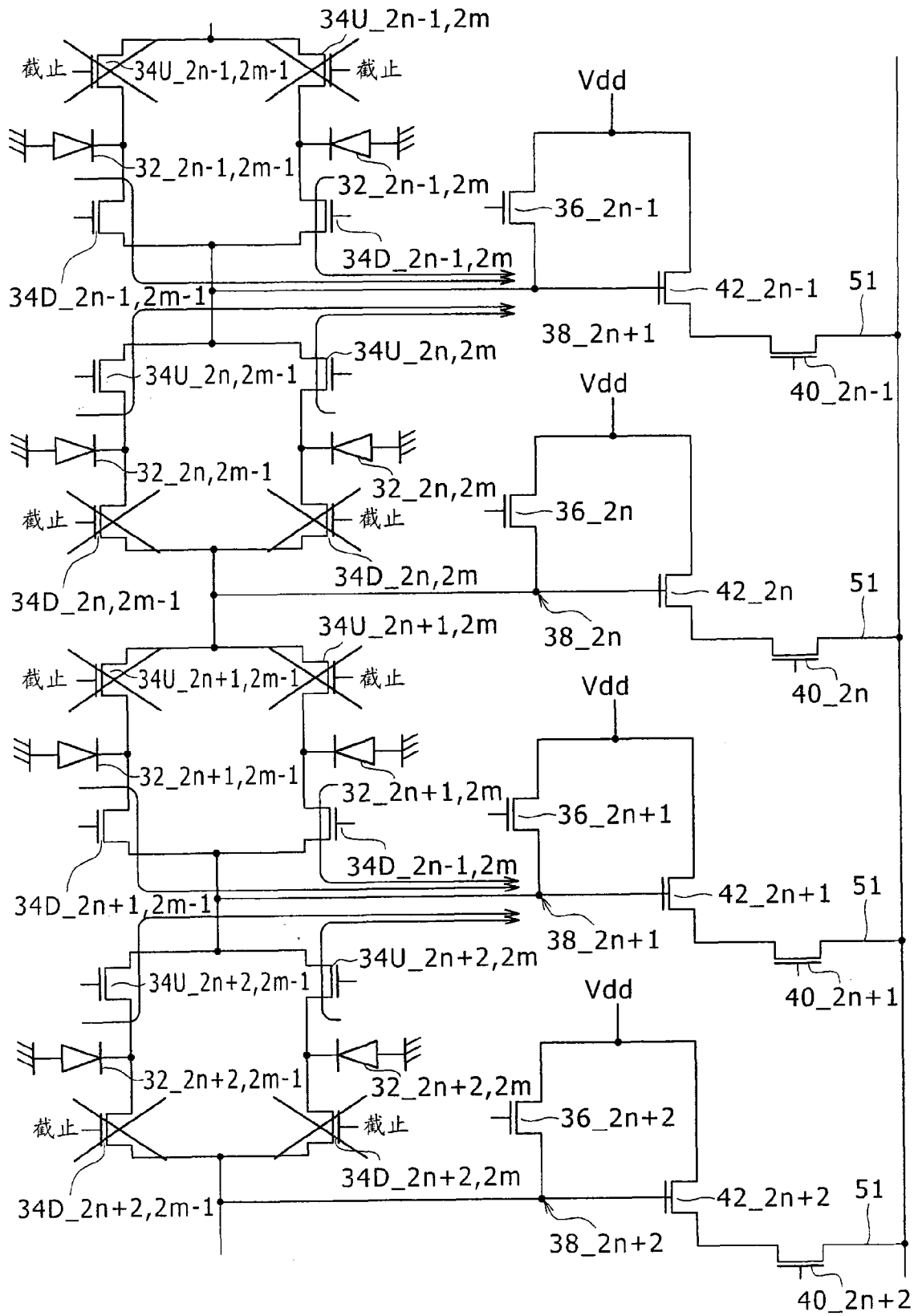


图 19

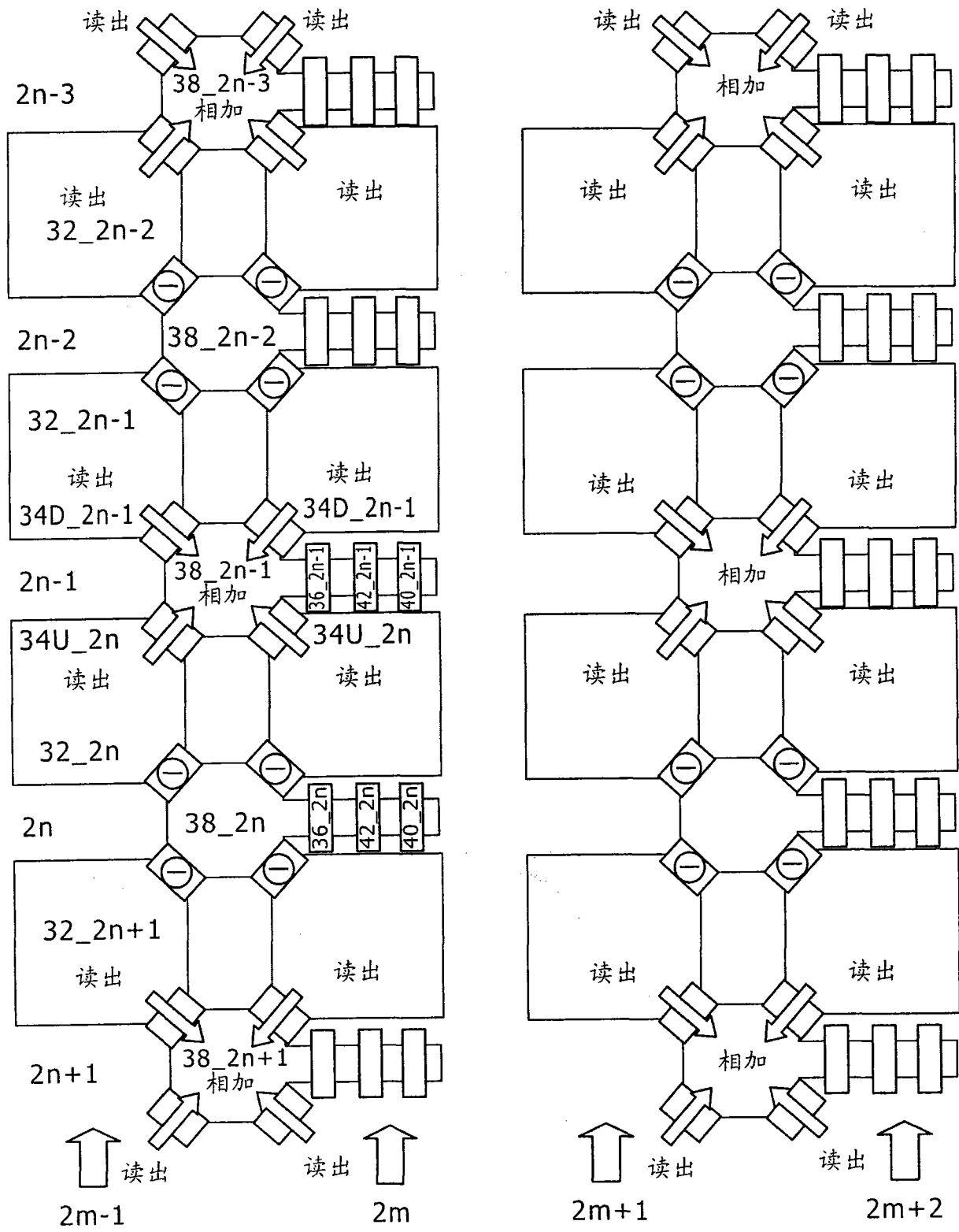


图 20

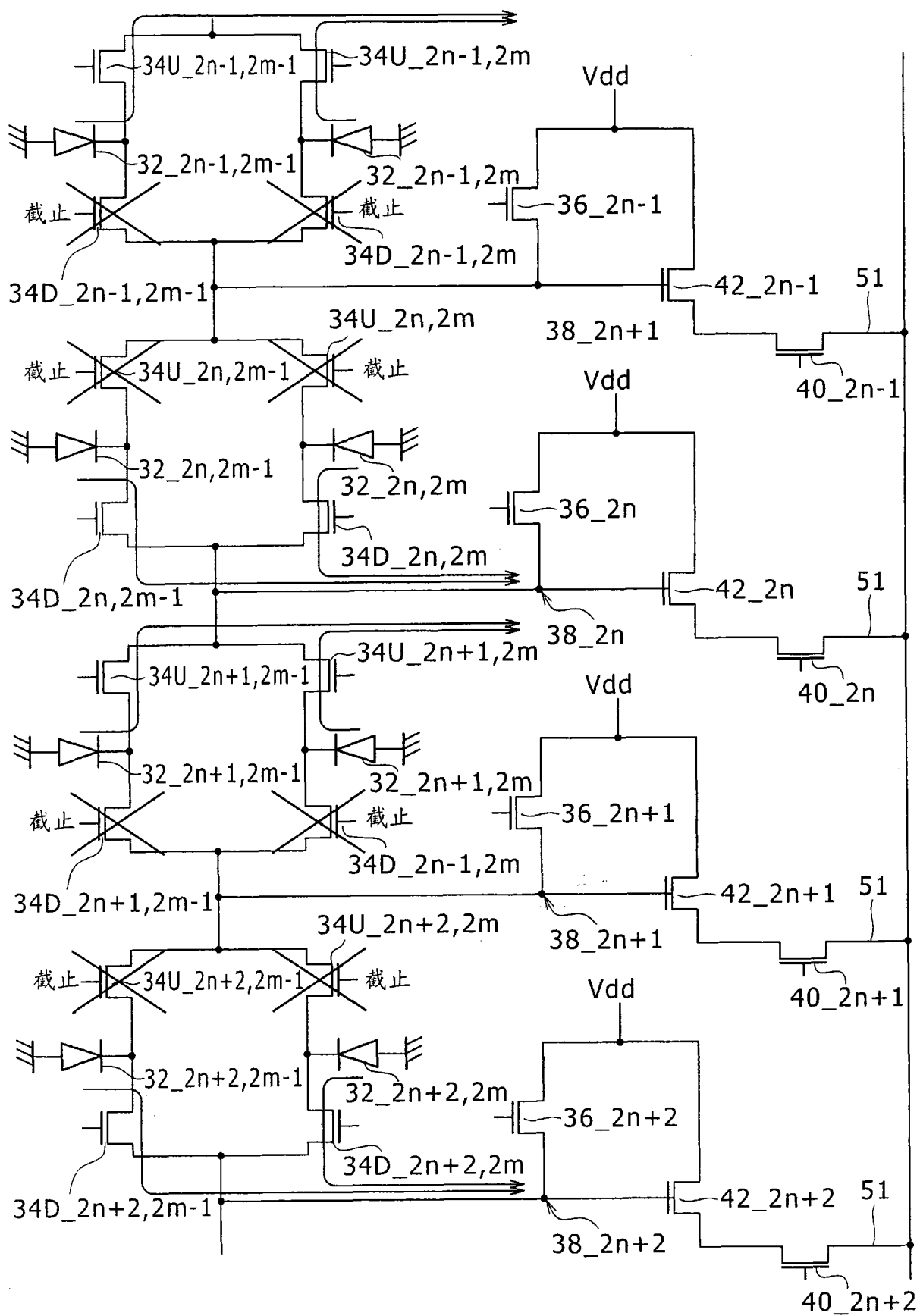


图 21

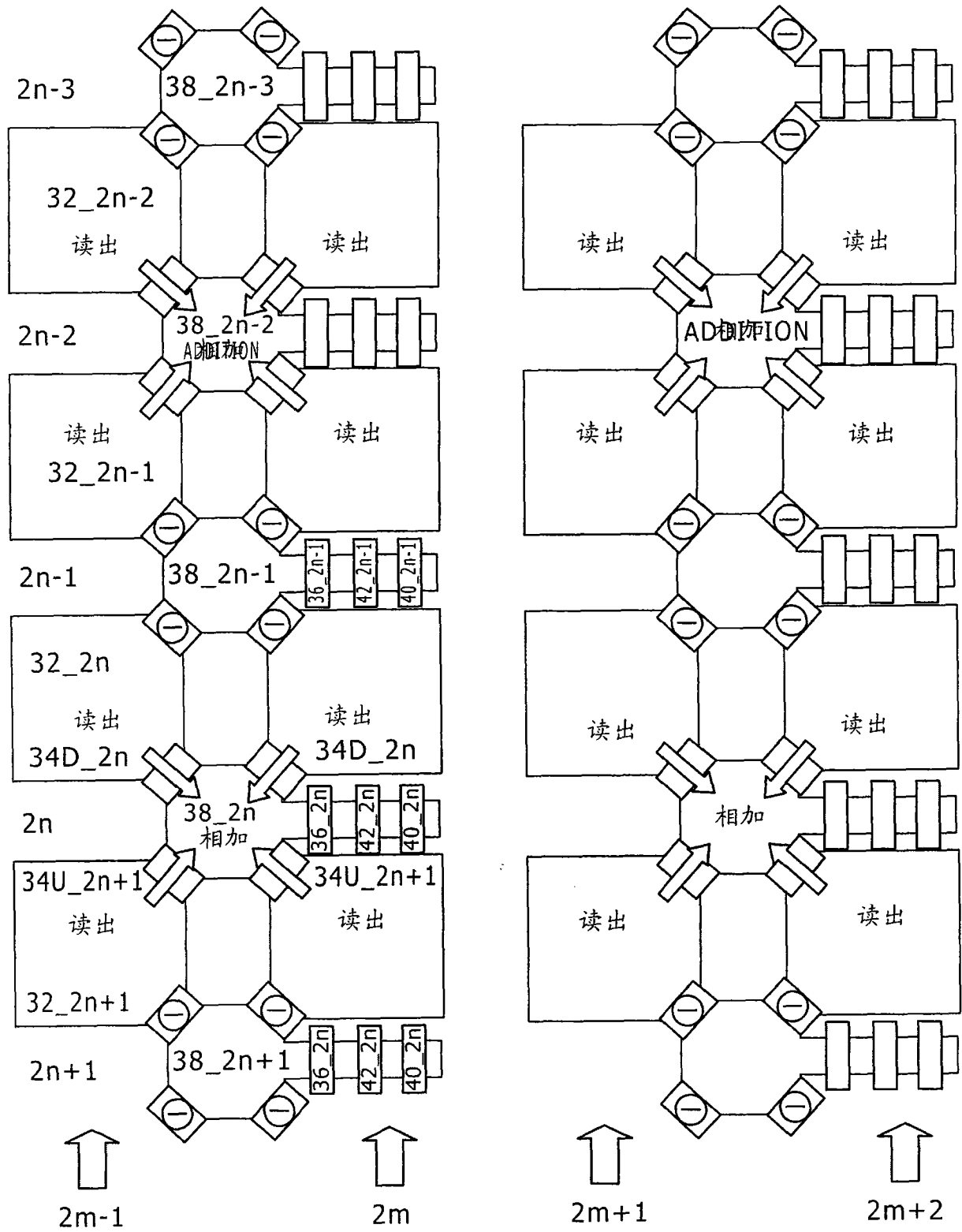


图 22

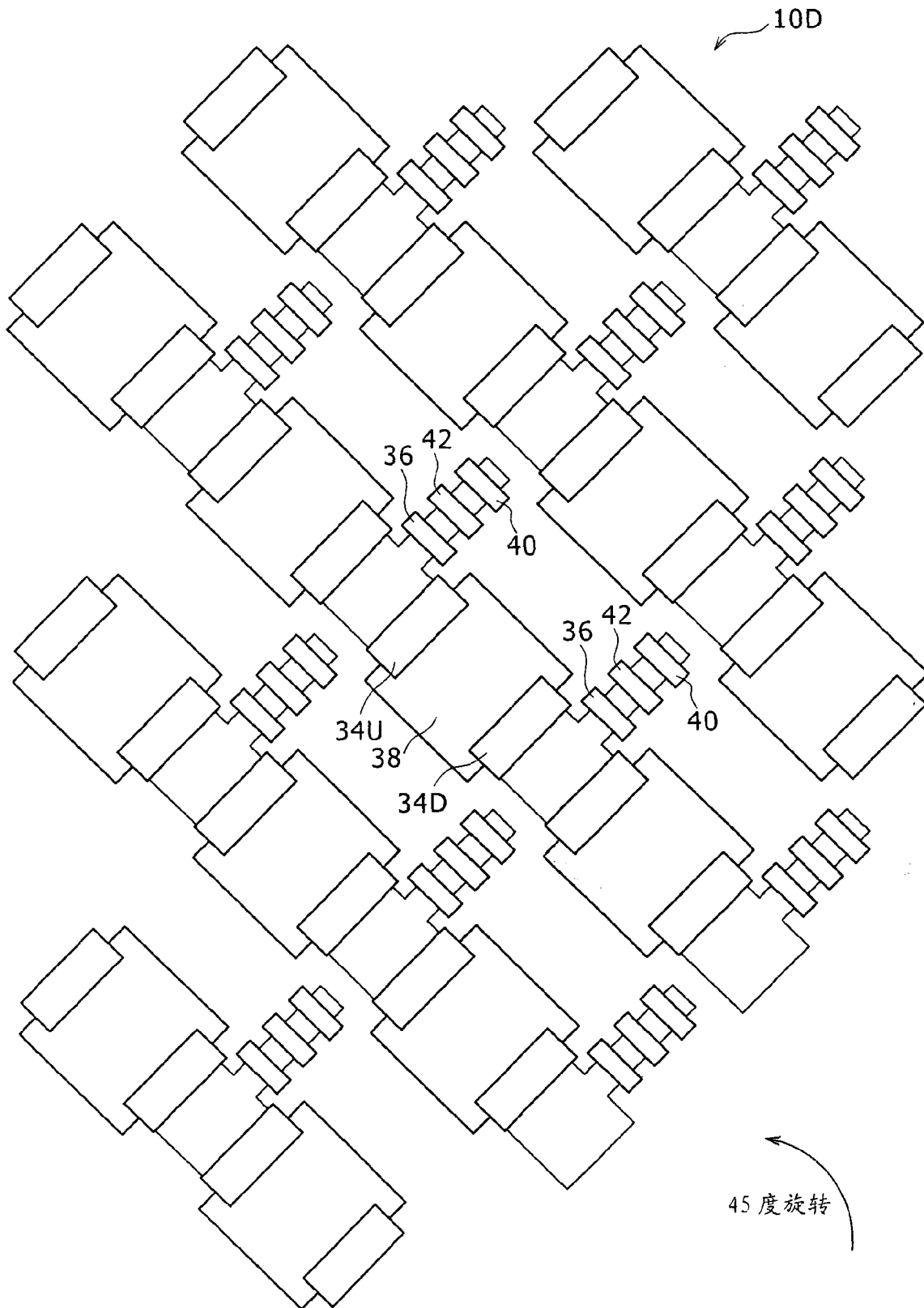


图 23

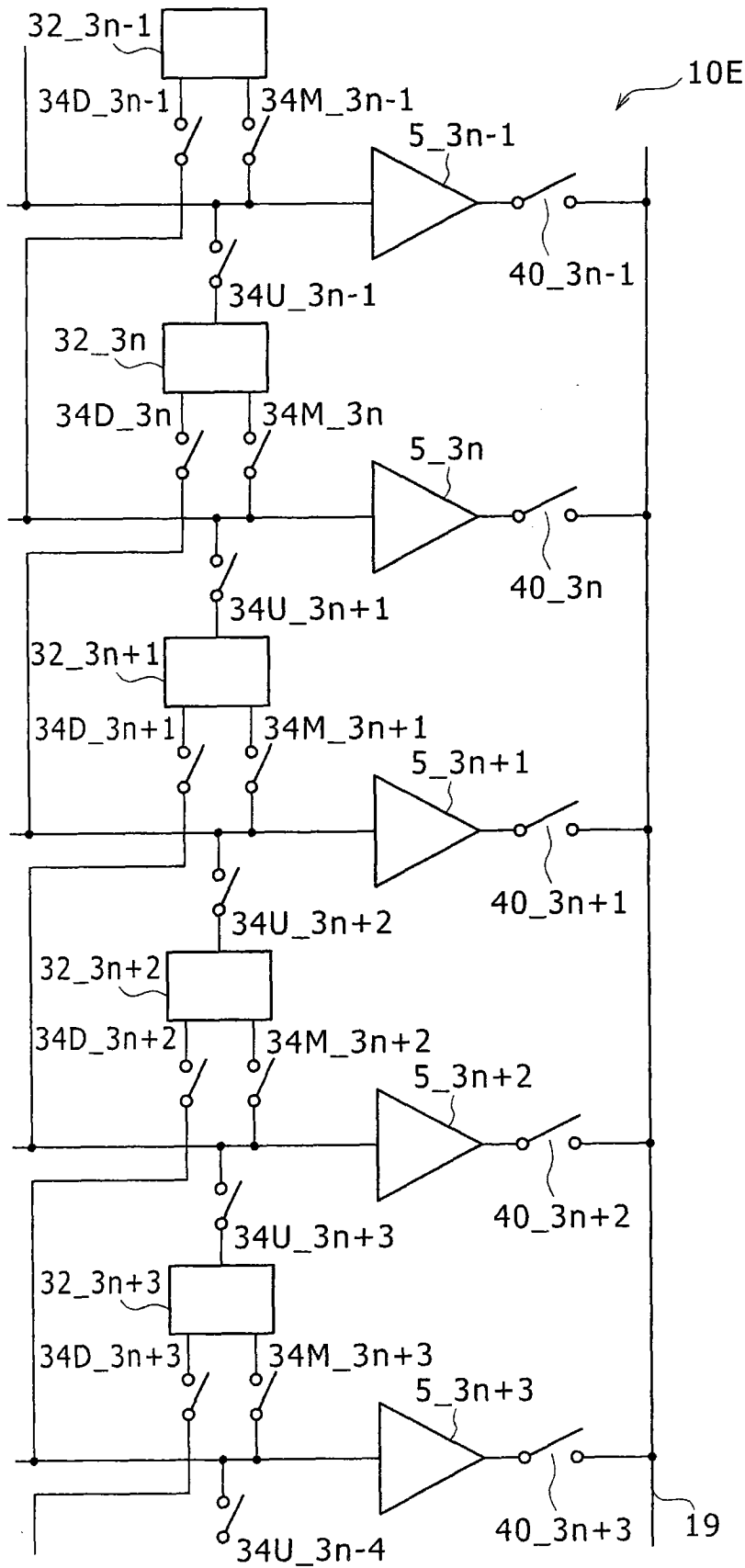


图 24

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
第一示例	32 _{3n-1}	34D _{3n-1}	5 _{3n}	40 _{3n}	3个像素的相加
	32 _{3n}	34M _{3n}			
	32 _{3n+1}	34U _{3n+1}			
第二示例	32 _{3n}	34D _{3n}	5 _{3n+1}	40 _{3n+1}	3个像素的相加
	32 _{3n+1}	34M _{3n+1}			
	32 _{3n+2}	34U _{3n+2}			
第三示例	32 _{3n+1}	34D _{3n+1}	5 _{3n+2}	40 _{3n+2}	3个像素的相加
	32 _{3n+2}	34M _{3n+2}			
	32 _{3n+3}	34U _{3n+3}			

图 25A 在读出或电子快门期间可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平

	单元像素				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
第一示例	32 _k	34M _k	5 _k	40 _k	没有 3个像素的相加
第二示例	32 _{k-1}	34D _{k-1}			
第三示例	32 _{k+1}	34U _{k+1}			

图 25B

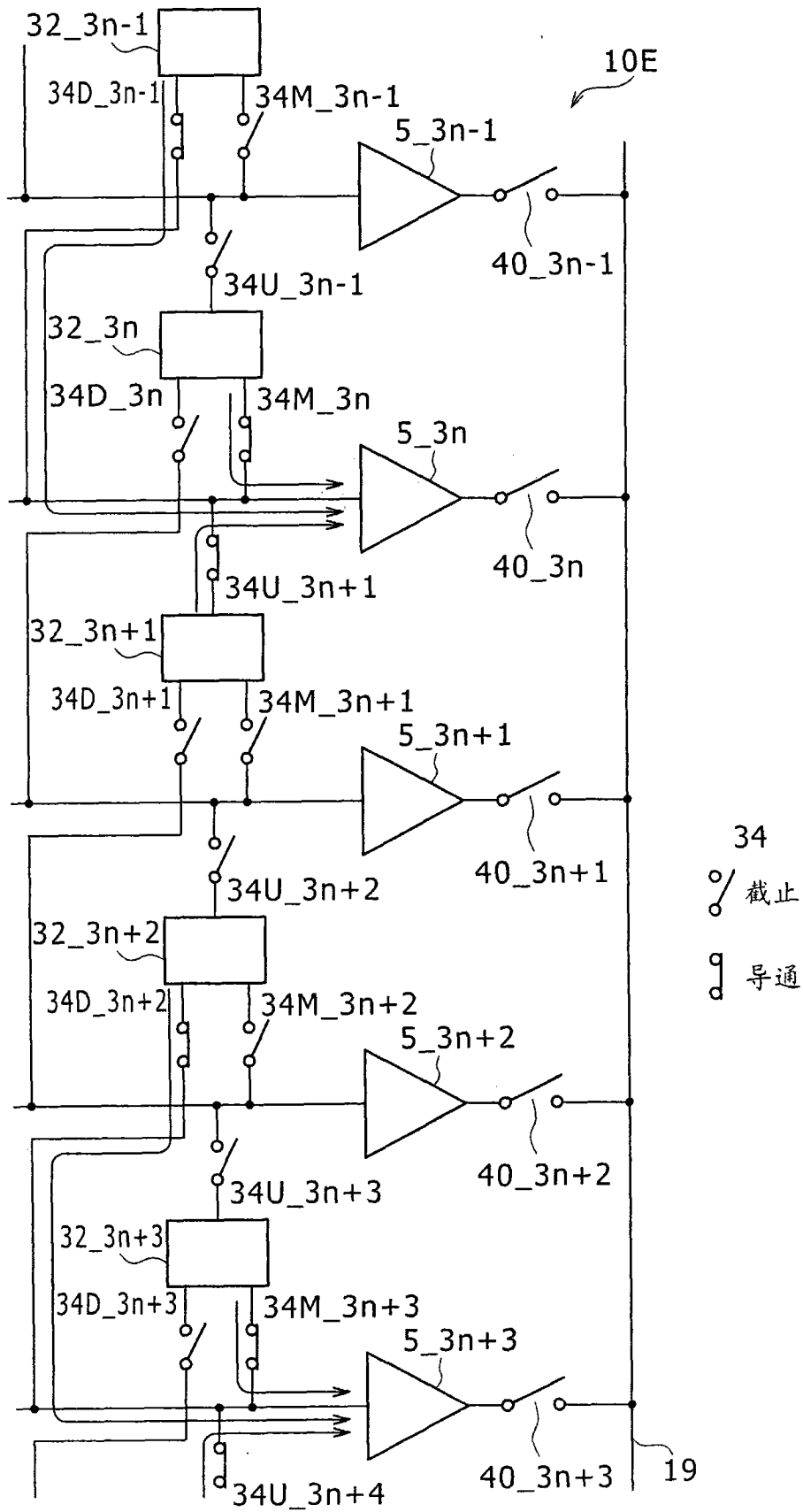


图 26

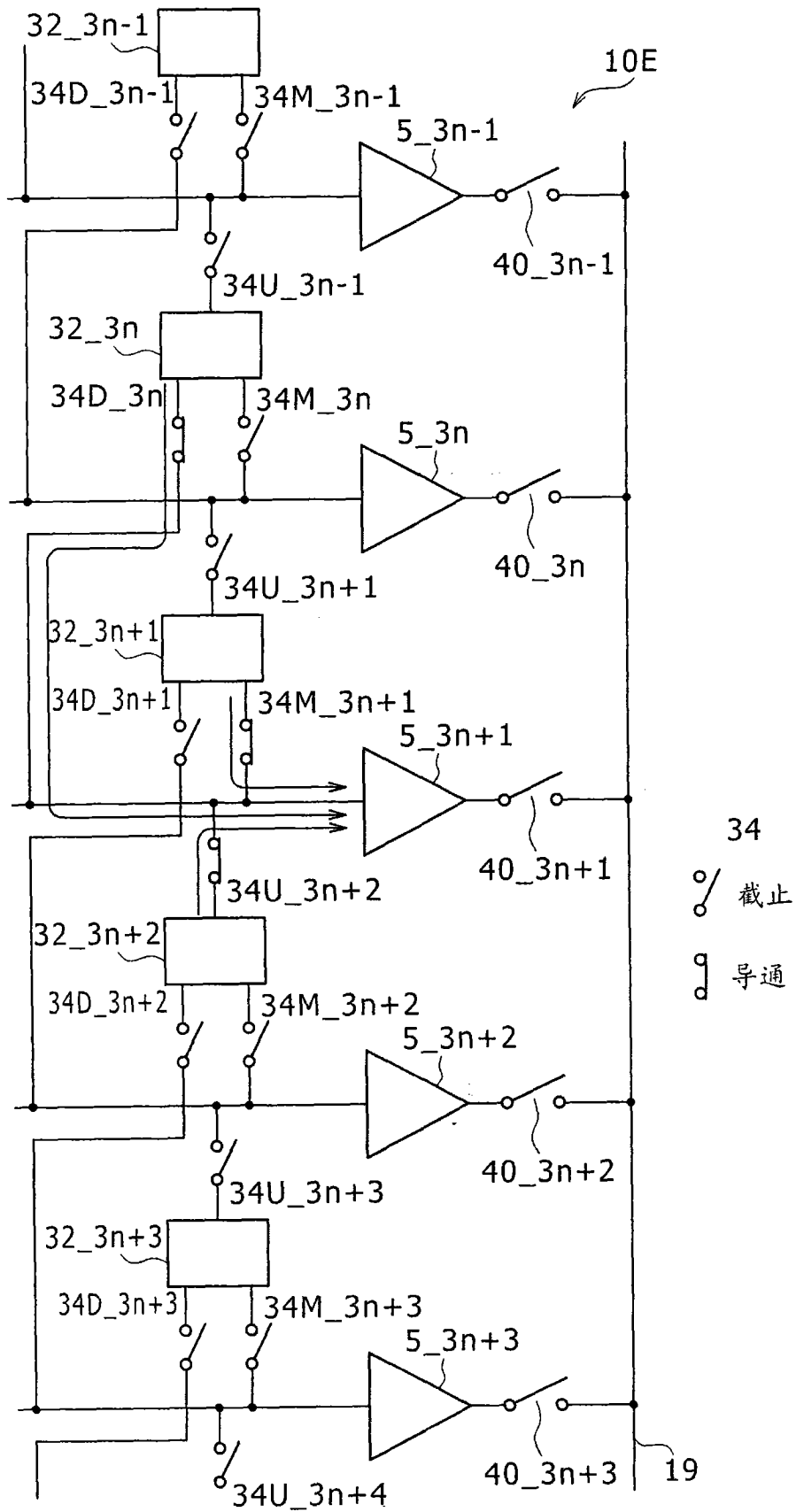


图 27

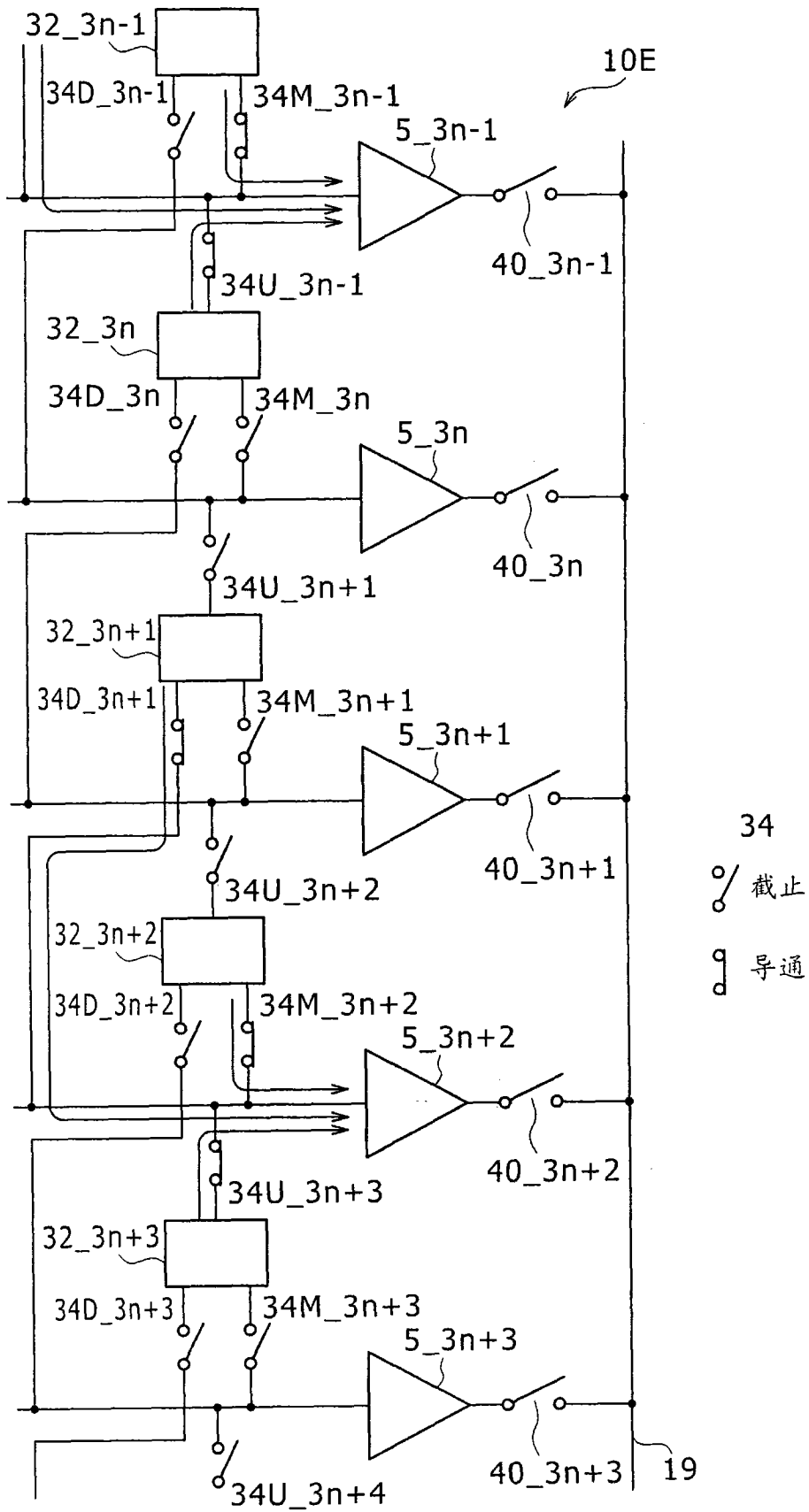


图 28

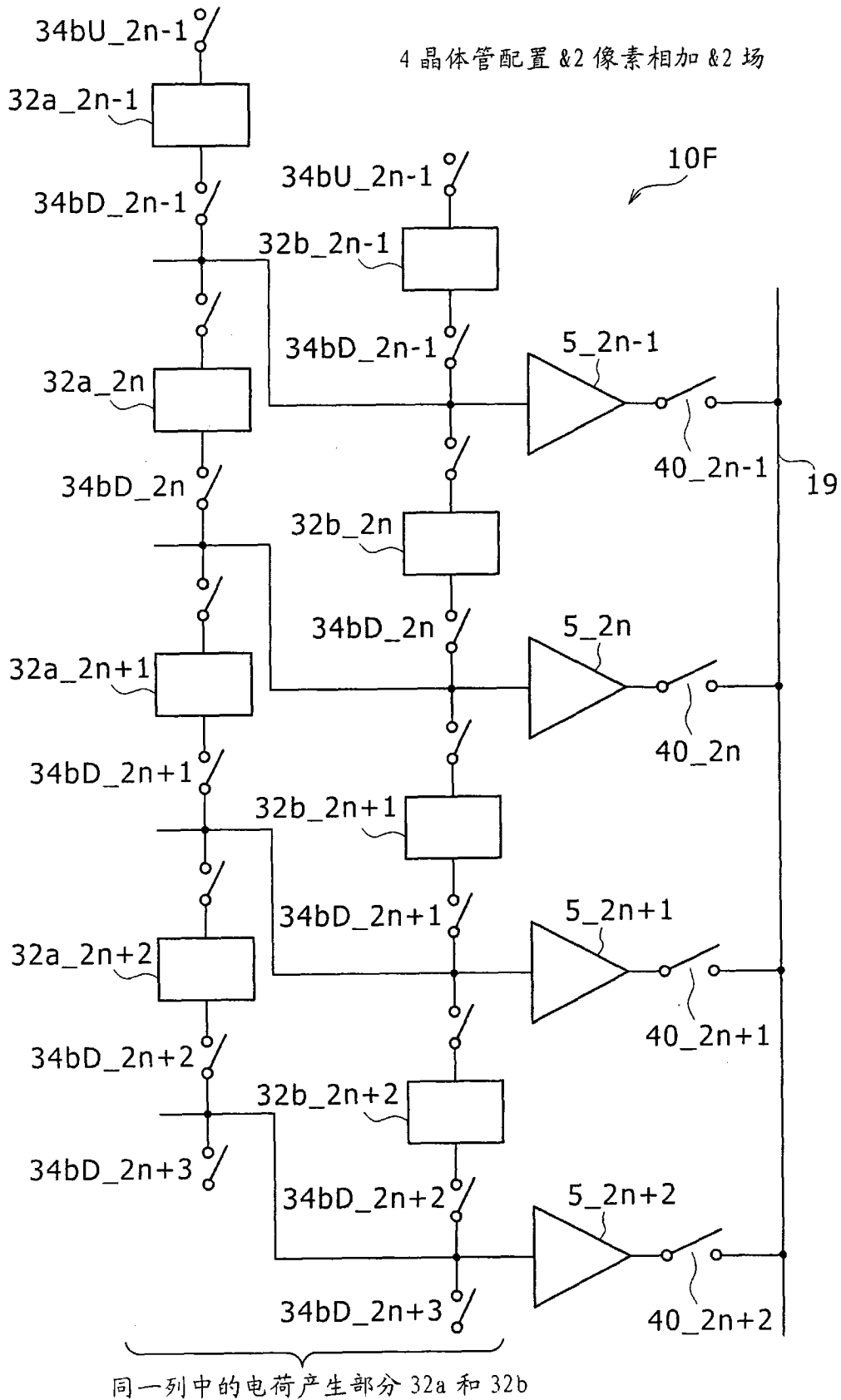


图 29

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
奇数	32a _{2n-1}	34aD _{2n-1}	5 _{2n-1}	40 _{2n-1}	4个像素的相加
	32a _{2n}	34aU _{2n}			
	32b _{2n-1}	34bD _{2n-1}			
	32b _{2n}	34bU _{2n}			
偶数	32a _{2n}	34aD _{2n}	5 _{2n}	40 _{2n}	4个像素的相加
	32a _{2n+1}	34aU _{2n+1}			
	32b _{2n}	34bD _{2n}			
	32b _{2n+1}	34bU _{2n+1}			

图 30A 在读出或电子快门期间可以将未用于信号电荷传送的其他读出选择晶体管 34 的栅极的非活动电平降低到低于正常的电平

场	单元像素组				备注
	电荷产生部分	读出选择晶体管	像素信号产生部分	垂直选择晶体管	
第一示例	32a _k	34aD _k	5 _k	40 _k	2个像素的相加
	32b _k	34bD _k			
第二示例	32a _{k+1}	34aU _{k+1}			
	32b _{k+1}	34bU _{k+1}			

图 30B

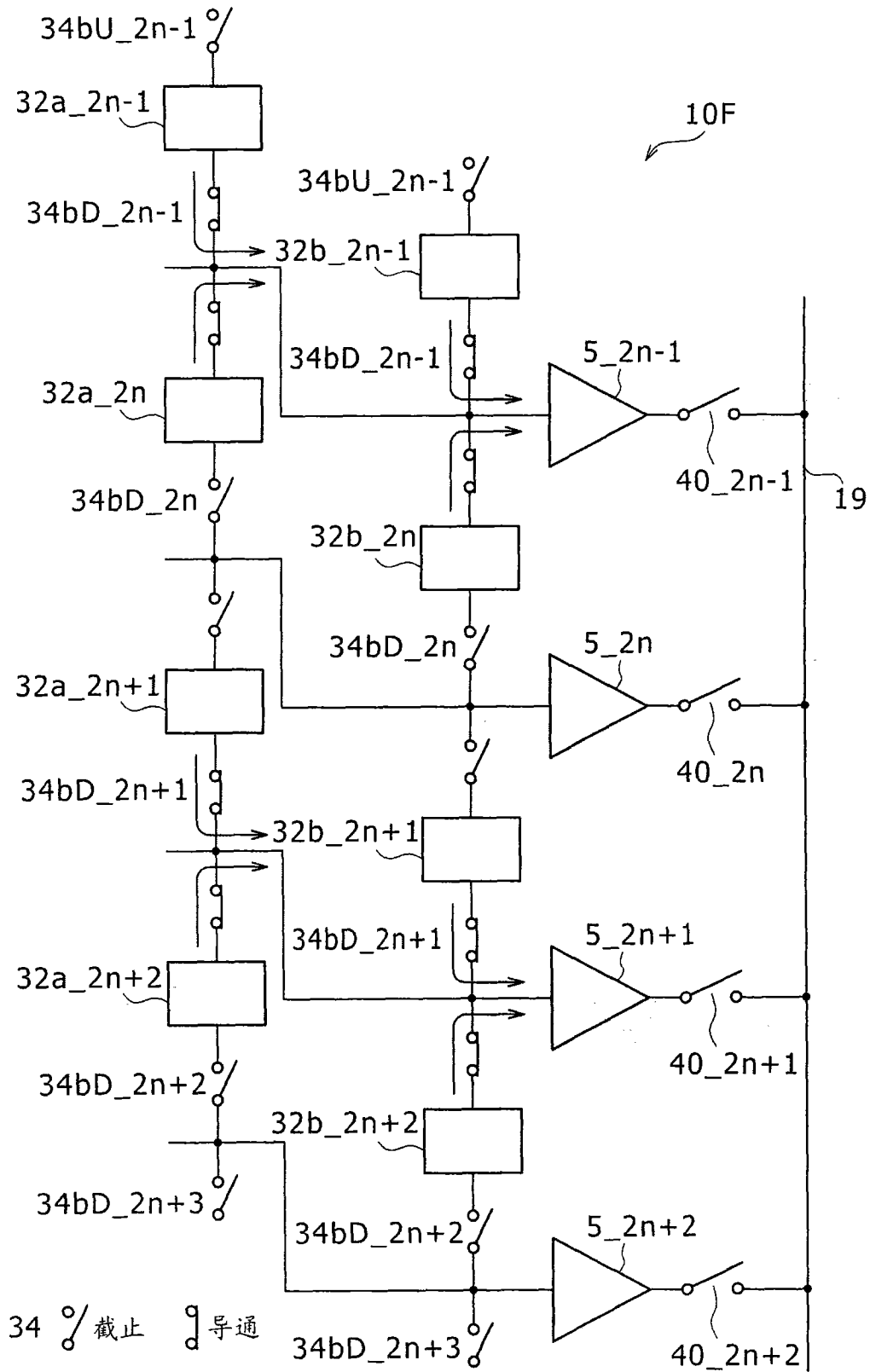


图 31

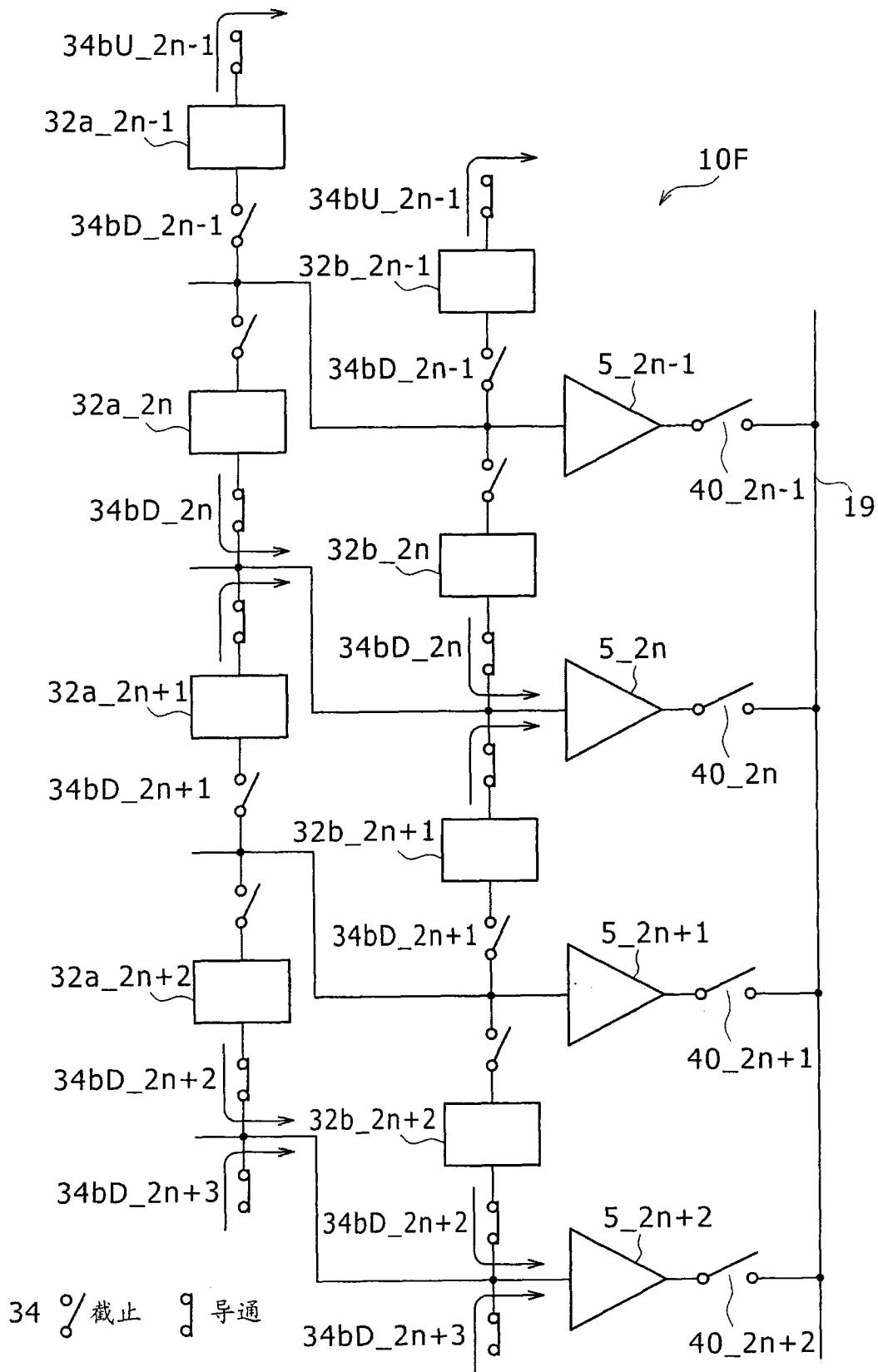


图 32

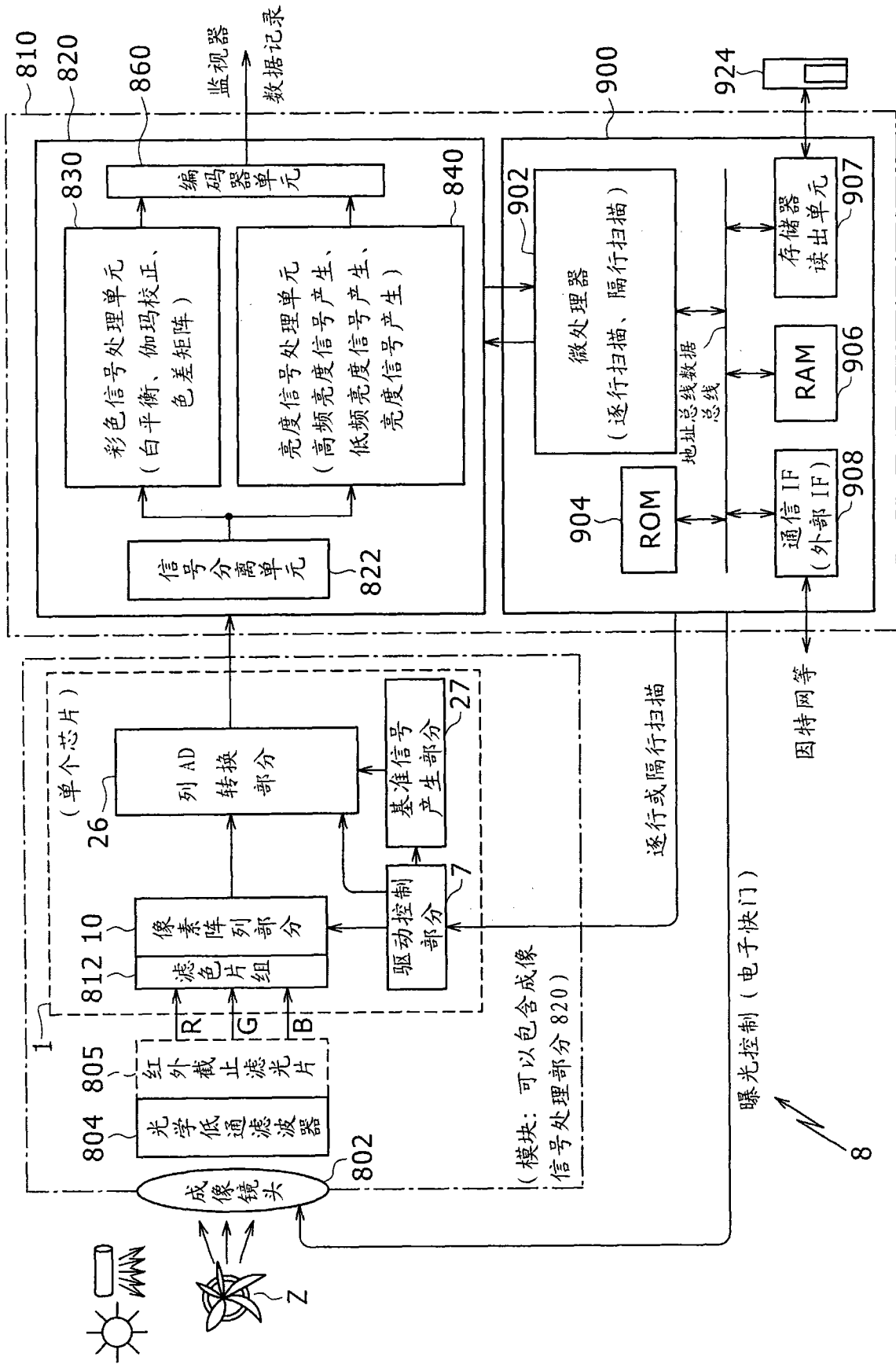


图 33