



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I437822 B

(45) 公告日：中華民國 103 (2014) 年 05 月 11 日

(21) 申請案號：099142403

(22) 申請日：中華民國 99 (2010) 年 12 月 06 日

(51) Int. Cl. : H03K19/0185(2006.01)

G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：楊欲忠 YANG, YU CHUNG (TW)；陳勇志 CHEN, YUNG CHIH (TW)；徐國華

HSU, KUO HUA (TW)；蘇國彰 SU, KUO CHANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 2008/0012816A1

US 2010/0150303A1

US 2010/0226473A1

審查人員：陳臆聰

申請專利範圍項數：17 項 圖式數：9 共 0 頁

(54) 名稱

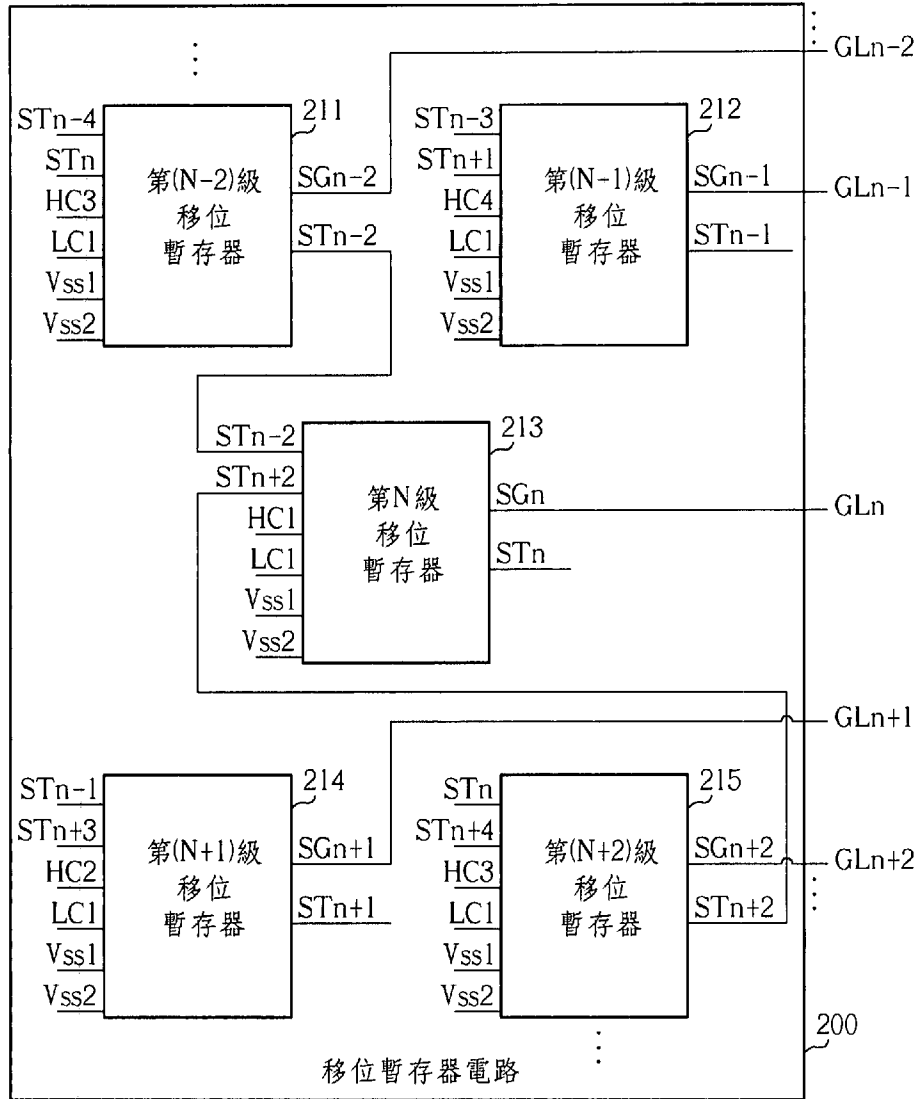
移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，每一級移位暫存器包含輸入單元、上拉單元、下拉單元、控制單元及輔助下拉單元。輸入單元係用來根據至少一第一輸入訊號以輸出驅動控制電壓。上拉單元根據驅動控制電壓與系統時脈以上拉對應閘極訊號。下拉單元根據控制訊號將對應閘極訊號下拉至第一電源電壓。控制單元係用來根據對應閘極訊號以產生控制訊號。輔助下拉單元根據第二輸入訊號將驅動控制電壓下拉至第二電源電壓。

A shift register circuit includes plural shift register stages for providing plural gate signals. Each shift register stage includes an input unit, a pull-up unit, a pull-down unit, a control unit and an auxiliary pull-down unit. The input unit is put in use for outputting a driving control voltage according to at least one first input signal. The pull-up unit pulls up a corresponding gate signal according to the driving control voltage and a system clock. The pull-down unit pulls down the corresponding gate signal to a first power voltage according to a control signal. The control unit is utilized for generating the control signal according to the corresponding gate signal. The auxiliary pull-down unit pulls down the driving control voltage to a second power voltage according to a second input signal.



第2圖

200 . . . 移位暫存器
電路
211 . . . 第(N-2)級
移位暫存器
212 . . . 第(N-1)級
移位暫存器
213 . . . 第 N 級移
位暫存器
214 . . . 第(N+1)級
移位暫存器
215 . . . 第(N+2)級
移位暫存器
 $\overline{GLn-2}$ 、 $\overline{GLn-1}$ 、
 \overline{GLn} 、 $\overline{GLn+1}$ 、 \overline{GLn}
+2 . . . 閘極線
 $\overline{HC1}$. . . 第一系統
時脈
 $\overline{HC2}$. . . 第二系統
時脈
 $\overline{HC3}$. . . 第三系統
時脈
 $\overline{HC4}$. . . 第四系統
時脈
 $\overline{LC1}$. . . 第一低頻
時脈
 $\overline{SGn-2}$ 、 $\overline{SGn-1}$ 、
 \overline{SGn} 、 $\overline{SGn+1}$ 、 \overline{SGn}
+2 . . . 閘極訊號
 $\overline{STn-4}$ 、 $\overline{STn-3}$ 、
 $\overline{STn-2}$ 、 $\overline{STn-1}$ 、
 \overline{STn} 、 $\overline{STn+1}$ 、 \overline{STn}
+2、 $\overline{STn+3}$ 、 \overline{STn}
+4 . . . 啟始脈波訊
號
 $\overline{Vss1}$. . . 第一電源
電壓
 $\overline{Vss2}$. . . 第二電源
電壓

發明專利說明書

(本說明書格式、順序請勿任意更動，※記號部分請勿填寫)

※申請案號：

99142403
99.12.08

※申請日：

※IPC 分類：

H03K19/0185 (2006.01)

一、發明名稱：(中文/英文)

G09G3/36 (2006.01)

移位暫存器電路/SHIFT REGISTER CIRCUIT

二、中文發明摘要：

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，每一級移位暫存器包含輸入單元、上拉單元、下拉單元、控制單元及輔助下拉單元。輸入單元係用來根據至少一第一輸入訊號以輸出驅動控制電壓。上拉單元根據驅動控制電壓與系統時脈以上拉對應閘極訊號。下拉單元根據控制訊號將對應閘極訊號下拉至第一電源電壓。控制單元係用來根據對應閘極訊號以產生控制訊號。輔助下拉單元根據第二輸入訊號將驅動控制電壓下拉至第二電源電壓。

三、英文發明摘要：

A shift register circuit includes plural shift register stages for providing plural gate signals. Each shift register stage includes an input unit, a pull-up unit, a pull-down unit, a control unit and an auxiliary pull-down unit. The input unit is put in use for outputting a driving control voltage according to at least one first input signal. The pull-up

unit pulls up a corresponding gate signal according to the driving control voltage and a system clock. The pull-down unit pulls down the corresponding gate signal to a first power voltage according to a control signal. The control unit is utilized for generating the control signal according to the corresponding gate signal. The auxiliary pull-down unit pulls down the driving control voltage to a second power voltage according to a second input signal.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	移位暫存器電路
211	第(N-2)級移位暫存器
212	第(N-1)級移位暫存器
213	第 N 級移位暫存器
214	第(N+1)級移位暫存器
215	第(N+2)級移位暫存器
GL_{n-2} 、 GL_{n-1} 、 GL_n 、 GL_{n+1} 、 GL_{n+2}	閘極線
HC1	第一系統時脈
HC2	第二系統時脈
HC3	第三系統時脈
HC4	第四系統時脈
LC1	第一低頻時脈
SG_{n-2} 、 SG_{n-1} 、 SG_n 、 SG_{n+1} 、 SG_{n+2}	閘極訊號
ST_{n-4} 、 ST_{n-3} 、 ST_{n-2} 、 ST_{n-1} 、 ST_n 、	啟始脈波訊號

ST_{n+1}、ST_{n+2}、

ST_{n+3}、ST_{n+4}

V_{ss1} 第一電源電壓

V_{ss2} 第二電源電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種移位暫存器電路，尤指一種具低功率消耗之移位暫存器電路。

【先前技術】

液晶顯示裝置(Liquid Crystal Display ; LCD)是目前廣泛使用的一種平面顯示器，其具有外型輕薄、省電以及無輻射等優點。液晶顯示裝置的工作原理係利用改變液晶層兩端的電壓差來改變液晶層內之液晶分子的排列狀態，用以改變液晶層的透光性，再配合背光模組所提供的光源以顯示影像。一般而言，液晶顯示裝置包含複數畫素單元、源極驅動器以及移位暫存器電路。源極驅動器係用來提供複數資料訊號至複數畫素單元。移位暫存器電路包含複數級移位暫存器以產生複數閘極訊號饋入複數畫素單元，據以控制複數資料訊號的寫入運作。因此，移位暫存器電路即為控制資料訊號寫入操作的關鍵性元件。

第 1 圖為習知移位暫存器電路的示意圖。如第 1 圖所示，移位暫存器電路 100 包含複數級移位暫存器，其中只顯示第(N-1)級移位暫存器 111、第 N 級移位暫存器 112 以及第(N+1)級移位暫存器 113。

每一級移位暫存器係用來根據前一級移位暫存器輸出之閘極訊號與低電源電壓 V_{SS} 以產生對應閘極訊號饋入至對應閘極線，譬如第 $(N-1)$ 級移位暫存器 111 係用來根據閘極訊號 SG_{n-2} 與低電源電壓 V_{SS} 以產生閘極訊號 SG_{n-1} 饋入至閘極線 GL_{n-1} ，第 N 級移位暫存器 112 係用來根據閘極訊號 SG_{n-1} 與低電源電壓 V_{SS} 以產生閘極訊號 SG_n 饋入至閘極線 GL_n ，第 $(N+1)$ 級移位暫存器 113 係用來根據閘極訊號 SG_n 與低電源電壓 V_{SS} 以產生閘極訊號 SG_{n+1} 饋入至閘極線 GL_{n+1} 。在第 N 級移位暫存器 112 的運作中，其上拉單元 190 之上拉電晶體 191 係用來根據驅動控制電壓 V_{Qn} 以上拉閘極訊號 SG_n ，然而當驅動控制電壓 V_{Qn} 與閘極訊號 SG_n 均在低電源電壓 V_{SS} 時，系統時脈 CK 的高準位電壓會使上拉電晶體 191 發生漏電流，特別是在提高系統時脈 CK 的高準位電壓以增加畫素之充電率的狀況下，上拉電晶體 191 之漏電流現象將更嚴重，因而導致高功率消耗。若為降低製造成本而將移位暫存器電路 100 整合於包含畫素陣列之顯示面板上，亦即基於 GOA (Gate-driver On Array) 架構，則上述高功率消耗會使顯示面板的面板溫度上昇，如此不但會降低顯示品質，亦會降低面板使用壽命。

【發明內容】

依據本發明之實施例，其揭露一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上

拉單元、儲能單元、進位單元、下拉單元、控制單元、以及輔助下拉單元。

輸入單元係用來根據至少一第一輸入訊號以輸出驅動控制電壓。電連接於輸入單元與第 N 閘極線之上拉單元係用來根據驅動控制電壓與系統時脈以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。電連接於上拉單元與輸入單元之儲能單元係用來根據驅動控制電壓執行充電程序或放電程序。電連接於輸入單元之進位單元係用來根據驅動控制電壓與系統時脈以輸出第 N 啟始脈波訊號。電連接於第 N 閘極線之下拉單元係用來根據控制訊號將第 N 閘極訊號下拉至第一電源電壓。電連接於下拉單元與第 N 閘極線之控制單元係用來根據第 N 閘極訊號以產生控制訊號。電連接於輸入單元之輔助下拉單元係用來根據第二輸入訊號將驅動控制電壓下拉至第二電源電壓。

【實施方式】

下文依本發明移位暫存器電路，特舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。如第 2 圖所示，移位暫存器電路 200 包含複數級移位暫存器，其中只顯示第(N-2)級移位暫存器 211、第(N-1)級移位暫存器 212、第 N 級移

位暫存器 213、第(N+1)級移位暫存器 214 以及第(N+2)級移位暫存器 215，據以方便說明。在移位暫存器電路 200 的運作中，第 N 級移位暫存器 213 係用來根據第(N-2)級移位暫存器 211 產生之啟始脈波訊號 ST_{n-2} 、第(N+2)級移位暫存器 215 產生之啟始脈波訊號 ST_{n+2} 、第一系統時脈 HC1、第一低頻時脈 LC1、第一電源電壓 V_{ss1} 及異於第一電源電壓 V_{ss1} 之第二電源電壓 V_{ss2} 以進行低功率消耗運作而產生閘極訊號 SG_n 與啟始脈波訊號 ST_n ，其餘級移位暫存器可同理類推。請注意，第 2 圖所示之第三系統時脈 HC3 係反相於第一系統時脈 HC1，第二系統時脈 HC2 與第一系統時脈 HC1 具有 90 度的相位差，第四系統時脈 HC4 係反相於第二系統時脈 HC2。

在另一實施例中，移位暫存器電路 200 之複數級移位暫存器可基於二系統時脈機制搭配第一電源電壓 V_{ss1} 及第二電源電壓 V_{ss2} 以執行低功率消耗運作。或者，第 N 級移位暫存器 213 可根據第(N-1)級移位暫存器 212 產生之啟始脈波訊號 ST_{n-1} 或閘極訊號 SG_{n-1} 、第(N+1)級移位暫存器 214 產生之啟始脈波訊號 ST_{n+1} 或閘極訊號 SG_{n+1} 、第一系統時脈 HC1、第一低頻時脈 LC1、第一電源電壓 V_{ss1} 及第二電源電壓 V_{ss2} 以進行低功率消耗運作而產生閘極訊號 SG_n 與啟始脈波訊號 ST_n 。

第 3 圖為第 2 圖所示之第 N 級移位暫存器的第一實施例之電路示意圖。如第 3 圖所示，第 N 級移位暫存器 213_1 包含輸入單元 305、上拉單元 310、儲能單元 315、進位單元 320、第一下拉單元

325、第一控制單元 330、第一輔助下拉單元 375、第二輔助下拉單元 340、以及第三控制單元 345。電連接於第(N-2)級移位暫存器 211 之輸入單元 305 係用來根據啟始脈波訊號 ST_{n-2} 以輸出驅動控制電壓 VQ_n 。電連接於輸入單元 305 與上拉單元 310 之儲能單元 315 係用來根據驅動控制電壓 VQ_n 執行充電程序或放電程序。

電連接於輸入單元 305 與閘極線 GL_n 之上拉單元 310 係用來根據驅動控制電壓 VQ_n 與第一系統時脈 $HC1$ 以上拉閘極線 GL_n 之閘極訊號 SG_n 。電連接於第一控制單元 330 與閘極線 GL_n 之第一下拉單元 325 係用來根據第一控制訊號 $SC1$ 將閘極訊號 SG_n 下拉至第一電源電壓 V_{ss1} 。在一實施例中，上拉單元 310 係電連接於閘極線 GL_n 之第一節點，而第一下拉單元 325 係電連接於閘極線 GL_n 之異於第一節點的第二節點，譬如上拉單元 310 與第一下拉單元 325 可較佳地分別電連接於閘極線 GL_n 之二端。在另一實施例中，上拉單元 310 與第一下拉單元 325 係電連接於閘極線 GL_n 之同一節點，譬如上拉單元 310 與第一下拉單元 325 可較佳地電連接於閘極線 GL_n 之同一端。

電連接於第一下拉單元 325 與閘極線 GL_n 之第一控制單元 330 係用來根據閘極訊號 SG_n 與第一低頻時脈 $LC1$ 以產生第一控制訊號 $SC1$ 。電連接於輸入單元 305 之第一輔助下拉單元 375 係用來根據啟始脈波訊號 ST_{n-2} 將驅動控制電壓 VQ_n 下拉至第二電源電壓 V_{ss2} 。電連接於輸入單元 305 之第二輔助下拉單元 340 係用來根據

第三控制訊號 SC3 將驅動控制電壓 VQn 下拉至第二電源電壓 Vss2。電連接於第二輔助下拉單元 340 與輸入單元 305 之第三控制單元 345 係用來根據驅動控制電壓 VQn 與第一低頻時脈 LC1 以產生第三控制訊號 SC3。

在第 3 圖的實施例中，輸入單元 305 包含第一電晶體 306，上拉單元 310 包含第二電晶體 311，儲能單元 315 包含電容 316，進位單元 320 包含第三電晶體 321，第一下拉單元 325 包含第四電晶體 326，第一控制單元 330 包含第五電晶體 331、第六電晶體 332、第七電晶體 333 與第八電晶體 334，第一輔助下拉單元 375 包含第十一電晶體 376，第二輔助下拉單元 340 包含第十九電晶體 341，第三控制單元 345 包含第二十一電晶體 346、第二十二電晶體 347、第二十三電晶體 348 與第二十四電晶體 349。請注意，上述或以下所述之每一電晶體可為薄膜電晶體(Thin Film Transistor)、場效電晶體(Field Effect Transistor)或其他類似開關切換功能的元件。

第一電晶體 306 包含第一端、第二端與閘極端，其中第一端與閘極端電連接於第(N-2)級移位暫存器 211 以接收啟始脈波訊號 STn-2，第二端係用來輸出驅動控制電壓 VQn。第二電晶體 311 包含第一端、第二端與閘極端，其中第一端係用來接收第一系統時脈 HC1，閘極端電連接於第一電晶體 306 之第二端以接收驅動控制電壓 VQn，第二端電連接於閘極線 GLn。電容 316 係電連接於第二電晶體 311 之閘極端與第二端間。第三電晶體 321 包含第一端、第二

端與閘極端，其中第一端係用來接收第一系統時脈 HC1，閘極端電連接於第一電晶體 306 之第二端以接收驅動控制電壓 VQn，第二端係用來輸出啟始脈波訊號 STn。

第四電晶體 326 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GLn，閘極端係用來接收第一控制訊號 SC1，第二端係用來接收第一電源電壓 Vss1。第五電晶體 331 包含第一端、第二端與閘極端，其中第一端係用來接收第一低頻時脈 LC1，第二端係用來輸出第一控制訊號 SC1。第六電晶體 332 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 331 之第二端，閘極端電連接於閘極線 GLn 以接收閘極訊號 SGn，第二端係用來接收第一電源電壓 Vss1。第七電晶體 333 包含第一端、第二端與閘極端，其中第一端與閘極端係用來接收第一低頻時脈 LC1，第二端電連接於第五電晶體 331 之閘極端。第八電晶體 334 包含第一端、第二端與閘極端，其中第一端電連接於第七電晶體 333 之第二端，閘極端電連接於閘極線 GLn 以接收閘極訊號 SGn，第二端係用來接收第一電源電壓 Vss1。上述第五電晶體 331 至第八電晶體 334 之電路運作為所屬技藝領域中具有通常知識者所習知，不再贅述。

第十一電晶體 376 包含第一端、第二端與閘極端，其中第一端電連接於第一電晶體 306 之第二端，閘極端電連接於第(N+2)級移位暫存器 215 以接收啟始脈波訊號 STn+2，第二端係用來接收第二電源電壓 Vss2。第十九電晶體 341 包含第一端、第二端與閘極端，其

中第一端電連接於第一電晶體 306 之第二端，閘極端係用來接收第三控制訊號 SC3，第二端係用來接收第二電源電壓 V_{ss2} 。第二十一電晶體 346 包含第一端、第二端與閘極端，其中第一端係用來接收第一低頻時脈 LC1，第二端係用來輸出第三控制訊號 SC3。第二十二電晶體 347 包含第一端、第二端與閘極端，其中第一端電連接於第二十一電晶體 346 之第二端，閘極端係用來接收驅動控制電壓 V_{Qn} ，第二端係用來接收第二電源電壓 V_{ss2} 。第二十三電晶體 348 包含第一端、第二端與閘極端，其中第一端與閘極端係用來接收第一低頻時脈 LC1，第二端電連接於第二十一電晶體 346 之閘極端。第二十四電晶體 349 包含第一端、第二端與閘極端，其中第一端電連接於第二十三電晶體 348 之第二端，閘極端係用來接收驅動控制電壓 V_{Qn} ，第二端係用來接收第二電源電壓 V_{ss2} 。

在第 N 級移位暫存器 213_1 的運作中，第一電源電壓 V_{ss1} 係高於第二電源電壓 V_{ss2} ，所以當驅動控制電壓 V_{Qn} 被下拉至第二電源電壓 V_{ss2} ，且閘極訊號 SGn 被下拉至第一電源電壓 V_{ss1} 時，第二電晶體 311 之閘源極間係承受負偏壓，據以抑制因第一系統時脈 HC1 之高準位電壓導致的漏電流，因此可顯著降低功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

第 4 圖為第 2 圖所示之第 N 級移位暫存器的第二實施例之電路示意圖。如第 4 圖所示，第 N 級移位暫存器 213_2 大體上類似於第 3 圖所示之第 N 級移位暫存器 213_1，主要差異在於將第一控制單

元 330 置換為第一控制單元 430，將第二輔助下拉單元 340 置換為第二輔助下拉單元 440，另增加第二下拉單元 350、第二控制單元 360、第三輔助下拉單元 370 及第四控制單元 380。第二下拉單元 350 係用來根據第二控制訊號 SC2 將閘極訊號 SGn 下拉至第一電源電壓 Vss1。第二控制單元 360 係用來根據閘極訊號 SGn、閘極訊號 SGn-1 與反相於第一低頻時脈 LC1 之第二低頻時脈 LC2 以產生第二控制訊號 SC2。第三輔助下拉單元 370 係用來根據第四控制訊號 SC4 將驅動控制電壓 VQn 與啟始脈波訊號 STn 下拉至第二電源電壓 Vss2。第四控制單元 380 係用來根據驅動控制電壓 VQn 與第二低頻時脈 LC2 以產生第四控制訊號 SC4。

相較於第一控制單元 330，第一控制單元 430 進一步包含第九電晶體 335 與第十電晶體 336。相較於第二輔助下拉單元 340，第二輔助下拉單元 440 進一步包含第二十電晶體 342。此外，第二下拉單元 350 包含第十二電晶體 351，第二控制單元 360 包含第十三電晶體 361、第十四電晶體 362、第十五電晶體 363、第十六電晶體 364、第十七電晶體 365 與第十八電晶體 366，第三輔助下拉單元 370 包含第二十五電晶體 371 與第二十六電晶體 372，第四控制單元 380 包含第二十七電晶體 381、第二十八電晶體 382、第二十九電晶體 383 與第三十電晶體 384。

第二十電晶體 342 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 321 之第二端，閘極端係用來接收第三控制訊

號 SC3，第二端係用來接收第二電源電壓 V_{ss2} 。亦即，第二十電晶體 342 係用來根據第三控制訊號 SC3 將啟始脈波訊號 ST_n 下拉至第二電源電壓 V_{ss2} 。

第九電晶體 335 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 331 之第二端，閘極端電連接於第(N-1)級移位暫存器 212 以接收閘極訊號 SG_{n-1} ，第二端係用來接收第一電源電壓 V_{ss1} 。亦即，第九電晶體 335 係用來根據閘極訊號 SG_{n-1} 將第一控制訊號下拉至第一電源電壓 V_{ss1} 。第十電晶體 336 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 331 之閘極端，閘極端電連接於第(N-1)級移位暫存器 212 以接收閘極訊號 SG_{n-1} ，第二端係用來接收第一電源電壓 V_{ss1} 。亦即，第十電晶體 336 係用來根據閘極訊號 SG_{n-1} 將第五電晶體 331 之閘極端電壓下拉至第一電源電壓 V_{ss1} 。

第十二電晶體 351 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_n ，閘極端係用來接收第二控制訊號 SC2，第二端係用來接收第一電源電壓 V_{ss1} 。第十三電晶體 361 包含第一端、第二端與閘極端，其中第一端係用來接收第二低頻時脈 LC2，第二端係用來輸出第二控制訊號 SC2。第十四電晶體 362 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 361 之第二端，閘極端電連接於閘極線 GL_n 以接收閘極訊號 SG_n ，第二端係用來接收第一電源電壓 V_{ss1} 。第十五電晶體 363 包含第一端、第二端

與閘極端，其中第一端與閘極端係用來接收第二低頻時脈 LC2，第二端電連接於第十三電晶體 361 之閘極端。第十六電晶體 364 包含第一端、第二端與閘極端，其中第一端電連接於第十五電晶體 363 之第二端，閘極端電連接於閘極線 GLn 以接收閘極訊號 SGn，第二端係用來接收第一電源電壓 Vss1。

第十七電晶體 365 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 361 之第二端，閘極端電連接於第(N-1)級移位暫存器 212 以接收閘極訊號 SGn-1，第二端係用來接收第一電源電壓 Vss1。第十八電晶體 366 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 361 之閘極端，閘極端電連接於第(N-1)級移位暫存器 212 以接收閘極訊號 SGn-1，第二端係用來接收第一電源電壓 Vss1。

第二十五電晶體 371 包含第一端、第二端與閘極端，其中第一端電連接於第一電晶體 306 之第二端，閘極端係用來接收第四控制訊號 SC4，第二端係用來接收第二電源電壓 Vss2。第二十六電晶體 372 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 321 之第二端，閘極端係用來接收第四控制訊號 SC4，第二端係用來接收第二電源電壓 Vss2。第二十七電晶體 381 包含第一端、第二端與閘極端，其中第一端係用來接收第二低頻時脈 LC2，第二端係用來輸出第四控制訊號 SC4。第二十八電晶體 382 包含第一端、第二端與閘極端，其中第一端電連接於第二十七電晶體 381 之第二

端，閘極端係用來接收驅動控制電壓 V_{Qn} ，第二端係用來接收第二電源電壓 V_{ss2} 。第二十九電晶體 383 包含第一端、第二端與閘極端，其中第一端與閘極端係用來接收第二低頻時脈 LC2，第二端電連接於第二十七電晶體 381 之閘極端。第三十電晶體 384 包含第一端、第二端與閘極端，其中第一端電連接於第二十九電晶體 383 之第二端，閘極端係用來接收驅動控制電壓 V_{Qn} ，第二端係用來接收第二電源電壓 V_{ss2} 。

第 5 圖為第 2 圖所示之第 N 級移位暫存器的第三實施例之電路示意圖。如第 5 圖所示，第 N 級移位暫存器 213_3 係類似於第 4 圖所示之第 N 級移位暫存器 213_2，主要差異在於將第一控制單元 430 置換為第一控制單元 530，並將第二控制單元 360 置換為第二控制單元 560。相較於第一控制單元 430，第一控制單元 530 係將第九電晶體 335 與第十電晶體 336 分別置換為第九電晶體 535 與第十電晶體 536。相較於第二控制單元 360，第二控制單元 560 係將第十七電晶體 365 與第十八電晶體 366 分別置換為第十七電晶體 565 與第十八電晶體 566。

第九電晶體 535 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 331 之第二端，閘極端電連接於第(N-2)級移位暫存器 211 以接收閘極訊號 SG_{n-2} ，第二端係用來接收第一電源電壓 V_{ss1} 。第十電晶體 536 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 331 之閘極端，閘極端電連接於第(N-2)級移位

暫存器 211 以接收閘極訊號 SG_{n-2} ，第二端係用來接收第一電源電壓 V_{ss1} 。

第十七電晶體 565 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 361 之第二端，閘極端電連接於第 $(N-2)$ 級移位暫存器 211 以接收閘極訊號 SG_{n-2} ，第二端係用來接收第一電源電壓 V_{ss1} 。第十八電晶體 566 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 361 之閘極端，閘極端電連接於第 $(N-2)$ 級移位暫存器 211 以接收閘極訊號 SG_{n-2} ，第二端係用來接收第一電源電壓 V_{ss1} 。

第 6 圖為本發明第二實施例之移位暫存器電路的示意圖。如第 6 圖所示，移位暫存器電路 600 包含複數級移位暫存器，其中只顯示第 $(N-2)$ 級移位暫存器 611、第 $(N-1)$ 級移位暫存器 612、第 N 級移位暫存器 613、第 $(N+1)$ 級移位暫存器 614 以及第 $(N+2)$ 級移位暫存器 615，據以方便說明。在移位暫存器電路 600 的運作中，第 N 級移位暫存器 613 係用來根據第 $(N-2)$ 級移位暫存器 611 產生之閘極訊號 SG_{n-2} 與啟始脈波訊號 ST_{n-2} 、第 $(N+2)$ 級移位暫存器 615 產生之啟始脈波訊號 ST_{n+2} 、第一系統時脈 $HC1$ 、第一低頻時脈 $LC1$ 、第一電源電壓 V_{ss1} 及異於第一電源電壓 V_{ss1} 之第二電源電壓 V_{ss2} 以進行低功率消耗運作而產生閘極訊號 SG_n 與啟始脈波訊號 ST_n ，其餘級移位暫存器可同理類推。請注意，第 6 圖所示之第三系統時脈 $HC3$ 係反相於第一系統時脈 $HC1$ ，第二系統時脈 $HC2$ 與第一系

統時脈 HC1 具有 90 度的相位差，第四系統時脈 HC4 係反相於第二系統時脈 HC2。

在另一實施例中，移位暫存器電路 600 之複數級移位暫存器可基於二系統時脈機制搭配第一電源電壓 V_{ss1} 及第二電源電壓 V_{ss2} 以執行低功率消耗運作。或者，第 N 級移位暫存器 613 可根據第(N-1)級移位暫存器 612 產生之閘極訊號 SG_{n-1} 與啟始脈波訊號 ST_{n-1} 、第(N+1)級移位暫存器 614 產生之啟始脈波訊號 ST_{n+1} 或閘極訊號 SG_{n+1} 、第一系統時脈 HC1、第一低頻時脈 LC1、第一電源電壓 V_{ss1} 及第二電源電壓 V_{ss2} 以進行低功率消耗運作而產生閘極訊號 SG_n 與啟始脈波訊號 ST_n 。

第 7 圖為第 6 圖所示之第 N 級移位暫存器的第一實施例之電路示意圖。如第 7 圖所示，第 N 級移位暫存器 613_1 係類似於第 3 圖所示之第 N 級移位暫存器 213_1，主要差異在於將輸入單元 305 置換為輸入單元 705。輸入單元 705 包含第一電晶體 706，第一電晶體 706 之第一端電連接於第(N-2)級移位暫存器 611 以接收閘極訊號 SG_{n-2} ，第一電晶體 706 之閘極端電連接於第(N-2)級移位暫存器 611 以接收啟始脈波訊號 ST_{n-2} ，第一電晶體 706 之第二端係用來輸出驅動控制電壓 VQ_n 。亦即，輸入單元 705 係用來根據閘極訊號 SG_{n-2} 與啟始脈波訊號 ST_{n-2} 以輸出驅動控制電壓 VQ_n ，而第 N 級移位暫存器 613_1 之其餘單元的耦合關係及電路運作則類似於第 3 圖所示之第 N 級移位暫存器 213_1，不再贅述。同理，由於第一電源電壓

V_{ss1} 係高於第二電源電壓 V_{ss2} ，所以當驅動控制電壓 V_{Qn} 被下拉至第二電源電壓 V_{ss2} ，且閘極訊號 SG_n 被下拉至第一電源電壓 V_{ss1} 時，第 N 級移位暫存器 613_1 的第二電晶體 311 之閘源極間係承受負偏壓，據以抑制因第一系統時脈 $HC1$ 之高準位電壓導致的漏電流，因此可顯著降低移位暫存器電路 600 之功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

第 8 圖為第 6 圖所示之第 N 級移位暫存器的第二實施例之電路示意圖。如第 8 圖所示，第 N 級移位暫存器 613_2 係類似於第 4 圖所示之第 N 級移位暫存器 213_2，主要差異在於將輸入單元 305 置換為輸入單元 805。輸入單元 805 包含第一電晶體 806，第一電晶體 806 之第一端電連接於第 $(N-2)$ 級移位暫存器 611 以接收閘極訊號 SG_{n-2} ，第一電晶體 806 之閘極端電連接於第 $(N-2)$ 級移位暫存器 611 以接收啟始脈波訊號 ST_{n-2} ，第一電晶體 806 之第二端係用來輸出驅動控制電壓 V_{Qn} 。亦即，輸入單元 805 係用來根據閘極訊號 SG_{n-2} 與啟始脈波訊號 ST_{n-2} 以輸出驅動控制電壓 V_{Qn} ，而第 N 級移位暫存器 613_2 之其餘單元的耦合關係及電路運作則類似於第 4 圖所示之第 N 級移位暫存器 213_2，不再贅述。

第 9 圖為第 6 圖所示之第 N 級移位暫存器的第三實施例之電路示意圖。如第 9 圖所示，第 N 級移位暫存器 613_3 係類似於第 5 圖所示之第 N 級移位暫存器 213_3，主要差異在於將輸入單元 305 置換為輸入單元 905。輸入單元 905 包含第一電晶體 906，第一電晶體

906 之第一端電連接於第(N-2)級移位暫存器 611 以接收閘極訊號 SG_{n-2} ，第一電晶體 906 之閘極端電連接於第(N-2)級移位暫存器 611 以接收啟始脈波訊號 ST_{n-2} ，第一電晶體 906 之第二端係用來輸出驅動控制電壓 VQ_n 。亦即，輸入單元 905 係用來根據閘極訊號 SG_{n-2} 與啟始脈波訊號 ST_{n-2} 以輸出驅動控制電壓 VQ_n ，而第 N 級移位暫存器 613_3 之其餘單元的耦合關係及電路運作則類似於第 5 圖所示之第 N 級移位暫存器 213_3，不再贅述。

綜上所述，在本發明移位暫存器電路之運作中，用來下拉閘極訊號之第一電源電壓係高於用來下拉驅動控制電壓之第二電源電壓，所以當閘極訊號被下拉至第一電源電壓，且驅動控制電壓被下拉至第二電源電壓時，用來上拉閘極訊號之電晶體係承受負偏壓，據以抑制因系統時脈之高準位電壓導致的漏電流，因此可顯著降低移位暫存器電路之功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何具有本發明所屬技術領域之通常知識者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為習知移位暫存器電路的示意圖。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。

第 3 圖為第 2 圖所示之第 N 級移位暫存器的第一實施例之電路示意圖。

第 4 圖為第 2 圖所示之第 N 級移位暫存器的第二實施例之電路示意圖。

第 5 圖為第 2 圖所示之第 N 級移位暫存器的第三實施例之電路示意圖。

第 6 圖為本發明第二實施例之移位暫存器電路的示意圖。

第 7 圖為第 6 圖所示之第 N 級移位暫存器的第一實施例之電路示意圖。

第 8 圖為第 6 圖所示之第 N 級移位暫存器的第二實施例之電路示意圖。

第 9 圖為第 6 圖所示之第 N 級移位暫存器的第三實施例之電路示意圖。

【主要元件符號說明】

200、600	移位暫存器電路
211、611	第(N-2)級移位暫存器
212、612	第(N-1)級移位暫存器
213、213_1、213_2、	第 N 級移位暫存器
213_3、613、613_1、	

613_2、613_3	
214、614	第(N+1)級移位暫存器
215、615	第(N+2)級移位暫存器
305、705、805、905	輸入單元
306、706、806、906	第一電晶體
310	上拉單元
311	第二電晶體
315	儲能單元
316	電容
320	進位單元
321	第三電晶體
325	第一下拉單元
326	第四電晶體
330、430、530	第一控制單元
331	第五電晶體
332	第六電晶體
333	第七電晶體
334	第八電晶體
335	第九電晶體
336	第十電晶體
340、440	第二輔助下拉單元
341	第十九電晶體

342	第二十電晶體
345	第三控制單元
346	第二十一電晶體
347	第二十二電晶體
348	第二十三電晶體
349	第二十四電晶體
350	第二下拉單元
351	第十二電晶體
360	第二控制單元
361	第十三電晶體
362	第十四電晶體
363	第十五電晶體
364	第十六電晶體
365	第十七電晶體
366	第十八電晶體
370	第三輔助下拉單元
371	第二十五電晶體
372	第二十六電晶體
375	第一輔助下拉單元
376	第十一電晶體
380	第四控制單元
381	第二十七電晶體

382	第二十八電晶體
383	第二十九電晶體
384	第三十電晶體
GLn-2、GLn-1、 GLn、GLn+1、GLn+2	閘極線
HC1	第一系統時脈
HC2	第二系統時脈
HC3	第三系統時脈
HC4	第四系統時脈
LC1	第一低頻時脈
LC2	第二低頻時脈
SGn-4、SGn-3、 SGn-2、SGn-1、 SGn、SGn+1、SGn+2	閘極訊號
STn-4、STn-3、 STn-2、STn-1、STn、 STn+1、STn+2、 STn+3、STn+4	啟始脈波訊號
VQn	驅動控制電壓
Vss1	第一電源電壓
Vss2	第二電源電壓

七、申請專利範圍：

1. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
 - 一輸入單元，用來根據至少一第一輸入訊號以輸出一驅動控制電壓；
 - 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
 - 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
 - 一進位單元，電連接於該輸入單元，該進位單元係用來根據該驅動控制電壓與該系統時脈以輸出一第 N 啟始脈波訊號；
 - 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第一控制訊號將該第 N 閘極訊號下拉至一第一電源電壓；
 - 一第一控制單元，電連接於該第一下拉單元與該第 N 閘極線，該第一控制單元係用來根據該第 N 閘極訊號以產生該第一控制訊號；
 - 一第一輔助下拉單元，電連接於該輸入單元，該第一輔助下拉單元係用來根據一第二輸入訊號將該驅動控制電壓下拉至

一第二電源電壓；

一第二輔助下拉單元，電連接於該進位單元與該輸入單元，該第二輔助下拉單元係用來根據一第三控制訊號將該驅動控制電壓與該第 N 啟始脈波訊號下拉至該第二電源電壓；以及一第三控制單元，電連接於該第二輔助下拉單元與該輸入單元，該第三控制單元係用來根據該驅動控制電壓以產生該第三控制訊號。

2. 如請求項 1 所述之移位暫存器電路，其中該上拉單元係電連接於該第 N 閘極線之一第一節點，且該第一下拉單元係電連接於該第 N 閘極線之異於該第一節點之一第二節點。
3. 如請求項 1 所述之移位暫存器電路，其中該上拉單元與該第一下拉單元係電連接於該第 N 閘極線之同一節點。
4. 如請求項 1 所述之移位暫存器電路，其中該第一電源電壓係高於該第二電源電壓。
5. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
一輸入單元，用來根據至少一第一輸入訊號以輸出一驅動控制電壓，該輸入單元包含一第一電晶體，該第一電晶體之一第

- 一端與一閘極端電連接於該些級移位暫存器之一第(N-2)級移位暫存器以接收一第(N-2)啟始脈波訊號，該第一電晶體之一第二端係用來輸出該驅動控制電壓；
 - 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
 - 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
 - 一進位單元，電連接於該輸入單元，該進位單元係用來根據該驅動控制電壓與該系統時脈以輸出一第 N 啟始脈波訊號；
 - 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第一控制訊號將該第 N 閘極訊號下拉至一第一電源電壓；
 - 一第一控制單元，電連接於該第一下拉單元與該第 N 閘極線，該第一控制單元係用來根據該第 N 閘極訊號以產生該第一控制訊號；以及
 - 一第一輔助下拉單元，電連接於該輸入單元，該第一輔助下拉單元係用來根據一第二輸入訊號將該驅動控制電壓下拉至一第二電源電壓。
6. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器

之一第 N 級移位暫存器包含：

- 一輸入單元，用來根據至少一第一輸入訊號以輸出一驅動控制電壓，該輸入單元包含一第一電晶體，該第一電晶體之一第一端電連接於該些級移位暫存器之一第(N-2)級移位暫存器以接收該些閘極訊號之一第(N-2)閘極訊號，該第一電晶體之一閘極端電連接於該第(N-2)級移位暫存器以接收一第(N-2)啟始脈波訊號，該第一電晶體之一第二端係用來輸出該驅動控制電壓；
- 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
- 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
- 一進位單元，電連接於該輸入單元，該進位單元係用來根據該驅動控制電壓與該系統時脈以輸出一第 N 啟始脈波訊號；
- 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第一控制訊號將該第 N 閘極訊號下拉至一第一電源電壓；
- 一第一控制單元，電連接於該第一下拉單元與該第 N 閘極線，該第一控制單元係用來根據該第 N 閘極訊號以產生該第一控制訊號；以及
- 一第一輔助下拉單元，電連接於該輸入單元，該第一輔助下拉

單元係用來根據一第二輸入訊號將該驅動控制電壓下拉至一第二電源電壓。

7. 如請求項 1 至 6 中任一項所述之移位暫存器電路，其中：

該上拉單元包含一第二電晶體，該第二電晶體之一第一端係用來接收該系統時脈，該第二電晶體之一閘極端係用來接收該驅動控制電壓，該第二電晶體之一第二端電連接於該第 N 閘極線；

該儲能單元包含一電連接於該第二電晶體之閘極端與第二端間的電容；以及

該進位單元包含一第三電晶體，該第三電晶體之一第一端係用來接收該系統時脈，該第三電晶體之一閘極端係用來接收該驅動控制電壓，該第三電晶體之一第二端係用來輸出該第 N 啟始脈波訊號。

8. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：

一輸入單元，用來根據至少一第一輸入訊號以輸出一驅動控制電壓；

一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線

- 係用以傳輸該第 N 閘極訊號；
- 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
 - 一進位單元，電連接於該輸入單元，該進位單元係用來根據該驅動控制電壓與該系統時脈以輸出一第 N 啟始脈波訊號；
 - 一第一下拉單元，用來根據一第一控制訊號將該第 N 閘極訊號下拉至一第一電源電壓，該第一下拉單元包含：
 - 一第四電晶體，具有一電連接於該第 N 閘極線的第一端、一用來接收該第一控制訊號的閘極端、及一用來接收該第一電源電壓的第二端；
 - 一第一控制單元，電連接於該第一下拉單元與該第 N 閘極線，用來根據該第 N 閘極訊號以產生該第一控制訊號，該第一控制單元包含：
 - 一第五電晶體，具有一用來接收一第一低頻時脈的第一端、一閘極端、及一用來輸出該第一控制訊號的第二端；
 - 一第六電晶體，具有一電連接於該第五電晶體之第二端的第一端、一用來接收該第 N 閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；
 - 一第七電晶體，具有一用來接收該第一低頻時脈的第一端、一用來接收該第一低頻時脈的閘極端、及一電連接於該第五電晶體之閘極端的第二端；以及
 - 一第八電晶體，具有一電連接於該第七電晶體之第二端的第一端、一用來接收該第 N 閘極訊號的閘極端、及一用來

接收該第一電源電壓的第二端；以及

一第一輔助下拉單元，用來根據一第二輸入訊號將該驅動控制電壓下拉至一第二電源電壓，該第一輔助下拉單元包含一第十一電晶體，該第十一電晶體之一第一端電連接於該輸入單元，該第十一電晶體之一閘極端電連接於該些級移位暫存器之一第(N+2)級移位暫存器以接收一第(N+2)啟始脈波訊號，該第十一電晶體之一第二端係用來接收該第二電源電壓。

9. 如請求項 8 所述之移位暫存器電路，其中該第一控制單元還包含：

一第九電晶體，具有一電連接於該第五電晶體之第二端的第一端、一電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收一第(N-1)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；以及

一第十電晶體，具有一電連接於該第五電晶體之閘極端的第一端、一電連接於該第(N-1)級移位暫存器以接收該第(N-1)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端。

10. 如請求項 8 所述之移位暫存器電路，其中該第一控制單元還包含：

一第九電晶體，具有一電連接於該第五電晶體之第二端的第一端、一電連接於該些級移位暫存器之一第(N-2)級移位暫存器

以接收一第(N-2)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；以及

一第十電晶體，具有一電連接於該第五電晶體之閘極端的第一端、一電連接於該第(N-2)級移位暫存器以接收該第(N-2)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端。

11. 如請求項 1 至 6 及 8 至 10 中任一項所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

一第二下拉單元，電連接於該第 N 閘極線，該第二下拉單元係用來根據一第二控制訊號將該第 N 閘極訊號下拉至該第一電源電壓；以及

一第二控制單元，電連接於該第二下拉單元與該第 N 閘極線，該第二控制單元係用來根據該第 N 閘極訊號以產生該第二控制訊號。

12. 如請求項 11 所述之移位暫存器電路，其中：

該第二下拉單元包含：

一第十二電晶體，具有一電連接於該第 N 閘極線的第一端、一用來接收該第二控制訊號的閘極端、及一用來接收該第一電源電壓的第二端；以及

該第二控制單元包含：

一第十三電晶體，具有一用來接收一反相於該第一低頻時脈之第二低頻時脈的第一端、一閘極端、及一用來輸出該

第二控制訊號的第二端；

- 一第十四電晶體，具有一電連接於該第十三電晶體之第二端的第一端、一用來接收該第 N 閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；
- 一第十五電晶體，具有一用來接收該第二低頻時脈的第一端、一用來接收該第二低頻時脈的閘極端、及一電連接於該第十三電晶體之閘極端的第二端；以及
- 一第十六電晶體，具有一電連接於該第十五電晶體之第二端的第一端、一用來接收該第 N 閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端。

13. 如請求項 12 所述之移位暫存器電路，其中該第二控制單元還包含：

- 一第十七電晶體，具有一電連接於該第十三電晶體之第二端的第一端、一電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收一第(N-1)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；以及
- 一第十八電晶體，具有一電連接於該第十三電晶體之閘極端的第一端、一電連接於該第(N-1)級移位暫存器以接收該第(N-1)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端。

14. 如請求項 12 所述之移位暫存器電路，其中該第一控制單元還包

含：

- 一第十七電晶體，具有一電連接於該第十三電晶體之第二端的第一端、一電連接於該些級移位暫存器之一第(N-2)級移位暫存器以接收一第(N-2)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端；以及
- 一第十八電晶體，具有一電連接於該第十三電晶體之閘極端的第一端、一電連接於該第(N-2)級移位暫存器以接收該第(N-2)閘極訊號的閘極端、及一用來接收該第一電源電壓的第二端。

15. 如請求項 1 所述之移位暫存器電路，其中：

該第二輔助下拉單元包含：

- 一第十九電晶體，具有一電連接於該輸入單元的第一端、一用來接收該第三控制訊號的閘極端、及一用來接收該第二電源電壓的第二端；以及
- 一第二十電晶體，具有一電連接於該進位單元的第一端、一用來接收該第三控制訊號的閘極端、及一用來接收該第二電源電壓的第二端；以及

該第三控制單元包含：

- 一第二十一電晶體，具有一用來接收一第一低頻時脈的第一端、一閘極端、及一用來輸出該第三控制訊號的第二端；
- 一第二十二電晶體，具有一電連接於該第二十一電晶體之第二端的第一端、一用來接收該驅動控制電壓的閘極端、

及一用來接收該第二電源電壓的第二端；

- 一第二十三電晶體，具有一用來接收該第一低頻時脈的第一端、一用來接收該第一低頻時脈的閘極端、及一電連接於該第二十一電晶體之閘極端的第二端；以及
- 一第二十四電晶體，具有一電連接於該第二十三電晶體之第二端的第一端、一用來接收該驅動控制電壓的閘極端、及一用來接收該第二電源電壓的第二端。

16. 如請求項 15 所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

- 一第三輔助下拉單元，電連接於該進位單元與該輸入單元，該第三輔助下拉單元係用來根據一第四控制訊號將該驅動控制電壓與該第 N 啟始脈波訊號下拉至該第二電源電壓；以及
- 一第四控制單元，電連接於該第三輔助下拉單元與該輸入單元，該第四控制單元係用來根據該驅動控制電壓以產生該第四控制訊號。

17. 如請求項 16 所述之移位暫存器電路，其中：

該第三輔助下拉單元包含：

- 一第二十五電晶體，具有一電連接於該輸入單元的第一端、一用來接收該第四控制訊號的閘極端、及一用來接收該第二電源電壓的第二端；以及
- 一第二十六電晶體，具有一電連接於該進位單元的第一端、

一用來接收該第四控制訊號的閘極端、及一用來接收該第二電源電壓的第二端；以及

該第四控制單元包含：

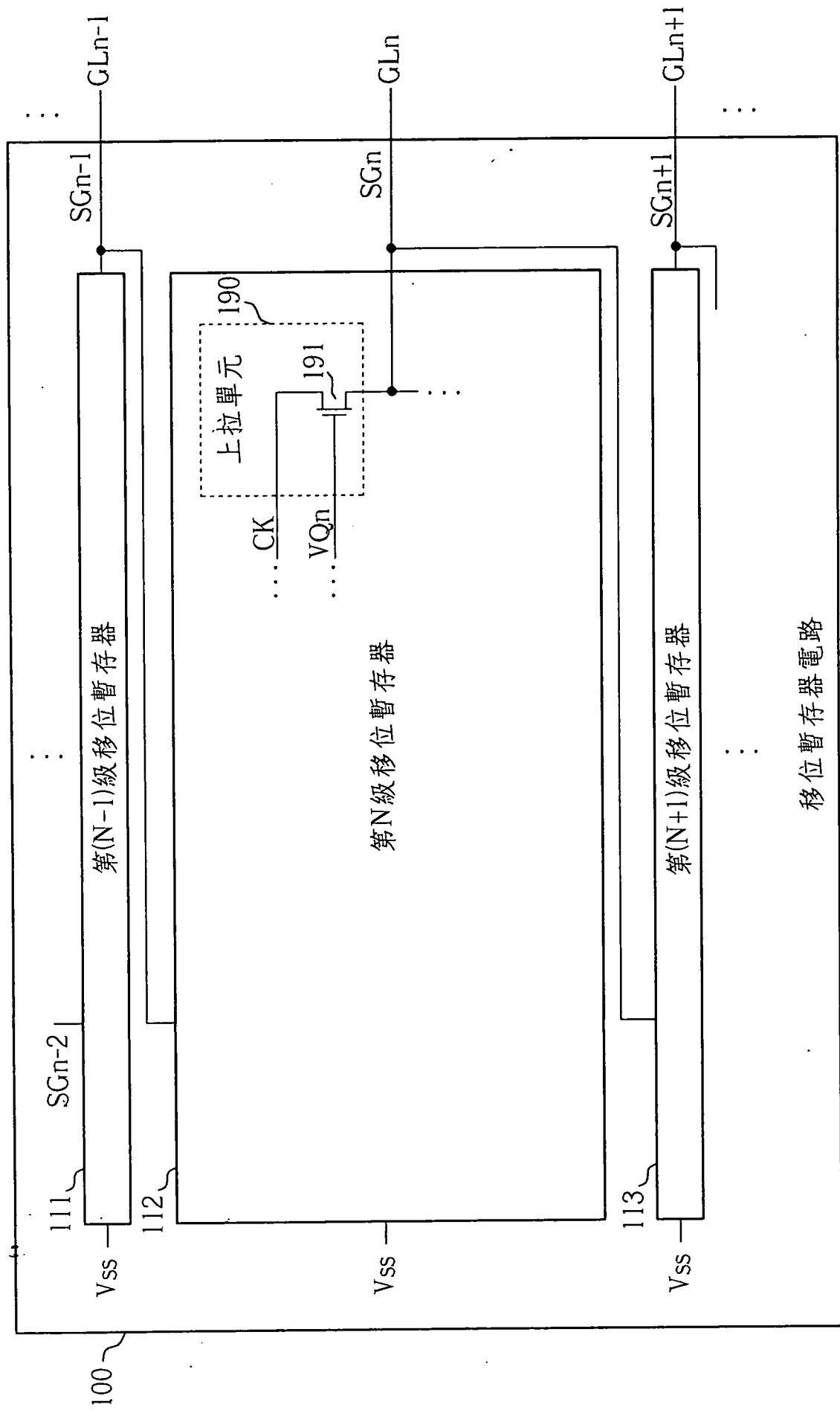
一第二十七電晶體，具有一用來接收一反相於該第一低頻時脈之第二低頻時脈的第一端、一閘極端、及一用來輸出該第四控制訊號的第二端；

一第二十八電晶體，具有一電連接於該第二十七電晶體之第二端的第一端、一用來接收該驅動控制電壓的閘極端、及一用來接收該第二電源電壓的第二端；

一第二十九電晶體，具有一用來接收該第二低頻時脈的第一端、一用來接收該第二低頻時脈的閘極端、及一電連接於該第二十七電晶體之閘極端的第二端；以及

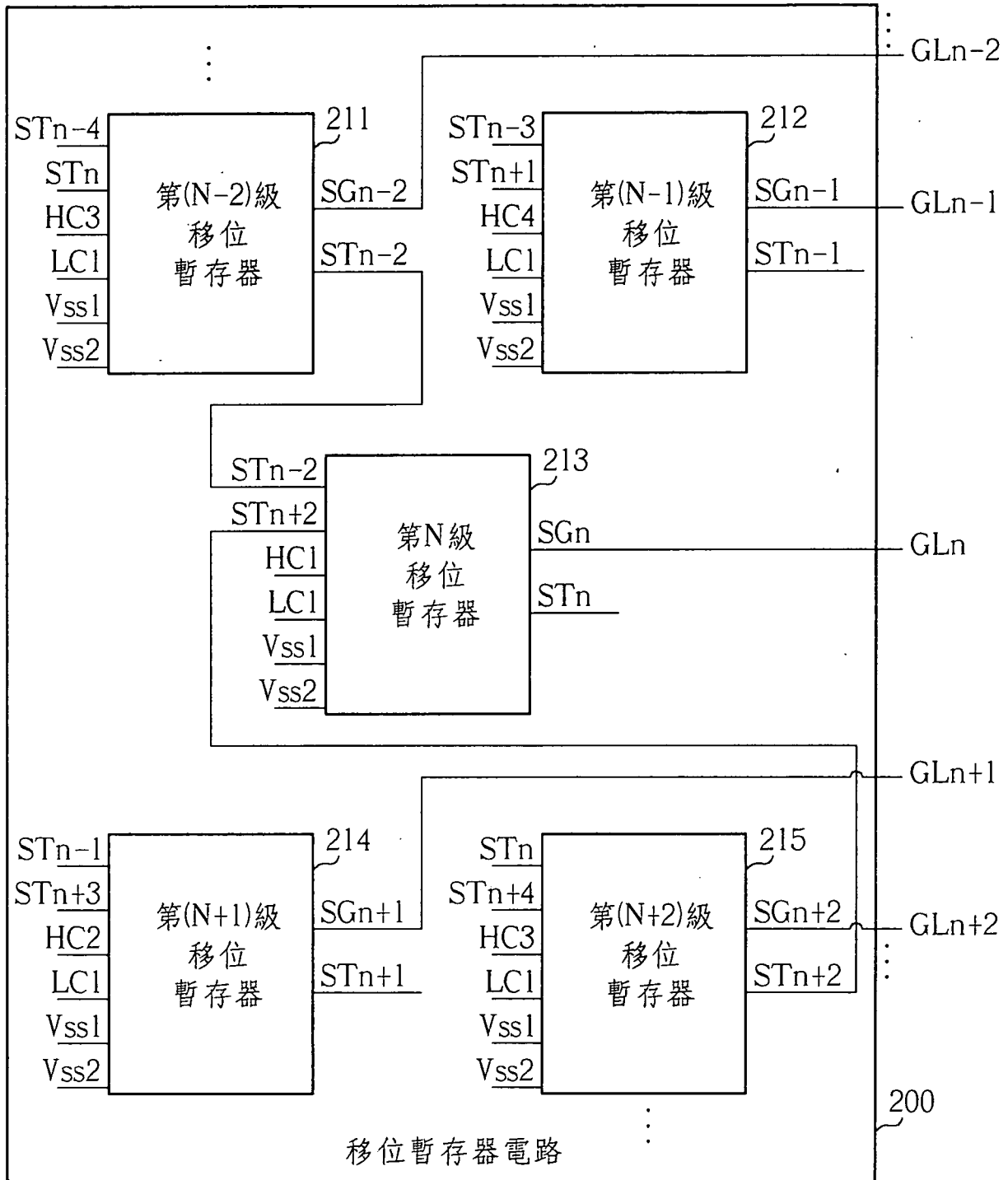
一第三十電晶體，具有一電連接於該第二十九電晶體之第二端的第一端、一用來接收該驅動控制電壓的閘極端、及一用來接收該第二電源電壓的第二端。

八、圖式：

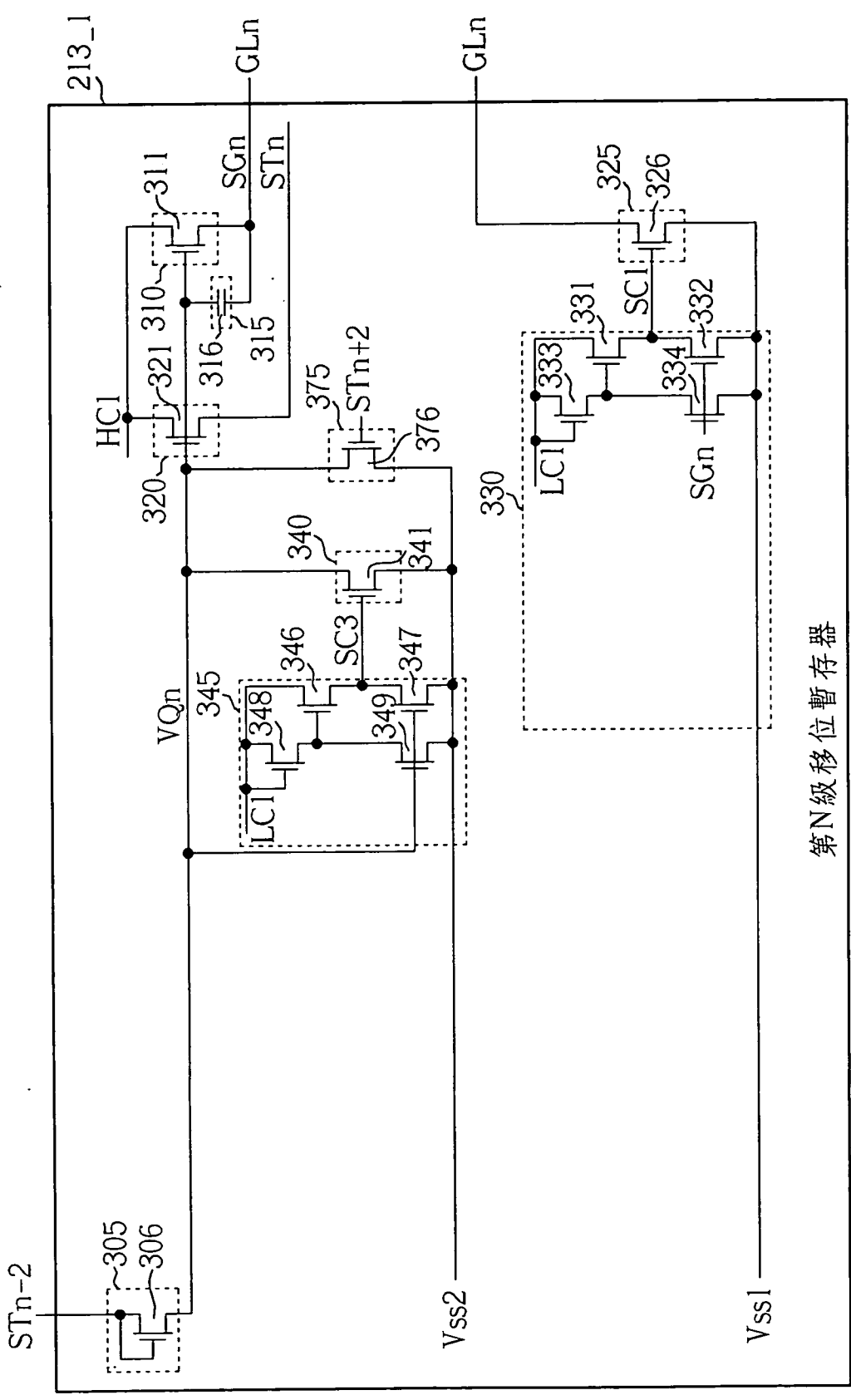


移位暫存器電路

第1圖

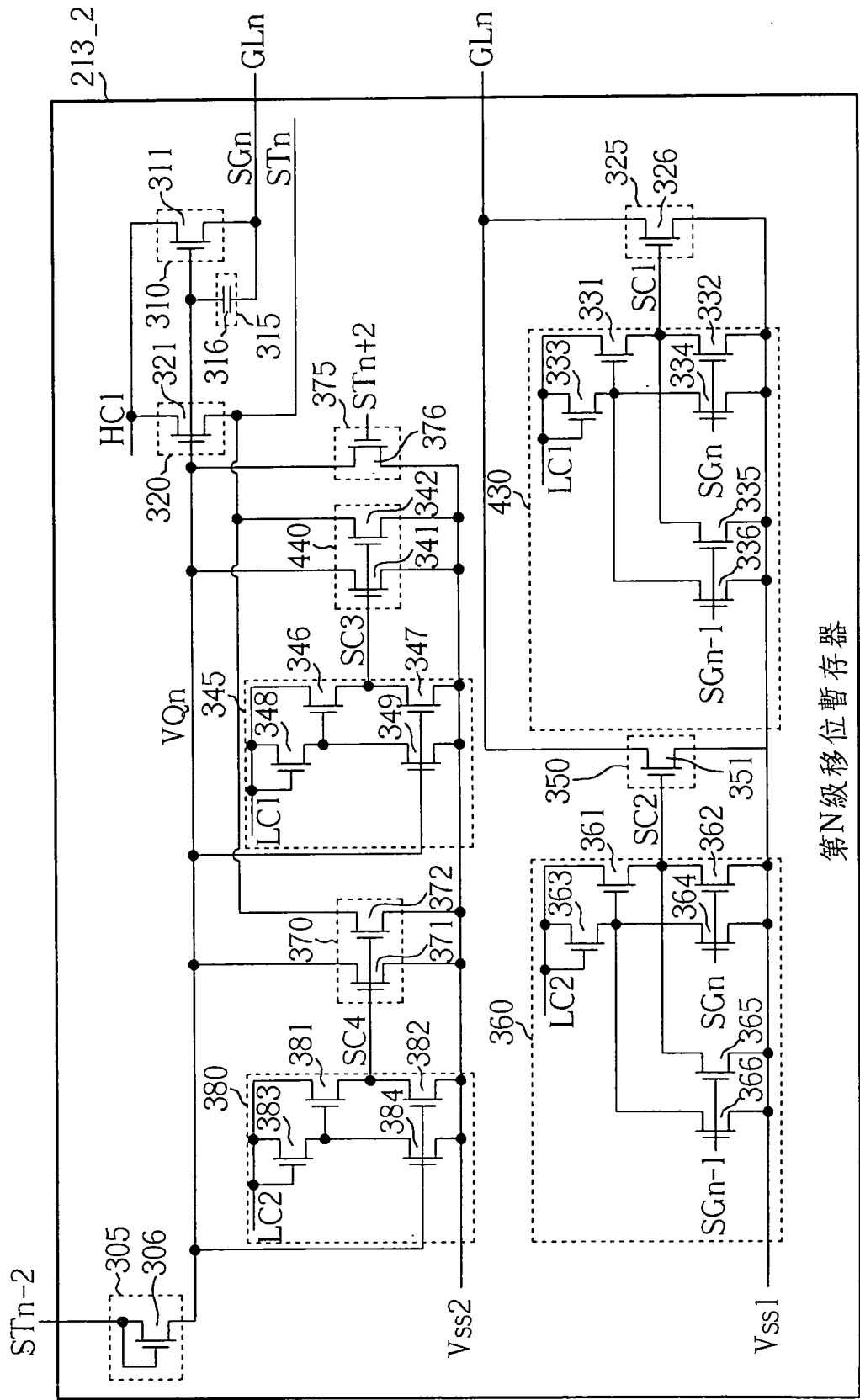


第2圖



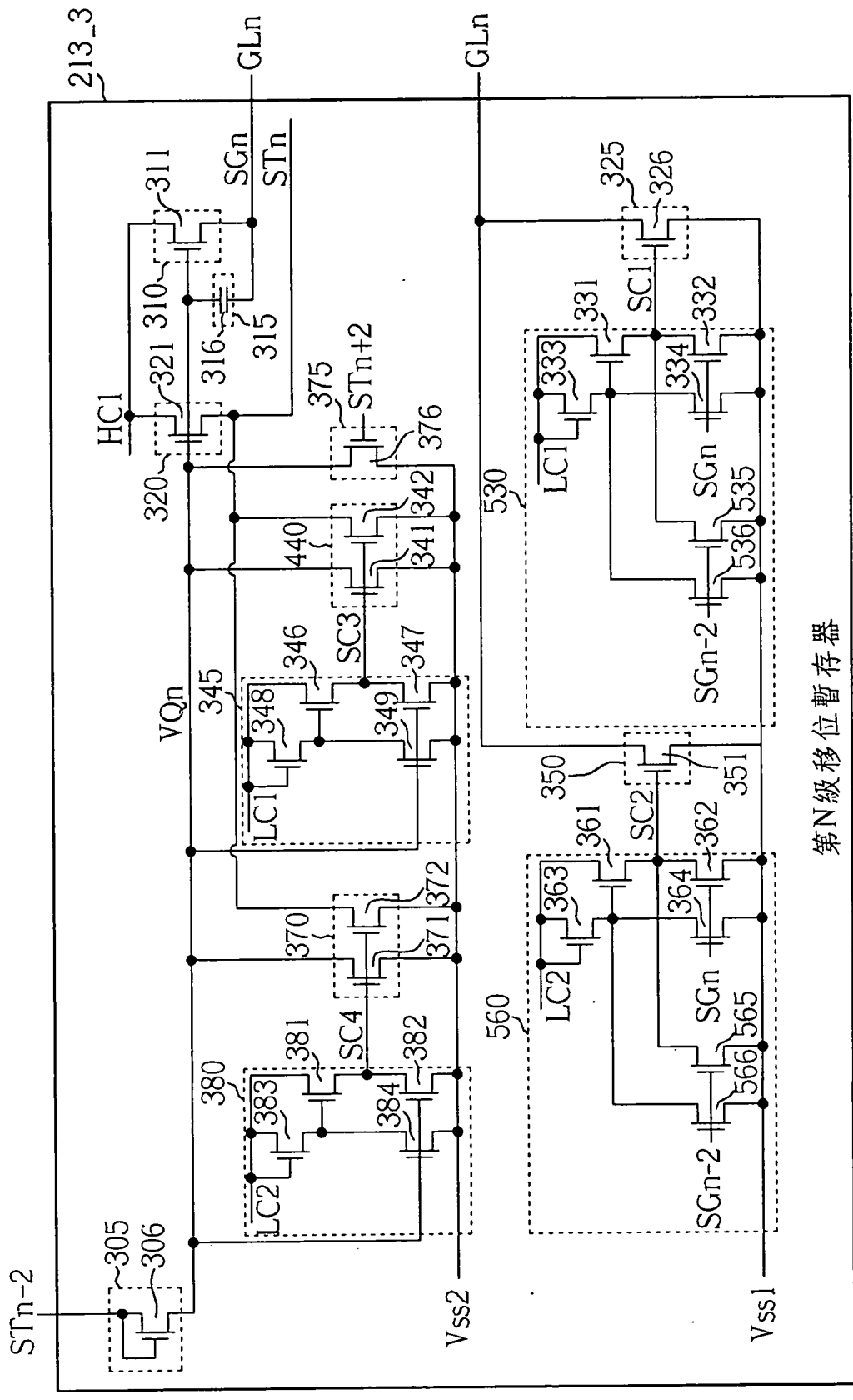
第N级移位暂存器

第3图



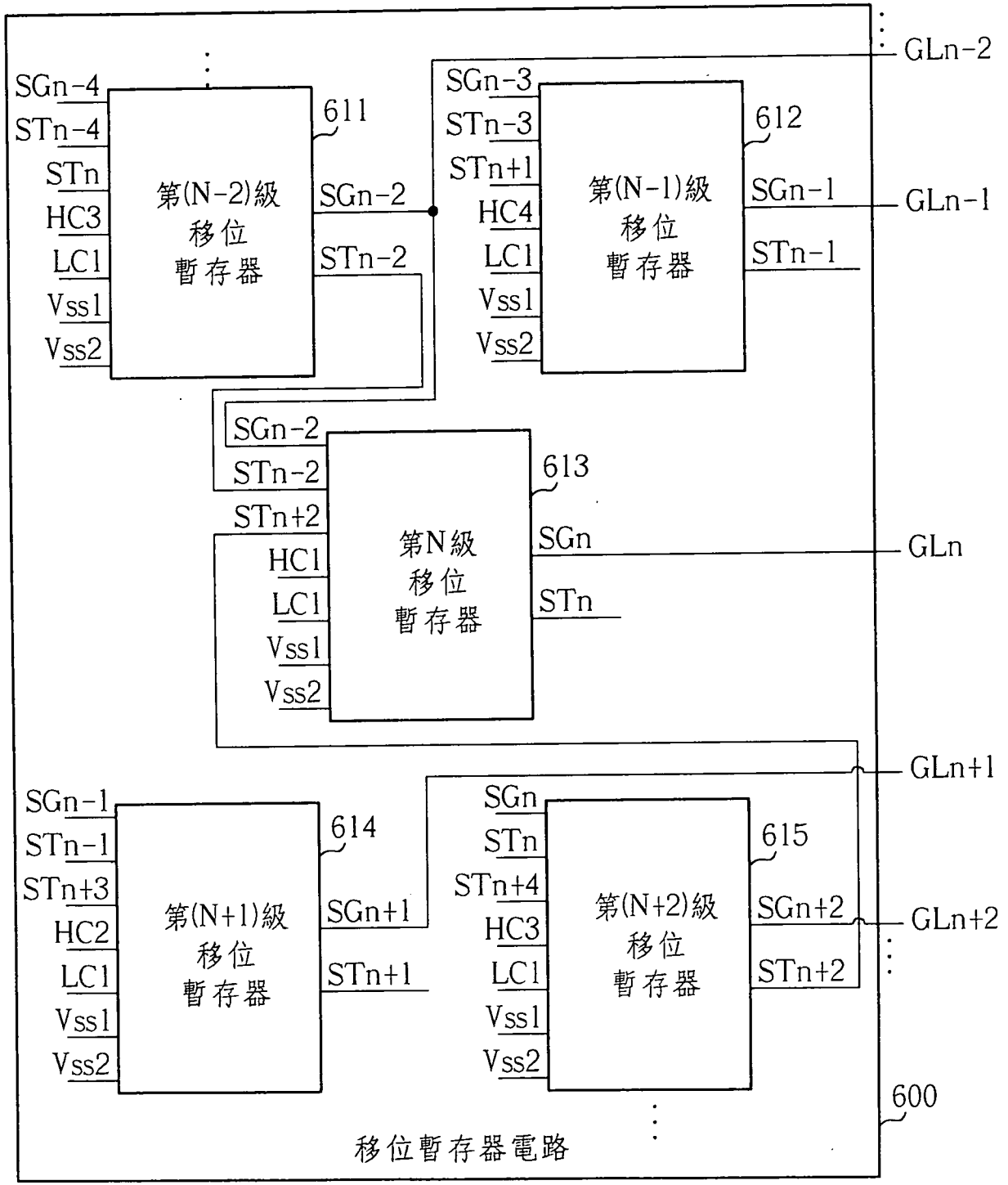
第N級移位暫存器

第4圖

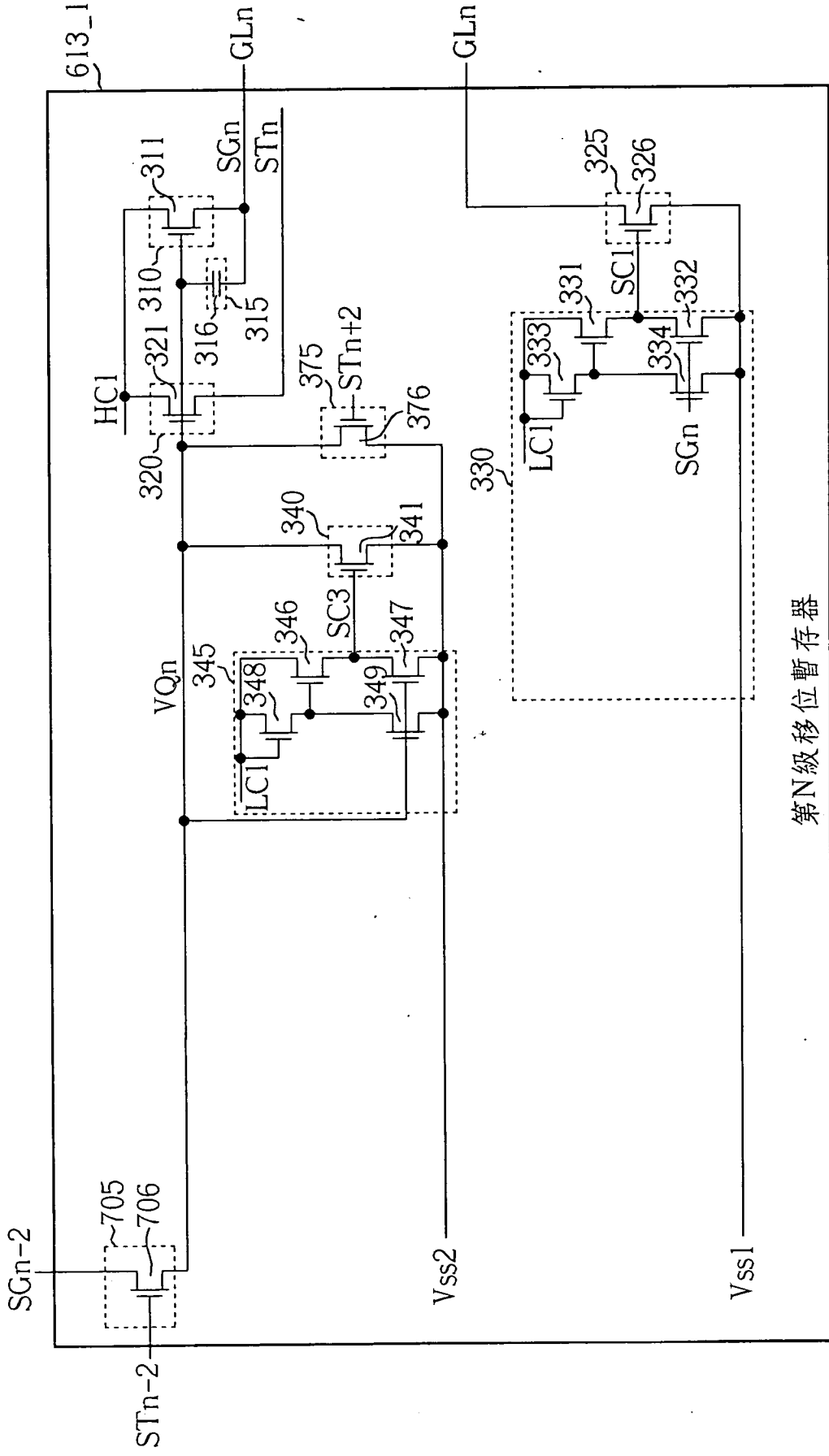


第N級移位暫存器

第5圖

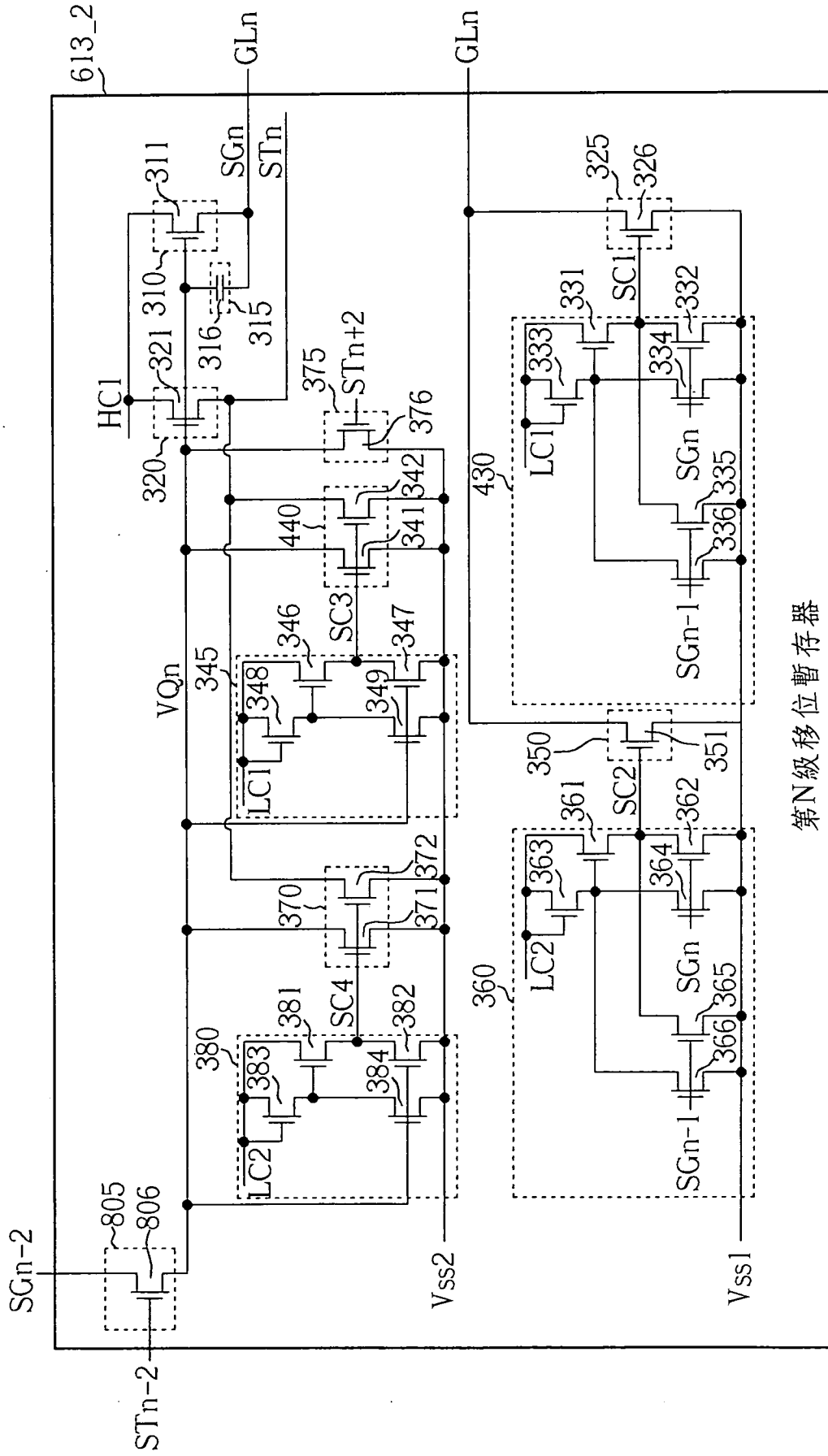


第6圖



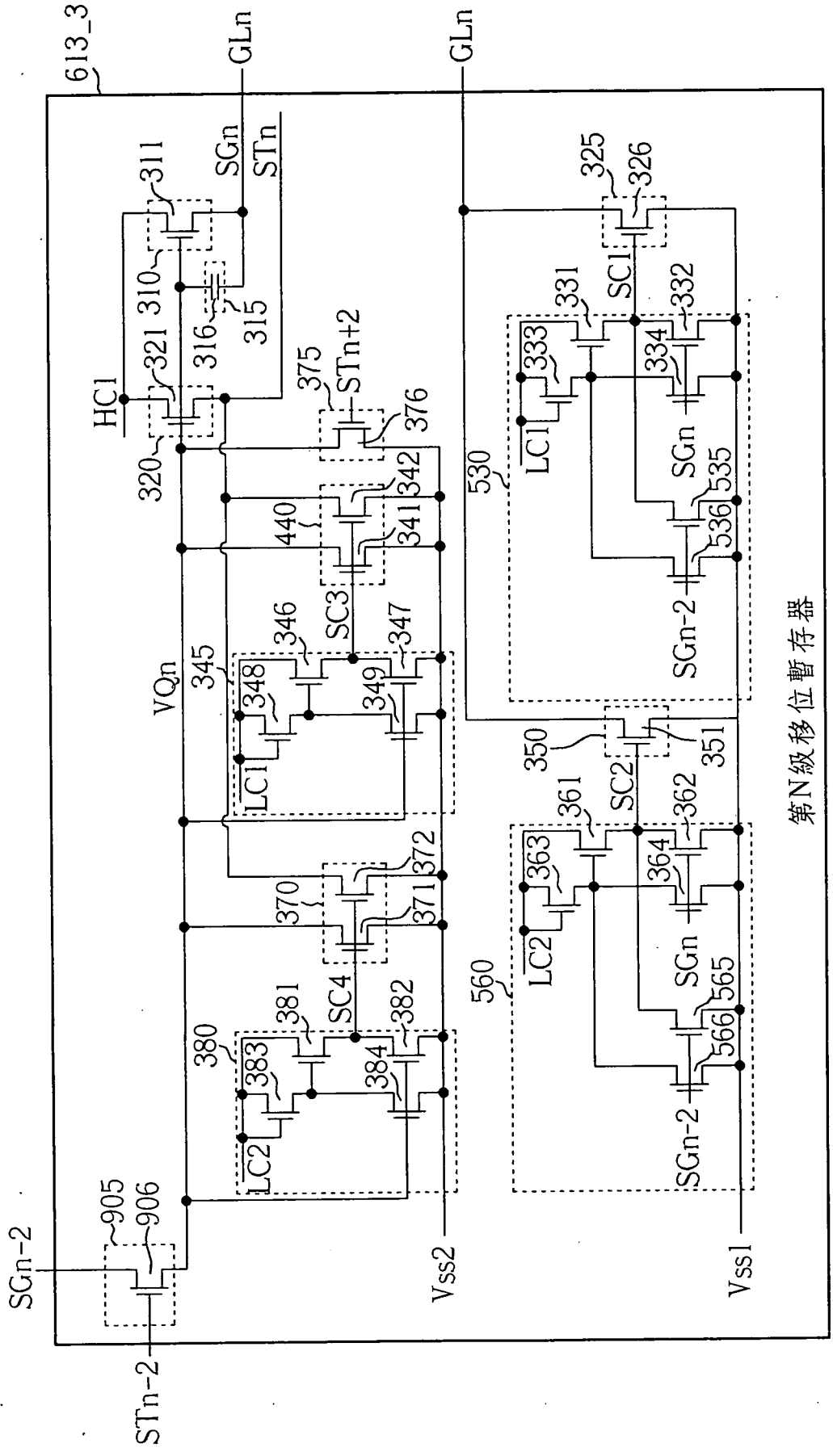
第N級移位暫存器

第7圖



第N级移位寄存器

第8图



第N級移位暫存器

第9圖