



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0045255  
G01N 27/414 (2006.01) (43) 공개일자 2007년05월02일

|             |                   |             |                |
|-------------|-------------------|-------------|----------------|
| (21) 출원번호   | 10-2007-7003621   | (87) 국제공개번호 | WO 2006/041224 |
| (22) 출원일자   | 2007년02월15일       | (88) 국제공개일자 | 2006년04월20일    |
| 심사청구일자      | 2007년02월15일       |             |                |
| 번역문 제출일자    | 2007년02월15일       |             |                |
| (86) 국제출원번호 | PCT/JP2005/019358 |             |                |
| 국제출원일자      | 2005년10월14일       |             |                |

(30) 우선권주장 JP-P-2004-00300267 2004년10월14일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바  
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 오우찌 신이찌  
일본 105-8001 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고가부시끼가이샤 도시바 지메끼자이산부 내

(74) 대리인 장수길  
성재동

전체 청구항 수 : 총 15 항

(54) F E T-기반의 핵산 검출 센서

(57) 요약

본 발명에 따른 핵산 검출 센서는 전계-효과 트랜지스터와, 전계-효과 트랜지스터의 문턱 전압에서의 변동의 정도를 기초로 하여 샘플로부터 염기 서열을 갖는 타겟 핵산 분자를 검출하는 검출기와, 타겟 핵산 분자들 중 대응하는 타겟 핵산 분자와 혼성화되고, 전계-효과 트랜지스터의 게이트 상에 고정되는 적어도 1개의 핵산 프로브 분자를 포함하며, 전계-효과 트랜지스터의 게이트 폭이 아래에 주어지 있는 표현식에 의해 얻어지는 길이의 정도로 되어 있으며:  $(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2}$ , 여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 채널이 형성된 전계-효과 트랜지스터 내의 채널 영역 내에서의 평형 캐리어 밀도이다.

대표도

도 1

특허청구의 범위

청구항 1.

핵산 검출 센서이며,

전계-효과 트랜지스터와;

전계-효과 트랜지스터의 문턱 전압에서의 변동의 정도를 기초로 하여 샘플로부터 염기 서열을 갖는 타겟 핵산 분자를 검출하는 검출기와;

타겟 핵산 분자들 중 대응하는 타겟 핵산 분자와 혼성화되고, 전계-효과 트랜지스터의 게이트 상에 고정되는 적어도 1개의 핵산 프로브 분자를 포함하며,

전계-효과 트랜지스터의 게이트 폭이 아래에 주어지 있는 표현식에 의해 얻어지는 길이의 정도로 되어 있으며:

$$(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2}$$

여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 채널이 형성된 전계-효과 트랜지스터 내의 채널 영역 내에서의 평형 캐리어 밀도인 센서.

## 청구항 2.

제1항에 있어서, 전계-효과 트랜지스터의 게이트 길이가 전계-효과 트랜지스터의 게이트 폭과 동일한 정도로 되어 있고, 그 게이트 폭보다 큰 센서.

## 청구항 3.

핵산 검출 센서이며,

전계-효과 트랜지스터와;

전계-효과 트랜지스터의 문턱 전압에서의 변동의 정도를 기초로 하여 샘플로부터 염기 서열을 갖는 타겟 핵산 분자를 검출하는 검출기와;

타겟 핵산 분자들 중 대응하는 타겟 핵산 분자와 혼성화되고, 전계-효과 트랜지스터의 게이트 상에 고정되는 적어도 1개의 핵산 프로브 분자를 포함하며,

전계-효과 트랜지스터의 게이트 길이가 아래에 주어지 있는 표현식에 의해 얻어지는 길이의 정도로 되어 있으며:

$$(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2}$$

여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 채널이 형성된 전계-효과 트랜지스터 내의 채널 영역 내에서의 평형 캐리어 밀도인 센서.

## 청구항 4.

제1항에 따른 복수개의 핵산 검출 센서를 포함하는 핵산 검출 칩이며,

핵산 검출 칩 상에서의 단위 면적 당 핵산 검출 센서의 개수가 아래에 주어지 있는 표현식에 의해 얻어지는 수치와 동일하거나 그보다 큰 정도로 되어 있으며:

$$1/Dt$$

여기에서 t는 특정된 검출 시간이며, D는 핵산 분자의 확산 상수인 핵산 검출 칩.

### 청구항 5.

제4항에 있어서, 샘플 내에 포함된 타겟 핵산 분자의 밀도가 핵산 검출 센서의 총 개수에 대한 타겟 핵산 분자를 검출한 핵산 검출 센서의 개수의 비율을 기초로 하여 평가되는 핵산 검출 칩.

### 청구항 6.

제2항에 따른 복수개의 핵산 검출 센서를 포함하는 핵산 검출 칩이며,

핵산 검출 칩 상에서의 단위 면적 당 핵산 검출 센서의 개수가 아래에 주어지 있는 표현식에 의해 얻어지는 수치와 동일하거나 그보다 큰 정도로 되어 있으며:

$$1/Dt$$

여기에서 t는 특정된 검출 시간이며, D는 핵산 분자의 확산 상수인 핵산 검출 칩.

### 청구항 7.

제6항에 있어서, 샘플 내에 포함된 타겟 핵산 분자의 밀도가 핵산 검출 센서의 총 개수에 대한 타겟 핵산 분자를 검출한 핵산 검출 센서의 개수의 비율을 기초로 하여 평가되는 핵산 검출 칩.

### 청구항 8.

제3항에 따른 복수개의 핵산 검출 센서를 포함하는 핵산 검출 칩이며,

핵산 검출 칩 상에서의 단위 면적 당 핵산 검출 센서의 개수가 아래에 주어지 있는 표현식에 의해 얻어지는 수치와 동일하거나 그보다 큰 정도로 되어 있으며:

$$1/Dt$$

여기에서 t는 특정된 검출 시간이며, D는 핵산 분자의 확산 상수인 핵산 검출 칩.

### 청구항 9.

제8항에 있어서, 샘플 내에 포함된 타겟 핵산 분자의 밀도가 핵산 검출 센서의 총 개수에 대한 타겟 핵산 분자를 검출한 핵산 검출 센서의 개수의 비율을 기초로 하여 평가되는 핵산 검출 칩.

### 청구항 10.

제1항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

각각 핵산 검출 센서의 드레인 단자 그리고 제로-레벨 검출 센서의 드레인 단자에 연결되는 2개의 용량성 소자와;

핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터가 현재의 전압으로 충전된 용량성 소자를 방전시키는 동안에 핵산 검출 센서의 전계-효과 트랜지스터와 제로-레벨 검출 센서의 전계-효과 트랜지스터 사이의 방전 속도에서의 차이를 증폭시키는 감지 증폭기와;

타겟 핵산 분자가 방전 효율에서의 차이를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

## 청구항 11.

제2항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

각각 핵산 검출 센서의 드레인 단자 그리고 제로-레벨 검출 센서의 드레인 단자에 연결되는 2개의 용량성 소자와;

핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터가 현재의 전압으로 충전된 용량성 소자를 방전시키는 동안에 핵산 검출 센서의 전계-효과 트랜지스터와 제로-레벨 검출 센서의 전계-효과 트랜지스터 사이의 방전 속도에서의 차이를 증폭시키는 감지 증폭기와;

타겟 핵산 분자가 방전 효율에서의 차이를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

## 청구항 12.

제3항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

각각 핵산 검출 센서의 드레인 단자 그리고 제로-레벨 검출 센서의 드레인 단자에 연결되는 2개의 용량성 소자와;

핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터가 현재의 전압으로 충전된 용량성 소자를 방전시키는 동안에 핵산 검출 센서의 전계-효과 트랜지스터와 제로-레벨 검출 센서의 전계-효과 트랜지스터 사이의 방전 속도에서의 차이를 증폭시키는 감지 증폭기와;

타겟 핵산 분자가 방전 효율에서의 차이를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

## 청구항 13.

제1항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

입력 트랜지스터로서 각각의 핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터를 사용하는 차동 쌍과;

타겟 핵산 분자가 차동 쌍에 공통 기준 전압을 인가함으로써 발생하는 차동 쌍의 출력 전압의 세기를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

#### 청구항 14.

제2항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

입력 트랜지스터로서 각각의 핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터를 사용하는 차동 쌍과;

타겟 핵산 분자가 차동 쌍에 공통 기준 전압을 인가함으로써 발생하는 차동 쌍의 출력 전압의 세기를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

#### 청구항 15.

제3항에 따른 핵산 검출 센서와;

핵산 프로브 분자가 그 상에 고정되는 게이트를 가지며, 핵산 프로브 분자는 핵산 검출 센서에 고정되는 핵산 프로브 분자와 상이하고 샘플 내에 포함되는 핵산 분자와 상보하지 못하는 염기 서열을 갖는, 제로-레벨 검출 센서와;

입력 트랜지스터로서 각각의 핵산 검출 센서 및 제로-레벨 검출 센서의 전계-효과 트랜지스터를 사용하는 차동 쌍과;

타겟 핵산 분자가 차동 쌍에 공통 기준 전압을 인가함으로써 발생하는 차동 쌍의 출력 전압의 세기를 기초로 하여 검출되는지를 결정하는 결정 유닛을 포함하는 핵산 검출 회로.

### 명세서

#### 기술분야

본 발명은 전계-효과 트랜지스터(FET: field-effect transistor)를 사용하여 샘플 내에 포함되는 타겟 핵산 분자를 검출하는 핵산 검출 센서, 핵산 검출 칩 그리고 핵산 검출 회로에 관한 것이다.

#### 배경기술

종래로부터, 타겟 핵산 분자가 FET을 사용하여 샘플 내에 포함되어 있는지를 검출하는 핵산 검출 센서가 존재하였다[예컨대, 도시바 사카따 등, "유전자 전계 효과 트랜지스터를 사용하는 DNA 혼성화의 검출(Detection of DNA Hybridization using Genetic Field Effect Transistor)", 확장판 초록(제64회 가을 회의, 2003), p. 1179; 일본 특허 출원 공개 제2003-322633호; PCT 국내 공개 제2001-511246호 등 참조].

종래로부터, 그러나, FET을 사용하여, 효율적으로 1개의 핵산 분자의 신호를 검출하는 방법 또는 넓은 밀도 범위 내에서 정량 분석을 수행하는 기술은 없다.

### 발명의 상세한 설명

본 발명은 전술된 상황을 고려하여 개발되었으며, 그 목적은 감도가 극적으로 개선되는 FET을 사용하는 핵산 검출 센서, 핵산 검출 칩 및 핵산 검출 회로를 제공하는 것이다.

본 발명의 제1 태양에 따르면, 핵산 검출 센서에 있어서, 전계-효과 트랜지스터와; 전계-효과 트랜지스터의 문턱 전압에서의 변동의 정도를 기초로 하여 샘플로부터 염기 서열을 갖는 타겟 핵산 분자를 검출하는 검출기와; 타겟 핵산 분자들 중 대응하는 타겟 핵산 분자와 혼성화되고, 전계-효과 트랜지스터의 게이트 상에 고정되는 적어도 1개의 핵산 프로브 분자를 포함하며,

전계-효과 트랜지스터의 게이트 폭이 아래에 주어지 있는 표현식에 의해 얻어지는 길이의 정도로 되어 있으며:

$$(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2}$$

여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 채널이 형성된 전계-효과 트랜지스터 내의 채널 영역 내에서의 평형 캐리어 밀도인 센서가 제공된다.

본 발명의 제2 태양에 따르면, 핵산 검출 센서에 있어서, 전계-효과 트랜지스터와; 전계-효과 트랜지스터의 문턱 전압에서의 변동의 정도를 기초로 하여 샘플로부터 염기 서열을 갖는 타겟 핵산 분자를 검출하는 검출기와; 타겟 핵산 분자들 중 대응하는 타겟 핵산 분자와 혼성화되고, 전계-효과 트랜지스터의 게이트 상에 고정되는 적어도 1개의 핵산 프로브 분자를 포함하며,

전계-효과 트랜지스터의 게이트 길이가 아래에 주어지 있는 표현식에 의해 얻어지는 길이의 정도로 되어 있으며:

$$(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2}$$

여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 채널이 형성된 전계-효과 트랜지스터 내의 채널 영역 내에서의 평형 캐리어 밀도인 센서가 제공된다.

### 실시예

본 발명의 실시예에 따른 핵산 검출 센서, 핵산 검출 칩 및 핵산 검출 회로가 첨부 도면을 참조하여 상술될 것이다.

본 발명의 실시예에 따른 핵산 검출 회로는 핵산 검출 센서(100)를 포함한다. 센서(100)는 금속 산화물 반도체 전계-효과 트랜지스터(MOSFET: metal oxide semiconductor field-effect transistor) 및 기판을 포함한다. 대개, 복수개의 핵산 프로브 분자(프로브 DNA)(102)가 MOSFET에 고정된다. MOSFET은 게이트(101), 소스(103) 및 드레인(104)을 갖는다. 핵산-프로브 분자(102)는 게이트(101) 상으로 고정된다. 도1에 도시된 바와 같이, 소스(103) 및 드레인(104)은 본체(106)를 통해 서로에 연결되며, 게이트(101)는 게이트 산화막(105)이 그 사이에 개재된 상태로 본체(106) 상에 적층된다. 소스(103), 드레인(104) 및 본체(106)는 매몰된 산화물(BOX: buried oxide)(107) 상에 제공된다. 센서(100)는 도1에 도시된 바와 같은 SOI(silicon on insulator) 구조를 갖는 웨이퍼를 사용하여 제조될 수 있으며, 웨이퍼는 벌크 실리콘(Si) 기판을 사용하여 수행될 수 있으며, 이것은 당업자에 의해 이해될 것이다.

본 발명의 실시예에 따른 핵산 검출 회로는 타겟 핵산 분자가 MOSFET의 전기적 성질의 변화의 정도를 기초로 하여 검출되는지를 결정한다. 이 실시예에서, 게이트(101)는 소스(103) 및 드레인(104)이 연결된 방향으로 길며, 바꿔 말하면, 게이트(101)는 게이트 폭(W)이 감소된다. MOSFET의 전기적 성질은 게이트(101) 상에서 유발되는 소수의 전하의 변동에 의해서도 크게 변화되므로, 회로는 소수의 타겟 핵산 분자라도 검출할 수 있다.

본 발명의 실시예에서, MOSFET의 채널 길이[즉, 도1의 게이트 길이(L)]는 게이트 폭(W)과 동일하거나 그보다 길게 설정된다. 핵산-프로브 분자(102)가 채널을 따라[즉, 소스(103) 및 드레인(104)이 서로에 연결된 방향으로] 고정되므로, MOSFET의 전기적 성질의 변화는 타겟 핵산 분자(109)가 채널을 따른 임의의 위치에서 핵산-프로브 분자(102)들 중 하나와 혼성화되더라도 신뢰성 있게 유도될 수 있다. 바꿔 말하면, 회로는 핵산-프로브 분자(102)들 사이에서 논리 OR 연산과 동등한 연산을 수행한다. 더욱이, 분석될 샘플의 낙하물(drop)이 그 상에서 접촉하는 칩 표면 내에 센서(100)를 조밀하게 배열함으로써 타겟 및 프로브 분자의 혼성화의 가능성이 증가된다. 샘플 내의 소수의 타겟 핵산 분자라도 이와 같이 신속하게 검출될 수 있다.

이제, 게이트(101)의 길이 및 폭이 설정되는 더 구체적인 설명이 후속된다. 타겟 핵산 분자(109)가 핵산 프로브 분자(102)와 혼성화되면, 게이트(101) 상에서의 전하의 개수에서의 변동은 게이트 산화막(105)을 통해 채널 내에서 소정 전위의 전하를 유발시킨다. 채널이 형성된 본체(106)의 특정한 영역 내에서의 캐리어의 디바이 길이(Debye length)는 다음과 같다.

$$(\epsilon_0 \epsilon_r k_B T / e^2 n)^{1/2} \quad (E1)$$

여기에서  $\epsilon_0$ 은 진공의 유전 상수이며,  $\epsilon_r$ 은 채널 영역의 상대 유전 상수이며,  $k_B$ 는 볼츠만 상수이며, T는 채널 영역의 절대 온도이며, e는 기본 전하량이며, n은 대응하는 영역 내에서의 평형 캐리어 밀도이다. 1가 전하가 게이트(101) 상에서 변동할 때, 그 반경이 채널 영역 내에서 전술된 표현식 (E1)에 의해 주어진 디바이 길이에 대응하는 원 내에서의 전위는 크게 변동할 것이라고 예측된다.

전술된 표현식 (E1)에 의해 주어진 길이(디바이 길이)와 동일한 게이트(101)의 게이트 폭 및 게이트 길이를 결정하면, MOSFET의 전기적 성질은 소수의 타겟 핵산 분자에 의해 크게 변화된다는 것이 예측된다. 게이트 폭은 표현식 (E1)에 의해 얻어진 길이의 정도로 되어 있으며, 게이트 길이도 또한 그렇다. 바꿔 말하면, 각각의 게이트 폭 및 게이트 길이는 표현식 (E1)에 의해 얻어진 길이와 거의 동일한 수치(최대 10배 또는 1/10배)의 길이로 설정된다. 더 바람직하게는, 게이트 폭은 표현식 (E1)에 의해 얻어진 길이의 정도로 되도록 설정되며, 게이트 길이는 게이트 폭보다 크도록 설정된다.

적절한 Si-MOSFET과 동일한 캐리어 밀도 예컨대  $10^{15}$  내지  $10^{16} \text{ cm}^{-3}$ 의 불순물 농도를 갖는 재료와 관련하여, 표현식 (E1)에 의해 얻어진 길이는 약 50 nm이다. 그러므로, 게이트 폭은 본 발명의 실시예에서 50 nm로 설정된다. 게이트 폭이 약 100 nm라는 것이 중요하지 않지만, 더 바람직하게는 약 50 nm 이하이다. 한편, 게이트 길이는 게이트 폭과 동일하거나 그보다 크므로 약 50 nm 이상이다.

각각의 핵산 분자(102)의 직경은 약 2 nm이다. 분자(102)가 그 게이트 폭이 50 nm인 게이트(101)에 조밀하게 고정될 때, 25개의 핵산 프로브가 채널을 횡단하여 배열된다. 그 길이가 약 20개의 염기 쌍에 대응하는 타겟 핵산 분자(109)가 동일한 길이를 갖는 핵산-프로브 분자(102)들 중 하나와 혼성화되면, 전하가 20개의 염기 쌍에 따라 변동된다. 전하의 변동은 MOSFET의 물리적 성질이 크게 변동하게 할 것이라고(예컨대, MOSFET의 문턱 전압에서의 변동) 예측된다.

복수개의 핵산 검출 센서(100)가 칩 상에 배열된다. 타겟 핵산 분자가 검출되는 정밀도는 센서(100)가 칩 상에 배열되는 방식에 따라 변동한다. 센서(100)는 분석될 샘플의 낙하물이 접촉하는 칩의 표면 내에 조밀하게 배열되므로, 타겟 핵산 분자가 다수개의 핵산 프로브 분자들 중 임의의 분자와 혼성화될 가능성은 증가된다. 샘플 내에 소수의 타겟 핵산 분자가 있더라도, 이들은 신속하게 검출될 수 있다. 더 바람직하게는, 센서의 충전 밀도는 센서가 타겟 핵산 분자의 확산 거리보다 짧은 간격으로 배열될 수 있도록 결정된다. 타겟 핵산 분자를 검출한 센서의 개수를 계수하면, 타겟 핵산 분자의 밀도가 평가될 수 있는데, 이것은 타겟 핵산 분자의 개수일 수 있기 때문이다. 센서의 배열이 도5 및 도6을 참조하여 나중에 상술될 것이다.

전술된 핵산 검출 센서(100)를 사용하여 타겟 핵산 분자(109)와 핵산 프로브 분자(102) 사이의 혼성화에 의해 유도된 MOSFET의 전기적 성질의 변화를 검출하는 핵산 검출 회로의 설명이 후속될 것이다. 이러한 변화는 문턱 전압에서의 변동으로서 보이므로, 핵산 검출 회로는 이러한 변동을 검출한다. 본 발명의 실시예에서, 전술된 물리적 현상을 검출하는 2개의 상이한 핵산 검출 회로가 후술된 바와 같이 제공된다. 하나는 타겟 핵산 분자(109)가 검출되는지를 표시하는 신호를 디지털 신호로 직접적으로 변환시키는 회로(도2 및 도4)이며, 다른 하나는 아날로그 전압 수치로서 문턱 전압에서의 변동을 출력하는 회로(도7, 도8 및 도9)이다. 이들 2개의 회로의 특징은 타겟 핵산 분자의 검출이 타겟 핵산 분자(109)와 상보성인 염기 서열이 없는 핵산 프로브 분자가 그 상에 고정되는 제로-레벨 검출 센서(zero-level detecting sensor)와 핵산 검출 센서(100)를 비교함으로써 결정된다는 것이다. 이러한 특징으로써, 타겟 핵산 분자(109)는 더 높은 정밀도로 검출될 수 있다.

도1에 도시된 핵산 검출 센서(100)를 사용하여 타겟 핵산 분자를 검출하는 핵산 검출 회로의 예가 도2를 참조하여 설명될 것이다. 도2에 도시된 핵산 검출 회로는 교차-결합된 인버터(cross-coupled inverter)를 채용한다.

도2를 참조하면, 핵산 검출 회로는 핵산 검출 센서(100), 핵산 검출 센서(200), 기준 전극(201), 기준 전압 공급부(202), 충전 전압 공급 입력 단자(203), 충전 스위치(204, 205), 제어 펄스 입력 단자(206), 전원 전압부(207), 기준 전위부(208), 감지 증폭기 제어 스위치(209), 커패시터(210, 211), 출력 신호 증폭기(212, 213) 및 감지 증폭기(214)를 포함한다. 센서(100)는 MOSFET(215)을 포함하며, 센서(200)는 MOSFET(216) 및 핵산 프로브 분자(217)를 포함한다.

도2에 도시된 회로는 핵산 프로브 분자(102)가 그 상에 고정된 핵산 검출 센서(100) 내에 포함된 MOSFET(215)의 문턱 전압이 변동하였는지를 결정하는 회로를 포함한다. 이러한 회로는 플래시 메모리로부터 데이터를 독취하는 데 사용되는 회로와 동등하며, MOSFET(215)은 플래시 메모리 내에서 사용되는 플로팅 게이트(floating gate)를 갖는 MOSFET에 대응한다. 회로의 기준 전극(201)은 MOSFET(215)의 표면 전위를 제어한다. 타겟 핵산 분자(109)와 혼성화될 수 있는 핵산 프로브 분자(102)는 핵산 검출 센서(100)에 고정되며, 한편 타겟 핵산 분자(109)와 혼성화될 수 있는 핵산 프로브 분자(217)가 센서(100)와 쌍을 이룬 핵산 검출 센서(200)에 고정된다. 센서(200)는 제로-레벨 검출 센서이다. 제로-레벨 검출 센서(200)는 핵산 프로브 분자(217)가 핵산 프로브 분자(102) 대신에 고정된다는 점을 제외하면 핵산 검출 센서(100)와 동일하다.

도2에 도시된 회로에서, 감지 증폭기(214)는 제로-레벨 검출 센서(200)의 문턱 전압에 의존하는 커패시터(210)의 방전 시간과 타겟 핵산 분자가 핵산 검출 센서(100)와 혼성화되는지에 따라 변동하는 MOSFET의 문턱 전압에 따라 변동하는 포화 전류에 의존하는 커패시터(210)의 방전 시간을 비교한다. 감지 증폭기(214)는 우선 센서(100, 200)들 중 어느 센서가 전압을 저하시키는지를 감지하고 그 다음에 전압의 차이가 충분히 커질 때 더 높은/더 낮은 전압 노드(voltage node)로 0/1을 출력한다. 출력 신호는 증폭기(212, 213)를 통해 외부 회로로 출력된다.

핵산 검출 센서(100) 내에서의 타겟 핵산 분자의 존재 및 부존재가 디지털 수치 "0" 및 "1"에 대응하게 하기 위해, 커패시터(210, 211)들 사이의 비율은 미리 설정되며 그 결과 제로-레벨 검출 센서(200)의 방전 시간은 타겟 핵산 분자(109)가 핵산 검출 센서(100)와 경계가 형성될 때 요구되는 방전 시간 그리고 그와 혼성화되지 않을 때 요구되는 방전 시간의 합계의 정확하게 1/2이다. 방전 시간은 기준 전극의 전위에 의존하므로, 기준 전압 공급부(202)의 전압 수치는 미리 설정되어야 한다. 요약하면, 다음의 파라미터가 도2에 도시된 회로를 동작시키기 위해 미리 결정되어야 한다.

(1) 커패시터(210, 211)들 사이의 커패시턴스 비율, 그리고

(2) 기준 전위부(208)에 대한 기준 전극(201)의 전위를 결정하는 기준 전압 공급부(202)의 전압 수치.

파라미터 (1)이 상술될 것이다. 혼성화가 검출될 때 요구되는 커패시터(210)의 방전 시간의 시간 상수가  $\tau_1'$ 이며 혼성화가 검출되지 않을 때 요구되는 커패시터(210)의 방전 시간의 시간 상수가  $\tau_1$ 이며 커패시터(211)의 방전 시간의 시간 상수가  $\tau_2$ 라고 가정하면, 다음의 표현식이 수립되어야 한다.

$$\tau_1' < \tau_2 < \tau_1 \quad (E2)$$

표현식 (2)는 핵산 검출 센서(100)의 MOSFET(215)이 n 형으로 되어 있으며 그 문턱 전압이 혼성화에 의해 양으로-대전된 삽입성 작용제(intercalating agent)의 효과로 인해 저하된다는 가정을 기초로 하고 있다. 어떠한 삽입성 작용제도 사용되지 않을 때, n-형 MOSFET은 문턱 전압이 증가하므로 표현식 (E2)의 부등호는 역전된다.  $\tau_2$ 가 다음의 표현식에 의해 주어지는 바와 같이  $\tau_1$ 과  $\tau_1'$  사이의 중간 수치로 설정되는 것이 더 바람직하다:

$$\tau_2 = (\tau_1 + \tau_1') / 2 \quad (E3)$$

전술된 표현식 (E2) 및 방정식 (E3)은 커패시터들 사이의 커패시턴스 비율로 변환된다. 핵산 검출 센서(100) 및 제로-레벨 검출 센서(200)의 MOSFET이 포화된 영역 내에서 동작한다고 여기에서 가정하면, 센서(100)를 통해 흐르는 전류는 다음의 방정식 (E4)에 의해 표현된다:

$$i = \mu C W (V_{GS} - V_{th})^2 / L \quad (E4)$$



여기에서 C는 MOSFET의 산화막의 용량이며,  $\mu$ 는 표면 채널 이동도이며, W는 게이트 폭이며, L은 게이트 길이이며,  $V_{GS}$ 는 게이트-대-소스 전압 또는 기준 전극(201)과 소스(103) 사이의 전압이며,  $V_{th}$ 는 혼성화가 검출되는지에 따라 변동하는 MOSFET의 문턱 전압이다. 혼성화가 검출될 때 얻어지는 문턱 전압이  $V_{th}'$ 이며 혼성화가 검출되지 않을 때 얻어지는 문턱 전압이  $V_{th}$ 이며 이들 전압 수치에 대응하는 전류가  $i'$  및  $i$ 라고 가정하면,  $\tau_1'$ ,  $\tau_1$  및  $\tau_2$ 가 다음과 같이 근사화된다:

$$\tau_1' = C_{10}V_{pre}/i'$$

$$\tau_1 = C_{10}V_{pre}/i \quad (E5)$$

$$\tau_2 = C_{11}V_{pre}/i$$

여기에서  $C_{10}$  및  $C_{11}$ 은 각각 커패시터(210)의 용량 그리고 커패시터(211)의 용량을 표현하며,  $V_{pre}$ 는 충전 전압 공급 입력 단자(203)로부터 입력된 전압 수치를 표현한다. 방정식 (E4) 및 방정식 (E5)를 표현식 (E2) 내로 대입하면,  $C_{10}$  및  $C_{11}$ 이 충족시켜야 하는 조건은 다음과 같이 결정된다.

$$1 < C_{10}/C_{11} < (V_{GS} - V_{th}')^2 / (V_{GS} - V_{th})^2 \quad (E6)$$

방정식 (E4) 및 방정식 (E5)를 사용하여, 방정식 (E3)에 의해 주어진 조건은 더 바람직하게는 다음과 같이 결정된다.

$$C_{10}/(2C_{11} - C_{10}) = (V_{GS} - V_{th}')^2 / (V_{GS} - V_{th})^2 \quad (E7)$$

도2에 도시된 회로를 사용하여 핵산을 검출하는 절차가 도3을 참조하여 설명될 것이다.

우선, 제어기(도시되지 않음)가 커패시터(210, 211)를 충전할지를 결정하는 충전 스위치(204, 205)를 작동 해제시킨다(단계 S301). 제어기는 또한 감지 증폭기(214)를 제어하는 감지 증폭기 제어 스위치(209)를 작동 해제시킨다(단계 S301). 나아가, 제어기는 기준 전극(201)과 핵산 검출 센서(100)의 소스(103) 사이의 전압이 전술된 표현식 (E6) 또는 방정식 (E7)을 충족시키도록 초기화로서 기준 전압 공급부(202)를 제어한다(단계 S301).

충전 스위치(204, 205)는 충전 전압 공급 입력 단자(203)를 거쳐 각각의 커패시터(210, 211)에 충전 전압을 인가하도록 작동한다(단계 S302). 커패시터(210, 211)에 인가된 전압이 동일한 수치이므로, 동일한 양의 전하가 커패시터(210, 211)내에 저장된다. 그 후, 감지 증폭기 제어 스위치(209)는 감지 증폭기(214)를 동작시키도록 작동한다(단계 S303).

충전 스위치(204, 205)는 주어진 기간의 경과 후에 감지 증폭기(214)에 의해 감지되는 디지털 수치 "0" 또는 "1"에 따라 핵산이 검출되는지를 결정하기 위해 작동 해제된다(단계 S304). 단계 S304 및 단계 S305가 서로에 대해 바뀔 수 있더라도 통상의 동작이 수행될 수 있다.

도2에 도시된 회로에 대한 변형의 예가 도4를 참조하여 설명될 것이다. 도2와 동일한 구성 요소는 동일한 도면 부호에 의해 표시되며, 그 설명은 생략된다.

도4에 도시된 변형에는 단지 nMOS로 감지 증폭기(214)를 형성함으로써 얻어지는 감지 증폭기(401)를 포함한다. 변형예의 동작 원리는 도2에 도시된 회로와 기본적으로 동일하지만, 차동 증폭기(402)가 그에 추가되어야 한다. 변형예에서, 커패시터(210, 211)가 그에 대해 연결된 노드는 충전 전압 공급 입력 단자(203)로부터 입력되는 전압 수치( $V_{pre}$ )와 기준 전위부(208) 사이의 전위에 수렴한다. 노드들 사이의 차이가 차동 증폭기(402)에 의해 증폭되고, 그 다음에 출력 증폭기(403)에 의해 증폭된다. 최종적으로, 검출 가능한 디지털 수치 "0" 또는 "1"이 출력 신호 단자(405)로부터 출력될 수 있다.

핵산 검출 센서(100)가 칩 기관 상에 조밀하게 배열되므로, 핵산 분자의 밀도가 분석될 수 있다. 핵산 검출 센서(100)의 표면 밀도가  $(Dt)^{-1}$  이상이면[여기에서 t는 검출 시간, D는 확산 상수( $1.6 \times 10^{-6}$  cm<sup>2</sup>/s)], 핵산 분자는 검출 시간(t) 내에 검출

될 수 있다. 바꿔 말하면, 핵산 검출 센서(100)의 표면 밀도는 핵산 검출 센서(100)들 중 적어도 1개가 그 반경이 핵산 분자의 확산 거리에 대응하는 원 내에 포함된 밀도보다 높다. 이러한 표면 밀도에서, 샘플의 낙하물이 그 내로 도입되는 영역 내에 센서(100)가 배열될 수 있도록 핵산 검출 센서(100)의 어레이가 형성된다.

핵산 검출 센서(100)의 어레이가  $10^{-6}/\text{cm}^2$ 의 표면 밀도로 칩 기판 상에 형성되면, 인접한 센서들 사이의 거리는 약  $10\ \mu\text{m}$ 이다. 이러한 경우에, 핵산 분자의 길이를 표현하는 인덱스(I)가 다음의 방정식 (E8)에 의해 얻어진다.

$$I=(Dt)^{1/2} \text{ (E8)}$$

방정식 (E8)에서, t는 수 초이므로 핵산 분자는 적어도 수 분 내에 검출될 수 있다. 바꿔 말하면, 핵산 분자는 센서들 중 임의의 센서와 혼성화될 것이라고 예측된다. 센서의 표면 밀도가 증가되면, 핵산 분자는 높은 속도로 검출될 수 있다.

핵산 검출 센서(100)가 그 상에 조밀하게 배열되는 칩을 사용하여 고속 정량 분석이 수행될 수 있다. 현재까지 설명된 방법은 예컨대 전술된 일본 특허 출원 공개 제2004-309462호에 개시되어 있다. 이 방법은 다음과 같이 제안된다. 신호가 타겟 핵산 분자와 도5의 상부 열에 도시된 바와 같이 큰 센서 내에 포함되는 다수개의 핵산 프로브 분자들 중 단지 일부를 혼성화함으로써 발생된다. 이러한 신호가 배경 신호 아래에 은폐되는 것을 방지하기 위해, 작은 센서가 도5의 중간부 열 내에 도시된 바와 같이 사용되며, 핵산 프로브 분자가 그 상에 집중되고 타겟 핵산 분자와 혼성화된다. 이 방법은 타겟 핵산 분자가 민감하게 검출되게 하지만, 응답 시간이 검출의 감도를 향상시키기 위해 연장되어야 한다는 결점을 갖는다.

본 발명의 실시예에서, 고속 정량 분석이 기대될 수 있는데 이것은 타겟 핵산 분자가 전술된 방법과 달리 도5의 하부 열에 도시된 바와 같이 센서들 중 임의의 센서와 혼성화되기만 하면 되기 때문이다. 정량 분석에서, 디지털 수치에 따라 타겟 핵산 분자를 검출한 것으로 결정된 센서의 개수는 계수된다. 타겟 핵산 분자의 밀도가 높을수록, 타겟 핵산 분자를 검출한 센서의 개수가 커진다. 센서의 총 개수에 대한 타겟 핵산 분자를 검출한 센서의 개수의 비율을 기초로 하여, 샘플 내에 포함된 타겟 핵산 분자의 밀도가 평가된다.

정량 분석이 상이한 핵산에 대해 수행될 때, 염기 서열을 갖는 핵산 프로브가 그에 대해 고정되는 복수개의 센서의 어레이가 도6에 도시된 바와 같이 칩 기판의 표면 상에 배열된다. 샘플이 어레이 내로 도입되기만 하면 된다.

물론, 동일한 종류의 핵산-프로브 분자(102)가 하나의 장소에 함께 배열될 것이 필요하지 않다. 이들은 규칙적으로 또는 랜덤으로 배열될 수 있는데 이것은 센서의 표면 밀도가 고정되면 정량 분석이 수행될 수 있기 때문이다.

(본 발명의 실시예에 대한 변형예)

차동 증폭기를 사용하는 또 다른 핵산 검출 회로가 도7 및 도8을 참조하여 설명될 것이다.

도7 및 도8에 도시된 회로는 핵산 프로브 분자(102)가 그에 대해 고정된 핵산 검출 센서(100) 내에 포함되는 MOSFET의 문턱 전압이 차동 증폭기를 사용하여 변동하였는지를 결정하는 회로를 포함한다. 본 발명의 전술된 실시예에 따른 핵산 검출 센서(100)에서, 또한, 핵산의 검출이 차동 증폭기를 갖는 회로를 사용하여 결정될 수 있다. 바꿔 말하면, 핵산 검출 센서(100)의 MOSFET 그리고 제로-레벨 검출 센서(200)의 MOSFET은 차동 증폭기 내에 제공된다.

도8에 도시된 바와 같이, 주어진 수치로 기준 전극(201)의 전위를 설정함으로써 발생하는 출력 전압이 측정될 수 있거나 도7에 도시된 바와 같이 핵산이 2개만큼 도8보다 많은 트랜지스터를 삽입함으로써 형성되는 전압 따름기 회로(voltage follower circuit)의 오프셋 전압의 변동으로서 검출될 수 있다.

후방 게이트(back gate)의 전위를 제어할 수 있는 이중 게이트 MOS 구조를 갖는 회로가 도9에 도시된 바와 같이 사용되더라도, 핵산 프로브 분자(102)가 그에 대해 고정된 핵산 검출 센서(100) 내에 포함되는 MOSFET의 문턱 전압이 변동하였는지를 결정할 수 있다. 바꿔 말하면, 도7에 도시된 회로에서와 같이, 전압 따름기 회로의 오프셋 전압의 변동이 기준 전극(201)을 통해 핵산 프로브 분자(102)가 그에 대해 고정된 핵산 검출 센서(100)의 전위 그리고 제로-레벨 검출 센서(200)의 전위를 제어함으로써 측정되기만 하면 된다.

본 발명의 전술된 실시예에 따르면, 핵산 검출 센서의 FET의 게이트 폭은 채널 영역 내의 전자의 디바이 길이 이하로 설정되며 그 게이트 길이는 디바이 길이 이상으로 설정되고, 그에 의해 극적으로 검출의 감도를 증가시킨다. 나아가, 하나의 핵

산 분자가 매우 높은 속도로 검출될 수 있다. 복수개의 핵산 검출 센서가 검출 칩 상에 조밀하게 배열되므로, 정량 분석이 매우 넓은 밀도 범위 내에서 동시에 수행될 수 있다. 고정밀 검출이 폴리메라아제 연쇄 반응(PCR: polymerase chain reaction) 등의 핵산의 증폭 또는 타겟 핵산 분자의 임의의 표지자 없이 단시간 내에 수행될 수 있다.

핵산 검출 센서, 핵산 검출 칩 및 핵산 검출 회로에 따르면, 검출의 감도는 극적으로 개선될 수 있다.

추가 장점 및 변형이 당업자에게 용이하게 착상될 것이다. 그러므로, 본 발명은 그 더 넓은 측면에서 여기에서 도시 및 설명된 특정한 세부 사항 및 대표 실시예에 제한되지 않는다. 따라서, 다양한 변형이 첨부된 청구의 범위 그리고 그 등가물에 의해 한정된 바와 같은 일반적인 발명 개념의 사상 및 범주로부터 벗어나지 않고도 수행될 수 있다.

### 도면의 간단한 설명

도1은 핵산 검출 칩 상에 배열되는 본 발명의 실시예에 따른 핵산 검출 센서들 중 하나를 도시하는 사시도이다.

도2는 도1에 도시된 핵산 검출 센서를 사용하여 핵산을 검출하는 핵산 검출 회로의 예를 도시하는 도면이다.

도3은 도2에 도시된 핵산 검출 회로의 동작을 설명하는 흐름도이다.

도4는 도2에 도시된 회로에 대한 변형예로서 핵산 검출 회로를 도시하는 회로도이다.

도5는 정량 분석의 원리를 설명하는 차트이다.

도6은 다수개의 종류의 핵산에 대한 정량 분석을 수행하기 위해 칩 상에서의 센서의 구성을 도시하고 있다.

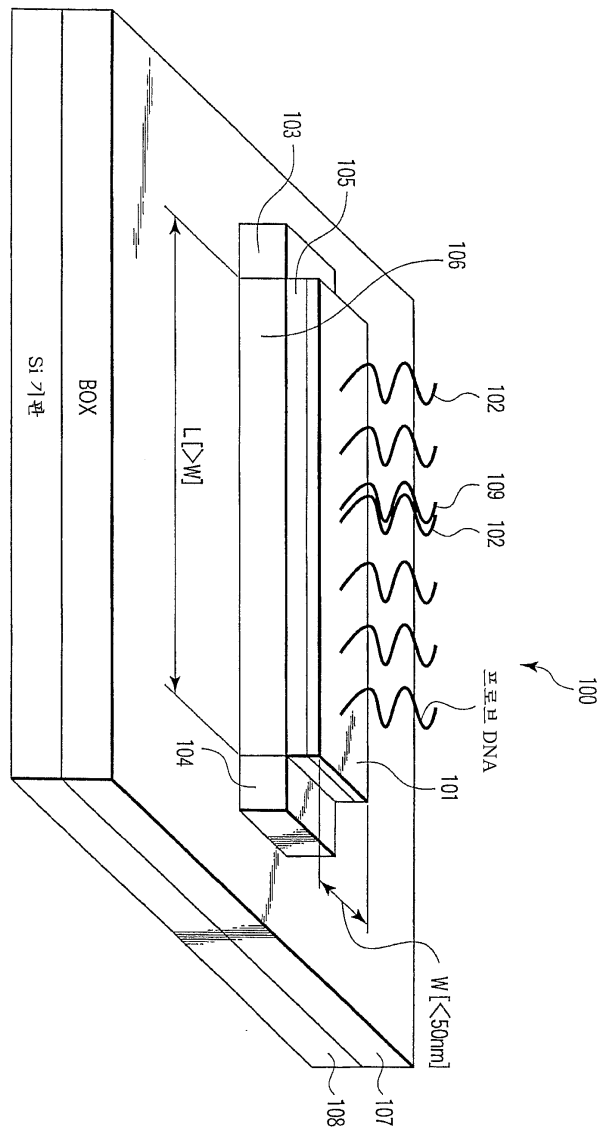
도7은 도2에 도시된 회로에 대한 또 다른 변형예로서 차동 증폭기를 사용하는 핵산 검출 회로의 도면이다.

도8은 도2에 도시된 회로에 대한 또 다른 변형예로서 차동 증폭기를 사용하는 핵산 검출 회로의 도면이다.

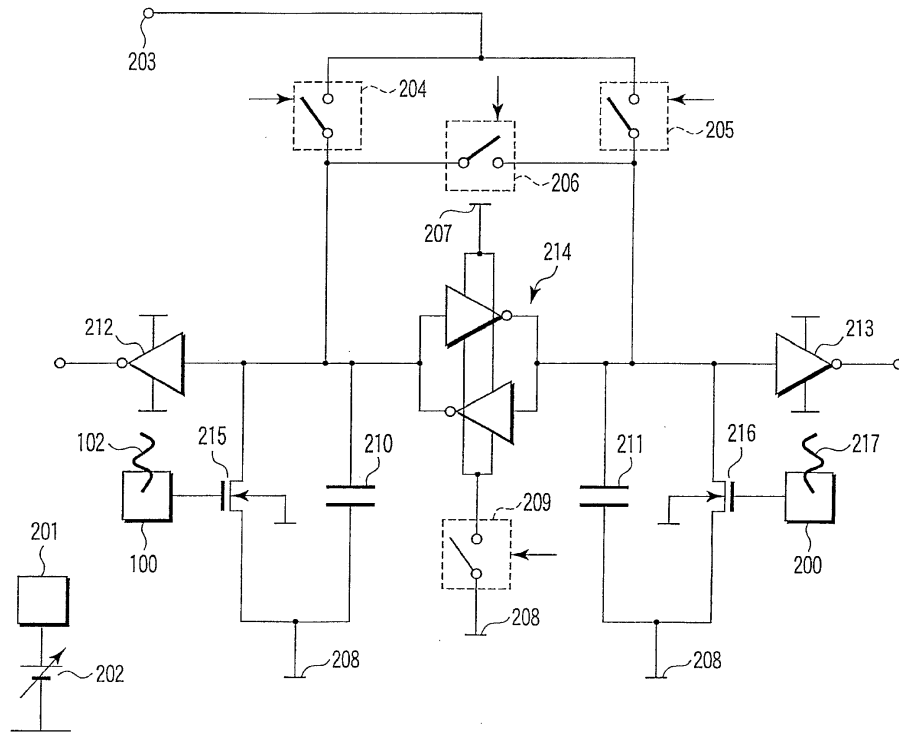
도9는 도2에 도시된 회로에 대한 또 다른 변형예로서 이중 게이트 MOSFET을 사용하는 핵산 검출 회로의 도면이다.

도면

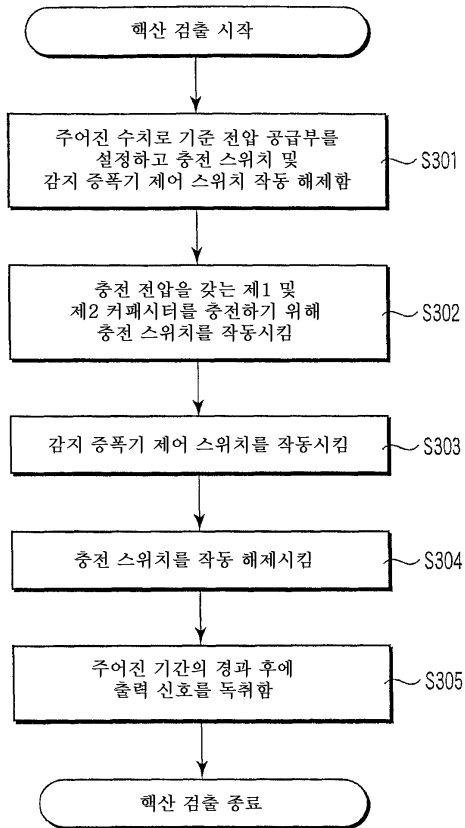
도면1



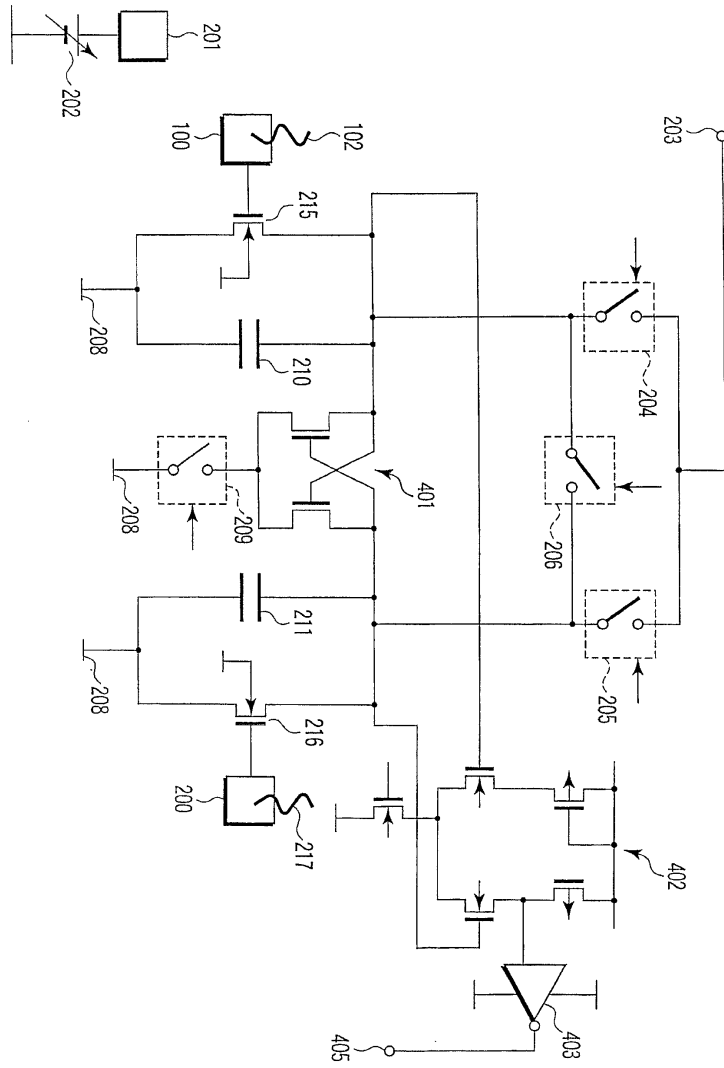
도면2



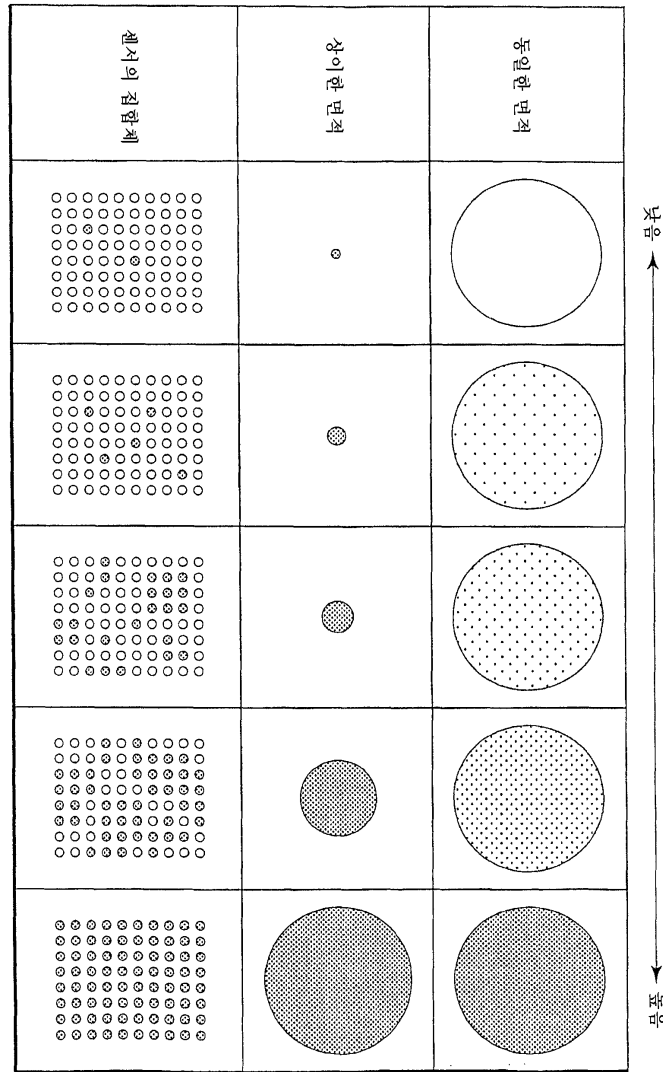
도면3



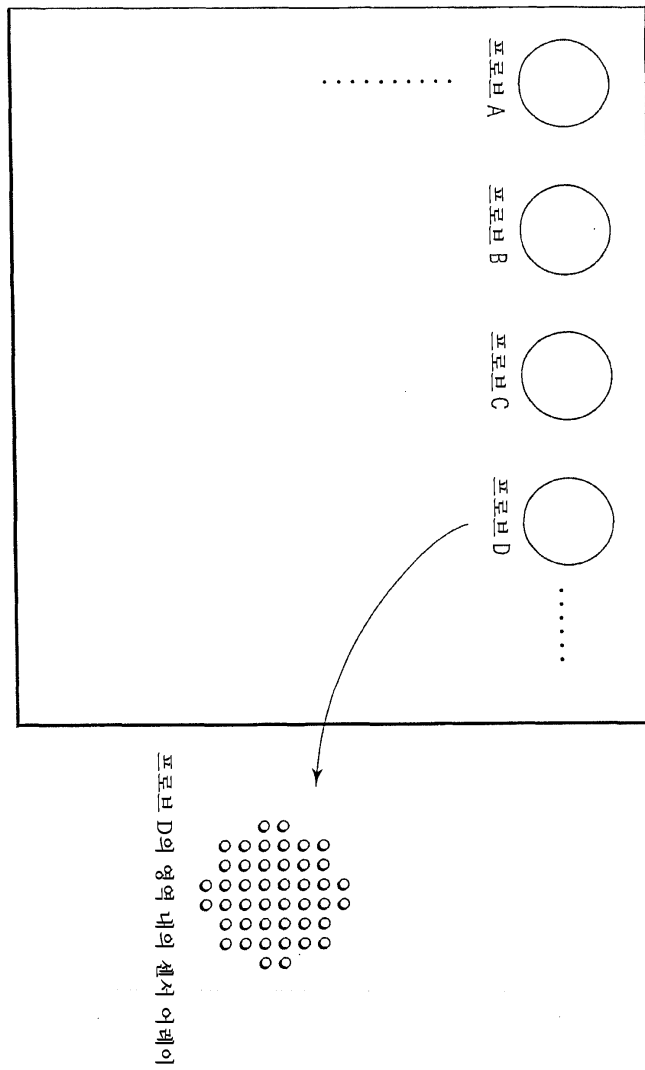
도면4



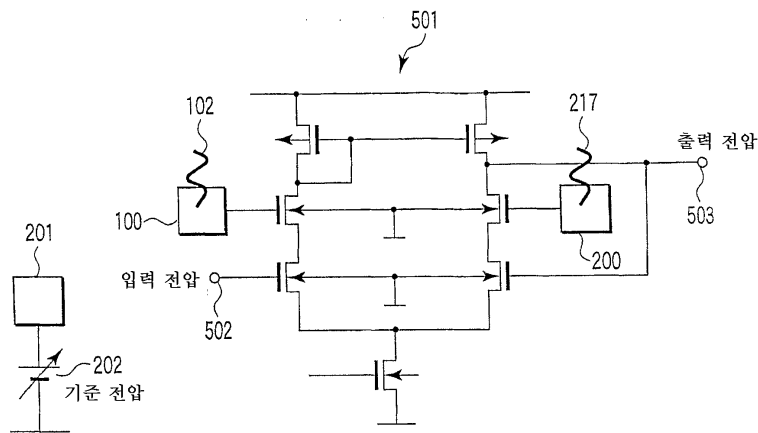
도면5



도면6

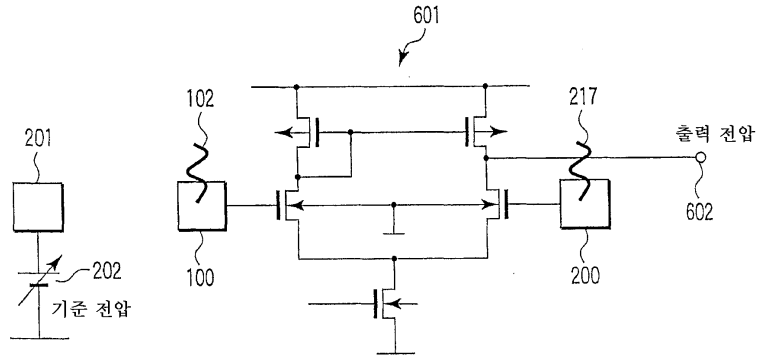


도면7





도면8



도면9

