



(12)发明专利申请

(10)申请公布号 CN 110880339 A

(43)申请公布日 2020.03.13

(21)申请号 201910809592.4

(22)申请日 2019.08.29

(30)优先权数据

16/121,325 2018.09.04 US

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 克里斯蒂安·N·默尔

珍妮弗·E·泰勒

维贾亚瓦吉亚·J·万卡雅拉

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王龙

(51)Int.Cl.

G11C 7/10(2006.01)

G11C 7/24(2006.01)

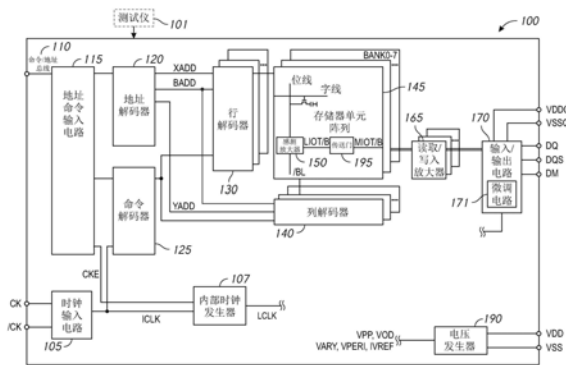
权利要求书3页 说明书10页 附图6页

(54)发明名称

用于基于鉴别出的不匹配对输入缓冲器进行微调的设备和方法

(57)摘要

用于基于鉴别出的不匹配对输入缓冲器进行微调的设备和方法。一种实例设备包含输入缓冲器,其具有被配置成接收第一信号的第一输入级电路、被配置成接收第二信号的第二输入级电路,以及耦合到所述第一输入级电路和所述第二输入级电路并且被配置成提供输出信号的输出级。所述第一输入级电路包含成对的串联耦合晶体管,所述成对的串联耦合晶体管各自耦合在所述输出级与偏置电压之间。响应于相应的启用信号,选择性地启用多对串联耦合晶体管中的每对串联耦合晶体管。所述设备进一步包含微调电路,其耦合到所述第一输入级电路并且包括多个可编程组件。所述微调电路被配置成被编程为基于相对于目标转变电压的检测到的转变电压偏移来提供所述相应的启用信号。



1. 一种设备,其包括:

输入缓冲器,其具有被配置成接收第一信号的第一输入级电路、被配置成接收第二信号的第二输入级电路,以及耦合到所述第一输入级电路和所述第二输入级电路并且被配置成提供输出信号的输出级,其中所述第一输入级电路包括多对串联耦合晶体管,所述多对串联耦合晶体管各自耦合在所述输出级与偏置电压之间,其中响应于相应的启用信号,选择性地启用所述多对串联耦合晶体管中的每对串联耦合晶体管;以及

微调电路,其耦合到所述第一输入级电路并且包括多个可编程组件;其中所述微调电路被配置成被编程为基于相对于目标转变电压的检测到的转变电压偏移来提供所述相应的启用信号。

2. 根据权利要求1所述的设备,其中所述多对串联耦合晶体管中第一对的第一晶体管被配置成接收所述输入信号,并且所述多对串联耦合晶体管中所述第一对的第二晶体管被配置成接收第一启用信号,其中所述微调电路的所述多个可编程组件中的第一可编程组件被配置成提供所述第一启用信号。

3. 根据权利要求2所述的设备,其中所述第一可编程组件被配置成在被编程时向所述第一启用信号提供控制电压,其中经由具有所述控制电压的所述第一启用信号启用所述第二晶体管。

4. 根据权利要求3所述的设备,其中所述第一可编程组件是熔丝并且所述第二晶体管是n型晶体管,或其中所述第一可编程组件是反熔丝并且所述第二晶体管是p型晶体管。

5. 根据权利要求3所述的设备,其中所述微调电路被进一步配置成在不匹配检测操作期间耦合到其它启用信号。

6. 根据权利要求5所述的设备,其中经由测试仪的测试模式选择性地控制所述其它启用信号。

7. 根据权利要求1所述的设备,其中所述第一输入级电路包括耦合在所述输出级与所述偏置电压之间并且被配置成接收所述输入信号的另外的晶体管。

8. 根据权利要求1所述的设备,其中所述第二输入级电路包括各自耦合在所述输出级与偏置电压之间的第二多对串联耦合晶体管,其中响应于相应的启用信号,选择性地启用所述第二多对串联耦合晶体管中的每对串联耦合晶体管,所述设备进一步包括:

第二微调电路,其耦合到所述第二输入级电路并且包括第二多个可编程组件;其中所述第二微调电路被配置成被编程为基于相对于目标转变电压的检测到的转变电压偏移向所述第二输入级电压提供所述相应的启用信号。

9. 根据权利要求1所述的设备,其中所述第一输入级电路、所述第二输入级电路和所述输出级形成差分放大器。

10. 根据权利要求1所述的设备,其中所述输出级包含负载电路系统。

11. 根据权利要求9所述的设备,其中所述负载电路系统包含电流镜或电阻器或二极管中的至少一个。

12. 一种设备,其包含:

多个输入缓冲器,其耦合到相应的数据垫以接收输入信号并且各自被配置成接收参考电压并基于所述参考电压和所述相应的输入信号提供输出电压;其中所述多个输入缓冲器中的每个输入缓冲器包括相应的输入级,所述相应的输入级被配置成被调整为响应于相应

的启用信号使相应的转变电压与目标转变电压对准;以及

多个微调电路,其各自耦合到所述多个输入缓冲器中的相应缓冲器,其中所述多个微调电路中的每个微调电路包括相应的多个可编程组件,所述相应的多个可编程组件被配置成被编程为基于耦合的输入缓冲器相对于所述目标转变电压的相应的检测到的转变电压偏移来提供所述相应的启用信号。

13.根据权利要求12所述的设备,其中所述多个输入缓冲器中每个输入缓冲器的所述相应的输入级包括第一输入级电路和第二输入级电路,其中所述第一输入级电路被配置成被调整为响应于所述相应的启用信号使所述相应的转变电压与所述目标转变电压对准,其中所述多个微调电路中的每个微调电路进一步包括相应的第二多个可编程组件,所述相应的第二多个可编程组件被配置成被编程为基于所述耦合的输入缓冲器相对于所述目标转变电压的所述相应的检测到的转变电压偏移来提供相应的第二启用信号。

14.根据权利要求13所述的设备,其中所述第二输入级电路被配置成被调整为响应于相应的第二启用信号使所述相应的转变电压与所述目标转变电压对准,其中所述多个微调电路中的每个微调电路进一步包括相应的第二多个可编程组件,所述相应的第二多个可编程组件被配置成被编程为基于所述耦合的输入缓冲器相对于所述目标转变电压的所述相应的检测到的转变电压偏移来提供所述相应的第二启用信号。

15.根据权利要求13所述的设备,其中所述第一输入级电路包括多对串联耦合晶体管,所述多对串联耦合晶体管各自耦合在所述输出级与偏置电压之间并且经由所述相应的启用信号被启用。

16.根据权利要求13所述的设备,其中所述多对串联耦合晶体管包括n型晶体管或p型晶体管。

17.一种方法,其包括:

将半导体装置的输入缓冲器的第一输入耦合到参考电压并且将所述输入缓冲器的第二输入耦合到所述参考电压;

执行一系列写入操作以基于所述输入缓冲器的驱动强度将所述输入缓冲器的输出信号的相应状态存储在目标行存储器单元中的相应存储器单元中;

在所述系列写入操作中的各个写入操作之间调整所述输入缓冲器的所述驱动强度;

使所述目标行存储器单元在所述系列写入操作中的各个写入操作之间递增;

基于所述输出信号在对应于所述系列写入操作的所述存储器单元中的已存储状态确定所述输入缓冲器的转变电压;以及

对耦合到所述输入缓冲器的输入级的微调电路进行编程,以将所述转变电压调整到目标转变电压。

18.根据权利要求17所述的方法,其进一步包括:

从对应于所述系列写入操作的所述存储器单元读取所述输出信号的所述已存储状态;以及

确定所述存储器单元中的第一存储器单元的已存储状态与先前的存储器单元不同;其中基于所述系列写入操作中与所述第一存储器单元相关联的写入操作的测试信号电压来确定所述转变电压。

19.根据权利要求17所述的方法,其中对耦合到所述输入缓冲器的输入级的所述微调

电路进行编程包括选择性地对所述微调电路的一或多个可编程组件进行编程以将所述转变电压调整到所述目标转变电压。

20. 根据权利要求17所述的方法, 其中调整所述输入缓冲器的所述驱动强度包含在所述系列写入操作中的各个写入操作之间调整所述输入缓冲器的仅一侧的所述驱动强度。

用于基于鉴别出的不匹配对输入缓冲器进行微调的设备和 方法

技术领域

[0001] 本主题申请涉及用于基于鉴别出的不匹配对输入缓冲器进行微调的设备和方法。

背景技术

[0002] 高数据可靠性、高速存储器访问和减小的芯片尺寸是半导体存储器需要的特征。近年来,一直努力进一步提高存储器的速度,同时降低功耗。在一些应用中,可以将存储器置于电源关闭状态或待机状态一段时间以降低功耗。在存储器处于电源关闭状态或待机状态时,可以暂停存储器操作。在一些实例中,为了减少向正常操作的转变,存储器暂停了存储器的处于高压状态下的一些部分。暂停较高压状态下的一些电路系统的一个负面影响可能包含通过电路系统的各个部分产生非预期泄漏电流。泄漏电流可能导致存储器消耗另外的电力。

[0003] 集成电路装置横跨广泛范围的电子装置。一个特定的类型包含存储器装置,其经常被简称为存储器。通常提供存储器装置作为计算机或其它电子装置中的内部半导体集成电路装置。存在许多不同类型的存储器,包含随机存取存储器(RAM)、只读存储器(ROM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)和闪速存储器。

[0004] 输入缓冲器常在集成电路装置中用于调节接收的数据或选通信号,从而提供具有明确定义的逻辑电平的输出信号,以供内部使用或传输到外部装置。这种缓冲器通常包含响应于两个输入电压信号如互补的选通信号或数据信号和参考电压的某种形式的差分放大器。在理想的情况下,当这两个输入电压信号交叉时,例如,当这两个输入电压信号相等时,差分放大器将进行操作以转变其输出电压信号。然而,典型集成电路制造中固有的可变性或信号终止阻抗的不平衡可能造成电压偏移,使得缓冲器可以在除了当这两个输入电压信号相等时以外的某个点转变其输出电压信号。这种行为会是围绕缓冲器的设置与保持时间需求的重大误差源。

发明内容

[0005] 一方面,本主题申请涉及一种设备,其包括:输入缓冲器,其具有被配置成接收第一信号的第一输入级电路、被配置成接收第二信号的第二输入级电路以及耦合到所述第一输入级电路和所述第二输入级电路并且被配置成提供输出信号的输出级,其中所述第一输入级电路包括多对串联耦合晶体管,所述多对串联耦合晶体管各自耦合在所述输出级与偏置电压之间,其中响应于相应的启用信号,选择性地启用所述多对串联耦合晶体管中的每对串联耦合晶体管;以及微调电路,其耦合到所述第一输入级电路并且包括多个可编程组件;其中所述微调电路被配置成被编程为基于相对于目标转变电压的检测到的转变电压偏移来提供所述相应的启用信号。

[0006] 另一方面,本主题申请涉及一种设备,其包含:多个输入缓冲器,其耦合到相应的数据垫以接收输入信号并且各自被配置成接收参考电压并基于所述参考电压和所述相应

的输入信号提供输出电压;其中所述多个输入缓冲器中的每个输入缓冲器包括相应的输入级,所述相应的输入级被配置成被调整为响应于相应的启用信号使相应的转变电压与目标转变电压对准;以及多个微调电路,其各自耦合到所述多个输入缓冲器中的相应缓冲器,其中所述多个微调电路中的每个微调电路包括相应的多个可编程组件,所述相应的多个可编程组件被配置成被编程为基于耦合的输入缓冲器相对于所述目标转变电压的相应的检测到的转变电压偏移来提供所述相应的启用信号。

[0007] 另一方面,本主题申请涉及一种方法,其包括:将半导体装置的输入缓冲器的第一输入耦合到参考电压并且将所述输入缓冲器的第二输入耦合到所述参考电压;执行一系列写入操作以基于所述输入缓冲器的驱动强度将所述输入缓冲器的输出信号的相应状态存储在目标行存储器单元中的相应存储器单元中;在所述系列写入操作中的各个写入操作之间调整所述输入缓冲器的所述驱动强度;使所述目标行存储器单元在所述系列写入操作中的各个写入操作之间递增;基于所述输出信号在对应于所述系列写入操作的所述存储器单元中的已存储状态确定所述输入缓冲器的转变电压;以及对耦合到所述输入缓冲器的输入级的微调电路进行编程,以将所述转变电压调整到目标转变电压。

附图说明

[0008] 图1是根据本公开的实施例的半导体装置的示意性框图。

[0009] 图2是根据本公开的实施例的输入/输出(I/O)电路的输入缓冲器的示意图。

[0010] 图3是根据本公开的实施例的输入缓冲器的示意图。

[0011] 图4是根据本公开的实施例的缓冲器的输入级的示意图。

[0012] 图5A和5B是根据本公开的实施例的缓冲器的输出级的示意图。

[0013] 图6是根据本公开的实施例的用于对缓冲器进行不匹配检测操作的方法的流程图。

具体实施方式

[0014] 下面将参考附图详细地解释本公开的各个实施例。以下详细描述参考了附图,附图通过说明的方式示出了本公开的具体方面和实施例。详细描述包含足够的细节以使本领域技术人员能够实践本公开的实施例。可以利用其它实施例,并且在不脱离本公开的范围的情况下,可以进行结构、逻辑和电气改变。本文所公开的各个实施例不一定是相互排斥的,因为一些公开的实施例可以与一或多个其它公开的实施例组合形成新的实施例。

[0015] 图1是根据本公开的实施例的半导体装置100的示意性框图。半导体装置100可以包含时钟输入电路105、内部时钟发生器107、地址命令输入电路115、地址解码器120、命令解码器125、多个行(例如,第一存取线)解码器130、包含感测放大器150和传送门195的存储器单元阵列145、多个列(例如,第二存取线)解码器140、多个读取/写入放大器165、输入/输出(I/O)电路170、以及电压发生器190。半导体装置100可以包含多个外部端子,所述多个外部端子包含耦合到命令/地址总线110的地址端子和命令端子、时钟端子CK和/CK、数据端子DQ、DQS和DM以及电源端子VDD、VSS、VDDQ和VSSQ。在一些实例中,与命令/地址总线110相关联的端子和信号线可以包含被配置成接收命令信号的第一组端子和信号线以及被配置成接收地址信号的分离的第二组端子和信号线。在其它实例中,与命令和地址总线110相关联

的端子和信号线可以包含被配置成接收命令信号和地址信号两者的公共端子和信号线。可以将半导体装置安装在衬底例如存储器模块衬底、母板上。

[0016] 存储器单元阵列145包含多个存储体BANK0-N,其中N为如3、7、15、31等正整数。每个存储体BANK0-N可以包含多个字线WL、多个位线BL和布置在所述多个字线WL与所述多个位线BL的交叉点处的多个存储器单元MC。由对应的行解码器130执行用于每个存储体BANK0-N的字线WL的选择,并且由对应的列解码器140执行位线BL的选择。所述多个感测放大器150针对其对应的位线BL定位并且耦合到至少一个相应的本地I/O线,所述至少一个相应的本地I/O线经由用作开关的传送门TG 195进一步耦合到至少两个主I/O线对中的相应主I/O线对。

[0017] 地址/命令输入电路115可以经由命令/地址总线110从命令/地址端子外部接收地址信号和存储体地址信号并且将地址信号和存储体地址信号发射到地址解码器120。地址解码器120可以对从地址/命令输入电路115接收的地址信号进行解码并且将行地址信号XADD提供到行解码器130并将列地址信号YADD提供到列解码器140。地址解码器120还可以接收存储体地址信号并且将存储体地址信号BADD提供到行解码器130和列解码器140。

[0018] 地址/命令输入电路115可以经由命令/地址总线110从例如命令/地址端子处的存储器控制器外部接收命令信号并且将命令信号提供到命令解码器125。命令解码器125可以对命令信号进行解码并且实现生成各种内部命令信号。例如,内部命令信号可以包含用于选择字线的行命令信号、用于选择位线的如读取命令或写入命令等列命令信号。

[0019] 因此,当发出读取命令并且通过读取命令及时地供应行地址和列地址时,从存储器单元阵列145中由行地址和列地址指定的存储器单元中读取读取数据。读取/写入放大器165可以接收读取数据DQ并且将读取数据DQ提供到I/O电路170。I/O电路170可以经由数据端子DQ、DQS将读取数据DQ连同DQS处的数据选通信号提供到外部。类似地,当发出写入命令并且通过写入命令及时地供应行地址和列地址时,则输入/输出电路170可以接收数据端子DQ、DQS、DM处的写入数据连同DQS处的数据选通信号和DM处的数据遮蔽信号并且经由读取/写入放大器165将写入数据提供到存储器单元阵列145。因此,可以将写入数据写入由行地址和列地址指定的存储器单元中。

[0020] 在一些实例中,I/O电路170可以包含被配置成调节读取数据和写入数据以经由DM垫、DQS垫和DQ垫发射或接收的输入或输出缓冲器(例如,缓冲区)。缓冲器可以包含用于对缓冲器的输入级进行微调以将转变(例如,跳转)电压调整到目标转变电压的另外的电路系统。转变电压是使输出信号从一个逻辑值转变到另一个逻辑值的输入电压值,例如从逻辑低值转变到逻辑高值或从逻辑高值转变到逻辑低值)。由于因过程变化造成的差异,单独的缓冲器的转变电压可以因缓冲器而异,这可能影响缓冲器之间的数据眼对准和设置以及保持时间。在高速低电压应用中,这些变化可能在下游电路系统的数据调节中造成错误,所述错误可能影响半导体装置100的可靠性。在一些实例中,对缓冲器的输入级进行微调可以将缓冲器的转变电压调整为与目标转变电压更紧密地对准。在一些实例中,用于调整缓冲器的输入级的另外的电路系统可以包含彼此并联耦合的成对串联耦合晶体管。可以选择性地启用成对串联耦合晶体管,以调整输入级的一侧或两侧的宽度。

[0021] 在一些实例中,调整的量值可以基于检测到的缓冲器不匹配,例如,转变电压与目标转变电压偏移的电压量。在一些实例中,目标转变电压可以基于由电压发生器190提供的

参考电压VREF。VREF电压可以介于接地电压或VSS电压与高电压或VDD电压之间。在一些实例中，VREF电压可以是VDD电压的一半。可以经由不匹配检测操作来确定缓冲器不匹配。在一些实例中，可以由耦合到半导体装置100的测试仪101发起或控制不匹配检测操作。测试仪101可以被配置成经由命令和地址总线110、DQ或一些其它测试连接(未示出)与半导体装置通信。不匹配检测操作可以包含将输入级的输入均连接到电压发生器190的VREF电压、以及迭代地执行写入和读取操作并且调整每个输入级的上拉和/或下拉驱动强度(例如，经由改变测试模式)和每次写入操作迭代时存储器单元的目标行。写入操作可以包含将每个相应缓冲器的相应输出信号的状态存储在目标行存储器单元中的相应存储器单元中，这可以基于电流测试模式。可以根据预定的步长调整测试模式。测试模式调整可以包含具有固定的上拉驱动强度并调整下拉驱动强度、具有固定的下拉强度并调整上拉驱动强度、或其组合。在一些测试模式设置中，缓冲器的输出信号的状态将从一个逻辑值转变到相反的逻辑值，这将反映在与存储所述输出信号状态的写入操作相对应的存储器单元中。这个转变发生的测试模式可以指示转变电压。因为每个写入操作涉及不同的存储器单元并且因为每个写入操作对应于特定的测试信号电压，所以可以读取存储器单元的状态以确定哪个测试模式值与转变电压相对应。因此，为了确定转变电压，可以读取与写入操作相对应的存储器单元的状态以确定输出信号的状态转变到不同值的写入操作。在一些情境中，增大的测试信号电压的转变电压可以与减小的测试信号电压的转变电压不同。针对每个转变方向具有不同转变电压的缓冲器的调整可以基于转变电压中的一个转变电压或者可以基于转变电压偏移的平均值。在一些实例中，不匹配检测操作可以包含：先执行所有写入操作，每个写入操作以存储器单元的不同行为目标；以及随后执行读取操作以确定哪个写入操作(例如，以及因此参考电压值)使一系列存储器单元的数据状态从一个逻辑值变为不同的逻辑值，从而确定单独的缓冲器的转变电压。

[0022] 在确定转变电压之后，可以对与缓冲器相关联的微调电路系统171进行编程，以调整缓冲器的输入级，从而将转变电压调整到目标转变电压。可以经由微调电路系统171的经过编程的状态选择性地启用输入级的成对串联耦合晶体管。微调电路系统171可以包含根据针对每个单独的缓冲器的期望调整进行编程的熔丝或反熔丝。调整对每个单独的缓冲器的微调可以更好地对准转变电压，这样可以共同对准缓冲器的设置与保持定时。这个对准可以提高缓冲器的可靠性。

[0023] 转向解释半导体装置100中包含的外部端子，时钟端子CK和/CK可以分别接收外部时钟信号和互补的外部时钟信号。可以将外部时钟信号(包含互补的外部时钟信号)供应到时钟输入电路105。时钟输入电路105可以接收外部时钟信号并且生成内部时钟信号ICLK。时钟输入电路105可以将内部时钟信号ICLK提供到内部时钟发生器107。内部时钟发生器107可以基于接收的内部时钟信号ICLK和来自地址/命令输入电路115的时钟启用信号CKE生成相位控制的内部时钟信号LCLK。尽管不限于此，但可以使用DLL电路作为内部时钟发生器107。内部时钟发生器107可以将相位控制的内部时钟信号LCLK提供到I/O电路170。I/O电路170可以使用相位控制的内部时钟信号LCLK作为计时信号来确定读取数据的输出定时。

[0024] 电源端子可以接收电源电压VDD和VSS。可以将这些电源电压VDD和VSS供应到电压发生器电路190。电压发生器电路190可以基于电源电压VDD和VSS生成各种内部电压VPP、VOD、VARY、VPERI、VREF等。内部电压VPP主要用于行解码器130中，内部电压VOD和VARY主要

用于存储器单元阵列145中包含的感测放大器150中并且内部电压VPERI用于许多其它电路块中。I/O电路170可以接收电源电压VDD和VSSQ。例如,电源电压VDDQ和VSSQ可以是分别与电源电压VDD和VSS相同的电压。然而,专用电源电压VDDQ和VSSQ可以用于I/O电路170。

[0025] 图2是根据本公开的实施例的输入/输出(I/O)电路200的输入缓冲器的示意图。图1的I/O电路170可以实施图2的I/O电路200。I/O电路200可以包含输入缓冲器220(0)-(N),每一输入缓冲器被配置成接收参考电压VREF并且经由相应的数据垫DQ0-DQN 210(0)-(N)接收相应的输入信号IN0-INN。输入缓冲器220(0)-(N)中的每个输入缓冲器可以包含相应的差分放大器电路。在一些实例中,VREF电压可以介于接地电压或VSS电压与高电压或VDD电压之间。在一些实例中,VREF电压可以是VDD电压的一半。输入缓冲器220(0)-(N)可以各自被进一步配置成从相应的微调电路230(0)-(N)接收相应的启用信号EN0-ENN。EN0-ENN信号可以提供对输入缓冲器220(0)-(N)的调整或微调,从而对准输入缓冲器220(0)-(N)的转变电压。微调电路230(0)-(N)中的每个微调电路可以包含被编程为控制相应的EN0-ENN信号的熔丝或反熔丝。

[0026] 在操作中,输入缓冲器220(0)-(N)可以被配置成调节编码在经由DQ垫210(0)-210(N)恢复的IN0-INN信号中的读取数据,以提供相应的OUT0-OUTN信号。IN0-INN信号可以包含如双数据速率实施方案等高速实施方案,其中在时钟信号周期的上升边缘和下降边缘两者处检测数据,如图1的DQS信号。由于高速实施方案,跨输入缓冲器220(0)-(N)的设置与保持时间的未对准可能在经OUT0-OUTN信号提供到下游电路系统的输出信号进行检测时产生错误。未对准可能是由在生产和制造包含输入缓冲器220(0)-(N)的半导体装置期间产生的过程变化造成的。未对准本身可以表现为单独的输入缓冲器220(0)-(N)的转变电压的差异。输入缓冲器的转变电压是IN0-INN信号的电压值,在所述电压值下,OUT0-OUTN信号从一个逻辑值或电压电平转变到另一个逻辑值或电压电平,例如,从逻辑低值或电压电平(例如,VSS)转变到逻辑高值或电压电平(例如,VDD)或从逻辑高值转变到逻辑低值。

[0027] 来自微调电路230(0)-(N)的EN0-ENN信号可以基于与目标转变电压的检测到的转变电压偏移来调整每个单独的输入缓冲器220(0)-220(N)的转变电压。在一些实例中,目标转变电压是VREF电压。EN0-ENN信号可以控制相应输入缓冲器220(0)-(N)的输入级的一侧或两侧的宽度。在一些实例中,每个输入缓冲器220(0)-(N)的输入级可以包含并联耦合在一起的多对串联耦合晶体管,其中每对中的一个晶体管接收VREF或相应的IN0-INN信号并且另一个晶体管接收相应EN0-ENN信号中的信号。因此,经由相应EN0-ENN信号中的对应信号启用晶体管对。

[0028] 转变电压偏移可以经由不匹配检测操作确定,所述不匹配检测操作可以由测试仪(例如,图1的测试仪101)发起或控制。不匹配检测操作可以包含将IN0-INN信号连接到VREF电压、以及迭代地执行写入和读取操作并且调整输入缓冲器220(0)-(N)(例如,改变测试模式)的驱动强度和每次写入操作迭代时存储器单元的目标行。写入操作可以包含将输入缓冲器220(0)-(N)的相应OUT0-OUTN信号的状态存储在目标行存储器单元中的相应存储器单元中,这是基于由测试模式设定的输入缓冲器220(0)-(N)中的每个输入缓冲器的驱动强度。可以根据预定的步长调整驱动强度。驱动强度在一些实例中可以递增或者在其它实例中可以递减。在一些相应的测试信号电压下,OUT0-OUTN信号中的每个信号的状态将从一个逻辑值转变到相反的逻辑值,并且这个转变可以反映在存储OUT0-OUTN信号状态的相应存

存储器单元的数据状态中。这个转变发生的测试模式可以指示与每个输入缓冲器220 (0) - (N) 相关联的相应转变电压。为了确定转变电压,可以读取对应于写入操作的存储器单元的状态以确定第一存储器单元的状态与对应于写入操作的存储器单元中的先前存储器单元不同。在一些情境中,上拉电路的转变电压可以与输入缓冲器220 (0) - (N) 中的每个输入缓冲器的下拉电路的转变电压不同。针对每个转变方向具有不同转变电压的相应输入缓冲器220 (0) - (N) 的调整可以基于转变电压中的一个转变电压或者可以基于转变电压偏移的平均值。在一些实例中,不匹配检测操作可以包含:先执行所有写入操作,每个写入操作以存储器单元的不同行为目标;以及随后执行读取操作以确定哪个写入操作(例如,以及因此参考电压值)使一系列存储器单元的数据状态从一个逻辑值变为不同的逻辑值,从而确定单独的缓冲器的转变电压。微调电路230 (0) - (N) 可以被编程为基于相应的检测到的转变电压相对于目标转变电压偏移的量将相应的转变电压调整到目标转变电压。调整每个单独的输入缓冲器220 (0) - (N) 的转变电压可以共同更好地对准输入缓冲器220 (0) - (N) 的设置与保持时间,这样可以提高输入缓冲器220 (0) - (N) 的可靠性。

[0029] 图3是根据本公开的实施例的输入缓冲器300的示意图。图1的I/O电路170和/或图2的I/O电路200的输入缓冲器220 (0) - (N) 中的任何输入缓冲器可以实施图3的输入缓冲器300。输入缓冲器300可以包含差分放大器电路。输入缓冲器300可以包含耦合到第一输入级电路320和第二输入级电路330的输出/负载级310。第一输入级电路320和第二输入级电路330可以形成输入级。第一输入级电路320可以被配置成接收输入信号INM和启用信号ENM1并且提供第一输出级输入信号INM1。第二输入级电路330可以被配置成接收参考电压VREF和启用信号ENM2并且提供第二输出级输入信号INM2。ENM1信号和ENM2信号可以从微调电路提供,如图1的微调电路系统171和/或图2的微调电路230 (0) - (N) 中的相应微调电路。ENM1信号和ENM2信号可以提供对相应的第一输入级电路320或第二输入级电路330的调整或微调,以使输入缓冲器300的转变电压与如VREF电压等目标转变电压对准。在一些实例中,VREF电压可以介于接地电压或VSS电压与高电压或VDD电压之间。在一些实例中,VREF电压可以是VDD电压的一半。

[0030] 在操作中,输入缓冲器300可以被配置成接收编码在INM信号中的数据并且基于编码在INM信号中的数据提供OUTM信号。第一输入级电路320可以接收INM信号和ENM1信号并且可以响应于INM信号的值将INM1信号提供到输出/负载级310。第一输入级电路320可以接收VREF电压信号和ENM2信号并且可以响应于VREF电压的值将INM2信号提供到输出/负载级310。INM1信号、INM2信号和OUTM信号的量值可以基于偏置电压组件340的电压和VDD电压。偏置电压组件340可以提供高于接地电压的偏移电压。偏置电压组件340可以包含电阻器、晶体管或用于将偏置电压提供到第一输入级电路320和第二输入级电路330的其它某个电路。输出/负载级310可以包含用于接收INM1信号和INM2信号并且响应于INM1信号和INM2信号的值提供OUTM信号的电路系统。输出/负载级310的电路系统可以包含并联耦合到电压源或电流镜电路的电阻器。在一些实例中,由于在生产和制造输入缓冲器300期间产生的过程变化,输入缓冲器300的转变电压可以与目标转变电压(例如,VREF电压)偏移。输入缓冲器300的转变电压是INM信号的电压值,在所述电压值下,OUTM信号从一个逻辑值或电压电平转变到另一个逻辑值或电压电平,例如,从逻辑低值或电压电平(例如,VSS)转变到逻辑高值或电压电平(例如,VDD)或从逻辑高值转变到逻辑低值。这一转变电压偏移可能使OUTM

信号相对于INM信号的值产生错误。

[0031] 在一些实例中,ENM1信号可以通过调整第一输入级电路320的宽度来调整转变电压,并且ENM2信号可以通过调整第二输入级电路330的宽度来调整转变电压。虽然用第一输入级电路320和第二输入级电路330两者均可调整描绘了图3的输入缓冲器300,但输入缓冲器300还可以用第一输入级电路320或第二输入级电路330中的仅一个可调整来实施。转变电压调整可以基于与目标转变电压的检测到的转变电压偏移。在一些实例中,第一输入级电路320和/或第二输入级电路330可以包含彼此并联耦合的多对串联耦合晶体管,其中每对中的一个晶体管接收VREF或相应的IN0-INN信号并且另一个晶体管接收相应EN0-ENN信号中的信号。因此,经由相应的ENM1信号或ENM2信号中的对应信号启用晶体管对。

[0032] 转变电压偏移可以经由不匹配检测操作确定,所述不匹配检测操作可以包含经由开关304将第一输入级电路320耦合到VREF电压、以及迭代地执行写入和读取操作并且经由ENM1信号调整第一输入级电路320的宽度和/或经由ENM2信号调整第二输入级电路330的宽度并调整每次写入操作迭代时存储器单元的目标行。可以读取存储器单元的状态以确定转变电压。在一些情境中,用于上拉电压转变的转变电压可以与下拉电压转变不同。针对每个转变方向具有不同转变电压的输入缓冲器300的调整可以基于转变电压中的一个转变电压或者可以基于转变电压偏移的平均值。在一些实例中,不匹配检测操作可以包含:先执行所有写入操作,每个写入操作以存储器单元的不同行为目标;以及随后执行读取操作以确定哪个写入操作(例如,以及因此参考电压值)使一系列存储器单元的数据状态从一个逻辑值变为不同的逻辑值,从而确定单独的缓冲器的转变电压。调整输入缓冲器300的转变电压可以使设置与保持时间与其它输入缓冲器更好地对准。

[0033] 图4是根据本公开的实施例的缓冲器的输入级400的示意图。图1的I/O电路170、图2的I/O电路200的输入缓冲器220(0)-(N)中的任何输入缓冲器和/或图3的第一输入级电路320和第二输入级电路330可以实施图4的输入级400。输入级400可以包含第一输入级电路420和第二输入级电路430。第一输入级电路420可以被配置成接收输入信号INM和启用信号ENM1(1)-(k)并且提供第一输出级输入信号INM1。第二输入级电路330可以被配置成接收参考电压VREF和启用信号ENM2(1)-(k)并且提供第二输出级输入信号INM2。ENM1(1)-(k)信号和ENM2(1)-(k)信号可以分别从微调电路410(1)和微调电路410(2)提供,如图1的微调电路系统171和/或图2的微调电路230(0)-(N)中的相应微调电路。ENM1(1)-(k)信号和ENM2(1)-(k)信号可以引起对相应的第一输入级电路420或第二输入级电路430的调整,以使输入级400的转变电压与目标转变电压如VREF电压对准。在一些实例中,VREF电压可以介于接地电压或VSS电压与高电压或VDD电压之间。在一些实例中,VREF电压可以是VDD电压的一半。

[0034] 第一输入级电路420可以包含由晶体管422(1)-(k)和晶体管424(1)-(k)形成的成对串联耦合晶体管。也就是说,第一对晶体管包含串联耦合晶体管422(1)和晶体管424(1),第二对晶体管包含串联耦合晶体管422(2)和晶体管424(2)等。晶体管对并联耦合。例如,第一晶体管对与第二晶体管对串联耦合。晶体管422(1)-(k)中的每个晶体管被配置成在相应的栅极处接收INM信号,以控制是否启用或禁用相应的晶体管422(1)-(k)。微调电路410(1)包含被配置成将VC电压耦合到晶体管424(1)-(k)的栅极的可编程电路组件410(1)(1)-(1)(k),如熔丝或反熔丝。可以基于在不匹配偏移操作期间检测到的与目标转变电压的转变电压偏移来对微调电路410(1)的可编程电路组件410(1)(1)-(1)(k)进行编程。在一些实例

中,可编程组件是熔丝,并且VC电压是当晶体管是n型晶体管时启用晶体管424(1)-(k)的高电压。在其它实例中,可编程组件是反熔丝,并且VC电压是当晶体管是p型晶体管时启用晶体管424(1)-(k)的低电压。晶体管424(1)-(k)中的每个晶体管还被配置成在相应的栅极处接收ENM1(1)-(k)信号中的相应信号,以控制是否在不匹配检测操作期间启用或禁用相应的晶体管424(1)-(k)。当经由相应的可编程电路组件410(1)(1)-(1)(k)启用相应晶体管424(1)-(k)中的一个晶体管时,对应的同一对晶体管422(1)-(k)被配置成基于INM信号的值将偏置电压440耦合到INM1信号。启用晶体管424(1)-(k)中的更多晶体管可以降低第一输入级电路420的阻抗,这样可以将转变电压调整得更低。可替代地,禁用晶体管424(1)-(k)中的更多晶体管可以提高第一输入级电路420的阻抗,这样可以将转变电压调整得更高。在一些实例中,在不脱离本公开的范围的情况下,可以排除晶体管424(k)并且可以将晶体管422(k)直接耦合到偏置电压440。

[0035] 第二输入级电路430可以包含由晶体管432(1)-(k)和晶体管434(1)-(k)形成的成对串联耦合晶体管。也就是说,第一对晶体管包含串联耦合晶体管432(1)和晶体管434(1),第二对晶体管包含串联耦合晶体管432(2)和晶体管434(2)等。晶体管对并联耦合。例如,第一晶体管对与第二晶体管对串联耦合。晶体管432(1)-(k)中的每个晶体管被配置成在相应的栅极处接收VREF电压,以控制是否启用或禁用相应的晶体管432(1)-(k)。微调电路410(2)包含被配置成将VC电压耦合到晶体管434(1)-(k)的栅极的可编程电路组件410(1)(2)-(1)(k),如熔丝或反熔丝。可以基于在不匹配偏移操作期间检测到的与目标转变电压的转变电压偏移来对微调电路410(2)的可编程电路组件410(1)(2)-(2)(k)进行编程。在一些实例中,可编程电路组件410(2)(1)-(2)(k)是熔丝,并且VC电压是当晶体管是n型晶体管时启用晶体管434(1)-(k)的高电压。在其它实例中,可编程电路组件410(2)(1)-(2)(k)是反熔丝,并且VC电压是当晶体管是p型晶体管时启用晶体管434(1)-(k)的低电压。晶体管434(1)-(k)中的每个晶体管还被配置成在相应的栅极处接收ENM2(1)-(k)信号中的相应信号,以控制是否在不匹配检测操作期间启用或禁用相应的晶体管434(1)-(k)。当经由相应的可编程电路组件410(2)(1)-(2)(k)启用相应晶体管434(1)-(k)中的一个晶体管时,对应的同一对晶体管432(1)-(k)被配置成基于VREF电压的值将偏置电压440耦合到INM2信号。启用晶体管434(1)-(k)中的更多晶体管可以降低第二输入级电路430的阻抗,这样可以将转变电压调整得更高。可替代地,禁用晶体管434(1)-(k)中的更多晶体管可以提高第二输入级电路430的阻抗,这样可以将转变电压调整得更低。在一些实例中,在不脱离本公开的范围的情况下,可以排除晶体管434(k)并且可以将晶体管432(k)直接耦合到偏置电压440。

[0036] 不匹配检测操作可以包含:启用所有晶体管424(1)-(k)和434(1)-(k)并且经由开关404将晶体管422(1)-(k)耦合到VREF电压;以及迭代地对写入和读取操作并且调整测试模式(例如,经由ENM1(1)-(k)信号调整第一输入级电路420的宽度和/或经由ENM2(1)-(k)信号调整第二输入级电路430的宽度)并调整每次写入操作迭代时存储器单元的目标行并且读取存储器单元状态以确定测试模式值对应的转变电压。产生转变电压的测试模式可以用于对微调电路410(1)的可编程电路组件410(1)(1)-(1)(k)和/或微调电路410(2)的可编程电路组件410(2)(1)-(2)(k)进行编程。

[0037] 尽管图4将第一输入级电路420和第二输入级电路430描绘为均可经由晶体管424(1)-(k)、晶体管434(1)-(k)和微调电路410(1)-(2)配置,但在不脱离本公开的范围的情况

下,可以将输入级400实施成使得第一输入级电路420或第二输入级电路430中的仅有一个输入级电路可配置为调整输入级400的转变电压。例如,第一输入级电路420可以包含直接耦合到偏置电压440的晶体管422 (1) - (k) 中的一或多个晶体管,并且可以排除微调电路410 (1),使得仅第二输入级电路430可配置为调整输入级400的转变电压。可替代地,第二输入级电路430可以包含直接耦合到偏置电压440的晶体管432 (1) - (k) 中的一或多个晶体管,并且可以排除微调电路410 (2),使得仅第一输入级电路420可配置为调整输入级400的转变电压。

[0038] 图5A和5B分别是根据本公开的实施例的缓冲器的输出级500和输出级510的示意图。图1的I/O电路170、图2的I/O电路200的输入缓冲器220 (0) - (N) 中的任何输入缓冲器和/或图3的输出/负载级310可以分别实施图5A的输出级500和图5B的输出级510。

[0039] 输出级500可以包含电阻器R1,所述电阻器耦合在VDD电压与来自第一输入级电路(例如,图3的第一输入级电路320或图4的第一输入级电路420)的被配置成提供INM1信号的节点之间。输出级500可以进一步包含电阻器R2,所述电阻器耦合在VDD电压与来自第二输入级电路(例如,图3的第二输入级电路330或图4的第一输入级电路420)的被配置成提供INM2信号的节点之间。OUTM信号可以基于接收INM1信号的节点与接收INM2信号的节点之间的电压差。

[0040] 输出级510可以包含晶体管511,所述晶体管耦合在VDD电压与来自第一输入级电路(例如,图3的第一输入级电路320或图4的第一输入级电路420)的被配置成提供INM1信号的节点之间。输出级510可以进一步包含晶体管512,所述晶体管耦合在VDD电压与来自第二输入级电路(例如,图3的第二输入级电路330或图4的第一输入级电路420)的被配置成提供INM2信号的节点之间。晶体管511和512的栅极可以耦合在一起并且耦合到接收INM1信号的节点,从而形成电流镜电路,使得穿过晶体管512的电流镜像穿过晶体管511的电流。OUTM信号可以基于接收INM2信号的节点的电压。

[0041] 图6是根据本公开的实施例的用于对缓冲器进行不匹配检测操作的方法600的流程图。可以由测试仪104和/或半导体装置100、图2的I/O电路200、图3的输入缓冲器300、图4的输入级400和/或图5A的输出级500或图5B的输出级510或其任何组合来执行方法600的全部或部分。

[0042] 方法600可以包含:在610处,将半导体装置的输入缓冲器的第一输入耦合到参考电压并且将输入缓冲器的第二输入耦合到参考电压。输入缓冲器可以包含图2的输入缓冲器220 (0) - (N)、图3的输入缓冲器300、图4的缓冲器的输入级400或其组合中的任何缓冲器。第一输入可以经由如图3的开关304或图4的开关404中的一个开关等开关耦合到参考电压。参考电压可以对应于图1-4的VREF电压。

[0043] 方法600可以进一步包含:在620处,执行一系列写入操作以基于输入缓冲器的驱动强度将输入缓冲器的输出信号的相应状态存储在目标行存储器单元中的相应存储器单元中。存储器单元可以包含图1的存储器单元阵列145中的存储器单元。

[0044] 方法600可以进一步包含:在630处,在所述系列写入操作中的各个写入操作之间调整输入缓冲器的驱动强度。在一些实例中,调整输入缓冲器的驱动强度可以包含在实所述系列写入操作中的各个写入操作之间调整输入缓冲器的仅一侧的驱动强度。在实例中,驱动强度可以在开始时较低并且随每次迭代增大。在其它实例中,驱动强度可以在开始时

较高并且随每次迭代减小。方法600可以进一步包含：在640处，使目标行存储器单元在所述系列写入操作中的各个写入操作之间递增。在一些实例中，测试信号可以等于参考电压，并且参考电压可以在所述系列写入操作中的各个写入操作之间调整到最终电压。

[0045] 方法600可以进一步包含：在650处，基于输出信号在对应于所述系列写入操作的存储器单元中的已存储状态确定输入缓冲器的转变电压。在一些实例中，方法可以进一步包含：从对应于所述系列写入操作的存储器单元读取输出信号的已存储状态；以及确定存储器单元中的第一存储器单元的已存储状态与先前的存储器单元不同。可以基于所述系列写入操作中与第一存储器单元相关联的写入操作的驱动强度来确定转变电压。

[0046] 方法600可以进一步包含：在660处，对耦合到输入缓冲器的输入级的微调电路进行编程，以将转变电压调整到目标转变电压。微调电路可以包含图2的微调电路230(0)-(N)中的任何微调电路或者图4的微调电路410(1)或410(2)中的任何微调电路。输入级可以包含图3的第一输入级电路320和第二输入级电路330和/或图4的输入级400。在一些实例中，对耦合到输入缓冲器的输入级的微调电路进行编程可以包含选择性地对微调电路的一或多个可编程组件进行编程以将转变电压调整到目标转变电压。

[0047] 虽然已经在某些优选实施例和实例的上下文中公开了本公开，但是本领域技术人员应理解，本公开超出具体公开的实施例延伸到其它替代性实施例和/或对本公开以及其明显修改和等同物的使用。另外，基于本公开，在本公开的范围内的其它修改对本领域技术人员而言应当是显而易见的。还设想了，可以对实施例的具体特征和方面进行各种组合或子组合并且所述组合或子组合仍然落入本公开的范围。应理解，所公开的实施例的各个特征和方面可以相互组合或取代以形成所公开的公开内容的不同模式。因此，其旨在使本文所公开的本公开内容中的至少一些公开内容的范围不应受到上述特定公开的实施例的限制。

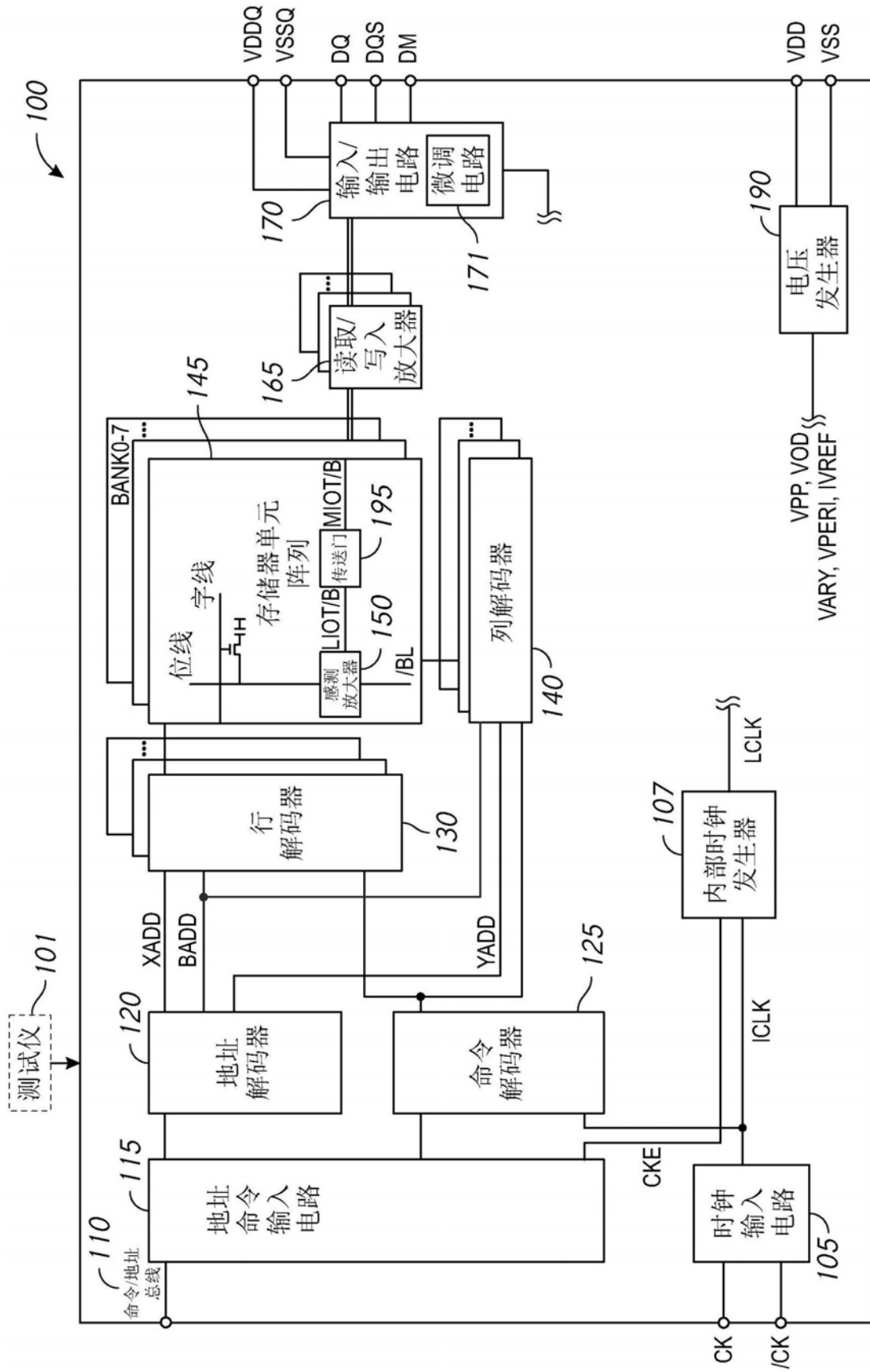


图1

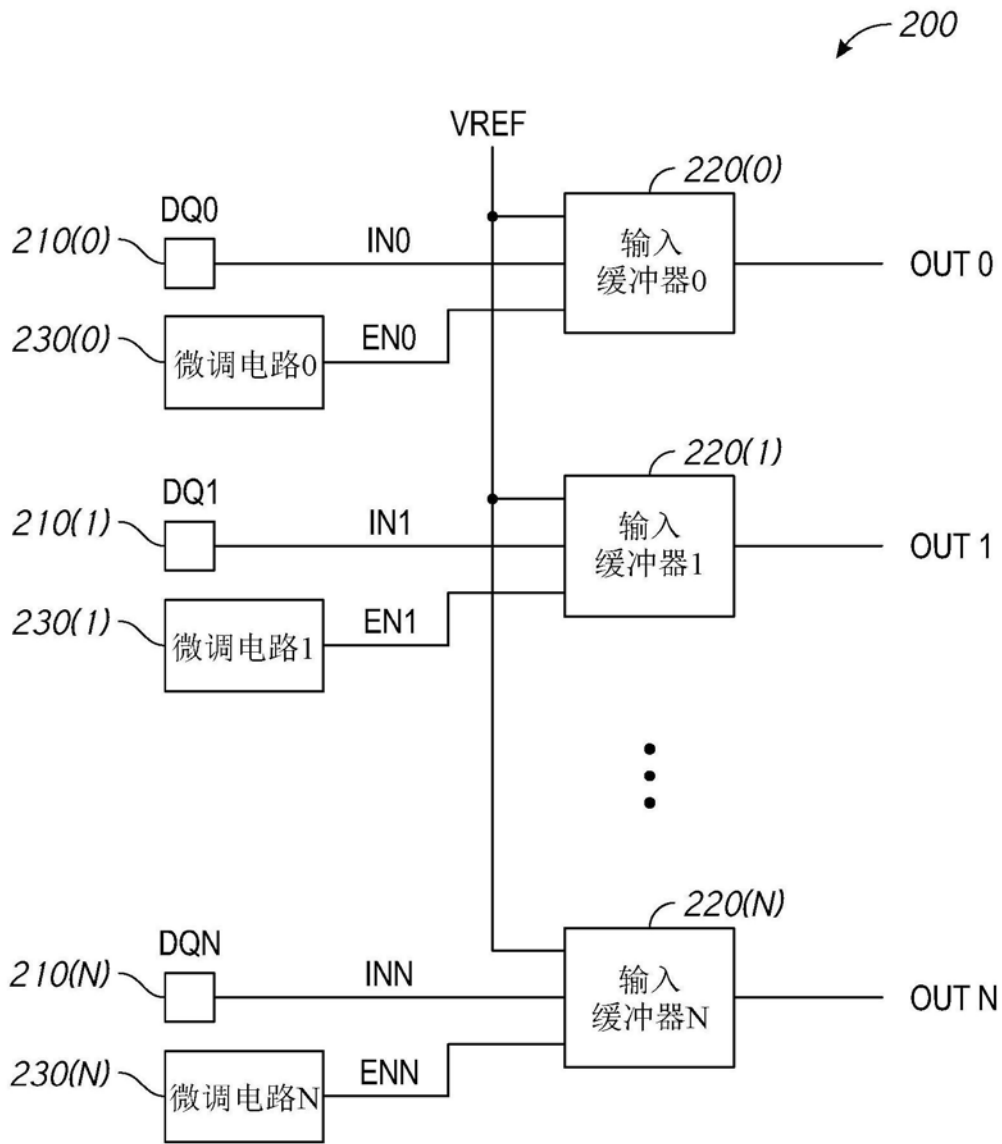


图2

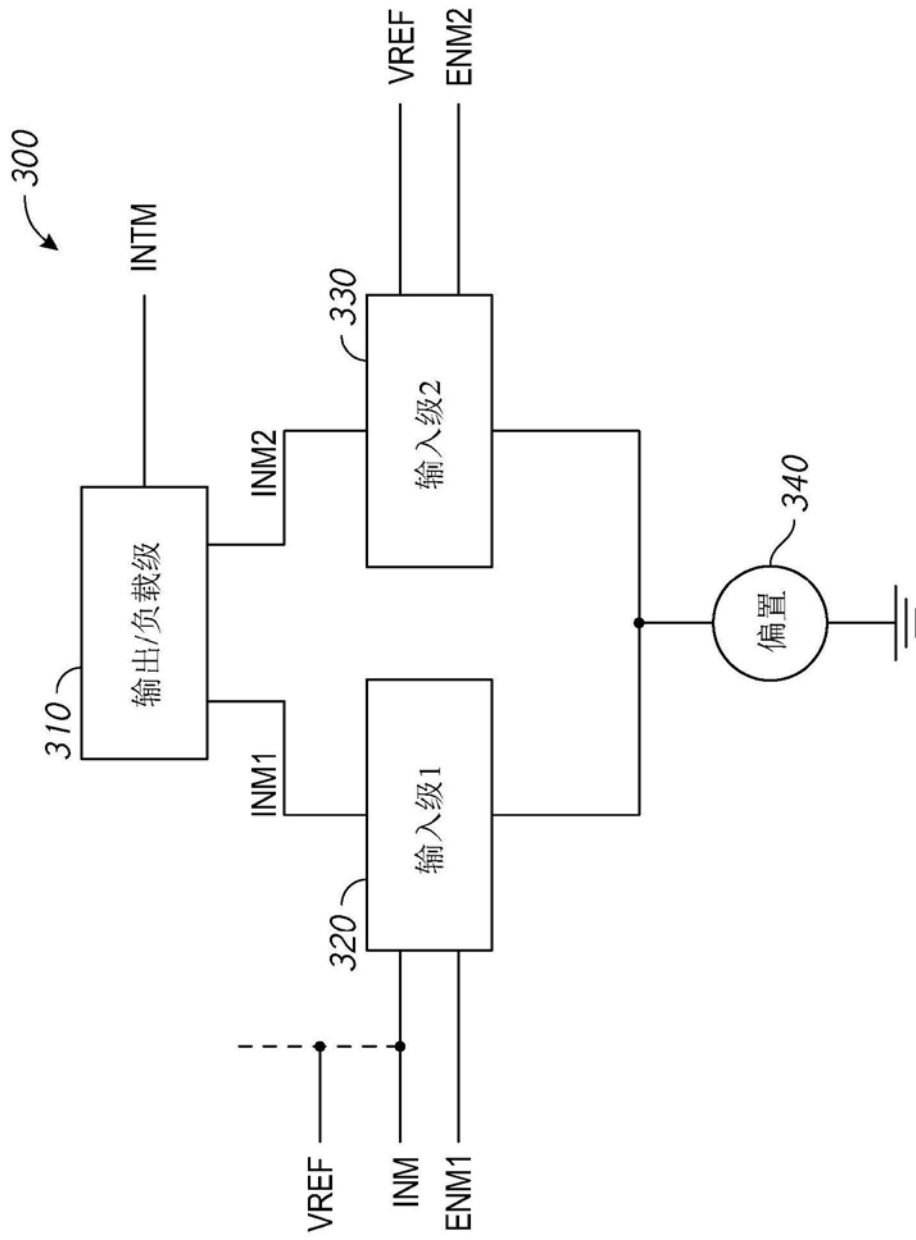


图3

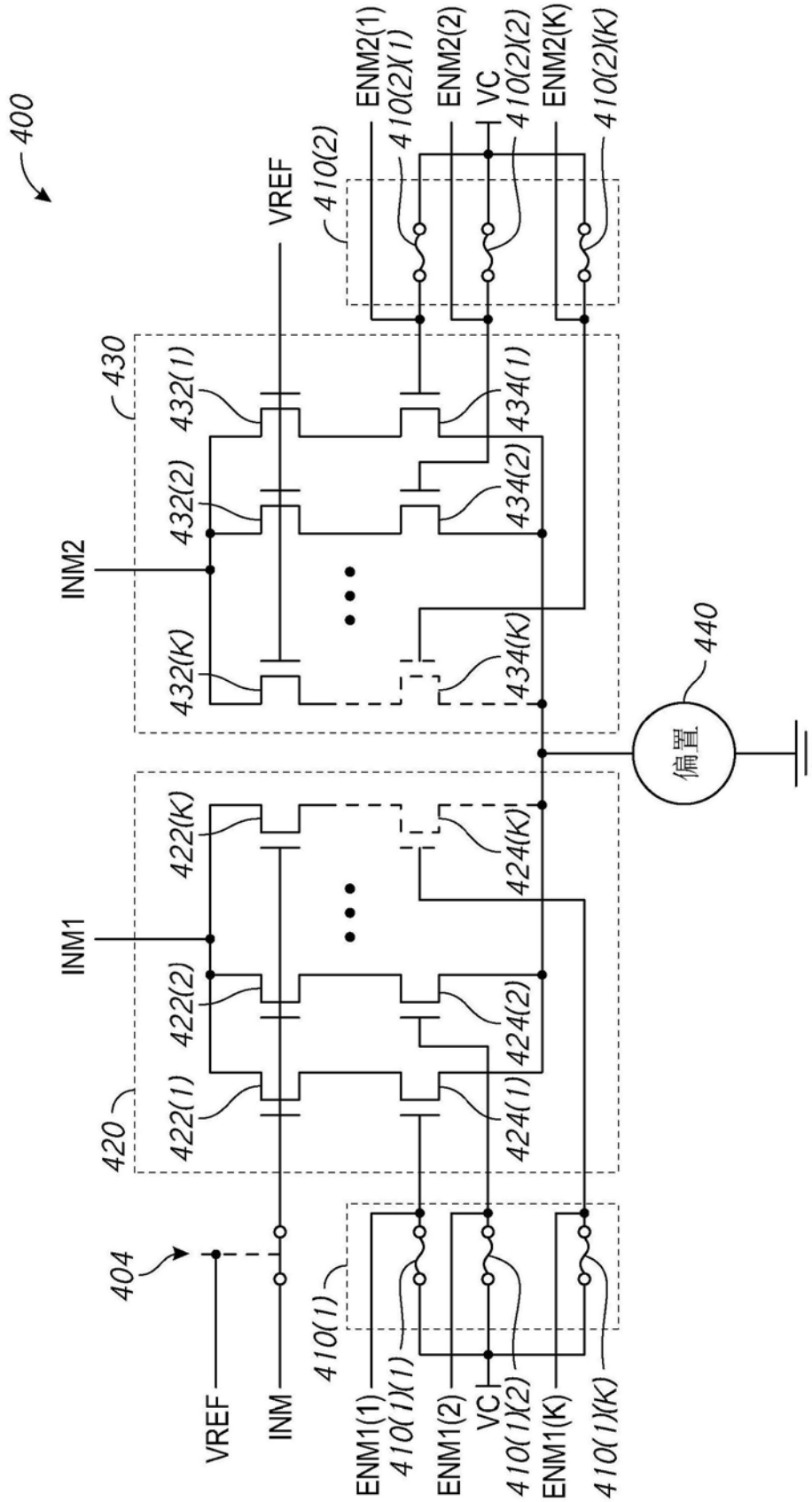


图4

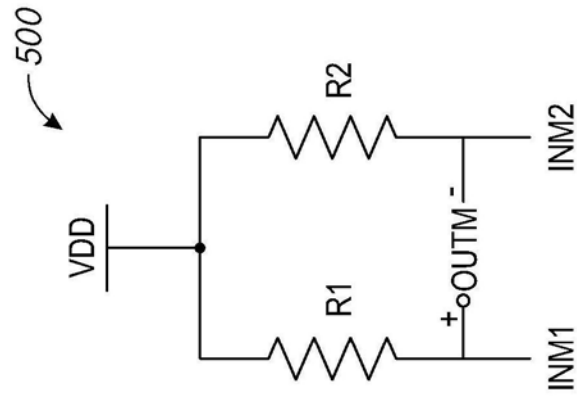


图5A

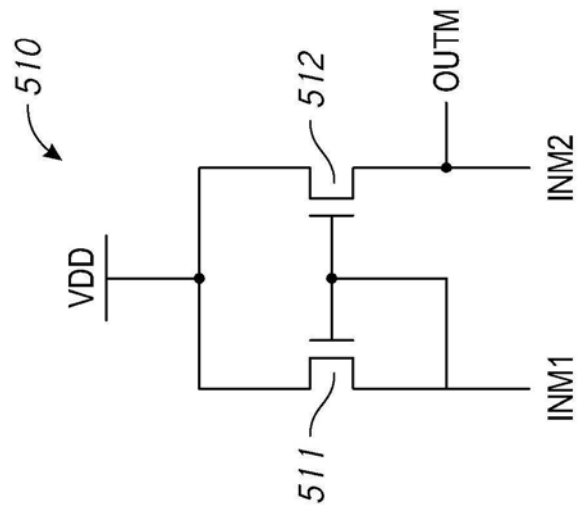


图5B

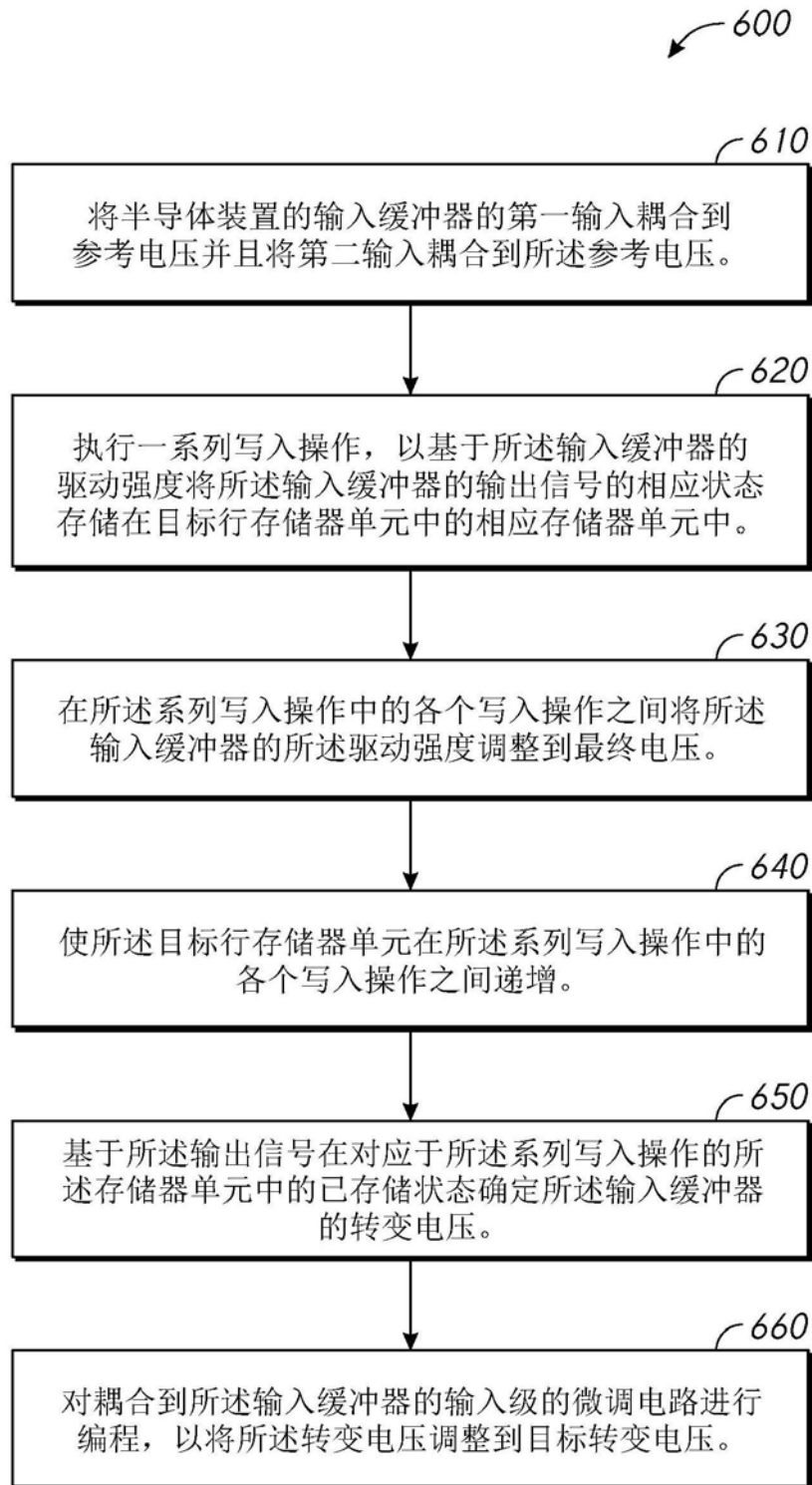


图6