



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202127671 A

(43) 公開日：中華民國 110 (2021) 年 07 月 16 日

(21) 申請案號：110101983

(22) 申請日：中華民國 105 (2016) 年 05 月 19 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/8238(2006.01)

(30) 優先權：2015/06/26 世界智慧財產權組織 PCT/US15/38099

(71) 申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：狄威 吉伯特 DEWEY, GILBERT (US)；梅茲 馬修 METZ, MATTHEW V.

(US)；莫希 安拿 MURTHY, ANAND (US)；甘尼 塔何 GHANI, TAHIR (US)；

瑞奇曼第 威利 RACHMADY, WILLY (ID)；莫哈帕拉 錢德拉 MOHAPATRA,

CHANDRA (IN)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；葛雷斯 葛

蘭 GLASS, GLENN (US)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：10 共 56 頁

(54) 名稱

高遷移率半導體源極/汲極間隔物

(57) 摘要

單片式 FET 包含於安置於基板之上之第一高載子遷移率半導體材料中的大部分載子通道。在一遮罩(諸如閘極堆疊或犧牲閘極堆疊)覆蓋一橫向通道區域的同時，一高載子遷移率半導體材料之一間隔物會過度生長，例如，包覆一介電質橫向間隔物，以增加在該電晶體源極及汲極之間的有效間隔而不會伴隨電晶體佔據面積的增加。源極/汲極區域經由該高遷移率半導體間隔物(其可大致上未摻雜(亦即，本質))電耦合至該橫向通道區域。藉由增加針對一給定橫向閘極尺寸的有效通道長度，例如可降低針對一給定關閉狀態漏電之電晶體佔據面積或可降低針對一給定電晶體佔據面積之關閉狀態源極/汲極漏電。

Monolithic FETs including a majority carrier channel in a first high carrier mobility semiconductor material disposed over a substrate. While a mask, such as a gate stack or sacrificial gate stack, is covering a lateral channel region, a spacer of a high carrier mobility semiconductor material is overgrown, for example wrapping around a dielectric lateral spacer, to increase effective spacing between the transistor source and drain without a concomitant increase in transistor footprint. Source/drain regions couple electrically to the lateral channel region through the high-mobility semiconductor spacer, which may be substantially undoped (i.e. intrinsic). With effective channel length for a given lateral gate dimension increased, the transistor footprint for a given off-state leakage may be reduced or off-state source/drain leakage for a given transistor footprint may be reduced, for example.

指定代表圖：



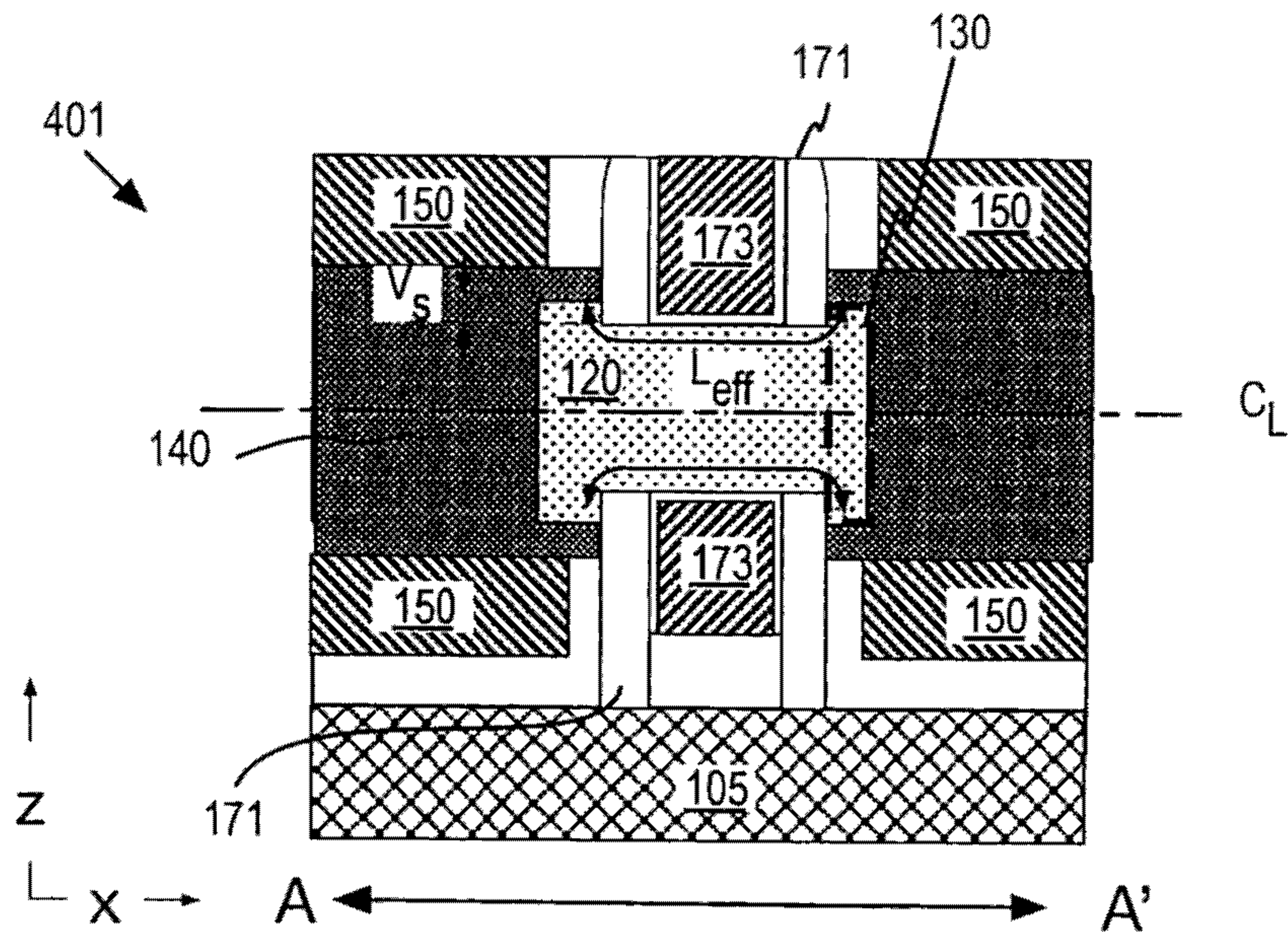


圖 5

符號簡單說明：

105:基板

120:鰭部

130:半導體間隔物

140:源極/汲極區域

150:源極/汲極接點敷  
金屬

171:橫向間隔物

173:閘極電極

401:奈米線 FET

 $V_s$ :間隔物厚度 $C_L$ :縱向軸 $L_{eff}$ :有效通道長度

## 發明摘要

【發明名稱】(中文/英文)

高遷移率半導體源極/汲極間隔物

HIGH-MOBILITY SEMICONDUCTOR SOURCE/DRAIN SPACER

【中文】

單片式 FET 包含於安置於基板之上之第一高載子遷移率半導體材料中的大部分載子通道。在一遮罩(諸如閘極堆疊或犧牲閘極堆疊)覆蓋一橫向通道區域的同時，一高載子遷移率半導體材料之一間隔物會過度生長，例如，包覆一介電質橫向間隔物，以增加在該電晶體源極及汲極之間的有效間隔而不會伴隨電晶體佔據面積的增加。源極/汲極區域經由該高遷移率半導體間隔物(其可大致上未摻雜(亦即，本質))電耦合至該橫向通道區域。藉由增加針對一給定橫向閘極尺寸的有效通道長度，例如可降低針對一給定關閉狀態漏電之電晶體佔據面積或可降低針對一給定電晶體佔據面積之關閉狀態源極/汲極漏電。

## 【 英文 】

Monolithic FETs including a majority carrier channel in a first high carrier mobility semiconductor material disposed over a substrate. While a mask, such as a gate stack or sacrificial gate stack, is covering a lateral channel region, a spacer of a high carrier mobility semiconductor material is overgrown, for example wrapping around a dielectric lateral spacer, to increase effective spacing between the transistor source and drain without a concomitant increase in transistor footprint. Source/drain regions couple electrically to the lateral channel region through the high-mobility semiconductor spacer, which may be substantially undoped (i.e. intrinsic). With effective channel length for a given lateral gate dimension increased, the transistor footprint for a given off-state leakage may be reduced or off-state source/drain leakage for a given transistor footprint may be reduced, for example.

**【代表圖】****【本案指定代表圖】**：第(5)圖。**【本代表圖之符號簡單說明】**：

105：基板

120：鱗部

130：半導體間隔物

140：源極/汲極區域

150：源極/汲極接點敷金屬

171：橫向間隔物

173：閘極電極

401：奈米線 FET

 $V_s$ ：間隔物厚度 $C_L$ ：縱向軸 $L_{eff}$ ：有效通道長度**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無



# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

高遷移率半導體源極/汲極間隔物

HIGH-MOBILITY SEMICONDUCTOR SOURCE/DRAIN SPACER

## 【技術領域】

本發明為一種半導體裝置，特別是一種高遷移率半導體源極/汲極間隔物。

## 【先前技術】

致力於延伸用於積體電路(IC)之摩爾定律(Moore's law)之努力係已包括發展採用矽以外之材料(諸如 III-V 族化合物半導體材料(例如，InP、InGaAs、InAs))之電晶體。這些非矽材料系統通常顯示了比矽裝置更高的載子遷移率，且因此早已建議引入其以作為朝向更快速之電晶體之途徑。然而，連同更高的載子遷移率，對於 III-V 族(以及 Ge)通道裝置，其在場效電晶體(FET)中位於源極與汲極之間之關閉狀態( $I_{off}$ )漏電係顯著地高於等效(電)通道長度之矽基 FET 的關閉狀態漏電。由於關閉狀態漏電通常係有效通道長度之指數函數，吾人可能不清楚電晶體密度(而非電晶體速度)如何透過高遷移率半導體材料之使用而被改善。

**【圖式簡單說明】**

在本文所述之材料係藉由實例之方式而非藉由限制之方式被繪示於附圖中。為了簡單以及清楚地說明，被繪示於圖式中之元件不一定按比例來繪製。例如，為了清楚起見，某些元件之尺寸可能相對於其他元件而言係被誇大。再者，在被認為適當的地方，元件符號在圖式中可以被重複以指示對應或類似的元件。在圖式中：

圖 1 係包含依照一些實施例被安置於基板之上之高遷移率鰭式 FET 以及具矽通道的鰭式 FET 之互補金屬氧化物半導體 (CMOS) 電路之平面圖；

圖 2A 係繪示穿過在圖 1 中所描繪之依照一些實施例之高遷移率鰭式 FET 之通道區域以及源極/汲極之長度之橫截面視圖；

圖 2B 係繪示穿過在圖 1 中所描繪之依照一些實施例之在該高遷移率鰭式 FET 之源極/汲極區域中之鰭部寬度之橫截面視圖；

圖 2C 係繪示穿過在圖 1 中所描繪之依照一些實施例之在該高遷移率鰭式 FET 之橫向通道區域中之鰭部寬度之橫截面視圖；

圖 3A 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之該高遷移率鰭式 FET 之通道區域以及源極/汲極之長度之橫截面視圖；

圖 3B 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之在該高遷移率鰭式 FET 之源極/汲極區域中之鰭



部寬度之橫截面視圖；

圖 3C 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之在該高遷移率鰭式 FET 之橫向通道區域中之鰭部寬度之橫截面視圖；

圖 4A 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之該高遷移率鰭式 FET 之通道區域以及源極/汲極之長度之橫截面視圖；

圖 4B 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之在該高遷移率鰭式 FET 之源極/汲極區域中之鰭部寬度之橫截面視圖；

圖 4C 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之在該高遷移率鰭式 FET 之橫向通道區域中之鰭部寬度之橫截面視圖；

圖 5 係繪示穿過在圖 1 中所描繪之依照一些替代性實施例之該高遷移率鰭式 FET 之通道區域以及源極/汲極之長度之橫截面視圖；

圖 6 係繪示依照一些實施例製造具有高遷移率半導體源極/汲極間隔物之高遷移率鰭式 FET 之方法之流程圖；

圖 7A、7B、7C、7D、7E 以及 7F 係繪示依照一些實施例穿過隨著圖 6 中所繪示之方法執行而演進之高遷移率鰭式 FET 之通道區域以及源極/汲極區域之長度之橫截面視圖；

圖 8A、8B、8C、8D、8E 以及 8F 係繪示依照一些實施例穿過隨著圖 4 中所繪示之方法執行而演進之高遷移率



鱗式 FET 之區域中之鱗部結構之寬度之橫截面視圖；

圖 9 係繪示採用系統晶片 (SoC) 之行動計算平台以及資料伺服器機器，該系統晶片 (SoC) 包含依照本發明之實施例之包含高遷移率半導體源極/汲極間隔物之複數個高遷移率鱗式 FET；且

圖 10 依照本發明之一實施例係一個電子計算裝置之功能性方塊圖。

### 【發明內容及實施方式】

參照附圖描述一或多實施例。雖然詳細描繪及討論特定組態及配置，應理解的是此僅為描繪目的。熟悉相關技藝之人士將認同可實施其他組態及配置而未偏離描述之精神及範圍。對熟悉相關技藝之人士而言，顯而易見的是可於在除了文中詳細描述以外之各類其他系統及應用中採用文中所描述之技術及/或配置。

在下列詳細說明中參照附圖，其形成本發明之一部分並繪示例示性實施例。此外，應理解的是，可利用其他實施例並可實施結構及/或邏輯改變而未偏離請求保護之標的之範圍。亦應注意的是，例如上、下、頂部、底部等方向及參考僅可用以促進圖式特徵之描述。因此，下列詳細說明並非為限制意義，且請求保護之標的之範圍僅由隨附之申請專利範圍及其等效件所定義。

在以下說明中提出許多細節。然而，熟悉本技藝之人士將理解可無該些特定細節來實現本發明。在若干狀況

下，以方塊圖形式而非詳述方式顯示已知方法及裝置以避免混淆本發明。本說明書通篇提及「一實施例」或「一項實施例」或「一些實施例」表示結合實施例描述之特定特徵、結構、功能、或特性至少包括於本發明之至少一實施例中。因此，在本說明書通篇各處出現之「在一實施例中」或「在一項實施例中」或「一些實施例」未必係指本發明之相同實施方式。此外，特定特徵、結構、功能、或特性可以任何適當方式組合於一或多個實施例中。例如，若與第一實施例與第二實施例相關聯之特定特徵、結構、功能、或特性未互斥，則該兩實施方式可組合。

如本發明及隨附申請專利範圍中所使用，除非內容清楚表示，否則單數形式「一」及「該」係意欲包括複數形式。亦將理解的是，如文中使用之用詞「及/或」係指並包含一或多相關聯所列項目之任意及所有可能的組合。

用詞「耦合」及「連接」連同其衍生可用以描述組件之間之功能關聯或結構關係。應理解的是，這些用詞非意欲為彼此同義。反而是在特定實施方式中，「連接」可用以指示兩個或更多個元件係彼此直接實體、光學、或電接觸。「耦合」可用以表示兩個或更多個元件係彼此直接或間接地(在其之間具有其他中介元件)實體、或電接觸，及/或兩個或更多個元件彼此合作或互動(例如因果關係)。

如文中使用之用詞「之上」、「之下」、「之間」、及「上」係指在實體關係值得關注處相對於其他組件或材料之一組件或材料的相對位置。例如，在材料的情況下，



一材料或安置於另一者之上或之下的一材料可直接接觸彼者，或其間可具有一或多個中介材料。再者，安置於兩材料之間之一材料或多個材料可與該兩層直接接觸，或其間可具有一或多個中介層。相反地，第一材料或在第二材料或材料「上」之材料係與第二材料或材料直接接觸。在組件總成之狀況下可實施類似區別。

如此描述通篇及於申請項中所使用地，由用詞「至少一」或「一或多」結合之項目清單可表示所列項目之任何組合。例如，「A、B 或 C 之至少一者」用語可表示 A；B；C；A 及 B；A 及 C；B 及 C；或 A、B 及 C。

在進一步參考延伸的摩爾定律(Moore's law)中，可以進行一種用以縮減 FET 閘極長度且維持通道良好的閘極控制的方式而不會影響源極/汲極之距離，其係取決於裝置架構可能需要將一個輕度摻雜的(或未摻雜的)源極/汲極尖端區域移動更遠離該閘極堆疊下方。一個實例係從一個「重疊閘極」移動至一個「欠疊閘極」，其就給定的閘極長度  $L_g$  而言通常係增加了有效通道長度  $L_{eff}$ 。在矽基電晶體中更大的欠疊的一個缺點係顯著增加的電晶體電阻降級效能。此外，若電晶體單元之佔據面積或區域被降低，例如藉由降低閘極長度同時增加欠疊，則源極/汲極區域亦可能必須減少，潛在地加劇了由該更大的欠疊所導致的電晶體電阻的增加。

在以下將進一步描述的實施例中，高遷移率半導體材料係被採用以用於大部分的載子電晶體通道。如在本文中



所使用的，「高遷移率」材料係矽以外的其他半導體材料，其具有比用於對應之矽的通道之載子遷移率更高的載子遷移率。值得注意的是，在載子遷移率更高的情況下，源極/汲極(尖端)區域之間極欠疊可能比基準矽 FET(因其對於相關之電阻不利影響較不嚴重)更顯著地增加。此用以增加欠疊之更大的自由度可以產生制衡作用以將有效通道長度維持在足以保持低於臨限電晶體漏電程度。在進一步的實施例中，此用以增加欠疊之更大的自由度係產生制衡作用而不會增加電晶體單元之區域，或藉由降低源極/汲極之區域，藉由在非平行(例如，正交)於橫向閘極長度之方向來延伸通道長度。在一些有利的實施例中，此用以增加欠疊之更大的自由度係產生制衡作用以降低電晶體單元之區域而不會將電晶體效能特性降低至低於基準具矽通道的裝置之電晶體效能特性，實現更高的裝置密度。

在以下將進一步描述的一些實施例中，單片式 FET 包含位在被安置於基板之上之第一高遷移率半導體材料中的大部分載子通道。一閘極堆疊係被安置於第一半導體材料之橫向通道區域之上。一對源極/汲極區域係至少藉由高遷移率半導體材料之厚度而從橫向通道區域被垂直隔開。在某些實施例中，在該橫向通道區域中所採用之相同的高遷移率半導體材料提供垂直間隔。第一高遷移率半導體材料接著具有大致上比橫向通道區域更大的薄膜厚度，該薄膜厚度係法向於下面的介面及/或基板所測得的。載子在該源極與汲極之間所橫越的最短的  $L_{eff}$  可因此不僅在

該閘極堆疊之下橫向地橫越，還可以穿過半導體源極/汲極間隔物而橫越一段額外的距離。因為此額外的距離可以係大致上正交於與圖案化閘極相關聯之橫向通道長度，於是可以改善裝置之密度。

在以下將進一步描述的一些實施例中，在一遮罩(諸如閘極堆疊或犧牲閘極堆疊)覆蓋一橫向通道區域的同時，具有高載子遷移率以及有利地低雜質摻雜之半導體材料會過度生長，例如，包覆一介電質間隔物且增加在該電晶體源極及汲極之間的  $L_{eff}$  而不會伴隨在電晶體佔據面積中的增加。不但電晶體單元面積沒增加，該摻雜的源極/汲極薄膜及/或源極/汲極接點敷金屬之厚度反而相對應地被減少。一個電晶體通道區域係定義為其將重度摻雜的源極半導體從一個重度摻雜的汲極半導體隔開，該高遷移率半導體間隔物亦可以被描述為一個延伸超過該閘極堆疊之正交通道區域。相對於凹入該橫向通道區域，過度生長該半導體間隔物以形成該正交通道區域之優點將於以下以一或多個非平面(鰭部)FET 電晶體架構之背景內容來進一步說明。

圖 1 係互補金屬氧化物半導體(CMOS)電路 100 之平面圖，該互補金屬氧化物半導體(CMOS)電路 100 包含被安置於基板 105 之上且被隔離材料 180 所圍繞之依照一些實施例之高遷移率鰭式 FET 101 以及具矽通道的鰭式 FET 102。在本例示性實施例中，鰭式 FET 101 係 NMOS 裝置而鰭式 FET 102 係 PMOS 裝置。針對此種實施例，鰭式



FET 102 可以具有任何架構而鱈式 FET 101 具有一或多個以下將進一步說明之特徵。在替代性實施例中，一高遷移率 NMOS 鱈式 FET 101 係與一個高遷移率 PMOS 鱈式 FET 102 耦合。針對此種替代性實施例，鱈式 FET 101 與鱈式 FET 102 兩者可以具有一或多個以下將進一步說明之特徵。

在某些實施例中，基板 105 係矽 (Si)，其對於鱈式 FET 101 與 102 之單片式整合係有利的。在例示性實施例中，一個大致上單晶體之基板 105 之結晶定向係(100)、(111)或(110)。然而，其他的結晶定向亦係可行的。例如，該基板作業表面可以被斜切(miscut)或朝向[110]截切(offcut)2°至 10°以促進結晶異質磊晶材料之成核。其他的基板實施例亦係可行的。例如，基板 105 可以係任何的碳化矽 (SiC)、藍寶石、III-V 族化合物半導體(例如，GaAs)、絕緣體上矽(SOI)、鍺(Ge)或矽鍺(SiGe)。隔離材料 180 可以係任何適合用於在電晶體之間提供電隔離的材料。在一些例示性實施例中，隔離材料 180 係二氧化矽。亦可利用其他習知的適合用於該目的材料，包含低 k 值材料(例如，具有低於 2.5 之相對介電常數)。

在所繪示的實施例中，鱈式 FET 101 係與小於與鱈式 FET 102 相關聯之電晶體單元面積的電晶體單元面積相關聯。詳言之，與鱈式 FET 101 相關聯之閘極長度  $L_g$  係小於與鱈式 FET 102 相關聯之對應的閘極長度  $L_{g,2}$ 。為了清楚起見，源極/汲極接點長度  $L_c$  以及位在源極/汲極接點數



金屬 150 與閘極電極 173 之邊緣之間的橫向間隔  $L_s$  兩者對於該兩個鰭式 FET 101、102 而言係相等的。因此在此實例中，閘極長度在鰭式 FET 101 中的縮短被顯示為在鰭式 FET 101 之源極/汲極接點敷金屬間距  $P_c$  中相對於鰭式 FET 102 的減少。最長橫向長度鰭部 103 可以接著比鰭部 104 之對應的長度更短。在其中用於鰭式 FET 101 之通路電阻係相對地高的其他實施例中，在鰭式 FET 101 中之閘極長度縮短可以被利用於已增加的源極/汲極接點長度  $L_c$  而不會使鰭式 FET 101 之接點敷金屬間距  $P_c$  增加超過鰭式 FET 102 之接點敷金屬間距  $P_c$ 。如上所述，對於高遷移率通道材料之關閉狀態漏電電流通常係比對於具有相當於有效通道長度之具矽通道的裝置明顯更高。因此，在一些實施例中，鰭式 FET 101 之有效通道長度與閘極長度  $L_g$  之間的差值係比該對應的鰭式 FET 102 之有效通道長度與閘極長度  $L_{g,2}$  之間之差值更大。如以下進一步所描述的，被安置在橫向間隔 131 中之高遷移率半導體源極/汲極間隔物係導致此更大之差值。

雖然具體的尺寸隨著裝置技術世代而變化，在一實例中，其中  $L_{g,2}$  係大約 10 奈米， $L_g$  可以係更小 2 至 5 奈米，提供了高達 50% 之橫向閘極縮短。在橫向間隔 131 中，例如其可以係 3 至 5 奈米，高遷移率半導體源極/汲極間隔物可以避開重度摻雜源極/汲極區域達額外的 1 至 5 奈米。在有效通道長度中之總增加量則係 2 至 10 奈米。因此，即使具有一個較短的閘極長度(亦即， $L_g < L_{g,2}$ )，

鳍式 FET 101 可以具有比鳍式 FET 102 的有效通道长度更长的有效通道长度。取决于关闭状态漏电流如何根据用于该特定高迁移率通道材料之有效通道长度而变化，鳍式 FET 101 可因此显示可与鳍式 FET 102 的关闭状态漏电流相当或比之更好的关闭状态漏电流。值得注意的是，在没有使用高迁移率材料的情况下，在与更大的有效通道长度相关联之电阻中之增加通常将导致在电晶体效能中的净降级。在减少  $f_{max}$  以达到更大的具有给定之  $f_t$  之装置之密度的效用中，横向尺寸缩短将因此对于矽基装置是不利的。然而，相似的方法可以被应用以缩短没有此种牺牲之 PMOS 鳍式 FET 102 之单元，若该通道属于使  $f_{max}$  能够保持与该较慢的具矽通道的装置相等之适当的高(电洞)迁移率材料(例如，Ge)。

在实施例中，非平面半导体本体(亦即，鳍部)之横向宽度係从最小在该栅极长度  $L_g$  之范围内到最大在超过该栅极堆叠之边缘之该本体的端部部分之范围内来变化。例如，如在图 1 中所绘示的，鳍式 FET 101 具有位在栅极金属(栅极电极 173)之下且由虚线所表示的最小横向鳍部宽度  $W_{f,1}$ 。鳍部宽度  $W_{f,1}$  可以随著实施方案而变化，但是在例示性实施例中係小于 20 奈米且有利地係小于 10 奈米。至少在横向间隔 131 之范围内之该鳍部宽度係  $W_{f,2}$ ，其係大于  $W_{f,1}$ 。介于  $W_{f,1}$  与  $W_{f,2}$  之间之差值係指示该高迁移率半导体源极/汲极间隔物。在一些有利的实施例中，介于  $W_{f,1}$  与  $W_{f,2}$  之间之差值係大约为高迁移率半导体源极/汲极间隔



物之厚度(例如, 2 至 10 奈米)的兩倍。在進一步之實施例中, 鳍式 FET 101 之最小鳍部寬度係等於鳍式 FET 102 之鳍部寬度(亦即, 亦係  $W_{f,1}$ )。如進一步在圖 1 中所指明的, 至少針對例示性矽通道實施例鳍式 FET 102 而言, 在間隔 131 之範圍內之橫向鳍部寬度係保持固定為  $W_{f,1}$ 。

第一高遷移率材料之鳍部可被直接地安置在一基板上或一些中介材料上。在一些例示性實施例中, 如以下進一步所描述的, 鳍式 FET 101 係包含半導體異質接面鳍部(「異質鳍部」)(半導體異質鳍部結構)103, 該半導體異質接面鳍部(「異質鳍部」)(半導體異質鳍部結構)103 係進一步包含被安置在第二高遷移率材料之「子鳍部」上之第一高遷移率材料。圖 2A 係繪示沿著在圖 1 中所表示的該 A-A' 平面穿過依照一些實施例之高遷移率鳍式 FET 101 之通道區域以及源極/汲極之長度之橫截面視圖。異質鳍部 103 係包含被安置在第二半導體材料之子鳍部 110 上之高遷移率半導體材料之鳍部 120。含有不同組成物之該兩種材料係形成異質接面 135。在例示性實施例中, 其中子鳍部 110 不是作為裝置通道之部分, 子鳍部 110 不必是由具有高電子遷移率之材料所製成。在一些有利的實施例中, 子鳍部 110 係適當之組成物的第二材料, 使得異質接面 135 與一能帶隙差相關聯, 該能帶隙差係導致在鳍部 120 與子鳍部 110 之間對於減少漏電流通過子鳍部 110 有用之至少一個導電帶偏移。

在某些實施例中, 子鳍部 110 以及鳍部 120 係各自具有來自於週期表之 III 族(例如, Al、Ga、In 等等)之至少



一個元素之第一子晶格以及週期表之 V 族(例如, N、P、As、Sb 等等)之至少一個元素之第二子晶格之單晶體。子鰭部 110 以及鰭部 120 可以分別地係各自包含來自週期表之 III 族及 V 族之兩種、三種或甚至四種元素之二元、三元或四元 III-V 族化合物半導體。

因為鰭部 120 係 N 型鰭式 FET 101 之一裝置層, 其係有利地為具有高電子遷移率之 III-V 族材料(諸如(但不限於) InGaAs、InP、InSb 以及 InAs)。對於某些例示性 InGaAs 鰭部實施例而言, In 之莫耳分率係介於 0.2 與 0.8 之間。在一些有利的實施例中, 緊接地被安置在閘極堆疊下方(包含閘極介電質 172 以及閘極電極 173)之鰭部 120 之橫向通道區域係本質 III-V 族材料且沒有特意地為了最高之遷移率而與任何電活性雜質進行摻雜。在替代性實施例中, 在該橫向通道區域中可以存在一標稱背景 n 型摻雜劑量值, 例如以設定一臨限電壓  $V_t$ 。

子鰭部 110 係有利地與鰭部材料具有顯著的(例如, 導電)能帶偏移之 III-V 族材料, 諸如(但不限於)GaAs、GaSb、GaAsSb、GaP、InAlAs、GaAsSb、AlAs、AlP、AlSb 以及 AlGaAs。在某些實施例中, 鰭部 120 以及子鰭部 110 係屬於互補的雜質類型。例如, 在鰭部 120 係用以提供一個電子大部分載子通道的情況中, 子鰭部 110 能以 p 型雜質(例如, 鎂、鉍, 等等)來予以摻雜。

鰭部 120 係包含被安置在閘極電極 173 以及閘極介電質 172 下方(或被其覆蓋)之橫向通道區域。橫向通道區域

進一步被安置在與閘極電極 173 之相對邊緣相鄰之介電質橫向間隔物 171 下方(或被其覆蓋)。在某些實施例中，高遷移率半導體間隔物包括與該橫向通道區域相同之半導體材料。針對此種實施例，可能沒有任何組成物的介面位在橫向通道區域以及半導體間隔物之間。在替代性實施例中，高遷移率半導體間隔物包括與橫向通道區域不同的半導體材料。

圖 2A 係繪示一例示性實施例，其中高遷移率半導體間隔物係包括與橫向通道區域相同的半導體材料。一虛線框因此係表示半導體間隔物 130。針對其中高遷移率半導體間隔物係包括與橫向通道區域不同之半導體材料的實施例，在虛線框中之材料組成物將與以下的閘極電極 173 不同。如所展示的，半導體間隔物 130 係從橫向通道區域與閘極介電質 172 之介面垂直地延伸(例如，在  $z$  維度中)。換言之，半導體間隔物 130 具有的薄膜厚度(當以法向於下面的介面之方向所測得)係大於橫向通道區域達一個高遷移率半導體間隔物的厚度  $V_s$ 。因此，該有效通道長度  $L_{eff,1}$  係包含該橫向距離(例如，沿著  $x$  軸線來延伸)以及非平行(例如，正交)於該橫向距離(例如，沿著  $z$  軸線延伸)之垂直距離兩者。如以下進一步所指明的，正交通道區域係同時垂直地(例如，在  $z$  維度中)以及橫向地(例如，在  $y$  維度中)延伸以用於對稱通道長度在至少兩個維度中之延伸。

在進一步由圖 2A 所繪示的某些實施例中，半導體間



隔物 130 橫向地延伸(例如，在  $x$  維度中)超過橫向間隔物 171 之外部邊緣，該延伸超過的量與半導體間隔物 130 垂直地延伸超過橫向間隔物 171 之外部邊緣的量係相差大致上(亦即 $\pm 10\%$ )相同。換言之，半導體間隔物 130 在  $z$  維度以及  $x$  維度兩者中延伸超過橫向間隔物 171，該延伸超過的量皆係達到  $V_s$ 。針對此種實施例，最小有效通道長度係至少等於  $L_{\text{eff},1}$ 。例如，即使由  $L_{\text{eff},2}$  所表示之專有橫向載子路徑係至少等於  $L_{\text{eff},1}$ 。例如，可以在鰭部 120 之縱向軸處發現一專有橫向載子路徑，而其他路徑則將包含一正交分量。有效通道長度因此根據在三個維度中對稱地延伸(例如，從在與鰭部 120 相交之橫向間隔物 171 之邊緣上的一個點)之半導體間隔物 130 而在鰭部 120 之整個電流承載體積上係大致上相等的。

在某些實施例中，半導體間隔物 130 係由與橫向通道區域相同的材料組成物所製成。晶格(子晶格)組成物與雜質濃度兩者皆係同樣有利地，使得半導體間隔物 130 係鰭部 120 之一功能上連續的均質部分。在其中該橫向通道區域係本質的(亦即，沒有任何刻意摻雜)之某些實施例中，半導體間隔物 130 亦係本質的。例如，在其中該橫向通道區域係本質  $\text{InGaAs}$  的情況中，半導體間隔物 130 可亦是本質  $\text{InGaAs}$ 。在一些替代性實施例中，半導體間隔物 130 具有與鰭部 120 之橫向通道部分相同的大部分晶格組成物，但是具有不同的雜質摻雜。例如，半導體間隔物 130 可以係輕度摻雜  $n$  型至比鰭部 120 之橫向通道部分之雜質

濃度更高的雜質濃度。例如，在其中橫向通道區域係本質 InGaAs 的情況中，半導體間隔物 130 可以係輕度 n 型摻雜之 InGaAs。在一些替代性實施例中，半導體間隔物 130 具有與鰭部 120 之橫向通道部分不同的大部分晶格組成物，但是具有相同的雜質摻雜。例如，在橫向通道區域係具有介於 0.2 與 0.8 之間之第一莫耳分率之 In 的本質 InGaAs 的情況中，半導體間隔物 130 可以係具有介於 0.2 與 0.8 之間之第二(不同的)莫耳分率之 In 之本質 InGaAs。

在圖 2A 所表示的某些實施例中，半導體間隔物 130 係包覆橫向間隔物 171。橫向間隔物 171 可以係任何的介電質材料，且可以與閘極電極 173 之側壁接觸，或如所顯示的，可以與覆蓋閘極電極 173 之側壁之閘極介電質 172 接觸。例如，橫向間隔物 171 之橫向尺寸可以從零(其中，半導體間隔物 130 僅藉由閘極介電質 172 而與閘極電極 173 隔離)到 10 奈米來變化。在一些例示性實施例中，橫向間隔物 171 係提供位在閘極電極 173 與半導體間隔物 130 之間之 3 至 5 奈米的橫向間隔。偏壓閘極電極至半導體間隔物 130 之靜電耦合可係顯著的，尤其在橫向間隔物 171 之尺寸降低至零時係更加如此。針對此等實施例， $V_s$  可以接近閘極電極 173 之 z 高度以獲取所要的有效通道長度。

如進一步由圖 2A 所繪示的，再生長的異質磊晶源極/汲極區域 140 係與半導體間隔物 130 介接。在某些實施例



中，源極/汲極區域 140 係包括具有與鰭部 120 不同晶格組成物之 III-V 族化合物半導體以提供促進與接點敷金屬 150 之一低電阻之有利的低能帶隙。第二異質界面 136 因此係存在於源極/汲極區域 140 與半導體間隔物 130 之間。異質磊晶源極/汲極區域 140 可以由適合用於與鰭部 120 之歐姆接觸之任何材料來製成，但不限於 InAs。在某些實施例中，源極/汲極材料(源極/汲極區域 140)係單晶。源極/汲極區域 140 係有利地被重度摻雜(例如，在 InAs 實施例中為 n 型)。如在圖 2A 中所顯示的，源極/汲極區域 140 係覆蓋半導體間隔物 130 使得敷金屬 150 與源極/汲極區域 140 而不是與半導體間隔物 130 介接，即使接點敷金屬係有些未對準的。取決於源極/汲極區域 140 之 z 高度，半導體間隔物 130 可以由或多或少的源極/汲極材料所覆蓋，其可預期用以傳送相當大的電流於極靠近閘極堆疊處。

在由圖 2A 所表示之某些實施例中，源極/汲極區域 140 僅形成一異質界面 136。因為鰭部 120 係延伸於子鰭部 110 的整個長度上，因此沒有任何第二異質界面由子鰭部 110 來形成。如以下將進一步說明的，被安置在源極/汲極區域 140 與子鰭部 110 之間之鰭部 120 之區域係指示所採用之用以形成半導體間隔物 130 之技術。在一些例示性實施例中，被安置在源極/汲極區域 140 與子鰭部 110 之間之鰭部 120 之區域的厚度係大致上(亦即， $\pm 10\%$ )等於高遷移率半導體間隔物之厚度  $V_s$ 。如以下將進一步說

明的，此與半導體間隔物之厚度  $V_s$  之關係係指示被採用以形成半導體間隔物 130 之再生長技術。除了作為指示被採用以形成半導體間隔物 130 之技術之外，存在於源極/汲極區域 140 與子鰭部 110 之間之鰭部 120 係可以提供可降低在源極/汲極區域 140 與子鰭部 110 之間之漏電之有利的能帶隙偏移。存在於源極/汲極區域 140 與子鰭部 110 之間之鰭部 120 亦可以提供在重度摻雜之源極/汲極區域 140 與子鰭部 110 之間之有利地內縮，以減少 n 型摻雜劑擴散至子鰭部 110 中，否則該擴散可能會增加在源極/汲極區域 140 與子鰭部 110 之間之漏電流。

圖 2B 係繪示沿著在圖 1 中所指明的該 B-B' 平面而穿過依照一些實施例之異質鰭部寬度之橫截面視圖。該 B-B' 平面係通過在靠近異質接面 136(圖 2A)與橫越該橫向鰭部寬度  $W_{f,2}$  之鰭部 120 形成介面處之高遷移率半導體間隔物 130 中之鰭式 FET 101 之源極/汲極區域 140。如進一步在圖 2B 中所繪示的，半導體間隔物厚度  $V_s$  係如虛線所表示而清楚可見的沿著整個鰭部 z 高度  $H_f$  之鰭部 120 之一延伸。相反地，半導體間隔物厚度  $V_s$  係大致上不存在於被嵌入在子鰭部隔離 115 中之大部分子鰭部 110。子鰭部隔離 115 可以係任何的適合用於在相鄰的子鰭部之間提供電隔離之非晶材料。在一些例示性實施例中，子鰭部隔離 115 係二氧化矽。其他習知的介電質材料亦可以被採用，包含低 k 值材料。然而實施例並未被限制在此態樣中，其他例示性材料包含碳摻雜氧化物、矽氧烷衍生物等等。



如在圖 2B 中進一步所指明的，半導體間隔物 130 之角部部分具有大於至少等於  $V_s$  之鰭部寬度  $W_{f,1}$  之角部厚度 221。在例示性實施例中，角部厚度 221 係顯著地(例如，至少 20%)大於  $V_s$ 。值得注意的是，角部厚度 221 可指示出被採用以形成半導體間隔物 130 之技術。如以下進一步所描述的，針對其中半導體間隔物 130 係鰭部 120 之過度生長(亦即，在定義鰭部寬度  $W_{f,1}$  之鰭部 120 之該表面上之磊晶生長)之例示性實施例，加速磊晶角部生長將確保在鰭部 120 之該角部處之有效通道長度並未顯著地比其他的任何地方更短，且實際上將可能更長(例如，角部厚度 221 大於  $V_s$ )而降低在原本可能經歷一電流擁擠效應之這些位置處之電流密度。

圖 2C 係繪示沿著在圖 1 中所描繪的該 C-C' 平面穿過依照一些實施例之在高遷移率鰭式 FET 101 之橫向通道區域中之鰭部寬度之橫截面視圖。如所繪示的，一金屬-絕緣體閘極堆疊係包含閘極介電質(閘極介電質材料)172 以及閘極電極(閘極電極材料)173。儘管可以利用任何習知的閘極堆疊材料，但是在一例示性實施例中具有 9 或更高之體相對介電常數之一高 k 值材料或連同具有適合用於鰭部 120 之組成物之功函數之閘極金屬係可被採用作為該閘極介電質。在由圖 2C 所繪示的例示性實施例中，閘極介電質 172 係被直接地安置在定義該橫向鰭部寬度  $W_{f,1}$  之鰭部 120 之側壁上。正如以上針對圖 2B 所指明的，在由圖 2C 所繪示的該橫向通道區域中之鰭部 120 之「角部」係指示被採用以形成半導體間隔物 130(圖 2B)之技術。例如，若已執行閘極凹入蝕刻以

將在橫向通道區域中具有寬度  $W_{f,2}$  之鰭部降低至具有寬度  $W_{f,1}$  之鰭部，則在圖 2 中所繪示的鰭部 120 之剖面將比在圖 2B 之剖面中所表示者顯示更多的角部侵蝕。正如磊晶生長在角部處被加速，在一特徵之外部角部處該更大之立體角亦加速凹入蝕刻機制。

值得注意的是，以上在鰭式 FET 101 之背景內容中所述之架構元件可以被應用於廣泛範圍的其他鰭式 FET 架構中。例如，圖 3A 至 3C 係描繪依照一些替代性實施例之一鰭式 FET 201。鰭式 FET 201 具有大致上與在圖 1 中針對鰭式 FET 101 所繪示的相同的佈局。然而，鰭式 FET 201 係採用被安置在全高度鰭部 120 之上之凸起的源極/汲極區域 140。如進一步之實例，圖 4A 至 4C 係描繪具有大致上與在圖 1 中針對鰭式 FET 101 所繪示的佈局相同之鰭式 FET 301。然而，鰭式 FET 301 係具有包覆于鰭部之側壁之高遷移率通道。如又另一個實例，圖 5 係描繪具有大致上與在圖 1 中針對鰭式 FET 101 所繪示的佈局相同之奈米線 FET 401。然而，奈米線 FET 401 具有閘極堆疊以及完全地包覆高遷移率通道材料之源極/汲極區域。

圖 3A 係繪示穿過在圖 1 中所描繪之該 A-A' 平面之依照一些替代性實施例之鰭式 FET 201 之橫截面視圖。圖 3B 係繪示穿過在圖 1 中所描繪之該 B-B' 平面之依照一些替代性實施例之鰭式 FET 201 之橫截面視圖。同樣地，圖 3C 係繪示穿過在圖 1 中所描繪之該 C-C' 平面之依照一些替代性實施例之鰭式 FET 201 之橫截面視圖。首先參照圖



3A，子鰭部 110 以及鰭部 120 可以具有上文中在鰭式 FET 101 之背景內容中所討論之任何性質。與半導體間隔物 130 (圖 3B)相關聯之材料厚度  $V_s$  係墊高升高的源極/汲極區域 140。源極/汲極區域 140 可以再次具有上文中在鰭式 FET 101 之背景內容中所描述之任何性質(例如，異質磊晶高度摻雜的窄能帶隙材料)。如進一步由圖 3B 所繪示的，源極/汲極區域 140 形成環繞鰭部 120 之端部部分之一外殼。繪示在圖 3B 中之剖面係適用於遍及整個源極/汲極接點長度，因為超過橫向間隔物 171 之鰭部 120 之  $z$  高度係不變的(亦即，源極/汲極區域 140 不取代鰭部 120 之任何部分)。該最小有效閘極長度  $L_{eff}$  係因此增加達  $V_s$  的兩倍。針對其中大部分的源極/汲極電流被承載在圖 3C 中所繪示的橫向通道部分之外殼中的實施例，該最小有效閘極長度  $L_{eff}$  將由較靠近具有較長之有效通道長度之鰭部 120 之縱向軸之載子路徑所主宰。

圖 4A 係繪示穿過在圖 1 中所描繪之該 A-A' 平面之依照一些替代性實施例之鰭式 FET 301 之橫截面視圖。圖 4B 係繪示穿過在圖 1 中所描繪之該 B-B' 平面之依照一些替代性實施例之鰭式 FET 301 之橫截面視圖。同樣地，圖 4C 係繪示穿過在圖 1 中所描繪之該 C-C' 平面之依照一些替代性實施例之鰭式 FET 301 之橫截面視圖。首先參照圖 4A，子鰭部 110 以及鰭部 120 可以具有上文中在鰭式 FET 101 之背景內容中所討論之任何性質。與半導體間隔物 130 相關聯之該薄膜厚度  $V_s$ (圖 4B)係再次墊高升高的源極

/汲極區域 140。源極/汲極區域 140 可以具有上文中在鰭式 FET 101 之背景內容中所描述之任何性質(例如，異質磊晶高度摻雜窄能帶隙材料)。在鰭式 FET 301 中，鰭部 120 鍍覆或形成一個包圍子鰭部 110 的外殼，其延伸幾乎整個鰭部高度  $H_f$ 。在此架構中，異質鰭部 103 包括兩種材料(子鰭 110、鰭 120)之半放射狀堆疊。取決於尺寸，鰭式 FET 101 可以操作為單閘極之表面通道裝置或作為雙閘極之通道裝置。如在圖 4B 與 4C 中所顯示的，在源極/汲極端部與異質鰭部 103 之橫向通道部分之間之差值係從在該電鍍厚度中之差異所產生的(例如，在源極/汲極端部處鍍覆厚度增加達  $V_s$ )。

圖 5 係繪示穿過在圖 1 中所描繪之該 A-A' 平面之依照一些實施例之奈米線 FET 401 之橫截面視圖。如所顯示的，半導體間隔物 130 大致上繞著鰭部 120 之縱向軸  $C_L$  而呈對稱。在此一繪示性實施例中，該子鰭部係不存在而已經被完全地由閘極堆疊材料、源極/汲極 140 以及接點敷金屬 150 所取代。由於半導體間隔物 130 具有比該橫向通道區域的徑向尺寸更大的徑向尺寸，因此奈米線 FET 401 之通道係有效地沿著橫向閘極長度  $L_g$  而變窄，導致源極/汲極電流不但徑向地而且縱向地流動穿過鰭部 120。

依照以上之架構，高遷移率鰭式 FET 可以藉由各種應用各種技術以及處理腔室組態之方法來生產。圖 6 係繪示依照一些實施例用於製造具有高遷移率半導體間隔物之高遷移率鰭式 FET 之例示性方法 601 之流程圖。圖 7A、



7B、7C、7D、7E 以及 7F 係繪示依照一些實施例沿著隨著方法 601 執行而進化之鳍式 FET 101 之 A-A' 平面之橫截面視圖。圖 8A、8B、8C、8D、8E 以及 8F 係繪示依照一些實施例沿著隨著在圖 6 中所繪示之方法執行而進化之鳍式 FET 101 之 B-B' 平面之橫截面視圖。

首先參照圖 6，方法 601 係在操作 610 處開始，其中高遷移率材料之鳍部被形成。在某些實施例中，例如藉由在具有複數個種植表面區域之矽基板之上磊晶生長眾多 III-V 族材料的島來製造 III-V 族異質接面鳍部。在某些此種實施例中，晶種表面區域被高長寬比側壁圍繞以實施長寬比捕獲 (ART) 且在該異質磊晶鳍部材料中達到可接受的晶體品質。該 ART 技術係一個局部附加異質磊晶鳍部製造之實例，其可以有利地降低遍及各種異質接面之熱失配之效應。在替代性實施例中，可以採用習知的消滅技術，其中一毯覆 III-V 族薄膜堆疊被生長於基板的整個作業表面上或被轉移到基板的整個作業表面，或被轉移到基板。此毯覆薄膜堆疊接著被蝕刻至鳍部結構中，同樣地適合於方法 601 之後續操作。

在由圖 7A 與 8A 所繪示之例示性實施例中，一旦操作 610 完成時，異質鳍部 103 係被安置在基板 105 上且鳍部 120 之至少一部分延伸超過圍繞的子鳍部隔離 115 達 z 高度  $H_f$ 。在某些實施例中，z 高度  $H_f$  係藉由從異質鳍部 103 周圍凹入蝕刻子鳍部隔離 (子鳍隔離材料) 115 之預定量而界定。z 高度  $H_f$  可以隨著凹入蝕刻之程度而變化，可能曝露子鳍

部 110 之側壁。在替代性實施例中，可以利用一中止層以確保子鰭部隔離 115 之頂部表面係與位在子鰭部 110 與鰭部 120 之間的異質界面齊平。在此時，橫向鰭部寬度  $W_{f,1}$  沿著鰭部 120 之整個縱向長度係大致上不變。

回到圖 6，方法 601 係在操作 620 處來繼續，其中一通道遮罩被圖案化以保護待成為該 FET 通道區域之高遷移率鰭部之一部分。儘管可以在操作 620 處採用任何習知的遮蔽技術以及材料，但是在某些實施例中，該通道遮罩係通過若干程序而被保留的閘極心軸直到在「閘極後製程」鰭式 FET 製造流程中被取代。此種實施例可以有利地與具矽通道的鰭式 FET 製造相容，例如使 PMOS 電晶體能夠同時地在該基板之其他區域中(未圖示)被製造。

在圖 7B 與 8B 中所繪示之本例示性實施例中，犧牲閘極 770 被形成在異質鰭部 103 之一部分之上。可以在操作 620 處採用任何習知的犧牲閘極結構以及製造技術以在鰭部 120 之至少兩個相對的側壁上形成犧牲閘極 770。犧牲閘極 770 被圖案化成為延伸於鰭部 120 之通道區域之上並且著落於子鰭部隔離 115 上之犧牲材料之條紋。異質鰭部 103 之其他部分係被曝露。在由圖 7B 所表示的進一步實施例中，該通道遮罩進一步包含與犧牲閘極 770 相鄰之介電質橫向側壁間隔物 171。可以在操作 620 處採用任何習知的自對準橫向間隔物程序以橫向地避開來自犧牲閘極 770 之後續的處理。例如，一介電質(例如，二氧化矽及/或氮化矽)可以被保形地沈積在該異質鰭部之上且在該通



道遮罩之上。接著採用各向異性蝕刻以清除該介電質，除了沿著地形邊緣以外。

回到圖 6，方法 601 係在操作 630 處來繼續，其中高遷移率材料被磊晶生長於未由該通道遮罩或子鰭部隔離所保護之鰭部之表面上。此高遷移率材料可以由與該鰭部相同的或不同的組成物所製成。因此，該曝露鰭部部分之特徵與過度生長程序之特性兩者皆可以被利用以正確地避開後續地由高遷移率半導體材料所形成之源極/汲極區域。在某些實施例中，除了用於該間隔物之材料磊晶生長係大致上被生長而具有低得多的原位摻雜之外，該高遷移率間隔物材料係大致上如同源極/汲極區域之過度生長一樣地被生長。在某些實施例中，被過度生長之材料係具有與鰭部之結晶晶種表面相同的組成物，包含相同的(低)雜質摻雜劑濃度，或具有可能比該晶種鰭部材料略高的雜質濃度。

取決於裝置通道(例如，塊狀鰭部、電鍍，等等)以及源極/汲極(例如，被取代、凸起，等等)之架構，未由通道遮罩或子鰭部隔離所保護之鰭部之部分可以在高遷移率間隔物之磊晶過度生長之前被凹入蝕刻。在由圖 7B 所繪示之實例中，未由通道遮罩或子鰭部隔離 115 所保護之部分鰭部 120 係被凹入蝕刻。此凹入蝕刻可以底切橫向間隔物 171 達某預定量，或否。可以採用結晶濕式蝕刻劑或例如低損壞性的化學乾式蝕刻劑。在某些實施例中，對子鰭部 110 具有選擇性地凹入蝕刻鰭部 120。一旦鰭部 120 及/或

子鰭部 110 之表面已經被準備用於種晶一磊晶生長，則鰭部 120 之高遷移率材料將被再生長。

如進一步在圖 7C 中所顯示的，高遷移率半導體間隔物 130 係被生長，例如藉由金屬有機化學汽相沈積 (MOCVD)、分子束磊晶 (MBE)、氫化物汽相磊晶 (HVPE) 等等之任一者。該磊晶材料 (例如，InGaAs 或其他 III-V 族材料) 可以係本質的 (亦即，未刻意原位摻雜)。如在圖 7C 中所繪示的，該過度生長係包覆增加有效鰭部高度  $H_f$  達該量  $V_s$ ，且增加鰭部寬度  $W_{f,1}$  至  $W_{f,2}$  之橫向間隔物 171。

在替代性實施例中，在操作 630 處未執行鰭部 120 之凹入蝕刻，且反而高遷移率半導體間隔物 130 僅被過度生長在鰭部 120 之側壁上以增加有效鰭部高度  $H_f$  達厚度  $V_s$  且增加鰭部寬度  $W_{f,1}$  至  $W_{f,2}$ 。

一旦完成高遷移率材料之過度生長，方法 601 則進行至操作 640，其中源極/汲極區域係被形成。在操作 640 之某些實施例中，在操作 630 處所開始之鰭部 120 之磊晶再生長及/或過度生長係繼續進行。然而，一個重度摻雜而非大致上未摻雜之半導體被生長。在進一步之實施例中，由與鰭部 120 不同的組成物所製成之重度摻雜之 III-V 族半導體係從半導體間隔物 130 之晶種表面被異質磊晶生長。可以採用任何習知的磊晶源極/汲極再生長技術。在被繪示於圖 7D 與 8D 中之進一步例示性實施例中，接著藉由任何習知的技術來生長單一結晶之異質磊晶源極/汲極區域 140。此材料 (例如，InAs 或其他 III-V 族材料) 可



以被重度原位摻雜(例如，n型)。

回到圖 6，方法 601 在操作 650 處來繼續進行，其中該通道遮罩係由永久閘極堆疊來取代。方法 601 接著係大致上藉由在操作 660 處所執行之任何適當的接點敷金屬以及後端處理來完成。針對進一步在圖 7E 以及 8E 中所繪示之例示性實施例，鰭式 FET 隔離材料 180 被沈積且被平面化以曝露犧牲閘極 770 之頂部。犧牲閘極 770 係相對於隔離材料 180 而被選擇性地移除，藉此曝露鰭部 120 之橫向通道區域。在此時，可以執行一個可選的閘極通道凹入蝕刻以進一步增加正交通道組件。針對此種閘極凹部，至少鰭部 120 之兩個側壁被回蝕刻(例如，1 至 3 奈米)。值得注意的是，此種凹入蝕刻可能不像該磊晶再生長操作 630 一樣係可控制的，而因此若再生長操作達到所要之源極/汲極間隔物距離(亦即， $V_s$ )時可以避免此種凹入蝕刻。

在該可選之通道(閘極)凹入蝕刻之後，如在圖 7F 與 8F 中所描繪的，一包含閘極介電質 172 與閘極電極 173 之永久閘極堆疊係被形成在該鰭部結構之至少兩個側壁之上。儘管任何習知的閘極堆疊材料可以被利用，但在一例示性實施例中，一高 k 值介電質材料連同具有適合用於鰭部 120 之 III-V 族組成物之功函數之一金屬閘極電極係被沈積。如進一步在圖 7F 與 8F 中所繪示的，源極/汲極接點敷金屬 150 可藉由任何習知的技術而被形成。鰭式 FET 101 接著係大致上如同在圖 1 以及 2A 至 2C 中所介紹的一般。

圖 9 係繪示採用包含具有例如在本文中之別處所描述的高遷移率半導體間隔物之 III-V 族鰭式 FET 之 SoC 之行動計算平台以及資料伺服器機器。伺服器機器 906 可以係任何的商業伺服器，例如包含被安置在機櫃中且被網路連結在一起以用於電子資料處理之任何數量的高效能計算平台，其在本例示性實施例中係包含被封裝之單片式 SoC 950。行動計算平台 905 可以係被組態成用於電子資料顯示、電子資料處理、無線電子資料傳輸等等之各者之任何的可攜式裝置。例如，行動計算平台 905 可以係平板電腦、智慧型手機、膝上型電腦等等之任一者，且可以包含顯示器螢幕(例如，電容式、電感式、電阻式或光學觸控螢幕)、晶片級或封裝級整合系統 910 以及電池 915。

不論是安置於擴展圖 920 中所描繪之整合系統 910 內，或作為在伺服器機器 906 內之獨立封裝晶片，封裝單片式 SoC 950 包含記憶體方塊(例如，RAM)，處理器方塊(例如，微處理器、多核心微處理器、繪圖處理器等)，其包含具有例如在本文其他地方所述之具有高遷移率半導體間隔物之至少一異質磊晶 III-V 族 n 型電晶體。單片式 SoC 950 可進一步耦合至板、基板、或中介層 960，連同電力管理積體電路(PMIC)930、包含寬頻 RF(無線)發射器及/或接收器(TX/RX)(例如包含數位基帶及類比前端模組，進一步包括在傳輸路徑上之功率放大器及在接收路徑上之低雜訊放大器)之 RF(無線)積體電路(RFIC)925、及其控制器 935 之一或多者。



功能上，PMIC 930 可執行電池電力調節、直流(DC)對直流轉換等，且故具有耦合至電池 915 之輸入及提供電流供應至其他功能模組之輸出。如例示性實施例中進一步繪示，RFIC 925 具有耦合至天線(未顯示)之輸出，以實施任何數量之無線標準或協定，包含但不侷限於 Wi-Fi(IEEE 802.11 系列)、WiMAX(IEEE 802.16 系列)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽及其衍生物，以及被稱為 3G、4G、5G 及更高版本之任何其他無線協定。在替代性實施方案中，這些板級模組之每一者可整合至分離 IC 上或整合至單片式 SoC 950 中。

圖 10 為依照本發明之一實施例之電子計算裝置的功能方塊圖。計算裝置 1000 可於例如平台 905 或伺服器機器 906 內部。裝置 1000 進一步包含主控若干組件之母板 1002，該等組件諸如但不侷限於處理器 1004(例如應用處理器)，其可進一步併入例如在本文其他地方所述之具有高遷移率半導體間隔物之至少一個 III-V 族鰭式 FET。處理器 1004 可實體及/或電耦合至母板 1002。在一些實例中，處理器 1004 包含封裝於處理器 1004 內之積體電路晶粒。通常，用詞「處理器」或「微處理器」可指處理來自暫存器及/或記憶體之電子資料而將所述電子資料轉換為可進一步儲存於暫存器及/或記憶體中之其他電子資料的任何裝置或裝置之一部分。

在各種實例中，一或多通信晶片 1006 亦可實體及/或電耦合至母板 1002。在進一步實施方案中，通信晶片 1006 可為處理器 1004 之一部分。依據其應用，計算裝置 1000 可包含可或不可實體及電耦合至母板 1002 之其他組件。這些其他組件包含但不限於揮發性記憶體(例如 DRAM)、非揮發性記憶體(例如 ROM)、快閃記憶體、繪圖處理器、數位信號處理器、加密處理器、晶片組、天線、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、加速計、陀螺儀、揚聲器、相機及大量儲存裝置(諸如硬碟機、固態磁碟機(SSD)、光碟片(CD)、數位影音光碟(DVD)等)或類似物。

通信晶片 1006 可致能無線通信，進行資料轉移至/自計算裝置 1000。用詞「無線」及其衍生可用以描述電路、裝置、系統、方法、技術、通信通道等，其可經由使用經由非固態媒體之調變電磁輻射而傳遞資料。該用詞並非暗示相關聯裝置不包含任何線路，儘管在一些實施例中其並未包含線路。通信晶片 1006 可實施任何數量之無線標準或協定，包括但不侷限於文中其他地方所描述者。如同所討論者，計算裝置 1000 可包括複數個通信晶片 1006。例如，第一通信晶片可專用於短距離無線通信，諸如 Wi-Fi 及藍芽，且第二通信晶片則可專用於長距離無線通信，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他。



雖然已參照各式實施方案說明文中提出之某些特徵，然而本說明不意欲以限制的意義解譯。因此，文中所描述之實施方案的對於熟悉本揭露相關技藝之人士顯而易見的各種修改以及其他實施方案視為落在本揭露內容之精神及範圍內。

將可理解的是，本發明不侷限於所描述之實施例，而是可以進行修改及替代而未偏離隨附申請專利範圍之範疇。例如，以上實施例可包含以下進一步提供之特徵的特定組合。

在一或多個第一實施例中，單片式電晶體係包括被安置在基板之上之第一半導體材料之鰭部。一閘極堆疊係被安置在該鰭部之橫向通道區域之上。一對半導體源極/汲極區域，其藉由閘極側壁間隔物而從該閘極堆疊橫向隔開，且藉由具有比該源極/汲極區域還低之雜質濃度的半導體材料之厚度而從該橫向通道區域垂直隔開。

在該第一實施例之至少一者中，該源極/汲極區域係藉由該第一半導體材料之厚度而從該橫向通道區域垂直隔開，且該第一半導體具有比矽之載子遷移率還高之載子遷移率。

在緊接著以上之該實施例中，從該基板超過該閘極側壁間隔物之該鰭部之第一高度係大於在該橫向通道區域中之該鰭部之第二高度，且超過該閘極側壁間隔物之該鰭部之第一寬度係大於在該橫向通道區域中之該鰭部之第二寬度。

在緊接著以上之該實施例中，該鰭部之該第一寬度係以該第一及第二高度之間之差值的兩倍大於該鰭部之該第二寬度。

在該第一實施例之至少一者中，該第一半導體材料包括第一 III-V 族化合物半導體材料的鰭部，其被安置在第二 III-V 族化合物半導體之子鰭部上。該對源極/汲極區域進一步包括與該第一 III-V 族化合物半導體材料相接觸之第三 III-V 族化合物半導體材料。該第三 III-V 族化合物半導體係藉由該第一 III-V 族化合物半導體材料而與該第二 III-V 族化合物半導體材料隔開。

在該第一實施例之至少一者中，該基板係砷，且該第一半導體材料係選自由以下所組成之群組：InGaAs、InAs、InP 及 InSb。

在緊接著以上之該實施例之至少一者中，該第一半導體材料包括第一 III-V 族化合物半導體材料的鰭部，其被安置在第二 III-V 族化合物半導體之子鰭部上，該第二 III-V 族化合物半導體係選自由以下所組成之群組：AlSb、GaSb、GaAlSb、GaAsSb、InAlAs、GaAs 及 AlGaAs。

在該第一實施例之至少一者中，將該源極/汲極區域從該橫向通道區域垂直間隔開之該半導體材料的厚度係具有與該橫向通道區域相同的雜質摻雜劑濃度。該閘極側壁間隔物包括該閘極堆疊之閘極絕緣體且該閘極側壁間隔物將該閘極堆疊之金屬閘極電極之側壁從將該源極/汲極區



域從該橫向通道區域垂直間隔開之該半導體材料之頂部表面隔開。

在一或多個第二實施例中，一種 CMOS 積體電路 (IC)，包括矽基板，n 型具 III-V 族通道的鰭部場效電晶體 (FET)，其被安置於該基板之第一區域之上，以及 p 型具矽通道的鰭式 FET，其被安置於該基板之第二區域之上。該 III-V 族鰭式 FET 進一步包含第一 III-V 族化合物半導體材料之鰭部，金屬-絕緣體閘極堆疊及閘極堆疊側壁間隔物，其被安置於該第一 III-V 族化合物半導體材料之橫向通道區域之上，及一對半導體源極/汲極區域，其藉由閘極側壁間隔物而從該閘極堆疊橫向隔開，且藉由具有比該源極/汲極區域還低之雜質濃度的半導體材料之厚度而從該橫向通道區域垂直隔開。

在該第二實施例之至少一者中，該源極/汲極區域係藉由該第一半導體材料之厚度而從該橫向通道區域垂直隔開。該第一半導體具有比矽之載子遷移率還高之載子遷移率。超過該閘極側壁間隔物之該鰭部之第一高度係大於在該橫向通道區域中之該鰭部之第二高度，超過該閘極側壁間隔物之該鰭部之第一寬度係大於在該橫向通道區域中之該鰭部之第二寬度，且該 p 型鰭式 FET 包括鰭部，其寬度等於該第二寬度。

在該第二實施例之至少一者中，與該 n 型鰭式 FET 相關聯之閘極長度係小於與該 p 型鰭式 FET 相關聯之對應閘極長度。在該 n 型鰭式 FET 之該有效通道長度與該

閘極長度之間的差值係大於該 p 型鰭式 FET 之有效通道長度與該閘極長度之間的差值。

在該第二實施例之至少一者中，由該 n 型鰭式 FET 佔據之基板區域係小於由該 p 型鰭式 FET 所佔據之基板區域。

在該第二實施例之至少一者中，該第一半導體材料係選自由以下所組成之群組：InGaAs、InAs、InP 及 InSb。該鰭部被安置在第二 III-V 族化合物半導體材料之子鰭部上，該第二 III-V 族化合物半導體材料係選自由以下所組成之群組：AlSb、GaSb、GaAlSb、GaAsSb、InAlAs、GaAs 及 AlGaAs。

在一或多個第三實施例中，一種製造高載子遷移率鰭部場效電晶體(FET)之方法，該方法包括形成被安置在基板上之鰭部，該鰭部包括具有高載子遷移率之單晶半導體材料。該方法進一步包括遮蔽該鰭部之橫向通道區域。該方法進一步包括在超過該遮罩之該鰭部的端部處磊晶生長具有高載子遷移率之半導體材料的間隔物。該方法進一步包括在該鰭部之端部處形成源極及汲極區域，該源極及汲極區域摻雜比該間隔物還高之雜質濃度。

在該第三實施例之至少一者中，該方法進一步包括在該橫向通道區域之上形成閘極堆疊。該方法進一步包括形成接點敷金屬至該源極及汲極區域。

在該第三實施例之至少一者中，磊晶生長該間隔物進一步包括生長被採用在該橫向通道區域中之該半導體材料



的額外厚度。

在該第三實施例之至少一者中，磊晶生長該間隔物進一步包括凹入蝕刻未由該遮罩所覆蓋之該高遷移率半導體材料，且沿著該凹部之單晶晶種邊緣磊晶生長該高遷移率半導體材料之單晶層。

在緊接著以上之該第三實施例之至少一者中，磊晶生長該高遷移率半導體材料進一步包括生長 III-V 族化合物半導體材料，其具有與所凹入蝕刻之該高遷移率半導體材料相同的組成物。

在該第三實施例之至少一者中，凹入蝕刻該高遷移率半導體材料曝露被安置在該鰭部下方之子鰭部之表面，該子鰭部進一步包括第二半導體材料，且磊晶生長該高遷移率半導體材料之層進一步包括在該第二半導體材料之該曝露表面上且在該橫向通道區域之側壁表面上生長該高遷移率半導體材料。

在該第三實施例之至少一者中，在該橫向通道區域之上形成該遮罩進一步包括沈積犧牲閘極堆疊、將該犧牲閘極堆疊圖案化成延伸於該橫向通道區域之上的條紋，且形成相鄰於該條紋之側壁的介電質橫向間隔物。

在該第三實施例之至少一者中，在該橫向通道區域之上形成該閘極堆疊進一步包括在移除該遮罩之後凹入蝕刻該鰭部之該通道區域，沈積高 k 值閘極介電質材料於凹入橫向通道區域表面之上，且沈積閘極金屬於該高 k 值閘極介電質之上。

在該第三實施例之至少一者中，形成該鰭部進一步包括形成 III-V 族化合物半導體材料之鰭部，該 III-V 族化合物半導體材料係選自由以下所組成之群組：InGaAs、InAs、InP 及 InSb。

然而，以上之實施例不被限制於此，且在各種實施方案中，以上之實施例可能包含僅進行此種特徵之子集合、進行此種特徵之不同順序、進行此種特徵之不同組合及/或進行除明確地列出的那些特徵以外的額外特徵。因此，本發明之範圍應該參照隨附之申請專利範圍連同此等申請專利範圍享有之等效件之全部範圍來決定。

#### 【符號說明】

100：互補金屬氧化物半導體(CMOS)電路

101：高遷移率鰭式 FET

102：具矽通道的鰭式 FET

103：異質鰭部

104：鰭部

105：基板

110：子鰭部

115：子鰭部隔離

120：鰭部

130：半導體間隔物

131：橫向間隔

135：異質界面



- 136：第二異質介面
- 140：源極/汲極區域
- 150：源極/汲極接點敷金屬
- 171：橫向間隔物
- 172：閘極介電質
- 173：閘極電極
- 180：隔離材料
- 201：鰭式 FET
- 221：角部厚度
- 301：鰭式 FET
- 401：奈米線 FET
- 601：例示性方法
- 620：操作
- 630：操作
- 640：操作
- 650：操作
- 660：操作
- 770：犧牲閘極
- 1004：處理器
- 905：行動計算平台
- 906：伺服器機器
- 910：封裝級整合系統
- 915：電池
- 920：擴展圖

925 : RF(無線)積體電路(RFIC)

930 : 電力管理積體電路(PMIC)

935 : 控制器

950 : 單片式 SoC

960 : 中介層

1000 : 計算裝置

1002 : 母板

1004 : 處理器

1006 : 通信晶片

$V_s$  : 間隔物厚度

$W_{f,1}$  : 鰭部寬度

$W_{f,2}$  : 鰭部寬度

$C_L$  : 縱向軸

$L_g$  : 橫向閘極長度

$H_f$  : 鰭部高度

$L_{eff}$  : 有效通道長度



## 【發明申請專利範圍】

【請求項1】一種電晶體，包括：

鰭部，其包括第一半導體材料；

閘極堆疊，其在該第一半導體材料的通道區域之上；

閘極側壁間隔物，其相鄰於該閘極堆疊；及

源極和汲極，其包括第二半導體材料，其中，該第二半導體材料藉由該閘極側壁間隔物的至少第一部分從該閘極堆疊橫向隔開，以及其中，該第二半導體材料藉由中介半導體材料的至少一厚度從該通道區域垂直隔開，該中介半導體材料相鄰於該側壁間隔物的第二部分，該中介半導體材料具有的雜質濃度低於該第二半導體材料的雜質濃度。

【請求項2】如請求項1之電晶體，其中：

中介半導體材料的該厚度具有大致上與該第一半導體材料相同的組成物；且

該第一半導體材料具有比矽的載子遷移率還高的載子遷移率。

【請求項3】如請求項1之電晶體，其中，在超過該閘極側壁間隔物的位置處該鰭部從下面的基板的第一高度大於該鰭部在該通道區域內的第二高度大約等於該中介半導體材料的該厚度的量。

【請求項4】如請求項1之電晶體，其中，該鰭部超過該閘極側壁間隔物的第一寬度大於該鰭部在該通道區域內的第二寬度大約兩倍該中介半導體材料的該厚度。

【請求項5】如請求項1之電晶體，其中：

該中介半導體材料具有與該第一半導體材料相同的雜質摻雜劑濃度；

該閘極側壁間隔物包括該閘極堆疊的閘極絕緣體；且

該閘極側壁間隔物將該閘極堆疊的金屬閘極電極的側壁從該中介半導體材料的頂部表面隔開。

【請求項6】如請求項1之電晶體，其中：

該第一半導體材料包括第一III-V族化合物半導體材料以及該鰭部在包括第二III-V族化合物半導體的子鰭部之上；

該源極和汲極進一步包括與該第一III-V族化合物半導體材料接觸的第三III-V族化合物半導體材料；且

藉由該第一III-V族化合物半導體材料將該第三III-V族化合物半導體從該第二III-V族化合物半導體材料隔開。

【請求項7】如請求項6之電晶體，其中，該鰭部在包括矽的基板之上；且

該第一半導體材料是In、Ga、和As的合金，或In和As的合金，或In和P的合金，或In和Sb的合金。

【請求項8】如請求項7之電晶體，其中：

該子鰭部包括Al和Sb的合金，或Ga和Sb的合金，或Ga、Al和Sb的合金，或Ga、As和Sb的合金，或In、Al、或As的合金，或Ga、和As的合金，或/和Al、Ga、和As的合金。

【請求項9】一種CMOS積體電路（IC），包括：



矽基板；

n型 III-V 族 鰭式場效電晶體（鰭式 FET），其在該基板的第一區域之上，該 III-V 族 鰭式 FET 進一步包含：

鰭部，其包括第一 III-V 族材料；

閘極堆疊，其在該第一 III-V 族材料的通道區域之上；

閘極側壁間隔物，其相鄰於該閘極堆疊；及

源極和汲極，其包括第二半導體材料，該源極和汲極每個藉由該閘極側壁間隔物的至少第一部分從該閘極堆疊橫向隔開，該源極和汲極藉由中介半導體材料的至少一厚度從該通道區域垂直間隔開，該中介半導體材料相鄰於該側壁間隔物的第二部分；且 p 型矽 鰭式 FET 在該基板的第二區域之上。

**【請求項 10】** 如請求項 9 之 CMOS IC，其中：

與該 n 型 鰭式 FET 相關聯的閘極長度小於與該 p 型 鰭式 FET 相關聯的對應閘極長度；且

該 n 型 鰭式 FET 的該有效通道長度和該閘極長度之間的差值大於該 p 型 鰭式 FET 的有效通道長度和該閘極長度之間的差值。

**【請求項 11】** 如請求項 10 之 CMOS IC，其中，由該 n 型 鰭式 FET 佔據之基板區域小於由該 p 型 鰭式 FET 佔據之基板區域。

**【請求項 12】** 一種製造場效電晶體（FET）的方法，該方法包括：

在基板之上形成鰭部，該鰭部包括的半導體材料與該基板的半導體材料不同；

遮蔽該鰭部的第一區域；

在該鰭部超過該第一區域的端部處以及相鄰於該遮罩的第一部分磊晶生長包括半導體材料的間隔物；且

在該間隔物之上以及相鄰於該遮罩的第二部分形成源極和汲極，該源極和該汲極包括半導體材料，其具有的雜質摻雜劑在濃度上超過該間隔物的雜質摻雜劑的濃度。

【請求項13】如請求項12之方法，進一步包括在該鰭部的該第一區域之上形成閘極堆疊，且形成接點敷金屬至該源極和汲極。

【請求項14】如請求項13之方法，其中，在該第一區域之上形成該閘極堆疊進一步包括：

在該第一區域內沉積高k值閘極介電質材料；且

在該高k值閘極介電質之上沉積閘極金屬。

【請求項15】如請求項12之方法，其中，磊晶生長該間隔物進一步包括在該鰭部之上生長該半導體材料的額外厚度於該鰭部的該第一區域中。

【請求項16】如請求項12之方法，其中，磊晶生長該間隔物進一步包括：凹入蝕刻未由該遮罩所覆蓋之半導體材料；且

沿著該鰭部的側壁表面磊晶生長單晶半導體材料。

【請求項17】如請求項16之方法，其中，磊晶生長該間隔物半導體材料進一步包括生長III-V族化合物半導體材



料，其具有與該鰭部的該第一區域的該半導體材料相同的組成物。

【請求項18】如請求項16之方法，其中：

凹入蝕刻該半導體材料曝露子鰭部位在該鰭部下方的表面，該子鰭部進一步包括第二半導體材料；且

磊晶生長該間隔物的該半導體材料進一步包括在該第二半導體材料的該曝露表面上生長半導體材料。

【請求項19】如請求項12之方法，其中，遮蔽該第一區域進一步包括：沉積犧牲閘極堆疊；

將該犧牲閘極堆疊圖案化成延伸在該第一區域之上的條紋；且

形成相鄰於該條紋的側壁之橫向間隔物，該橫向間隔物包括介電質材料。

【請求項20】如請求項13之方法，其中，該鰭部進一步包括In、Ga、和As的合金，或In和As的合金，或In和P的合金，或In和Sb的合金。









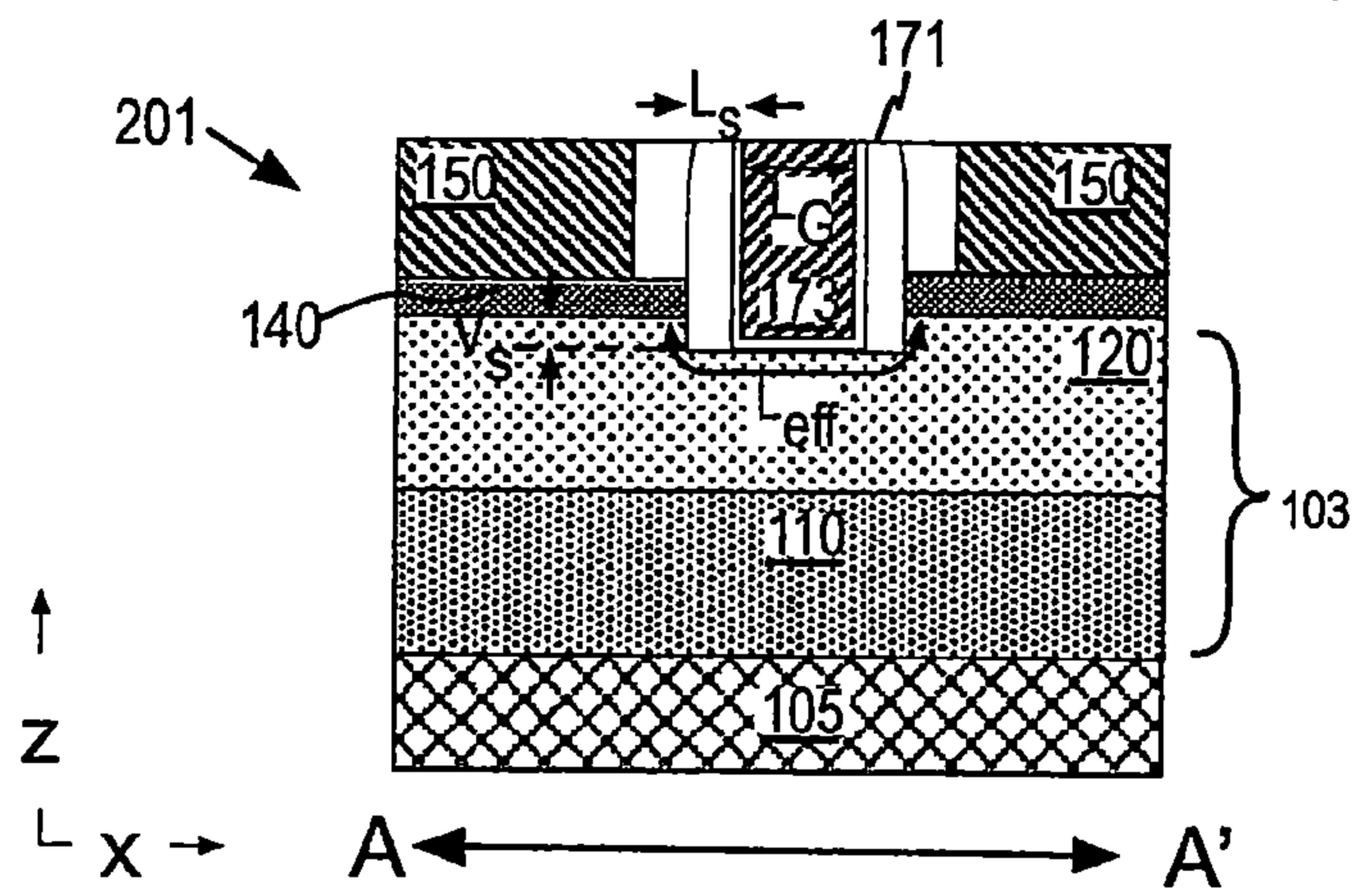


圖 3A

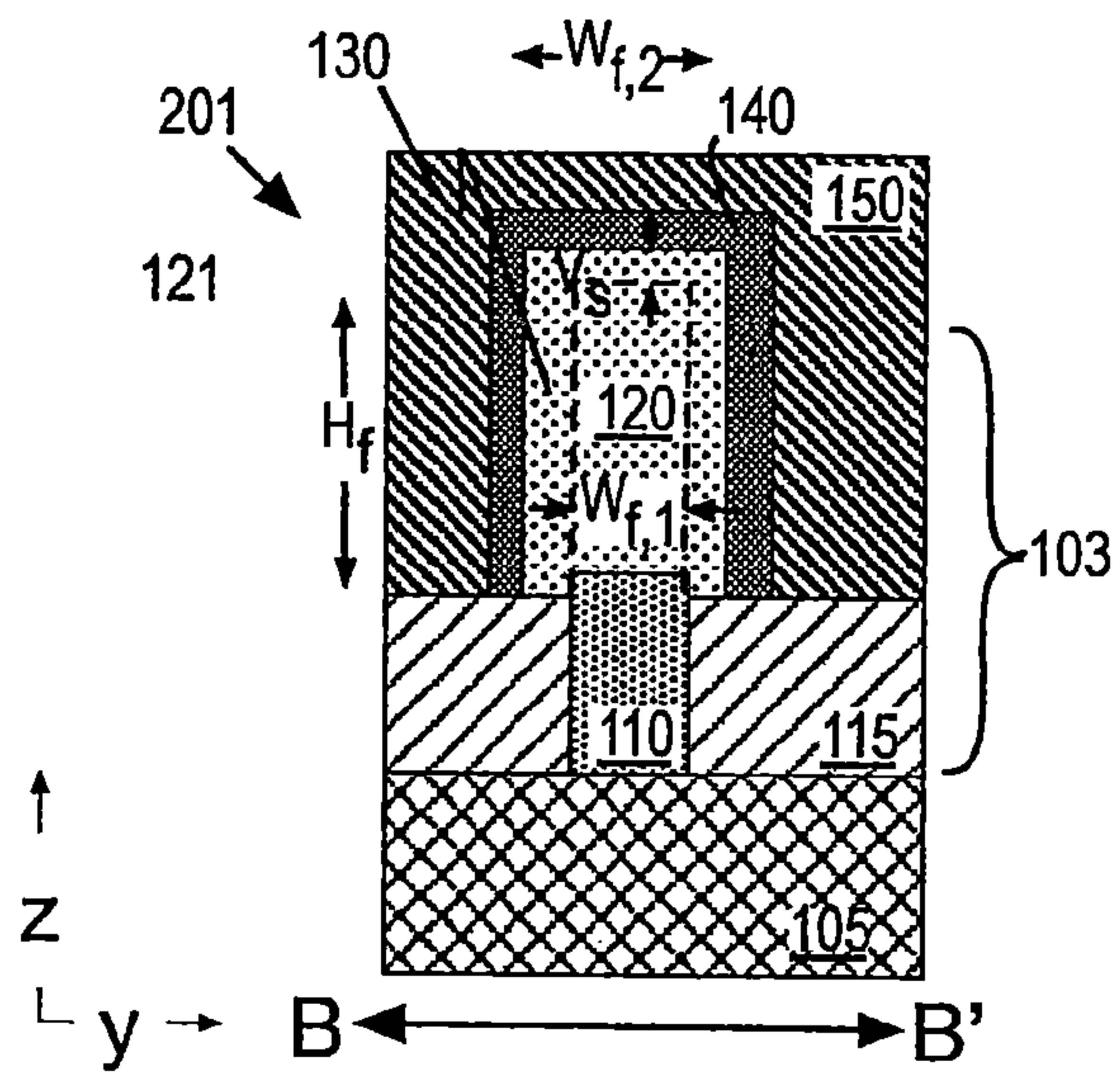


圖 3B

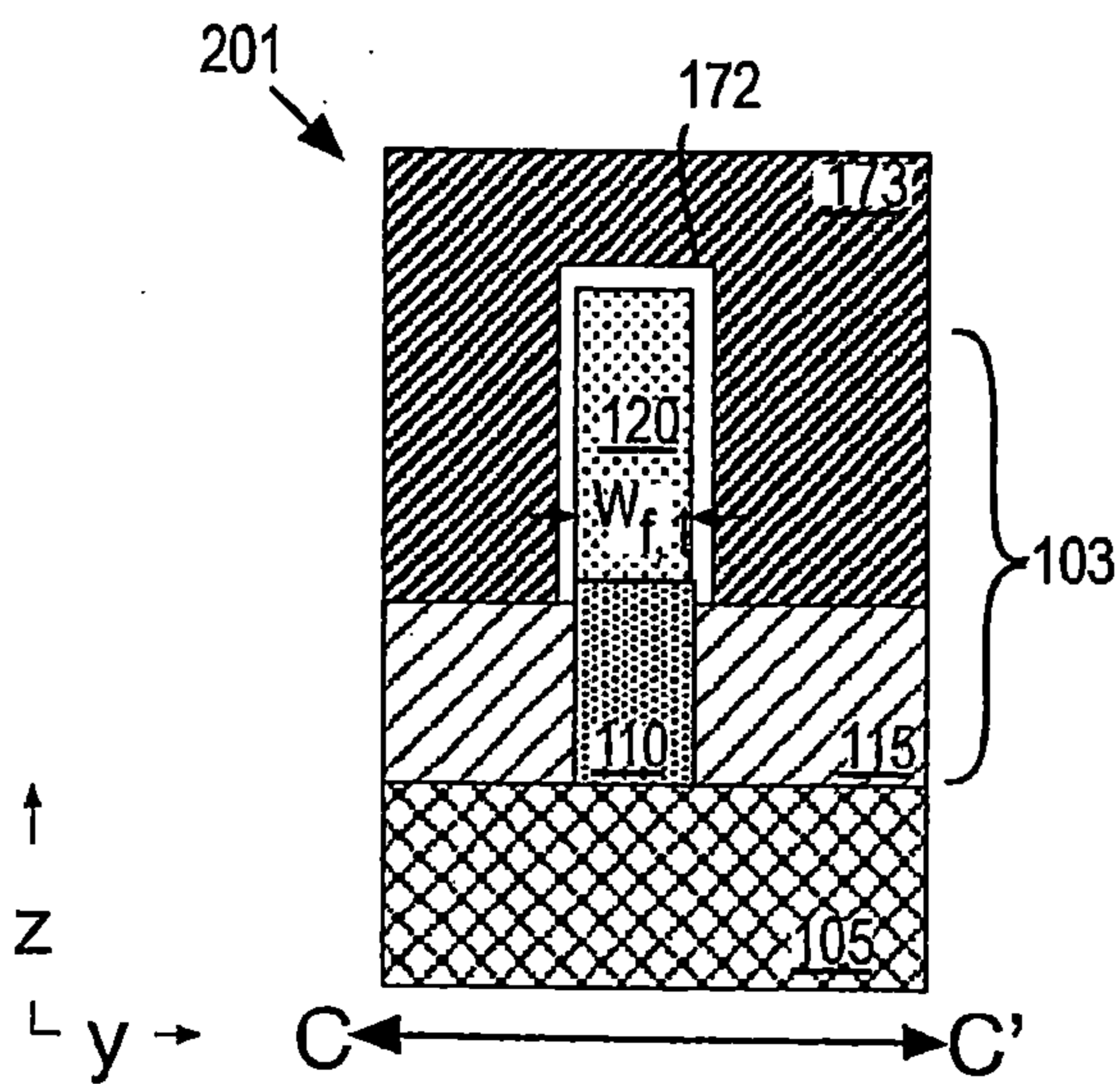


圖 3C



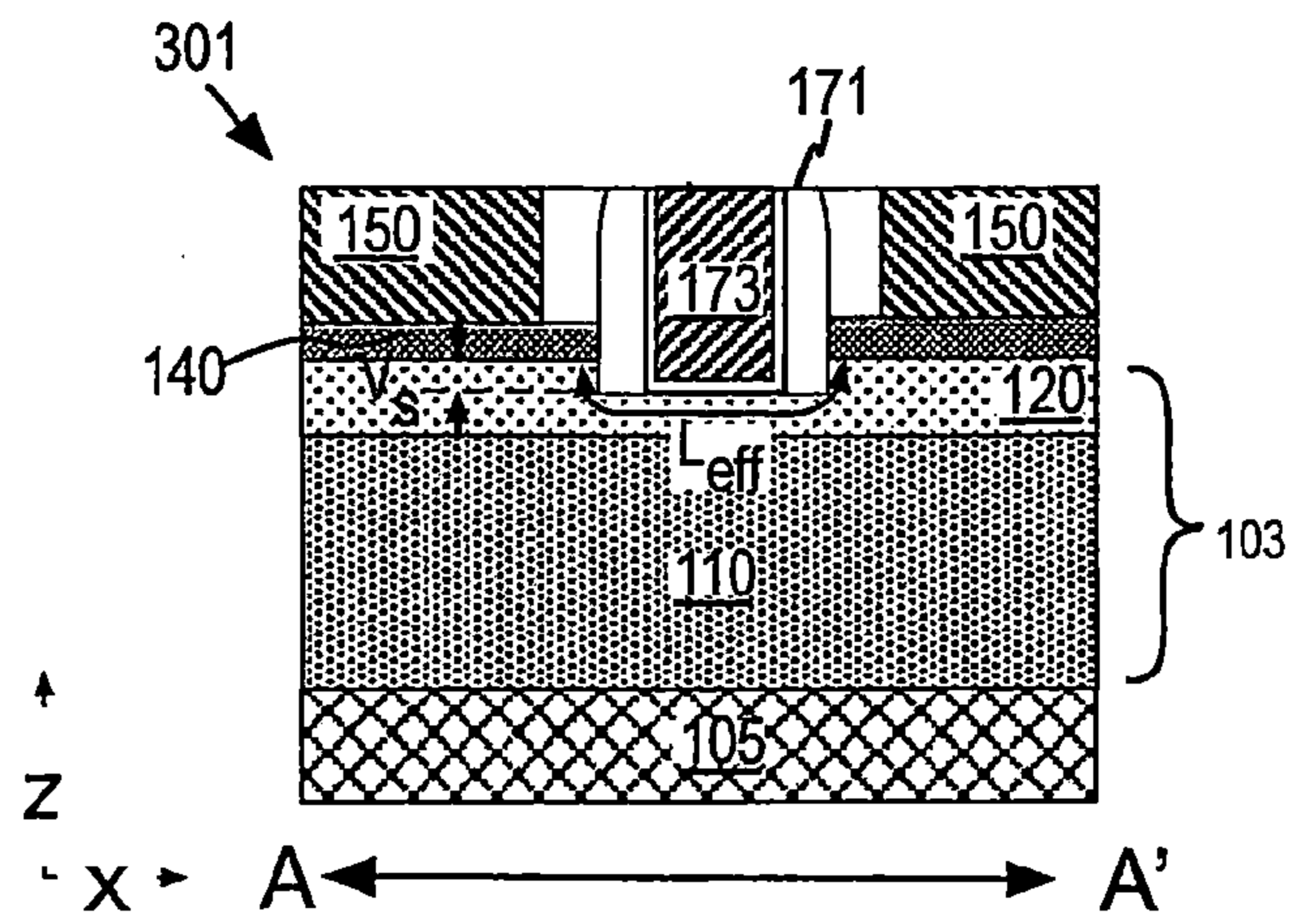


圖 4A

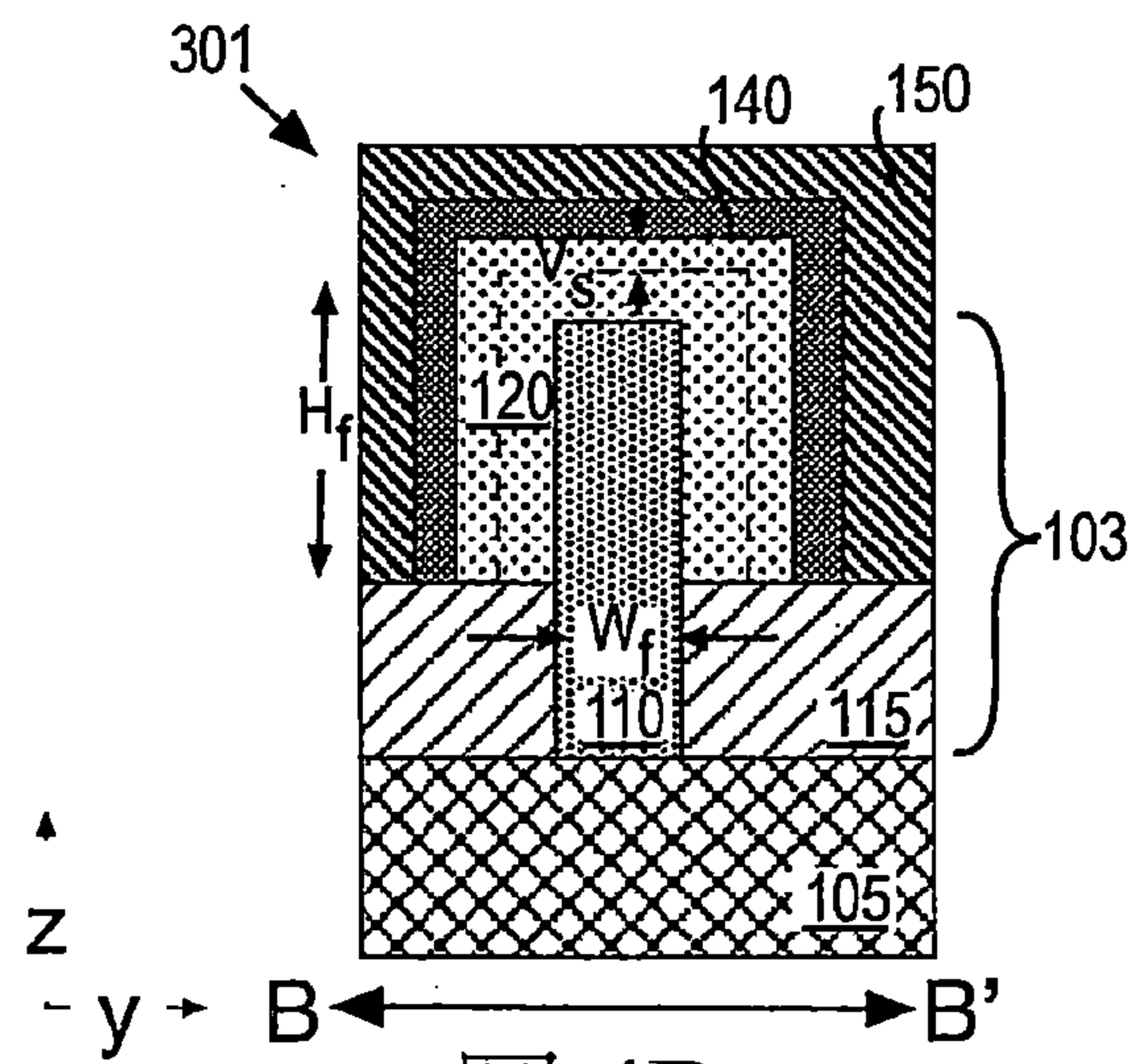


圖 4B

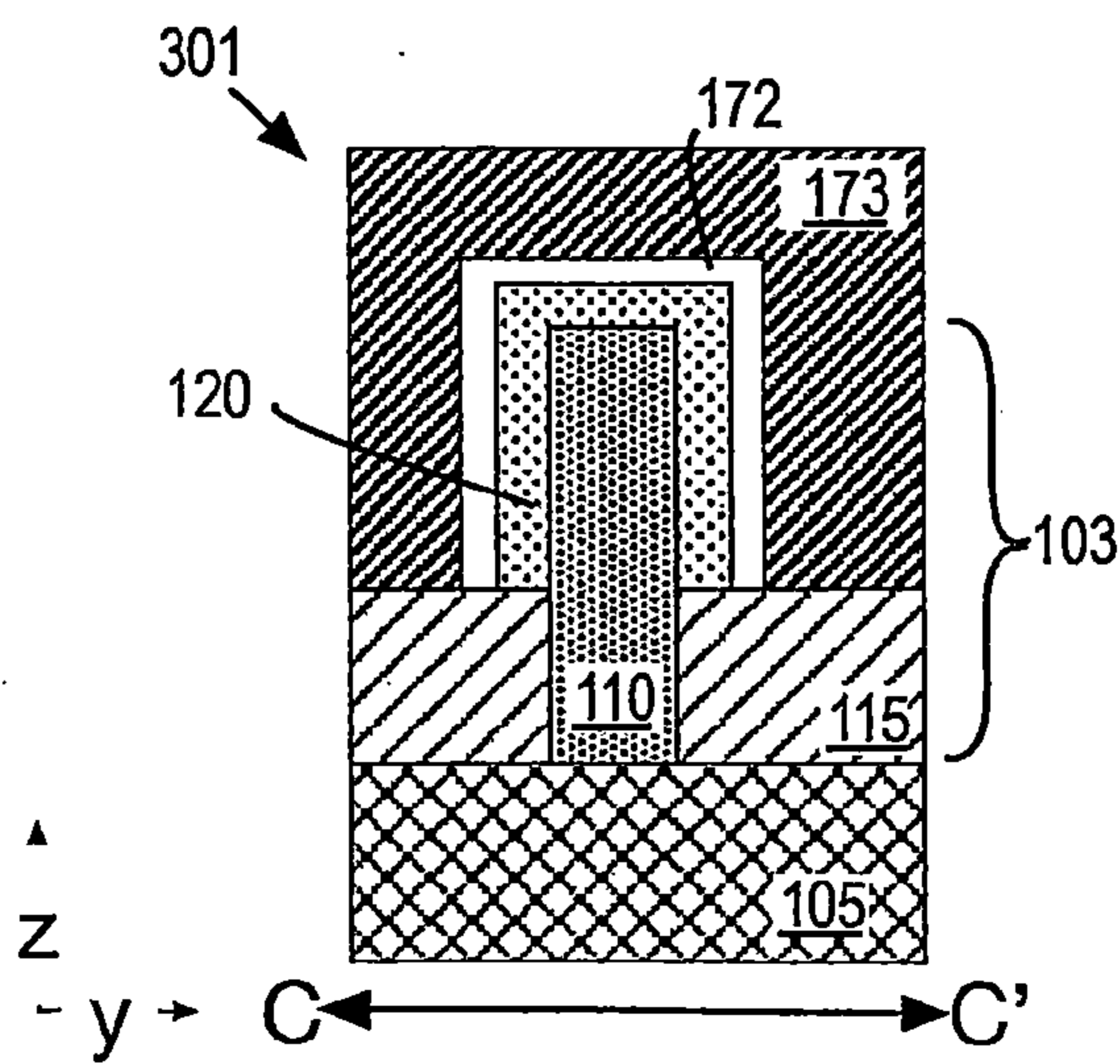


圖 4C



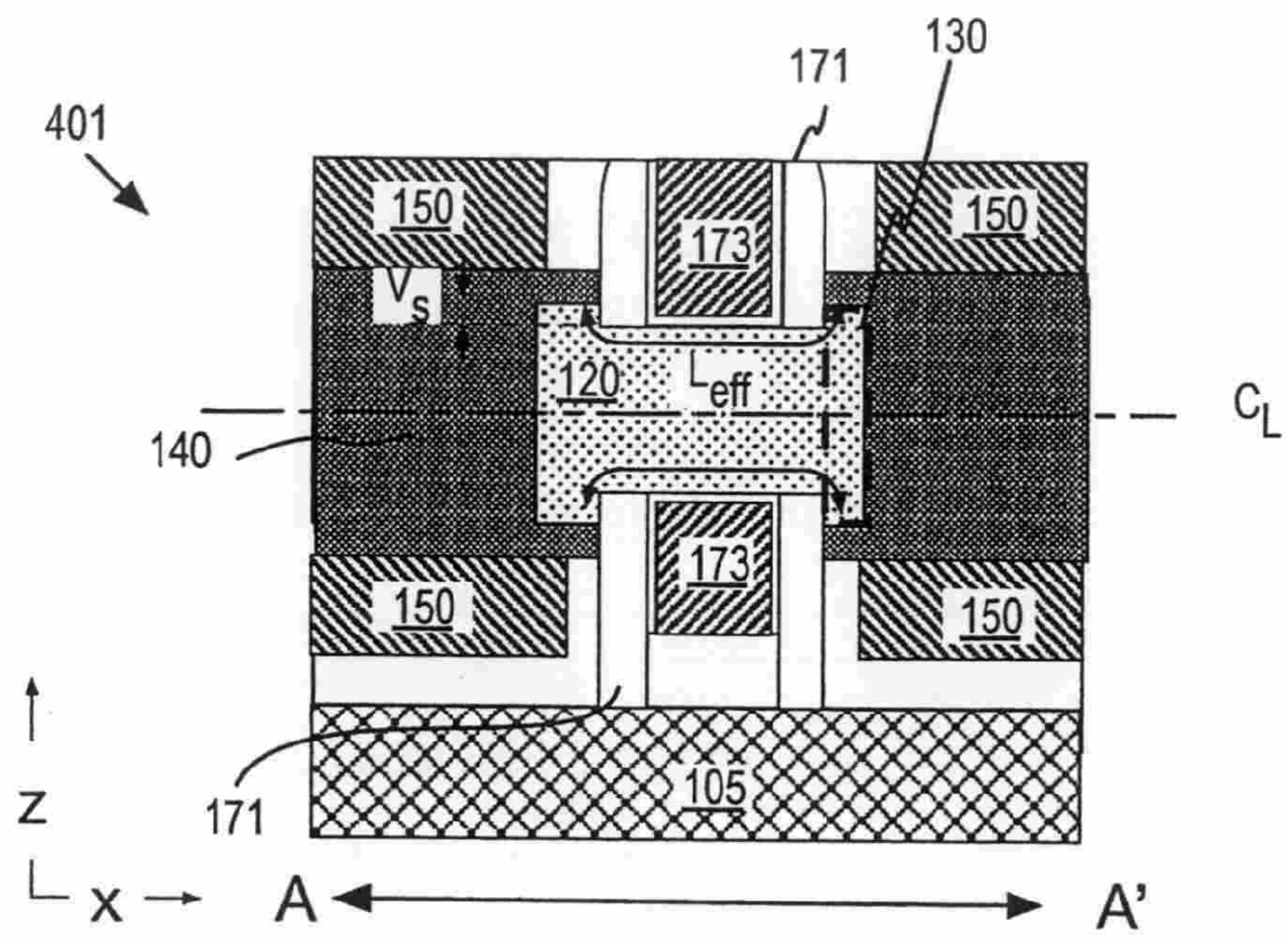


圖 5



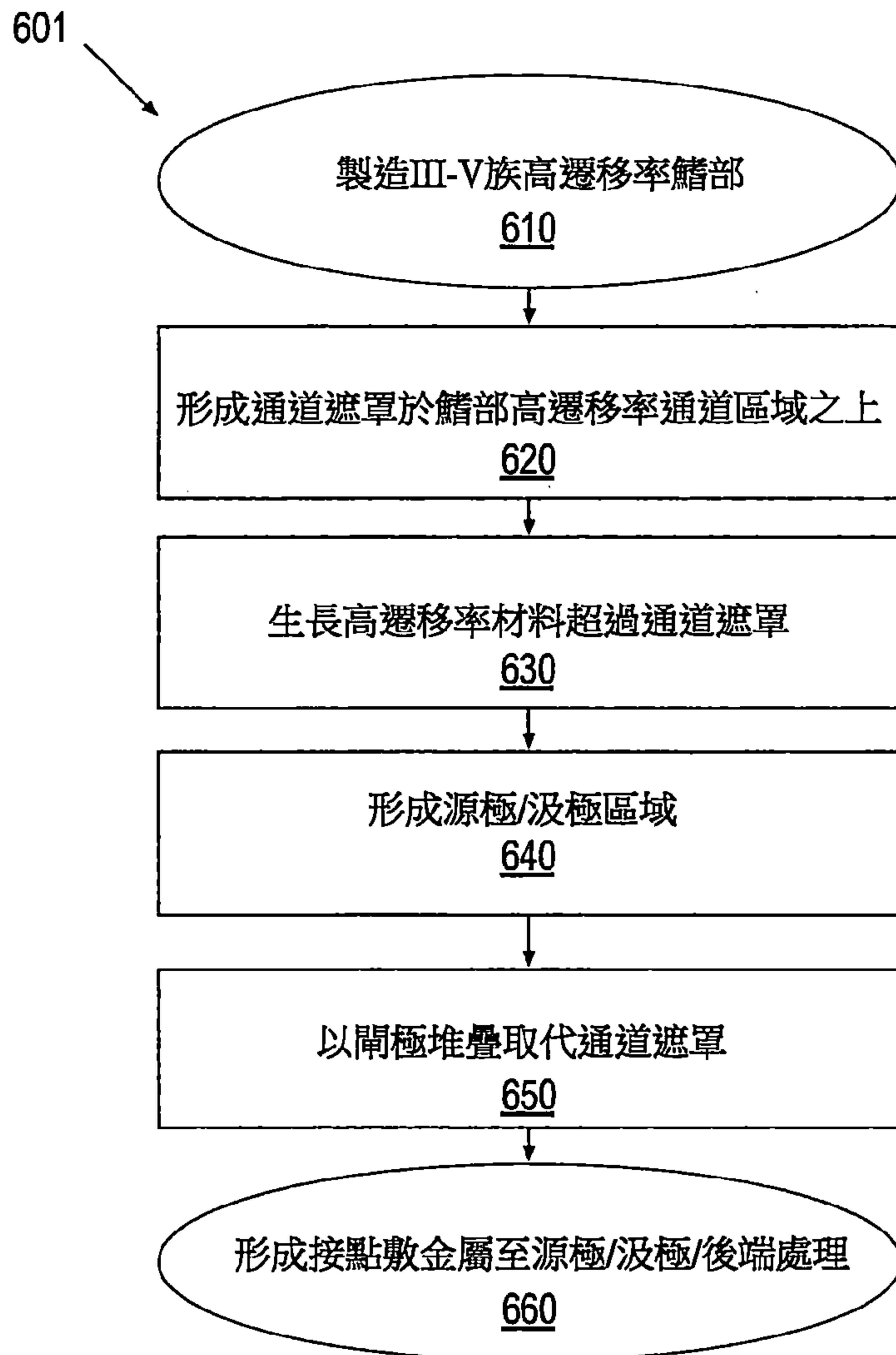


圖 6

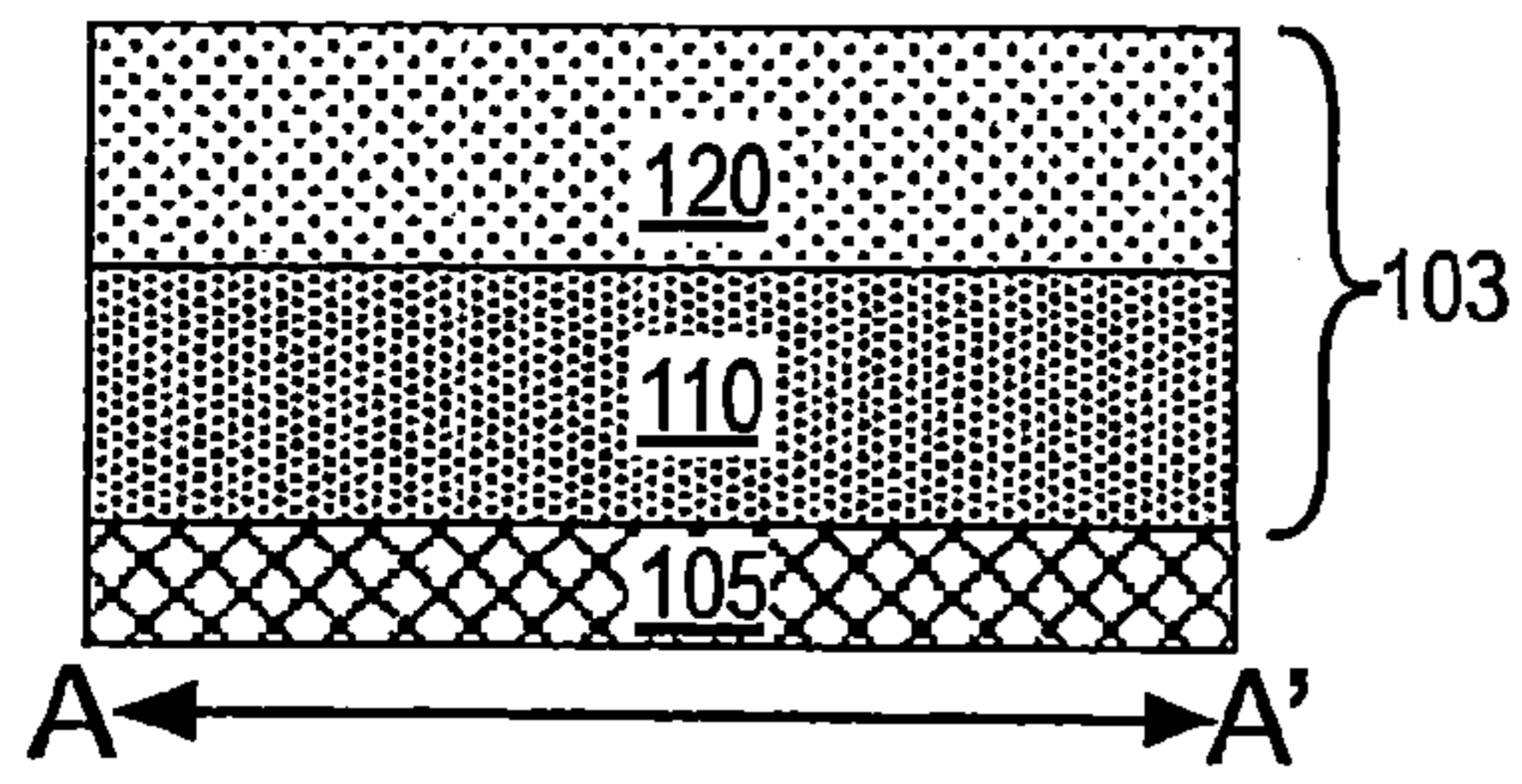


圖 7A

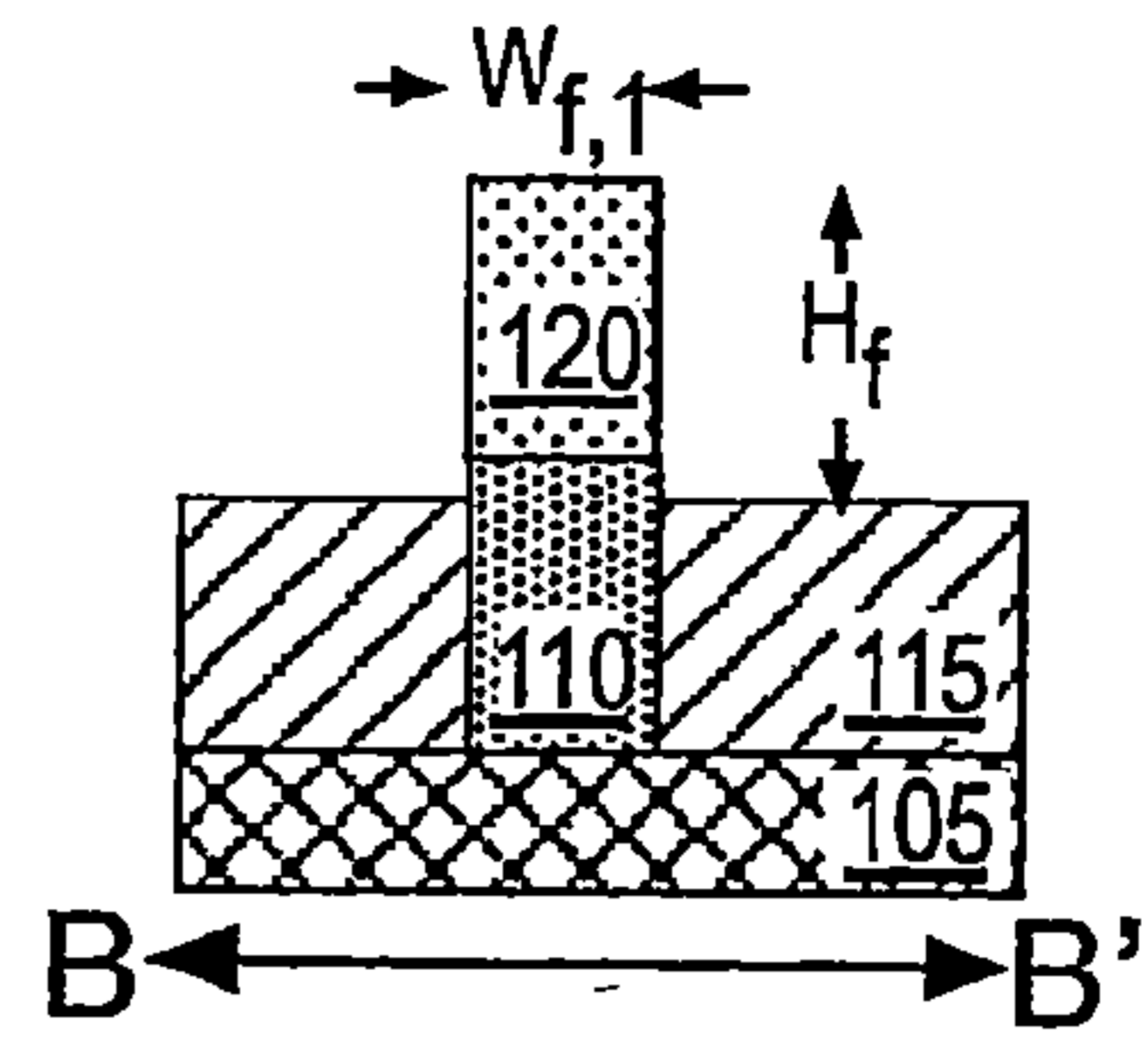


圖 8A

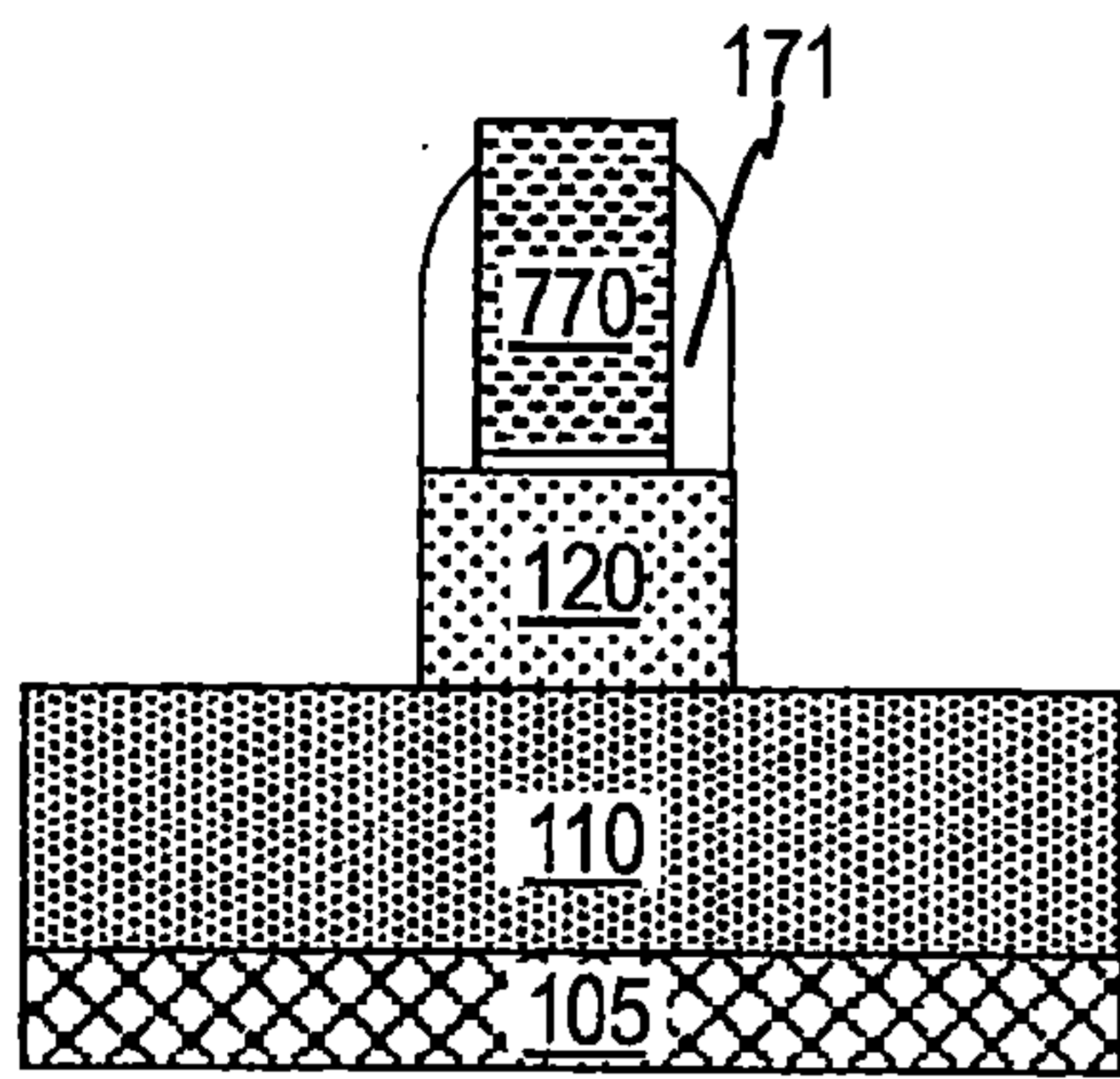


圖 7B

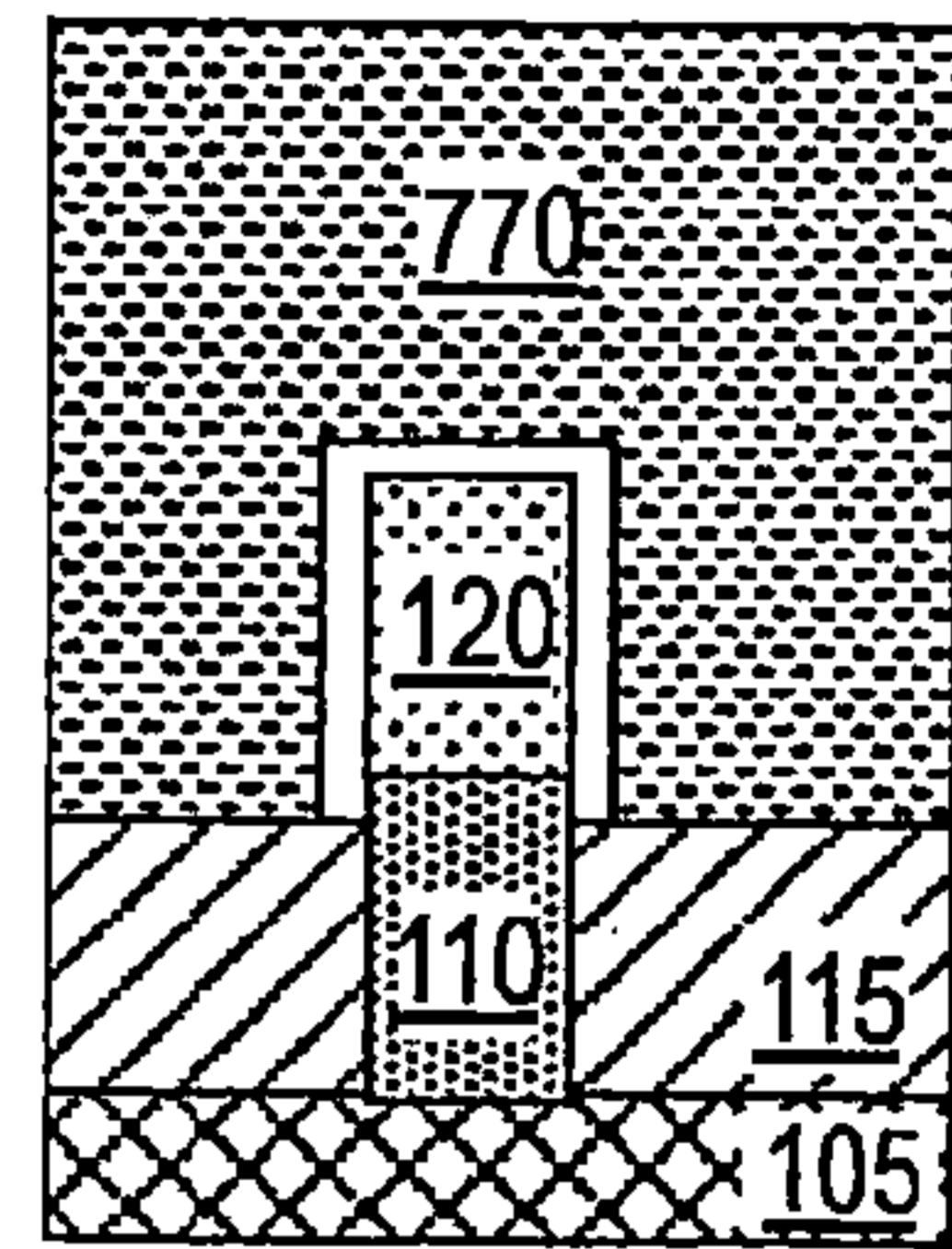


圖 8B

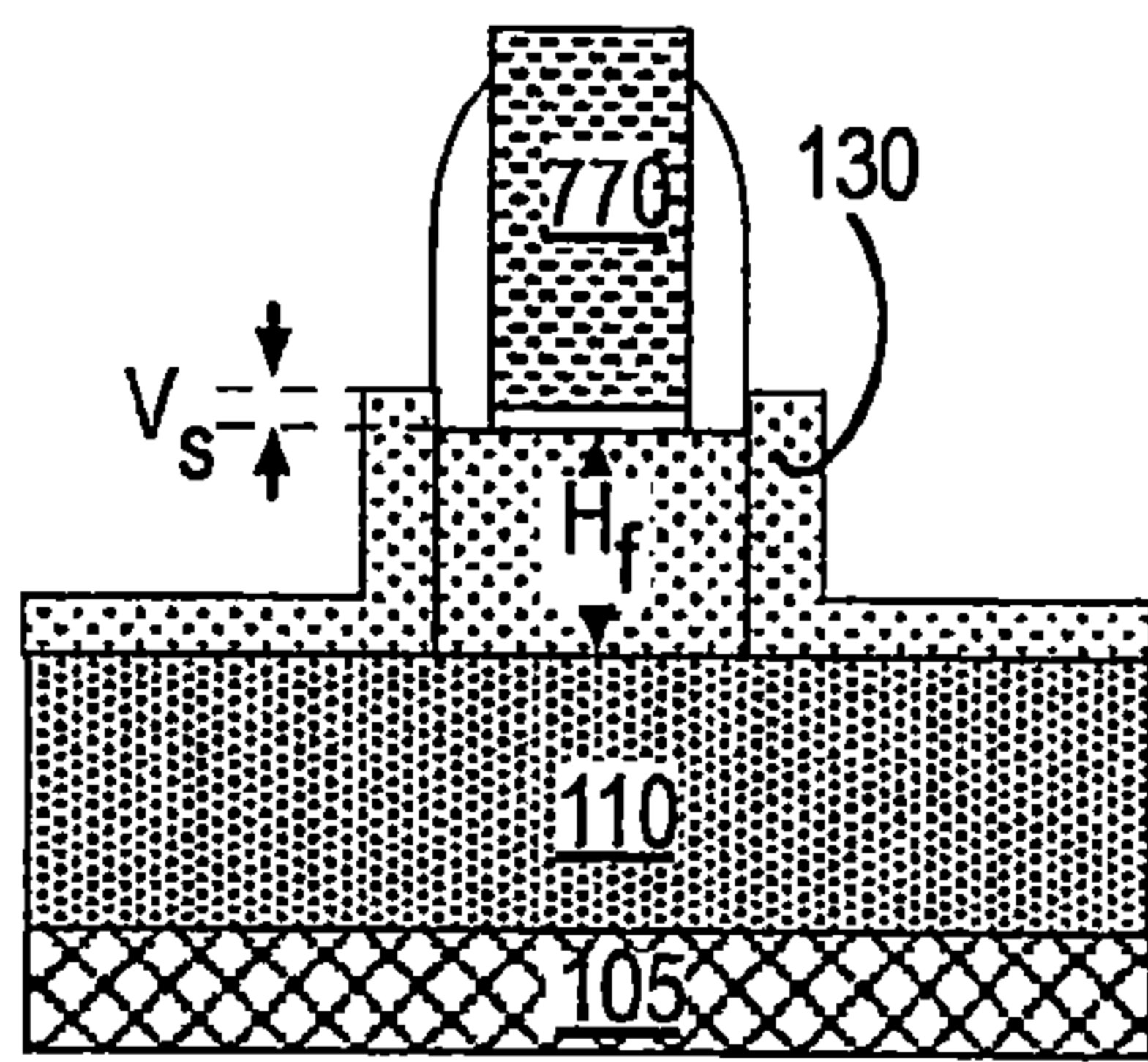


圖 7C

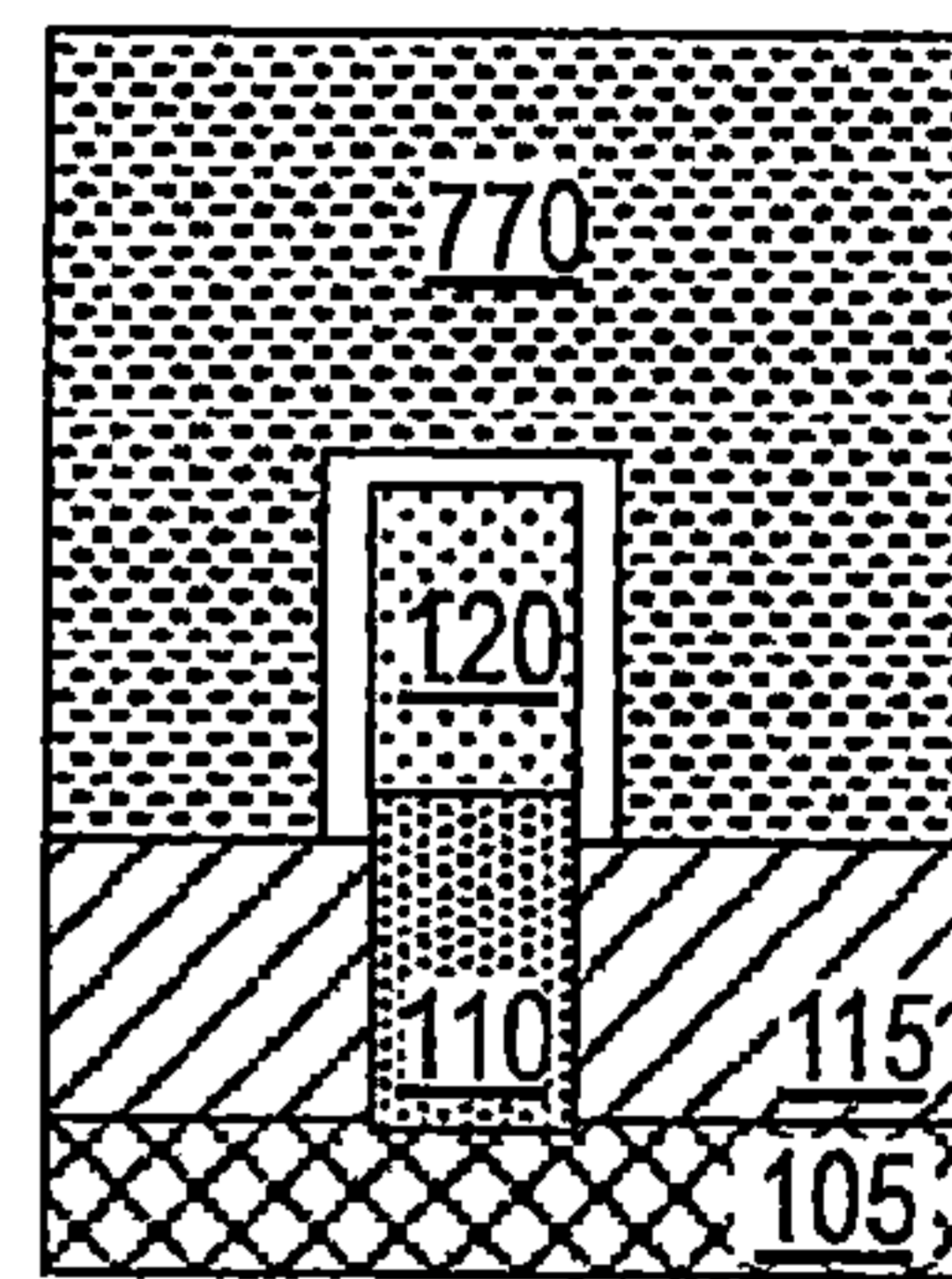


圖 8C



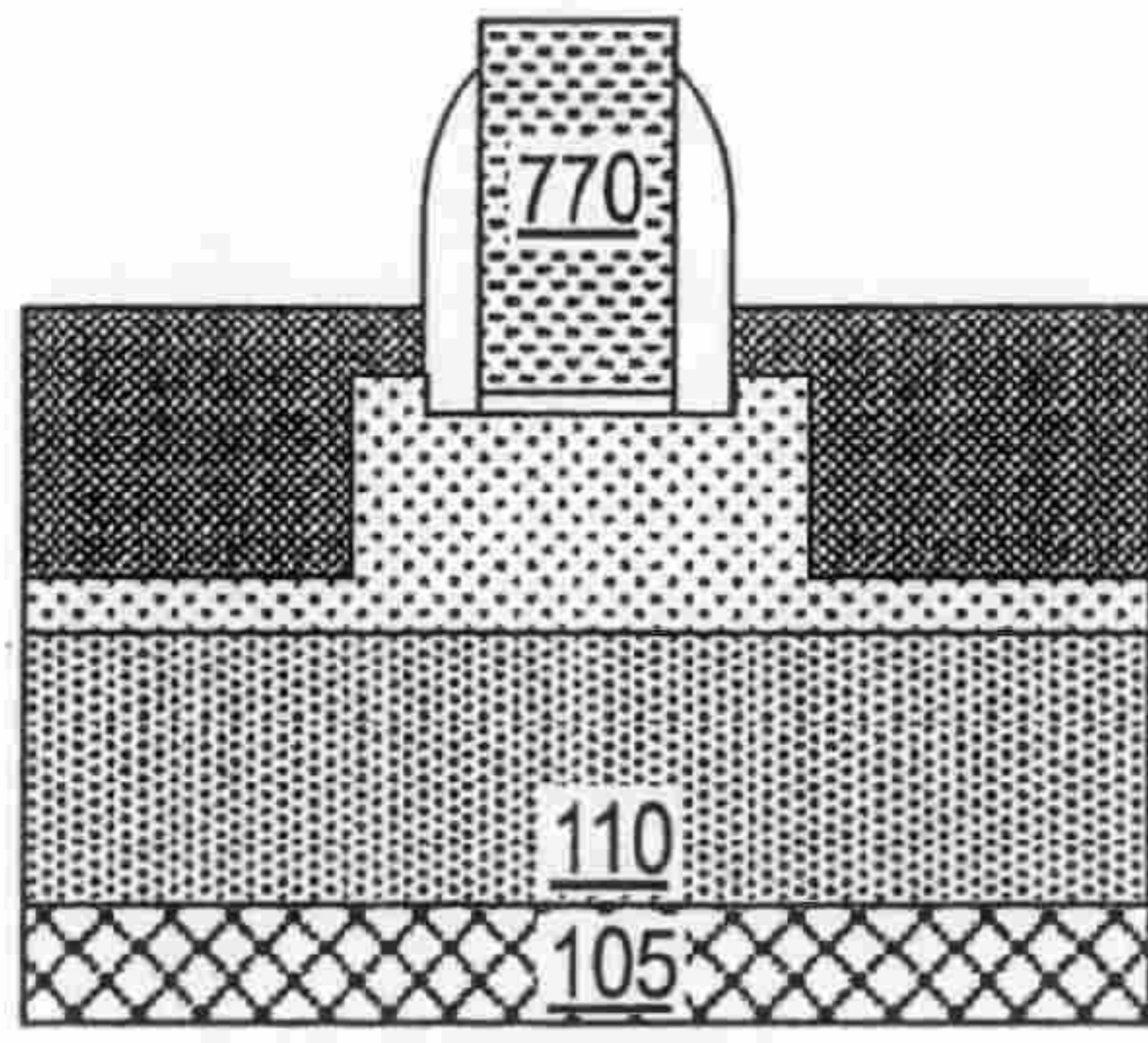


圖 7D

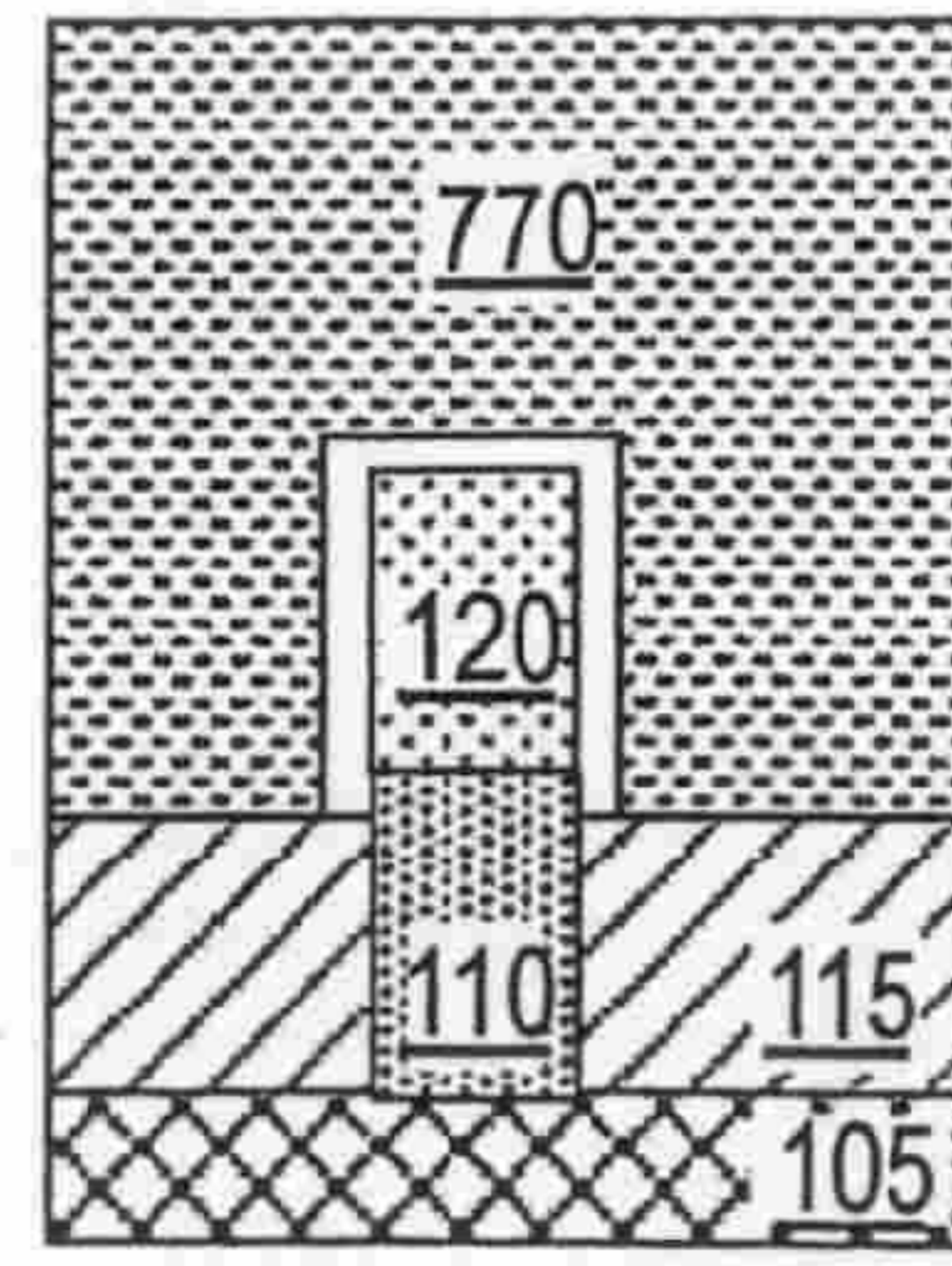


圖 8D

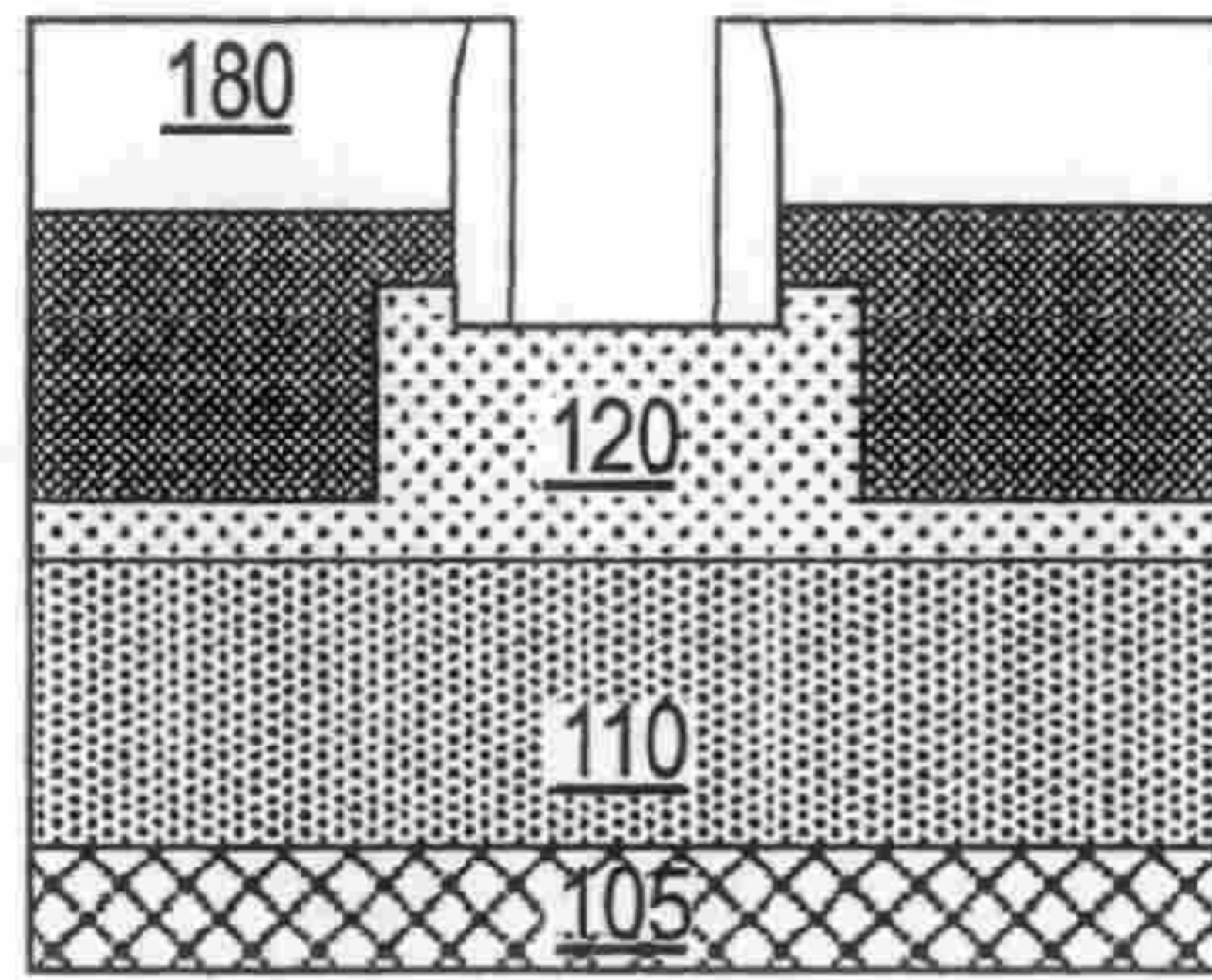


圖 7E

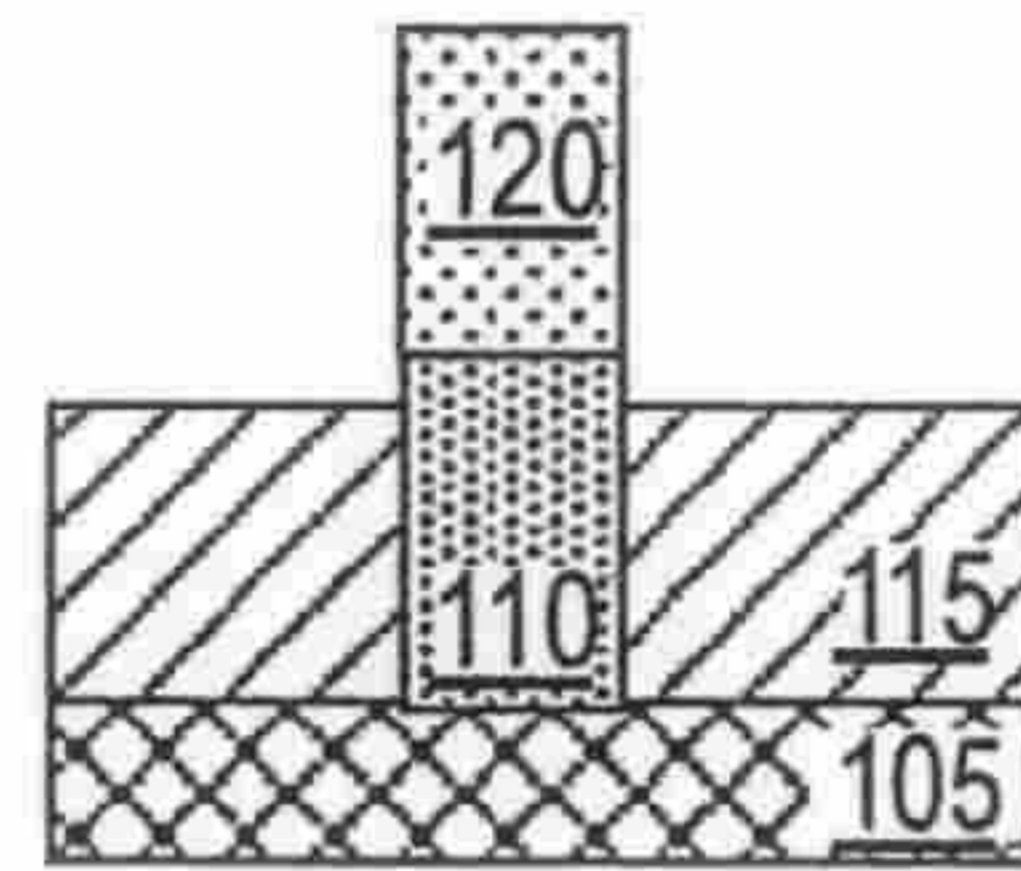


圖 8E

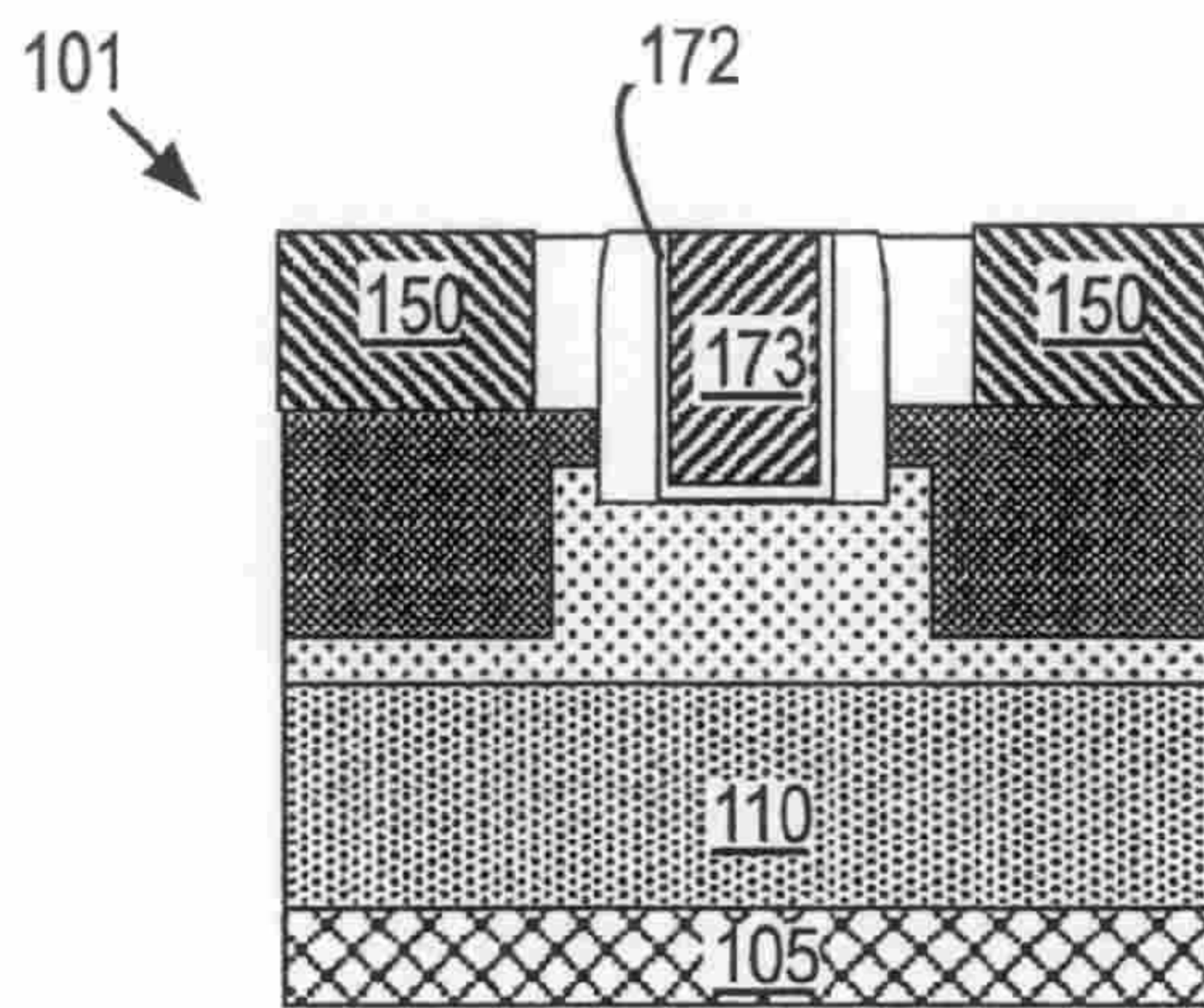


圖 7F

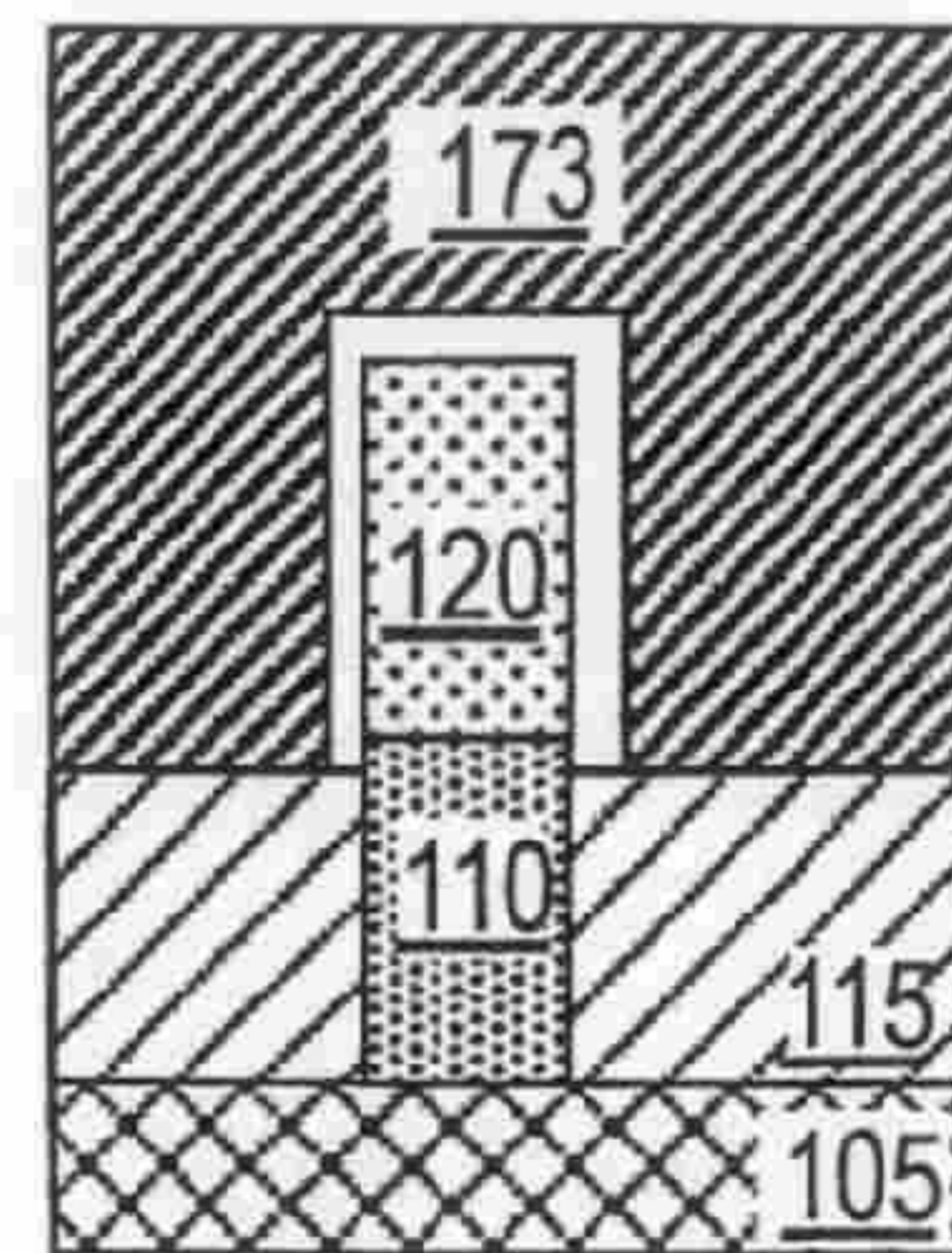


圖 8F



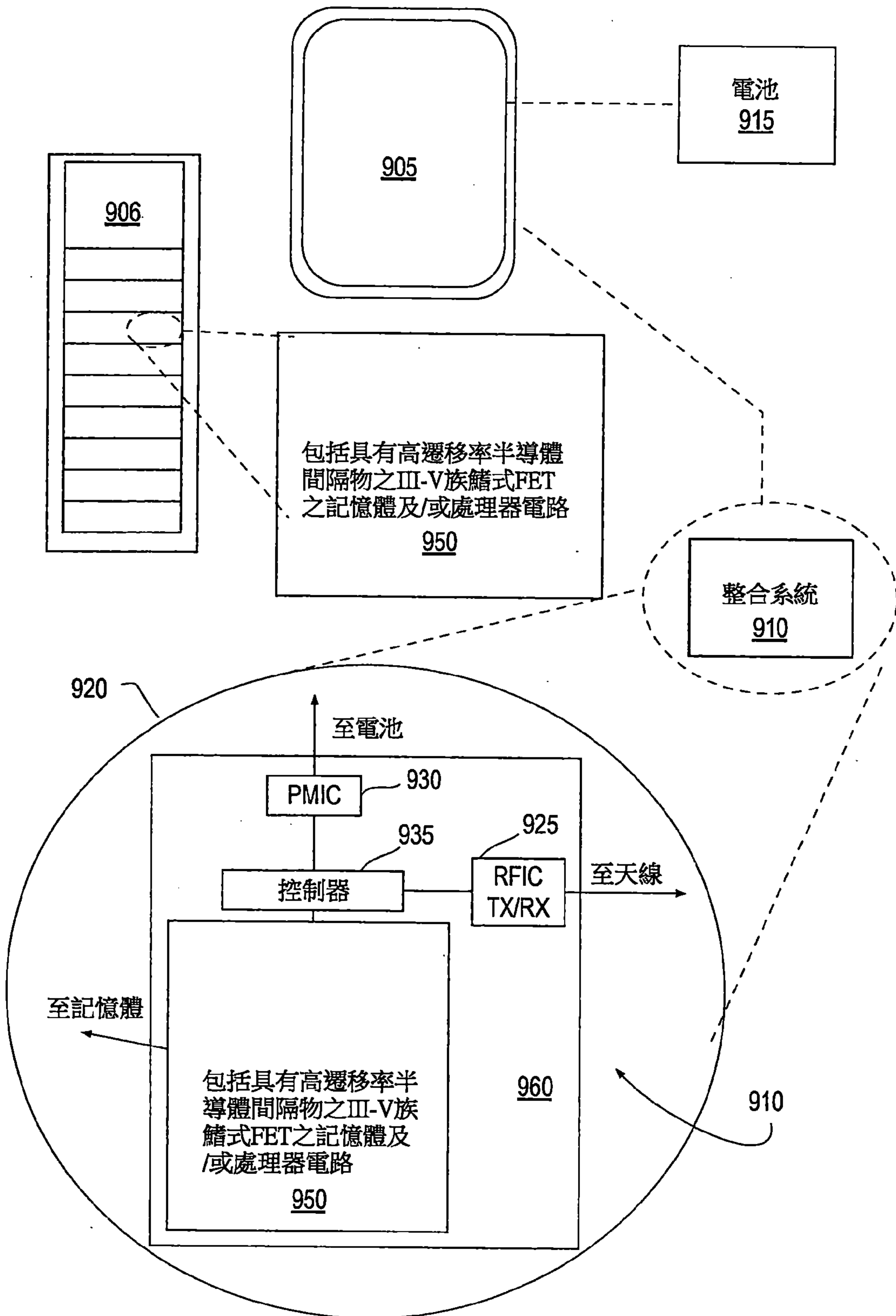


圖 9



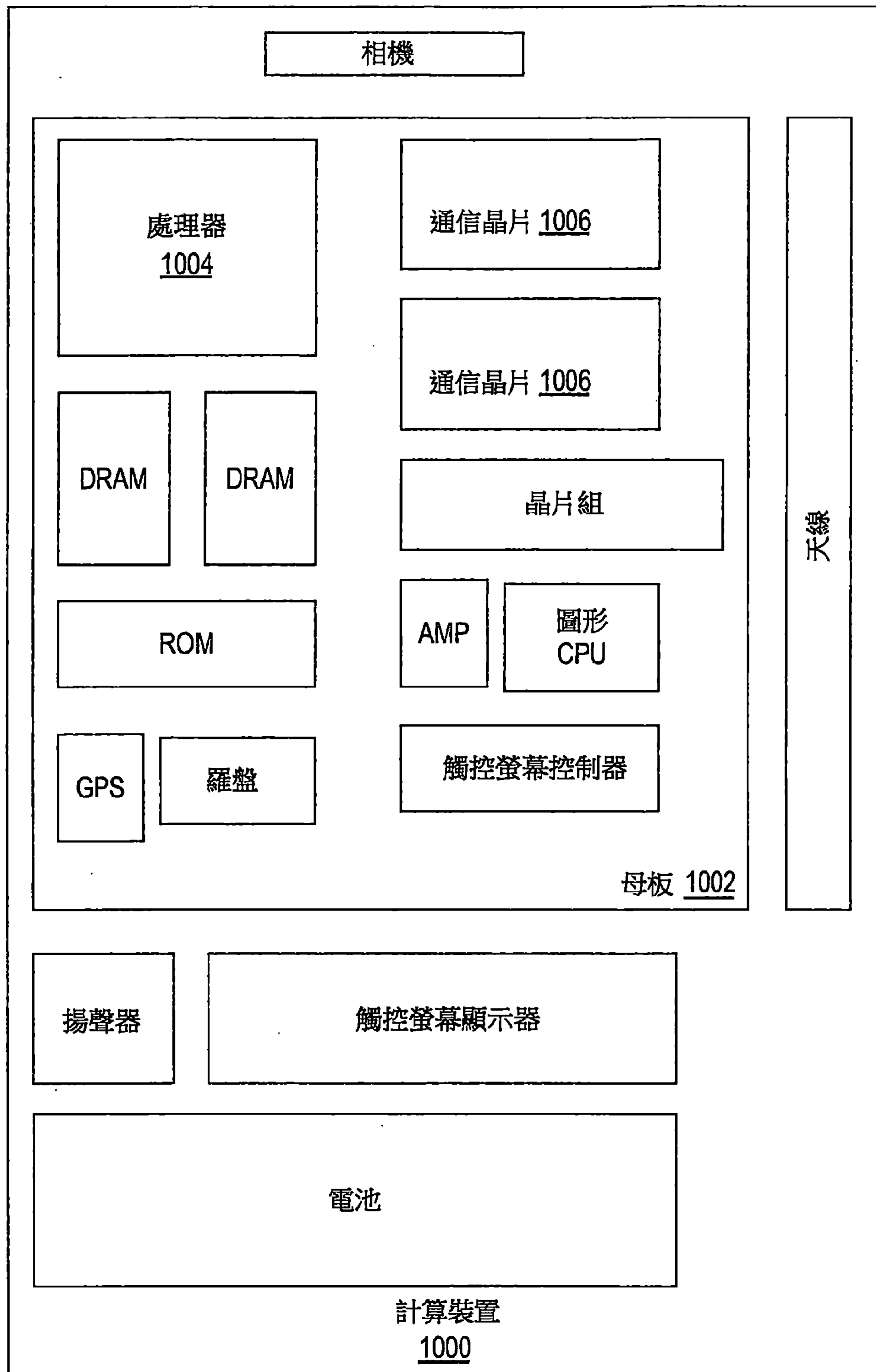


圖 10