(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G01R 31/26

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0219545
(24) 등록일자 1999년06월16일

(21) 출원번호 10-1997-0035592
(22) 출원일자 1997년07월28일
(65) 공개번호 특1999-0012251
(43) 공개일자 1999년02월25일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 김재희
경기도 수원시 팔달구 원천동 35번지 주공아파트 108-1504호
(74) 대리인 권석흠, 이영필, 이상용

심사관 : 권호영

(54) 반도체장치의 입력지연 측정회로 및 측정방법

요약

본 발명은 반도체 장치의 입력지연 측정회로 및 측정방법에 관한 것으로서, 특히 반도체 장치의 동작 특성 측정시 칩내부의 입력패드를 접지시켜, 칩외부의 신호 발생원에서 칩내부의 입력패드에 도달하는데 신호가 소요되는 시간을 정확히 측정할 수 있는 반도체 장치의 입력지연 측정회로 및 측정방법에 관한 것이다.

본 발명의 반도체 장치의 입력지연시간 측정회로는 외부 데이터를 입력하는 제1, 제2 및 제3 입력패드를 칩 상에 가지는 반도체 장치에 있어서, 입력지연시간 측정모드에서, 상기 제1 입력패드로 입력되는 제1 제어신호와 상기 제2 입력패드로 입력되는 제2 제어신호에 의해 그자신의 출력신호가 래치되는 래치수단, 및 입력지연시간 측정모드에서, 상기 래치수단의 출력신호에 응답하여 상기 제3 입력패드의 출력선을 소정의 전압으로 고정시키는 전압고정수단을 구비하는 것을 특징으로 하여, TDR보상 방식을 채택하여 반도체 장치의 입력지연시간 측정하는 경우에는 반도체 장치 외부의 핀과 반도체 장치 내부의 입력패드 사이에 생성되는 리드선의 인덕턴스 및 캐퍼시턴스 성분에 의한 시간지연값이 보상 대상에 고려함으로써 반도체 장치의 특성 파악시 발생되는 측정오차를 최소화할 수 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래의 반도체 장치의 입력지연시간 측정방법을 나타낸 도면이다.

도 2는 본 발명의 반도체 장치의 입력지연시간 측정회로 및 측정방법의 실시예를 나타낸 도면이다.

도 3은 도 2의 실시예의 반도체 장치의 입력지연시간 측정방법의 흐름도를 나타낸 도면이다.

도 4는 본 발명의 반도체 장치의 입력지연시간 측정회로 및 측정방법의 다른 실시예를 나타낸 도면이다.

도 5는 도 4의 실시예의 반도체 장치의 입력지연시간 측정방법의 흐름도를 나타낸 도면이다.

도 6은 신호 발생원으로 부터 입력핀까지의 입력지연시간과 신호 발생원으로 부터 입력패드까지의 입력지연시간을 시뮬레이션한 결과를 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 입력지연 측정회로 및 측정방법에 관한 것으로서, 특히 반도체 장치의 동작 특성 측정시 칩내부의 입력패드를 접지시켜, 칩외부의 신호 발생원에서 칩내부의 입력패드에 도달하는데 신호가 소요되는 시간을 정확히 측정할 수 있는 반도체 장치의 입력지연 측정회로 및 측정방법에 관한 것이다.

일반적으로 동작 속도 등의 반도체 장치의 특성을 측정할 때에는 외부에서 테스트 시스템을 이용하여 신호를 발생하고, 이 신호에 의해서 테스트하고자하는 반도체 장치를 구동한다. 그리고 측정되는 반도체 장

치는 일정한 동작을 행한 후 출력신호를 발생하고, 테스트 시스템은 그 출력신호를 분석하여 테스터되는 반도체 장치의 동작속도를 분석하게 된다.

그런데 테스트 시스템에서 발생하는 신호는 시스템 외부의 테스트 보드상의 전송선과 소켓의 리드선을 거쳐 반도체 장치의 핀에 일정한 시간 후에 도달하게 된다. 따라서 반도체 장치의 정확한 동작 속도를 측정하기 위해서는 이러한 입력지연시간을 고려하여야 한다. 이와 같이 입력지연시간을 보상하는 방법으로 널리 이용되는 것이 시간영역반사(TDR: TIME DOMAIN REFLECTION) 보상방식이다. TDR보상 방식은 시간지연을 측정하는 지점을 접지시키고, 이 접지로 인하여 발생되는 흡수파를 테스터 시스템에서 측정한다. 그리고 그 흡수파를 분석하여 시간지연에 대한 보상값을 결정하고 그 결과를 테스터 시스템내의 보정회로로 피드백하여 준다.

도 1은 종래의 반도체 장치의 입력지연시간 측정방법을 나타낸 도면이다. 이를 참고하면, 종래에는 반도체 장치 내부에는 별개의 입력지연시간 측정을 위한 측정회로를 배치하지 않는다. 단지 입력패드만이 반도체 장치 내부에 존재할 뿐이다. 그리고 반도체 장치의 입력지연시간을 TDR보상 방식으로 측정하는 경우에는 신호를 입력하는 핀들을 접지시키고 측정하게 된다. 그러나 이와 같은 구성으로 TDR보상 방식을 채택하여 반도체 장치의 입력지연시간 측정하는 경우에는 반도체 장치 외부의 핀과 반도체 장치 내부의 입력패드 사이에 생성되는 리드선의 인덕턴스 및 캐퍼시턴스 성분에 의한 시간지연값이 보상 대상에서 배제되어 특성 파악시 오차가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 TDR보상 방식으로 입력지연시간을 측정할 때에, 반도체 장치 내부의 입력패드 이후의 단자를 접지시켜 반도체 장치의 특성 파악시 발생되는 측정오차를 최소화하는 반도체 장치의 입력지연 측정회로 및 측정방법를 제공하는 데 있다.

발명의 구성 및 작용

상기와 같은 본 발명의 목적을 달성하기 위하여 본 발명의 반도체 장치의 입력지연시간 측정회로 및 측정방법은 다음과 같은 특징을 가진다.

첫째, 본 발명의 반도체 장치의 입력지연시간 측정회로는 외부 데이터를 입력하는 제1, 제2 및 제3 입력패드를 칩 상에 가지는 반도체 장치에 있어서, 입력지연시간 측정모드에서, 상기 제1 입력패드로 입력되는 제1 제어신호와 상기 제2 입력패드로 입력되는 제2 제어신호에 의해 그자신의 출력신호가 래치되는 래치수단; 및 입력지연시간 측정모드에서, 상기 래치수단의 출력신호에 응답하여 상기 제3 입력패드의 출력선을 소정의 전압으로 고정시키는 전압고정수단을 구비하는 것을 특징으로 한다.

둘째, 본 발명의 반도체 장치의 입력지연시간 측정방법은 외부 신호와 데이터를 입력하는 제1, 제2 및 제3 입력패드를 칩 상에 가지는 반도체 장치의 입력지연시간 측정방법에 있어서, 상기 제1 입력패드에 제1 제어신호를, 상기 제2 입력패드에 제2 제어신호를 입력하는 제어신호 입력단계; 상기 제어신호 입력단계에 의해 입력된 제어신호에 응답하여 그자신의 출력 신호를 래치하는 래치단계; 상기 래치단계에서 래치된 래치신호에 의해 제3 입력패드의 출력선을 소정의 전압으로 고정시키는 전압고정단계; 및 신호 발생원에서 상기 제3 입력패드까지의 입력지연시간을 측정하는 측정단계를 구비하는 것을 특징으로 한다.

이어서, 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

도 2는 본 발명의 반도체 장치의 입력지연시간 측정회로 및 측정방법의 실시예를 나타낸 도면이다. 이를 참조하면, 본 발명의 반도체 장치의 입력지연시간 측정회로는 외부 데이터를 입력하는 입력패드(203)를 가지는 반도체 장치에 있어서, 조정용패드(201) 및 전압고정수단(205)를 구비한다. 상기 조정용패드(201)는 외부 제어신호 XCON1을 입력한다. 그리고 상기 전압고정수단(205)은 입력지연시간 측정모드에서, 상기 조정용패드(201)로 입력되는 외부 제어신호 XCON1에 응답하여 상기 입력패드의 출력선(N204)을 소정의 전압으로 고정시킨다. 본 실시예의 상기 전압고정수단(205)은 앤모스 트랜지스터(209)로 구성된다. 상기 앤모스 트랜지스터(209)는 접지전압 VSS가 그자신의 소스 단자에 인가되고, 상기 입력패드(203)의 출력(N204) 신호가 그자신의 드레인 단자에 인가된다. 그리고 상기 앤모스 트랜지스터(209)는 그자신의 게이트 단자에 상기 조정용패드(201)을 통하여 입력되는 외부 제어신호 XCON1이 인가된다.

도 3은 도 2의 실시예의 반도체 장치의 입력지연시간 측정방법의 흐름도를 나타낸 도면이다. 이를 참조하면, 도 2의 실시예의 반도체 장치의 입력지연시간 측정방법은 제어신호 입력단계(301), 전압고정단계(303) 및 측정단계(305)를 가진다. 상기 제어신호 입력단계(301)는 상기 조정용패드(201)에 외부 제어신호 XCON1을 입력한다. 그리고 전압고정단계(303)는 상기 제어신호 입력단계(301)에 의해 입력된 제어신호에 의해 상기 입력패드(203)의 출력선(N204)을 소정의 전압으로 고정시킨다. 그리고 측정단계(305)는 신호 발생원(207)에서 상기 입력패드(203)까지의 입력지연시간을 측정한다.

따라서 도 2와 도 3의 본 실시예를 이용하여 입력지연시간을 측정하는 경우에는 상기 외부 제어신호 XCON1을 하이로 인가한다. 그리고 상기 외부 제어신호 XCON1가 조정용패드(201)을 통하여 반도체 장치 내부로 인가되고 상기 앤모스 트랜지스터(209)를 턴온시키게 된다. 그러면 상기 입력패드(203)의 출력단(N204)는 접지전압 VSS로 고정된다. 그리고 신호 발생원(207)에서 로우에서 하이로 천이되는 측정신호를 발생하여, TDR방식으로 상기 입력패드(203)까지의 입력지연시간을 측정한다. 그리고 노말 동작에서는 상기 외부 제어신호 XCON1가 로우로 천이하여 상기 앤모스 트랜지스터(209)는 턴오프되어, 상기 입력패드(203)은 통상적인 신호 입력기능을 한다.

도 2와 도 3의 본 실시예에서는 입력패드의 출력단을 접지전압 VSS로 고정시키는 회로 및 방법에 대해서만 설명하였다. 그러나 입력패드의 출력단을 전원 전압 VCC로 고정하는 방법도 있다. 이경우에는, 도 2의 실시예에서 상기 전압고정수단(205)는 피모스 트랜지스터로 구성된다. 이 때 상기 피모스 트랜지스터는 전원전압 VCC가 그자신의 소스 단자에 인가되고, 상기 입력패드(203)의 출력(N204) 신호가 그자신의 드레인 단자에 인가된다. 그리고 상기 피모스 트랜지스터는 그자신의 게이트 단자에 상기 조정용패드(201)을

통하여 입력되는 외부 제어신호 XCON1이 인가된다.

이와 같은 실시예에서는 상기 외부 제어신호 XCON1은 로우로 인가된다. 그리고 신호 발생원(207)에서 로우에서 하이로 천이되는 측정신호를 발생하여, TDR방식으로 상기 입력패드(203)까지의 입력지연시간을 측정한다.

도 4는 본 발명의 반도체 장치의 입력지연시간 측정회로 및 측정방법의 다른 실시예를 나타낸 도면이다. 이를 참조하면, 본 실시예의 입력지연시간 측정회로는 외부 신호와 데이터를 입력하는 제1, 제2 및 제3 입력패드(401,403,405)를 칩 상에 가지는 반도체 장치에 있어서, 래치수단(407) 및 전압고정수단(409)을 구비한다. 상기 래치수단(409)은 입력지연시간 측정모드에서, 상기 제1 입력패드(401)로 입력되는 제1 제어신호 XCON2과 상기 제2 입력패드(403)로 입력되는 제2 제어신호 XCON3에 의해 그자신의 출력신호 XLAT가 래치된다. 도 4의 본 실시예의 상기 래치수단(407)은 D플립플럽(411)과 2개의 인버터(413,415)를 가진다. 상기 D플립플럽(411)은 제1 입력패드(401)를 통하여 제1 제어신호 XCON2를, 제2 입력패드(403)를 통하여 제2 제어신호 XCON3를 입력신호로 받는다. 그리고 상기 제1 제어신호 XCON2는 D플립플럽(411)의 데이터 입력단 D에 접속되고, 상기 제2 제어신호 XCON3는 D플립플럽(411)의 클락 입력단 E에 접속된다. 그리고 상기 D플립플럽(411)의 출력단(N412)의 신호는 2개의 인버터(413, 415)를 거친 상기 래치신호 XLAT가 된다. 그리고 상기 래치신호 XLAT는 상기 앤모스 트랜지스터(417, 419)의 게이트에 인가된다.

그리고 상기 전압고정수단(409)은 입력지연시간 측정모드에서, 상기 래치수단(407)의 출력신호 XLAT에 응답하여 상기 제3 입력패드(405)의 출력단(N406)을 소정의 전압으로 고정시킨다. 도 4의 본 실시예에서, 상기 전압고정수단(409)은 앤모스 트랜지스터(421)로 구성된다. 상기 앤모스 트랜지스터(421)는 접지전압 VSS가 그자신의 소스 단자에 인가되고, 상기 제3 입력패드(405)의 출력(N406) 신호가 그자신의 드레인 단자에 인가된다. 그리고 상기 앤모스 트랜지스터(421)는 그자신의 게이트 단자에 상기 래치수단(407)의 출력신호 XLAT가 인가된다.

도 5는 도 4의 실시예의 반도체 장치의 입력지연시간 측정방법의 흐름도를 나타낸 도면이다. 이를 참조하면, 도 4의 실시예의 반도체 장치의 입력지연시간 측정방법은 제어신호 입력단계(501), 래치단계(503), 전압고정단계(505) 및 측정단계(507)를 가진다. 상기 제어신호 입력단계(501)는 상기 제1 입력패드(401)에서 제1 제어신호 XCON2를, 상기 제2 입력패드(403)에서 제2 제어신호 XCON3을 입력한다. 그리고 상기 래치단계(503)은 상기 제어신호 입력단계(501)에 의해 입력된 제1, 제2 제어신호에 응답하여 그자신의 출력 신호 XLAT를 래치한다. 그리고 전압고정단계(505)는 상기 래치단계(503)에 의해 래치된 래치신호 XLAT에 의해 상기 제3 입력패드(405)의 출력단(N406)을 소정의 전압으로 고정시킨다. 그리고 측정단계(507)는 신호 발생원(423)에서 상기 제3 입력패드(405)까지의 입력지연시간을 측정한다.

따라서 도 4와 도 5의 본 실시예를 이용하여 입력지연시간을 측정하는 경우에는 상기 제1 제어신호 XCON2 및 제2 제어신호 XCON3을 모두 로우에서 하이 액티브되고, 다시 로우로 되는 펄스로 인가한다. 그러면, 상기 래치수단(407)의 출력신호인 래치신호 XLAT는 하이 레벨로 래치된다. 그리고 상기 래치신호 XLAT에 의해 상기 앤모스 트랜지스터(421)를 턴온시키게 된다. 그러면 상기 제3 입력패드(405)의 출력단(N406)는 접지전압 VSS로 고정된다. 그리고 신호 발생원(423)에서 로우에서 하이로 천이되는 측정신호를 발생하여, TDR방식으로 상기 제3 입력패드(405)까지의 입력지연시간을 측정한다.

그리고 노말 동작에서는 상기 제1 제어신호 XCON2가 로우인 상태에서, 상기 제2 제어신호 XCON3가 펄스로 입력된다. 그러면, 상기 래치수단(407)의 출력신호 XLAT는 로우로 되어 상기 앤모스 트랜지스터(421)은 오프된다. 그리고 상기 제3 입력패드(405)는 통상적인 신호 입력기능을 한다.

도 4와 도 5의 본 실시예에서는 제3 입력패드의 출력단을 접지전압 VSS로 고정시키는 회로 및 방법에 대해서만 설명하였다. 그러나 제3 입력패드의 출력단을 전원 전압 VCC로 고정하는 방법도 있다. 이 경우에는, 도 4의 실시예에서 상기 전압고정수단(409)는 피모스 트랜지스터로 구성된다. 이 때 상기 피모스 트랜지스터는 전원전압 VCC가 그자신의 소스 단자에 인가되고, 상기 제3 입력패드(405)의 출력(N406) 신호가 그자신의 드레인 단자에 인가된다. 그리고 상기 피모스 트랜지스터는 그자신의 게이트 단자에 상기 래치신호 XLAT가 인가된다.

이와 같은 실시예에서는 제1 제어신호 XCON2는 하이에서 로우로 액티브되었다가 다시 하이로 되는 펄스로 입력된다. 그리고 제2 제어신호 XCON3는 로우에서 하이로 액티브되었다가, 다시 로우로 되는 펄스로 입력된다. 그리고 신호 발생원(423)에서 로우에서 하이로 천이되는 측정신호를 발생하여, TDR방식으로 상기 제3 입력패드(405)까지의 입력지연시간을 측정한다.

도 6은 신호 발생원으로 부터 입력핀까지의 입력지연시간과 신호 발생원으로 부터 입력패드까지의 입력지연시간을 시뮬레이션한 결과를 나타낸 도면이다. 측정방법은 먼저 측정지점을 접지시키고, 신호발생원에서 로우에서 하이로 천이하는 측정신호를 발생시킨다. 상기 측정신호는 측정지점에서 반사되어 일정시간 지연 후에 신호발생원의 지점에서 다시 로우로 천이된다. 그러면, 측정신호의 상승단부에서 하강단부까지의 펄스폭은 입력지연시간의 2배가 된다. 따라서 입력지연시간은 측정신호 펄스폭의 1/2이된다. 선 A는 종래의 방법에 의하여 입력핀을 접지시킨 시뮬레이션이다. 그리고 선 B는 본 발명의 방법에 의하여 입력패드를 접지시킨 시뮬레이션이다. 선 A의 a와 선 B의 b를 비교하면, 펄스폭에 있어서 일정한 오차가 발생함을 알 수 있다. 이러한 오차의 1/2이 본 발명에 의하여 입력핀에서 입력패드까지의 지연요소들을 고려한 것이 된다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

발명의 효과

상기와 같은 본 발명에 의하여 TDR보상 방식을 채택하여 반도체 장치의 입력지연시간 측정하는 경우에는 반도체 장치 내부의 입력패드 이후의 단자를 접지시킴으로써, 반도체 장치 외부의 핀과 반도체 장치 내부의 입력패드 사이에 생성되는 리드선의 인덕턴스 및 캐퍼시턴스 성분에 의한 시간지연값이 보상 대상에

고려하여 반도체 장치의 특성 파악시 발생되는 측정오차를 최소화할 수 있다.

(57) 청구의 범위

청구항 1

외부 데이터를 입력하는 입력패드를 가지는 반도체 장치에 있어서,

외부 제어신호를 입력하는 조정용패드; 및

입력지연시간 측정모드에서, 상기 조정용패드로 입력되는 외부 제어신호에 응답하여 상기 입력패드의 출력단을 소정의 전압으로 고정시키는 전압고정수단을 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정회로.

청구항 2

제1 항에 있어서, 상기 전압고정수단은

접지전압이 그자신의 소스 단자에 인가되고, 상기 입력패드의 출력 신호가 그자신의 드레인 단자에 인가되며, 그자신의 게이트 단자에 상기 외부 제어신호가 인가되는 앤모스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정회로.

청구항 3

외부 데이터를 입력하는 제1, 제2 및 제3 입력패드를 칩 상에 가지는 반도체 장치에 있어서,

입력지연시간 측정모드에서, 상기 제1 입력패드로 입력되는 제1 제어신호와 상기 제2 입력패드로 입력되는 제2 제어신호에 의해 그자신의 출력신호가 래치되는 래치수단; 및

입력지연시간 측정모드에서, 상기 래치수단의 출력신호에 응답하여 상기 제3 입력패드의 출력단을 소정의 전압으로 고정시키는 전압고정수단을 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정회로.

청구항 4

제3 항에 있어서, 상기 전압고정수단은

접지전압이 그자신의 소스 단자에 인가되고, 상기 제3 입력패드의 출력 신호가 그자신의 드레인 단자에 인가되며, 그자신의 게이트 단자에 상기 외부 제어신호가 인가되는 앤모스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정회로.

청구항 5

외부 제어신호를 입력하는 조정용패드 및 외부 데이터를 입력하는 입력패드를 칩 상에 가지는 반도체 장치의 입력지연시간 측정방법에 있어서,

상기 조정용패드에 외부 제어신호를 입력하는 제어신호 입력단계;

상기 제어신호 입력단계에 의해 입력된 제어신호에 의해 상기 입력패드의 출력단을 소정의 전압으로 고정시키는 전압고정단계; 및

신호 발생원에서 상기 입력패드까지의 입력지연시간을 측정하는 측정단계를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정방법.

청구항 6

제5 항에 있어서, 상기 전압고정단계는

상기 제어신호 입력단계에 의해 입력된 제어신호에 의해 상기 입력패드의 출력단을 접지전압으로 고정시키는 접지전압고정단계를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정방법.

청구항 7

외부 신호와 데이터를 입력하는 제1, 제2 및 제3 입력패드를 칩 상에 가지는 반도체 장치의 입력지연시간 측정방법에 있어서,

상기 제1 입력패드에 제1 제어신호를, 상기 제2 입력패드에 제2 제어신호를 입력하는 제어신호 입력단계;

상기 제어신호 입력단계에 의해 입력된 제어신호에 응답하여 그자신의 출력 신호를 래치하는 래치단계;

상기 래치단계에서 래치된 래치신호에 의해 제3 입력패드의 출력단을 소정의 전압으로 고정시키는 전압고정단계; 및

신호 발생원에서 상기 제3 입력패드까지의 입력지연시간을 측정하는 측정단계를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정방법.

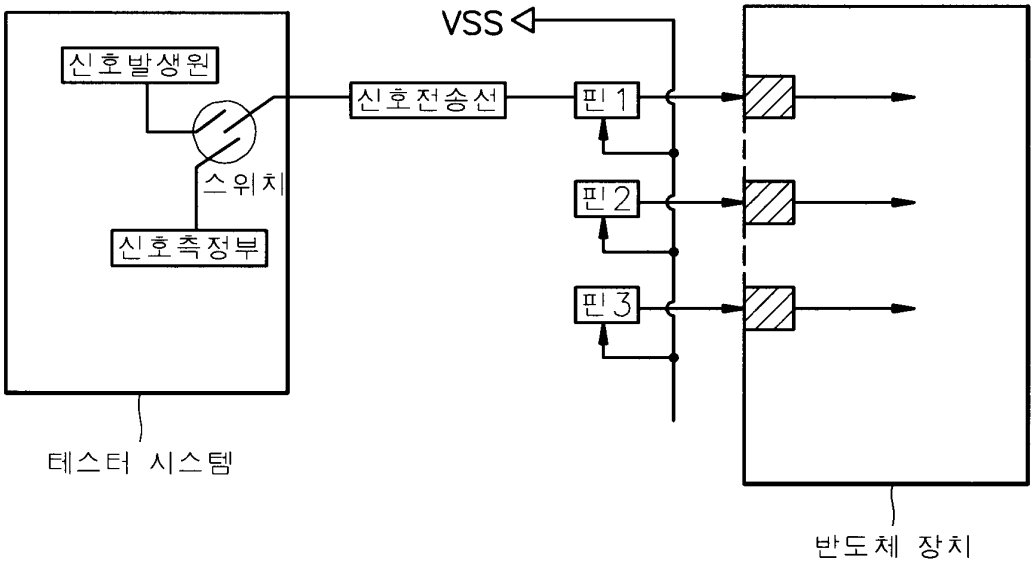
청구항 8

제7 항에 있어서, 상기 전압고정단계는

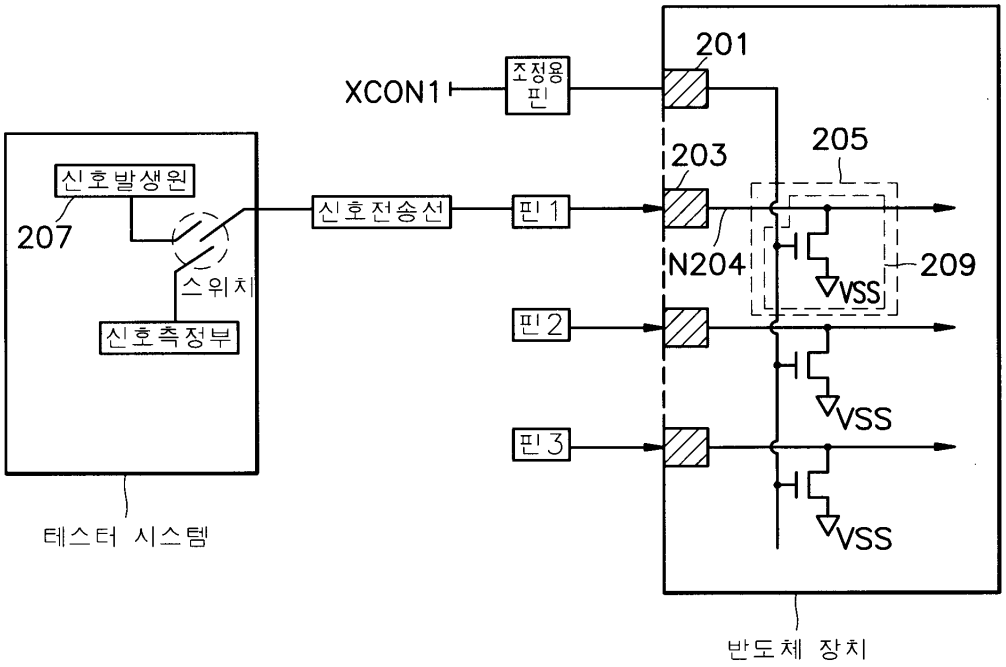
상기 래치단계에서 래치된 래치신호에 의해 상기 제3 입력패드의 출력단을 접지전압으로 고정시키는 접지전압고정단계를 구비하는 것을 특징으로 하는 반도체 장치의 입력지연시간 측정방법.

도면

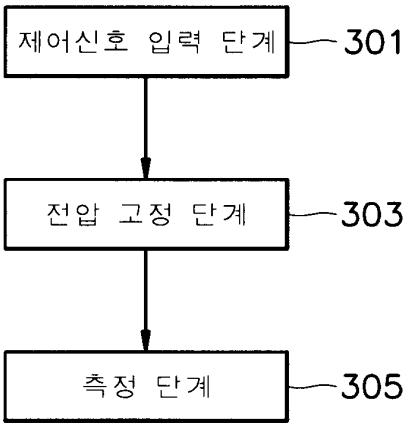
도면1


VSS
신호발생원
신호전송선
핀 1
핀 2
핀 3
스위치
신호측정부
테스터 시스템
반도체 장치

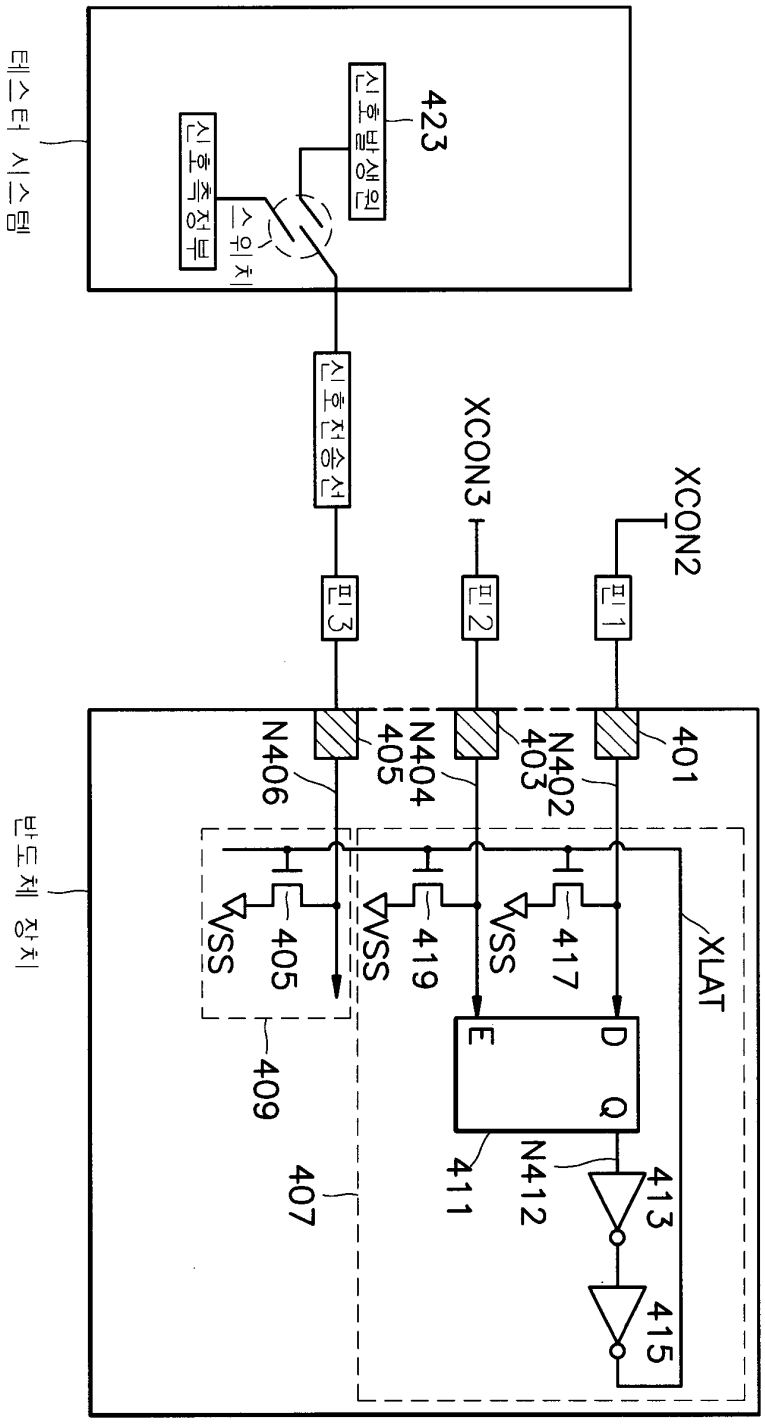
도면2


201
XCON1
조정용 핀
203
205
신호발생원
207
신호전송선
핀 1
N204
209
VSS
스위치
신호측정부
핀 2
VSS
핀 3
VSS
테스터 시스템
반도체 장치

도면3



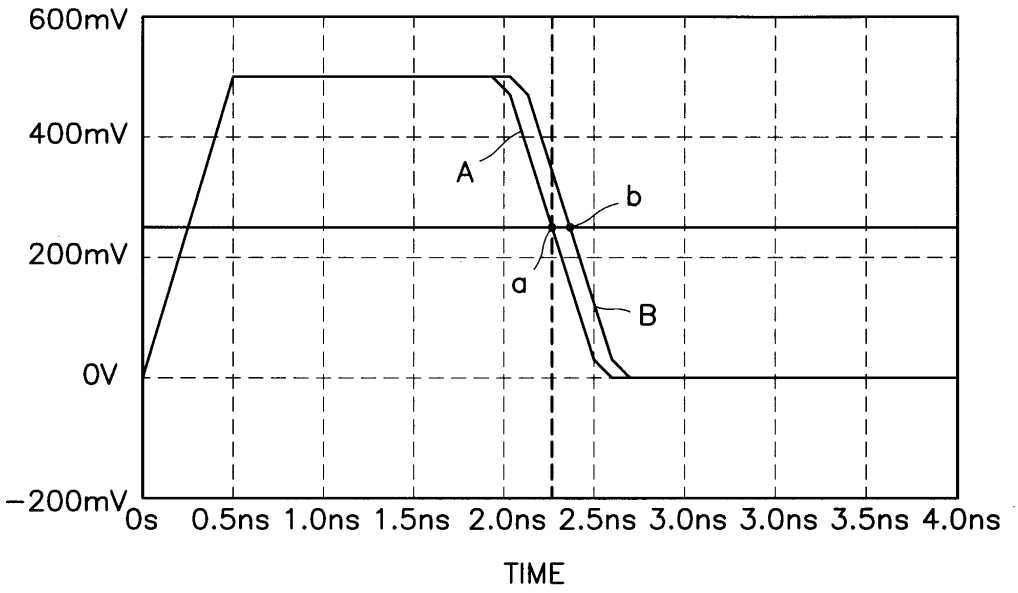
도면4


테스터 시스템
신호발생원
423
신호측정부
스위치
신호전송선
XCON3
XCON2
핀 3
핀 2
핀 1
401
N402
403
N404
405
N406
반도체 장치
XLAT
VSS
405
VSS
419
VSS
417
409
407
D
E
Q
411
N412
413
415

도면5

제어신호 입력 단계
501
래치 단계
503
전압 고정 단계
505
측정 단계
507

도면6


600mV
400mV
200mV
0V
−200mV
A
b
a
B
0s
0.5ns
1.0ns
1.5ns
2.0ns
2.5ns
3.0ns
3.0ns
3.5ns
4.0ns
TIME