



(12) 发明专利申请

(10) 申请公布号 CN 102983163 A

(43) 申请公布日 2013. 03. 20

(21) 申请号 201110263766. 5

(22) 申请日 2011. 09. 07

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 罗军 赵超

(74) 专利代理机构 北京蓝智辉煌知识产权代理
事务所(普通合伙) 11345
代理人 陈红

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/08(2006. 01)

H01L 21/336(2006. 01)

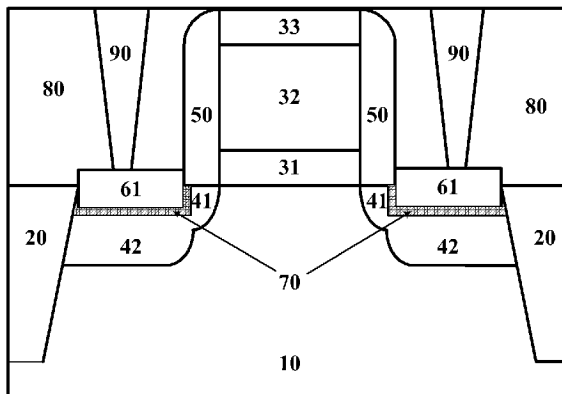
权利要求书 1 页 说明书 6 页 附图 3 页

(54) 发明名称

低源漏接触电阻 MOSFETs 及其制造方法

(57) 摘要

本发明公开了一种有效降低了源漏接触电阻的 MOSFET 及其制作方法,包括:衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、栅极堆叠结构两侧衬底上的栅极侧墙、栅极侧墙两侧源漏区上的金属硅化物,其特征在于:金属硅化物与源漏区的界面处具有掺杂离子的分凝区。依照本发明的能有效降低源漏接触电阻的器件及其制造方法,在金属硅化物的源漏接触与掺杂源漏区之间的界面处具有掺杂离子的分凝区,能有效降低肖特基势垒高度,从而大大降低了源漏接触电阻,进一步提高了器件的性能。



1. 一种有效降低了源漏接触电阻的 MOSFET, 包括: 衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、栅极堆叠结构两侧衬底上的栅极侧墙、栅极侧墙两侧源漏区上的金属硅化物, 其特征在于: 金属硅化物与源漏区的界面处具有掺杂离子的分凝区。

2. 如权利要求 1 的 MOSFET, 其中, 源漏区包括源漏扩展区和重掺杂源漏区。

3. 如权利要求 1 的 MOSFET, 其中, 金属硅化物包括 NiSi、PtSi、CoSi₂、NiPtSi、NiCoSi₂、PtCoSi₂、NiPtCoSi₂。

4. 如权利要求 1 的 MOSFET, 其中, 对于 NMOS 而言, 掺杂离子包括 N、P、As、O、S、Se、Te、F、Cl 及其组合, 对于 PMOS 而言, 掺杂离子包括 B、Al、Ga、In 及其组合。

5. 如权利要求 1 的 MOSFET, 其中, 掺杂离子的分凝区位于栅极侧墙下方以及外侧的衬底中, 但是不进入栅极堆叠结构下方的沟道区。

6. 一种有效降低了源漏接触电阻的 MOSFET 的制造方法, 包括步骤:

在衬底上形成栅极堆叠结构;

在栅极堆叠结构两侧形成源漏区和栅极侧墙;

在栅极侧墙两侧的源漏区上形成金属硅化物;

对金属硅化物注入掺杂离子;

执行推进退火, 使得掺杂离子分凝在金属硅化物与源漏区的界面处而形成掺杂离子的分凝区。

7. 如权利要求 6 的方法, 其中, 形成源漏区和栅极侧墙的步骤包括:

以栅极堆叠结构为掩模进行第一次源漏离子注入, 在栅极堆叠结构两侧的衬底中形成源漏扩展区;

在栅极堆叠结构两侧的衬底上形成栅极侧墙;

以栅极侧墙为掩模进行第二次源漏离子注入, 在栅极侧墙两侧的衬底中形成重掺杂源漏区。

8. 如权利要求 6 的方法, 其中, 形成金属硅化物的步骤包括:

至少在源漏区上形成金属层;

执行硅化物退火工艺, 使得金属层与源漏区中的硅反应生成金属硅化物;

剥除未反应的金属层。

9. 如权利要求 8 的方法, 其中, 金属层包括 Ni、Pt、Co、Ni-Pt、Ni-Co、Pt-Co、Ni-Pt-Co, 其厚度为 1 ~ 30nm。

10. 如权利要求 8 的方法, 其中, 硅化物退火工艺为 450-550°C 下的快速热退火。

11. 如权利要求 8 的方法, 其中, 硅化物退火工艺包括在 300°C 的第一退火以及在 450-550°C 下的第二退火。

12. 如权利要求 6 的方法, 其中, 对于 NMOS 而言, 掺杂离子包括 N、P、As、O、S、Se、Te、F、Cl 及其组合, 对于 PMOS 而言, 掺杂离子包括 B、Al、Ga、In 及其组合。

13. 如权利要求 6 的方法, 其中, 推进退火温度为 400-1200°C。

14. 如权利要求 6 的方法, 其中, 推进退火为 RTA、激光退火或微波退火。

低源漏接触电阻 MOSFETs 及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别是涉及一种有效降低了源漏接触电阻的 MOSFETs 及其制造方法。

背景技术

[0002] IC 集成度不断增大需要器件尺寸持续按比例缩小,然而电器工作电压有时维持不变,使得实际 MOS 器件内电场强度不断增大。高电场带来一系列可靠性问题,使得器件性能退化。例如, MOSFET 源漏区之间的寄生串联电阻会使得等效工作电压下降。

[0003] 图 1 所示为现有技术中重掺杂源漏上带有金属硅化物的 MOSFET,其中,在衬底 100 上形成由栅介质层 210、栅电极 220 共同构成的栅堆叠结构 200,以栅堆叠结构 200 为掩模进行第一次源漏离子注入形成轻掺杂源漏区 (LDD) 或源漏扩展区 310,然后在栅堆叠结构 200 两侧形成有隔离侧墙 400,以隔离侧墙 400 为掩模进行第二次源漏离子注入形成重掺杂源漏区 320,然后通过自对准硅化物工艺在隔离侧墙 400 两侧的重掺杂源漏区 320 上形成金属硅化物的源漏接触 500。值得注意的是,图 1 以及后续附图中,为了方便示意起见,仅显示了体硅衬底上的各种结构,但是本发明依然适用于 SOI 衬底。

[0004] 为了简便明了起见,仅显示了 MOSFET 器件的左半边结构,其中源漏串联寄生电阻 R_{sd} 如图所示由四部分电阻串联构成,包括源漏扩展区 310 与栅堆叠 200 重叠部分的电阻 R_{ov} 、源漏扩展区 310 的电阻 R_{ext} 、源漏接触 500 下方重掺杂源漏区 320 的电阻 R_{dp} 、源漏接触 500 与重掺杂源漏区 320 之间的接触电阻 $R_{c\ sd}$,也即 $R_{sd} = R_{csd} + R_{dp} + R_{ext} + R_{ov}$ 。随着技术节点持续推进,器件尺寸持续减小,这些电阻随着器件尺寸缩小均会增大,而其中接触电阻 $R_{c\ sd}$ 尤为重要、起到了越来越重要的作用。例如在物理栅长小于 53nm 的器件中,接触电阻 R_{csd} 占整个源漏串联寄生电阻 R_{sd} 的 60% 以上。

[0005] 如下表 1 所示,依照 2010 年技术路线图,在未来十年时间内,全耗尽 SOI (FDSOI) 器件所能允许的最大接触电阻将达到 $10^{-9} \Omega \cdot \text{cm}^2$ 的量级,这给器件设计和制造带来了极大的挑战。

[0006] 表 1

[0007]

年份	2015	2016	2017	2018	2019	2020	2021
技术节点 (nm)	22	20	17.7	15.7	14.0	12.5	11.1
物理栅长 (nm)	17	15	14	12.8	11.7	10.7	9.7
FDSOI 最大接触电阻 ($\Omega \cdot \text{cm}^2$)	4.0×10^{-8}	2.0×10^{-8}	1.0×10^{-8}	8.0×10^{-9}	7.0×10^{-9}	6.0×10^{-9}	5.0×10^{-9}

[0008] 而由金属与半导体 (例如 n 型半导体) 之间的导电机理可知,接触电阻是势垒

高度和宽度的函数：当半导体掺杂浓度较低、肖特基势垒高度较大时，导电机制为热电子发射，金属与半导体构成肖特基接触；当半导体掺杂浓度适中、肖特基势垒高度中等时，导电机制为热电子-场发射的结合，金属与半导体之间的接触介于肖特基接触与欧姆接触之间；当半导体掺杂浓度较高、肖特基势垒高度较低时，导电机制为场发射，金属与半导体构成欧姆接触，此时电子能较容易越过势垒也即接触电阻较低。可见，为了降低接触电阻 R_{csd} ，金属与半导体之间必须构成欧姆接触。

[0009] 接触电阻 R_{csd} 的大小由其电阻率 ρ_c 确定，而对于欧姆接触而言， ρ_c 正比于和肖特基势垒高度、掺杂浓度以及有效载流子质量相关的函数，如下数学式 (1) 所示：

[0010]

$$\rho_c \propto e \left(\frac{2\phi_B}{\hbar} \sqrt{\frac{\epsilon_s m^*}{N}} \right) \quad (1)$$

[0011] 其中， ρ_c 为接触电阻 R_{csd} 的电阻率， Φ_B 为肖特基势垒高度， N 为源漏掺杂浓度， m^* 为有效载流子质量。

[0012] 由上述数学式 (1) 可见，降低 ρ_c 从而降低接触电阻 R_{csd} 的方法大致包括以下三种：

[0013] 1、增大源漏区掺杂浓度 N ，例如通过加大注入剂量、激光退火增大界面杂质分布、提升源漏增大源漏结深等等；

[0014] 2、减小肖特基势垒高度 Φ_B ，例如依照 NMOS 与 PMOS 类型不同采用不同的金属硅化物材质以分别降低 NMOS 中电子的 Φ_B 和 PMOS 中空穴的 Φ_B （也即双硅化物工艺）；

[0015] 3、通过带隙工程（或设计）降低有效载流子质量 m^* ，例如在源漏区使用例如 $Si_{1-x}Ge_x$ 的窄带隙材料。

[0016] 然而，上述三种方法存在很大的局限性。

[0017] 对于上述方法 1 而言，由于掺杂剂或杂质在硅中的固溶度极限限制，无法持续增大源漏区掺杂浓度 N ，也即 N 存在一个最大值。

[0018] 对于上述方法 2 而言，由于硅化物材质不同，在制作 MOS 时需要按照 N 、PMOS 类型不同制作不同的版图和沉积不同的金属材质，工艺复杂度大大提升，无法应用于实际生产。

[0019] 对于上述方法 3 而言，仅变更源漏区材质似乎工艺较简单，然而杂质在 $Si_{1-x}Ge_x$ 中的掺杂浓度不如在 Si 中的浓度高，也即虽然降低了 m^* 但是 N 又降低了，整个器件的 ρ_c 降低效果并不明显。

[0020] 由此可见，在现有的掺杂源漏 MOSFETs 制造技术中，难以采用已知的方法来有效降低源漏接触电阻。因此，亟需一种能有效降低源漏接触电阻的半导体器件及其制造方法。

发明内容

[0021] 由上所述，本发明的目的在于提供一种能有效降低源漏接触电阻的半导体器件及其制造方法。

[0022] 为此，本发明提供了一种有效降低了源漏接触电阻的 MOSFET，包括：衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、栅极堆叠结构两侧衬底上的栅极侧

墙、栅极侧墙两侧源漏区上的金属硅化物,其特征在于:金属硅化物与源漏区的界面处具有掺杂离子的分凝区。

[0023] 其中,源漏区包括源漏扩展区和重掺杂源漏区。

[0024] 其中,金属硅化物包括 NiSi、PtSi、CoSi₂、NiPtSi、NiCoSi₂、PtCoSi₂、NiPtCoSi₂。

[0025] 其中,对于 NMOS 而言,掺杂离子包括 N、P、As、O、S、Se、Te、F、Cl 及其组合,对于 PMOS 而言,掺杂离子包括 B、Al、Ga、In 及其组合。

[0026] 其中,掺杂离子的分凝区位于栅极侧墙下方以及外侧的衬底中,但是不进入栅极堆叠结构下方的沟道区。

[0027] 本发明还提供了一种有效降低了源漏接触电阻的 MOSFET 的制造方法,包括步骤:在衬底上形成栅极堆叠结构;在栅极堆叠结构两侧形成源漏区和栅极侧墙;在栅极侧墙两侧的源漏区上形成金属硅化物;对金属硅化物注入掺杂离子;执行推进退火,使得掺杂离子分凝在金属硅化物与源漏区的界面处而形成掺杂离子的分凝区。

[0028] 其中,形成源漏区和栅极侧墙的步骤包括:以栅极堆叠结构为掩模进行第一次源漏离子注入,在栅极堆叠结构两侧的衬底中形成源漏扩展区;在栅极堆叠结构两侧的衬底上形成栅极侧墙;以栅极侧墙为掩模进行第二次源漏离子注入,在栅极侧墙两侧的衬底中形成重掺杂源漏区。

[0029] 其中,形成金属硅化物的步骤包括:至少在源漏区上形成金属层;执行硅化退火,使得金属层与源漏区中的硅反应生成金属硅化物;剥除未反应的金属层。

[0030] 其中,金属层包括 Ni、Pt、Co、Ni-Pt、Ni-Co、Pt-Co、Ni-Pt-Co,其厚度为 1~30nm。其中,硅化退火为 450-550°C 下的快速热退火。其中,硅化退火包括在 300°C 的第一退火以及在 450-550°C 下的第二退火。

[0031] 其中,对于 NMOS 而言,掺杂离子包括 N、P、As、O、S、Se、Te、F、Cl 及其组合,对于 PMOS 而言,掺杂离子包括 B、Al、Ga、In 及其组合。

[0032] 其中,推进退火温度为 400-1200°C。其中,推进退火为 RTA、激光退火或微波退火。

[0033] 依照本发明的能有效降低源漏接触电阻的器件及其制造方法,在金属硅化物的源漏接触与掺杂源漏区之间的界面处具有掺杂离子的分凝区,能有效降低肖特基势垒高度,从而大大降低了源漏接触电阻,进一步提高了器件的性能。

[0034] 本发明所述目的,以及在此未列出的其他目的,在本申请独立权利要求的范围内得以满足。本发明的实施例限定在独立权利要求中,具体特征限定在其从属权利要求中。

附图说明

[0035] 以下参照附图来详细说明本发明的技术方案,其中:

[0036] 图 1 为现有技术的掺杂源漏 MOSFETs 的剖面示意图;以及

[0037] 图 2 至图 6 为依照本发明的可有效降低源漏接触电阻的半导体器件及其制造方法的各个步骤的剖面示意图。

具体实施方式

[0038] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果,公开了可有效降低源漏接触电阻的半导体器件及其制造方法。需要指出的是,类似

的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0039] 图 2 至图 6 为依照本发明的可有效降低源漏接触电阻的半导体器件及其制造方法的各个步骤的剖面示意图。

[0040] 首先,参照附图 2,形成基础结构。如图 2 所示为基础结构的剖面示意图。首先,形成衬底中有源区的隔离结构,例如在衬底 10 上沉积氧化物和 / 或氮化物组成的牺牲层和刻蚀停止层(未示出),涂敷光刻胶并曝光显影,去除非有源区上的光刻胶,执行刻蚀在衬底中形成沟槽,然后去除光刻胶,在整个衬底上包括沟槽中填充作为隔离介质的氧化物,然后再次光刻,去除有源区上的氧化物,从仅在之前形成的沟槽中留有氧化物,最终构成浅沟槽隔离(STI)20。其中衬底 10 可以是体硅、绝缘体上硅(SOI)或者是含硅的其他化合物半导体衬底,例如 SiGe、SiC 等等,以及这些物质的组合。在本发明一个实施例中,衬底 10 优选为 Si 或 SOI。STI20 的填充材料可以是氧化硅或氮氧化硅。除了 STI 之外,还可以采用 LOCOS 工艺形成热氧化物隔离,但是对于小尺寸器件,还是优选使用 STI。需要说明的是,虽然附图中仅显示了两 STI 包围的一个有源区及其中的一个类型的 MOSFETs(例如 NMOS),但是本发明可适用于其他 MOS 器件(例如 PMOS)、CMOS 器件或单元阵列的多个 MOSFETs。

[0041] 在具有浅沟槽隔离(STI)20 的衬底 10 上通过 CVD 等常规方法形成栅极堆叠结构 30,包括先沉积栅极介质层 31,栅极介质层 31 可以是低 k 的氧化硅、氮氧化硅或氮化硅,也可以是高 k 材料,例如氧化铪、氧化钽、氧化铝等。在栅极介质层 31 上沉积栅极层 32,栅极层 32 的材质可为掺杂的多晶硅,也可以是金属或合金及其氮化物,金属例如 Al、Ti、Ta、Mo、Cu 等等。甚至当栅极层 32 用作后栅工艺的虚拟栅极时是非晶硅、微晶硅、氧化物(特别是二氧化硅)、也可以是这些物质组合的叠层或混合物。在栅极层 32 上沉积盖层 33,其材质通常是氮化物,例如氮化硅(SiN),用于稍后刻蚀或注入的掩模层。采用常用的光刻掩模刻蚀工艺形成由栅极介质层 31、栅极层 32 以及盖层 33 重叠构成的栅极堆叠结构 30。

[0042] 以栅极堆叠结构 30 为掩模进行第一次源漏离子注入,在栅极堆叠结构 30 两侧的被隔离结构 STI 20 包围的有源区中形成结深较浅、浓度较低的轻掺杂源漏区(LDD)或源漏扩展区 41。在整个器件表面沉积例如为氮化硅或氮氧化硅材料层并各向异性刻蚀形成栅极侧墙 50。以栅极侧墙 50 为掩模,进行第二次源漏离子注入,在栅极侧墙 50 两侧的有源区中形成结深较深、浓度较高的重掺杂源漏区 42。

[0043] 其次,参照图 3,在整个结构也即衬底 10(包括重掺杂源漏区 42)、STI 20、栅极堆叠结构 30 上沉积金属薄层 60。金属薄层 60 的材质可以是镍(Ni)、铂(Pt)、钴(Co)、镍铂合金(Ni-Pt,其中 Pt 含量可小于等于 8%摩尔)、镍钴合金(Ni-Co,其中 Co 含量可小于等于 10%摩尔)、铂钴合金(Pt-Co)或镍铂钴三元合金(Ni-Pt-Co,其中 Pt 含量可小于等于 8%摩尔,Co 含量可小于等于 10%摩尔)。金属薄层 60 的厚度范围从 1 至 30nm。

[0044] 接着,形成作为源漏接触的金属硅化物 61。执行硅化物退火工艺,特别是在约 450-550℃下进行快速热退火(RTP,退火时间一般为 1 微秒至 100 秒,所使用的激光、离子束、电子束或非相干宽带光源的能量密度约为 1 至 100J/cm²),沉积的金属薄层 60 与重掺杂源漏区 42 表面的硅反应并消耗该部分硅而生成相应的金属硅化物,剥除未反应的金属薄层 60 的那部分,在剩余的重掺杂源漏区 42 上留下金属硅化物 61 以作为 MOSFETs 的源漏接

触。金属硅化物 61 依照金属薄层 60 材质不同而相应的可以是 NiSi、PtSi、CoSi₂、NiPtSi、NiCoSi₂、PtCoSi₂ 或 NiPtCoSi₂。

[0045] 上述硅化物退火工艺也可以采用两步退火。首先,执行低温的第一退火,退火温度约为 300℃。低温退火之后,与重掺杂源漏区 42 直接接触的金属薄层 60 部分会与重掺杂源漏区 42 中的单晶硅发生反应形成富金属相的金属硅化物。在此约 300℃的低退火温度下,栅极侧墙 50 上的金属薄层不太可能绕过隔离侧墙横向扩散到衬底特别是沟道区中。接着,剥除未反应的金属薄层 60。在约 450 至 500℃的温度下进行高温的第二退火,使得富金属相的金属硅化物转化为具有低电阻率的金属硅化物 61,作为源漏区接触,从而减小接触电阻、提高器件响应速度。金属硅化物的横向生长由于采用两步温度不同的退火而在一定程度上得到抑制。

[0046] 最终得到的金属硅化物 61 沿沟道方向与源漏扩展区 41 的界面大致平行于栅极侧墙 50 的侧面并优选地共面,也即金属硅化物 61 实质上与沟道区接触。金属硅化物 61 与其下方的重掺杂源漏 42 之间的接触电阻,也即前述的 R_{csd},很大程度上决定了最终的源漏寄生串联电阻。因此,如何处理金属硅化物 61 的界面以降低电阻成为本发明的关键。

[0047] 为此,参照图 4,对整个器件进行掺杂离子注入。由于受到栅极堆叠结构 30 以及栅极侧墙 50 的阻挡,外加控制注入离子的能量(例如 30 ~ 70KeV),垂直注入的离子仅分布在金属硅化物 61 中而不进入下方的重掺杂源漏 42。对于 NMOS 而言,注入的离子可包括 N、P、As、O、S、Se、Te、F、Cl 等等及其组合,对于 PMOS 而言,注入的离子可包括 B、Al、Ga、In 等等及其组合。这些注入的掺杂离子将改善、调整金属硅化物 61 的功函数,从而控制其肖特基势垒高度。剂量范围从 1×10^{15} 至 $1 \times 10^{19} \text{cm}^{-2}$ 。

[0048] 接着,参照附图 5,执行驱动或推进退火。在约 400-1200℃下进行高温的推进退火,推进退火可以为 RTA、激光退火或微波退火。高温退火使得上述注入的掺杂离子受到驱动或推进,从而分凝在金属硅化物 61 与源漏区 40(包括重掺杂源漏区 42 以及源漏扩展区 41)的界面处而形成掺杂离子的分凝区 70,能有效降低肖特基势垒高度 Φ_B 从而减小电阻率 ρ_c 。该分凝区 70 位于栅极侧墙 50 下方以及外侧的衬底中但是不进入栅极层 32 下方的沟道区,也即在栅极堆叠结构 30 的两侧,优选地贴近或位于栅极侧墙 50 的外侧。

[0049] 以上依照本发明的制造方法,形成的新型 MOSFET 器件结构,如图 5 所示。衬底 10 中具有浅沟槽隔离(STI)20;衬底 10 中被 STI 20 包围的有源区上具有栅极堆叠结构 30,包括栅极介质层 31、栅极层 32 和盖层 33;栅极结构 30 两侧的衬底 10 中具有源漏区 40,包括轻掺杂的源漏扩展区 41 以及重掺杂源漏区 42;栅极堆叠结构 30 两侧的衬底 10 上具有栅极侧墙 50;源漏区 40 上具有金属硅化物 61;金属硅化物 61 与源漏区 40 的界面处具有掺杂离子的分凝区 70,能有效降低肖特基势垒高度 Φ_B 从而减小电阻率 ρ_c 。该分凝区 70 位于栅极侧墙 50 下方的衬底中但是不进入栅极层 32 下方的沟道区,也即在栅极堆叠结构 30 的两侧,优选地贴近或位于栅极侧墙 50 的外侧。

[0050] 之后,参照附图 6,与传统的 MOSFET 工艺类似,形成后续器件结构。例如可沉积并平坦化层间介质层 80,光刻/刻蚀形成接触通孔,沉积接触垫层和金属接触材料并 CMP 平坦化以形成最终的源漏接触塞 90。接触垫层材质包括但不限于 Ti、Ta、TiN、TaN 及其组合,金属接触材料包括但不限于 W、Cu、TiAl、Al 及其组合。当栅极层 32 为虚拟栅极时,也即采用后栅工艺时,在形成层间介质层之后形成接触通孔之前,还可以先刻蚀去除虚拟栅极,随后

依次沉积高 k 栅极介质材料以及金属栅极材料并平坦化。

[0051] 依照本发明的能有效降低源漏接触电阻的器件及其制造方法,在金属硅化物的源漏接触与掺杂源漏区之间的界面处具有掺杂离子的分凝区,能有效降低肖特基势垒高度,从而大大降低了源漏接触电阻,进一步提高了器件的性能。

[0052] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

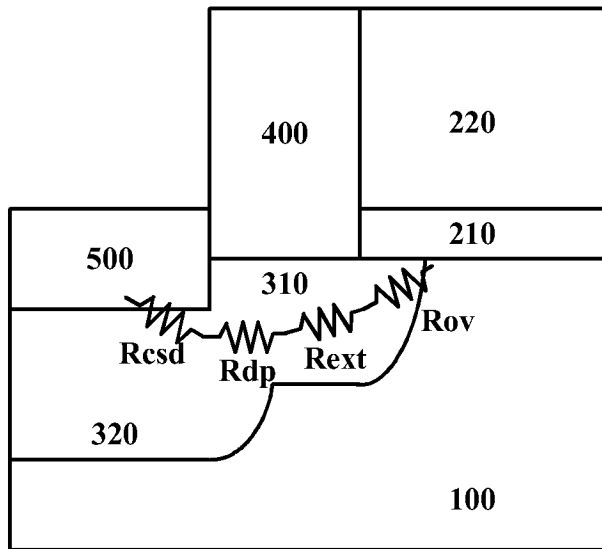


图 1

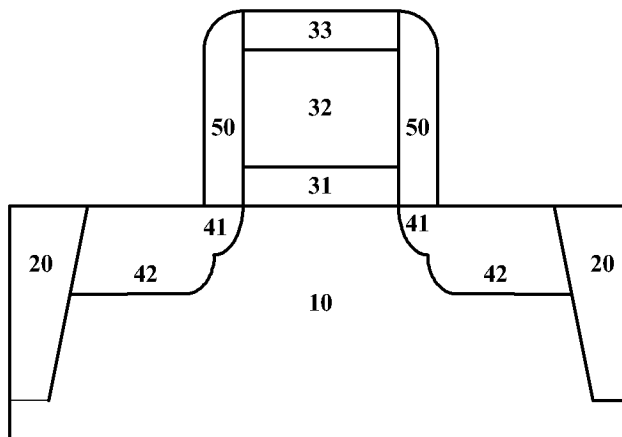


图 2

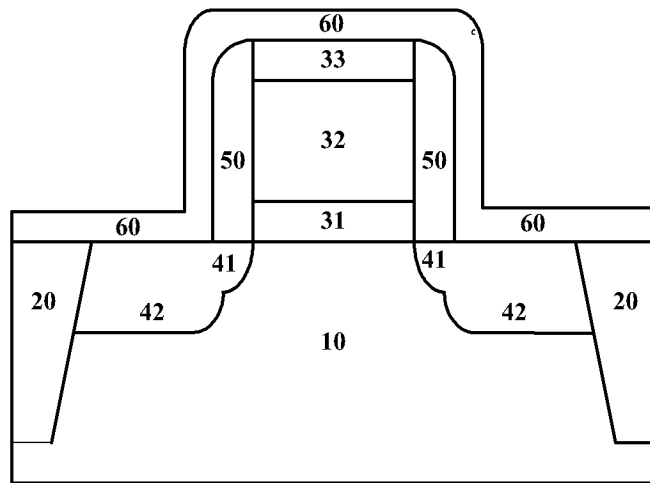


图 3

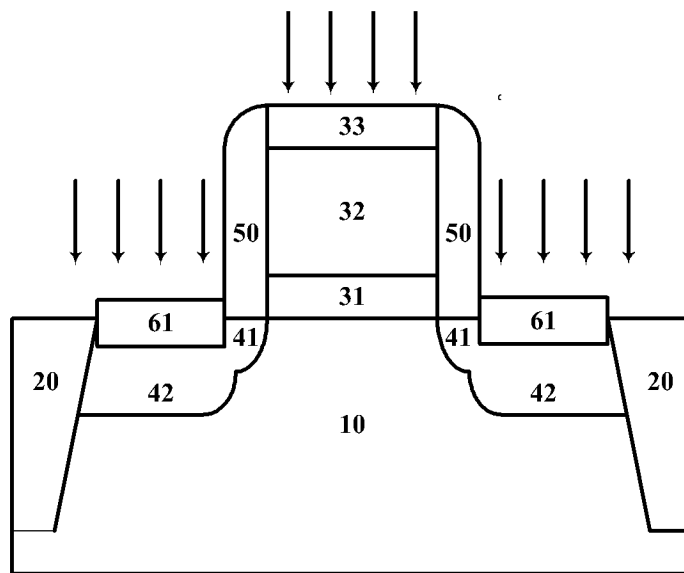


图 4

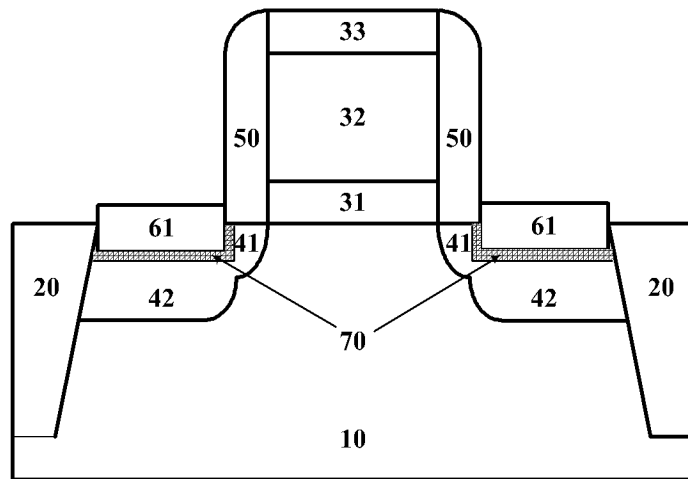


图 5

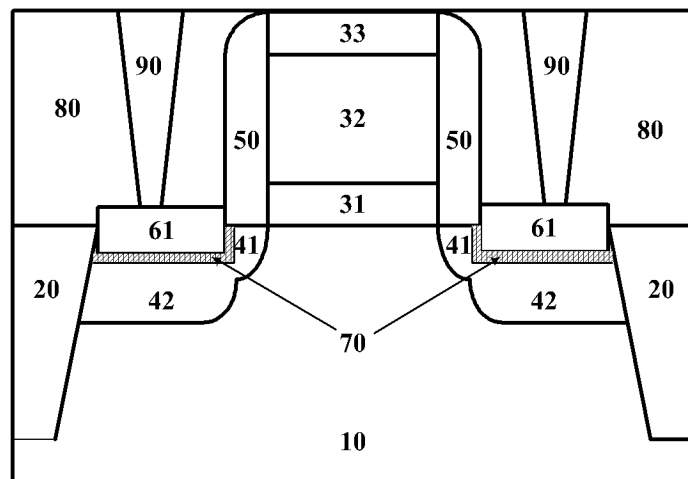


图 6