

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214681
(P2004-214681A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 27/115	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号	特願2003-435780 (P2003-435780)	(71) 出願人	504004500
(22) 出願日	平成15年12月26日 (2003.12.26)		ドンブ エレクトロニクス カンパニー
(31) 優先権主張番号	2002-088281		リミテッド
(32) 優先日	平成14年12月31日 (2002.12.31)		大韓民国 1 3 5 - 5 2 3 ソウル ガン
(33) 優先権主張国	韓国 (KR)		ナム-グ ダイチードン891-10
		(74) 代理人	100086368
			弁理士 萩原 誠
		(72) 発明者	チャン-ファン ハン
			大韓民国 4 6 7 - 7 3 1 キョンギド
			イチュオン-シ チャンジョン-ドン
			ヒュンダイ1-チャアパート101-60
			5
		Fターム(参考)	5F083 EP02 EP22 GA09 JA19 JA32
			NA01 PR03 PR07 PR10
			5F101 BA01 BB02 BB17 BD32 BD35
			BH13

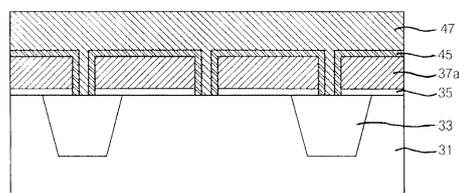
(54) 【発明の名称】 不揮発性メモリ素子の製造方法

(57) 【要約】

【課題】 セルサイズを増加させない不揮発性メモリ素子の製造方法を提供する。

【解決手段】 シリコン基板内に活性領域と素子分離領域を限定するトレンチ素子分離膜を形成する段階と；前記シリコン基板上にトンネル酸化膜とフローティングゲート用ポリシリコン層を形成する段階と；前記フローティングゲート用ポリシリコン層上に犠牲絶縁膜を形成する段階と；前記犠牲絶縁膜上に感光膜パターンを形成した後、これをマスクとして前記犠牲絶縁膜を前記ポリシリコン層が露出するまで蝕刻しながらパターンニングされた前記犠牲絶縁膜側壁にポリマ層を生成させる段階と；前記ポリマ層と前記感光膜パターンとをマスクとして露出したポリシリコン層とトンネル酸化膜とを選択的に除去し、フローティングゲート用ポリシリコン層パターンとトンネル酸化膜パターンを形成する段階を含んで構成される。

【選択図】 図2g



【特許請求の範囲】

【請求項 1】

シリコン基板内に活性領域と素子分離領域を限定するトレンチ素子分離膜とを形成する段階と、

前記シリコン基板上にトンネル酸化膜とフローティングゲート用ポリシリコン層を形成する段階と、

前記フローティングゲート用ポリシリコン層上に犠牲絶縁膜を形成する段階と、

前記犠牲絶縁膜上に感光膜パターンを形成した後、これをマスクとして前記犠牲絶縁膜を、前記ポリシリコン層が露出するまで蝕刻しながら、パターンングされる前記犠牲絶縁膜の側壁にポリマ層を生成させる段階と、

前記ポリマ層と前記感光膜パターンとをマスクとして露出した前記ポリシリコン層と前記トンネル酸化膜とを選択的に除去し、フローティングゲート用ポリシリコン層パターンとトンネル酸化膜パターンとを形成する段階と、

を含むことを特徴とする不揮発性メモリ素子の製造方法。

10

【請求項 2】

請求項 1 に記載の製造方法において、

前記ポリシリコン層パターンと前記トンネル酸化膜パターンとを形成した後、前記ポリマ層と前記感光膜パターンと前記犠牲絶縁膜とを除去する段階と、

前記全体構造の上面に絶縁膜とコントロールゲート用ポリシリコン層とを形成する段階とをさらに含むことを特徴とする不揮発性メモリ素子の製造方法。

20

【請求項 3】

請求項 1 に記載の製造方法において、

前記犠牲絶縁膜にTEOS系列の酸化膜、または窒化膜を使用し、ポリマを生成させることを特徴とする不揮発性メモリ素子の製造方法。

【請求項 4】

請求項 1 に記載の製造方法において、

前記ポリマ層間スペースの幅が約300~1200 であることを特徴とする不揮発性メモリ素子の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は不揮発性メモリ素子の製造方法に係り、より詳細にはEEPROM(electrically erasable programmable read only memory)に関する。フローティングゲートをセルサイズが増加なしに単純な工程で1セル当たり2個に分離し、複数ビット(multi bit)を実現する不揮発性メモリ素子の製造方法に関するものである。

【背景技術】

【0002】

一般的なEEPROMセル構造に対して図1を参照して説明すれば次の通りである。

図1は一般的なEEPROMセル構造を表わしたもので、単一ビットセルタイプの素子断面図である。

40

単一ビットタイプの一般的なEEPROMセル構造は、図1に示す通り、シリコン基板(11)内に活性領域と素子分離領域を限定するトレンチ素子分離膜(13)が形成されていて、活性領域上にはトンネル酸化膜(15)とフローティングゲート(17)とが積層された構造となっている。

【0003】

一方、図面には図示しなかったが、このような単一ビットタイプとは違い、提案された二重ビットタイプのセル構造と先に説明した単一タイプのセル構造の大きな差は次の通りである。単一タイプの場合は一つの素子分離(LOCOS、またはSTI)で1ビットを実現するが、二重タイプの場合はフローティングゲートを二つ共有し、従来の1ビットセルを2ビットセルに構成する。

50

【0004】

しかし、これを詳細に見ると、フローティングゲートを2個に分離すると、リソグラフィの最小構造の大きさ(lithographic minimum feature size)(以下これを『F』とする)だけセルサイズが増加する。すなわち、フローティングゲート間の分離幅は、マスクパターニングの限界からくるものであり、セルの有用な動作のために『F』だけの長さが必要となるのではない。別の言い方をすれば、この長さを可能なかぎり縮めることが、セルの大きさの減少という側面から望ましいことである。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は上述した従来技術の問題点を解決するためになされたもので、セルサイズの増加の問題をポリマ発生技術により、セルサイズの増加なく不必要なフローティングゲート間の間隔を生成したポリマスペイサ幅の長さの2倍だけ減らした。また、この大きさをフローティングゲートポリシリコンの面積で使用が可能とすることによって、素子の信頼性を向上させることができる不揮発性メモリ素子の製造方法を提供することにその目的がある。

【課題を解決するための手段】

【0006】

上述した目的を達成するための本発明に係る不揮発性メモリ素子の製造方法は、シリコン基板内に活性領域と素子分離領域とを限定するトレンチ素子分離膜を形成する段階と；前記シリコン基板上にトンネル酸化膜とフローティングゲート用ポリシリコン層を形成する段階と；前記フローティングゲート用ポリシリコン層上に犠牲絶縁膜を形成する段階と；前記犠牲絶縁膜上に感光膜パターンを形成した後、これをマスクとして前記犠牲絶縁膜を前記ポリシリコン層が露出するまで蝕刻しながらパターンングされた前記犠牲絶縁膜側壁にポリマ層を生成させる段階と；前記ポリマ層と前記感光膜パターンとをマスクとして前記露出したポリシリコン層と前記トンネル酸化膜とを選択的に除去し、フローティングゲート用ポリシリコン層パターンとトンネル酸化膜パターンとを形成する段階と；を含み、構成されることを特徴とする。

【発明の効果】

【0007】

本発明に係る不揮発性メモリ素子の製造方法によれば、従来の二重ビットタイプのセルが持つフローティングゲートの長さの減少により発生するカップリング比が低いという問題を、フローティングゲートの長さを生成されたポリマの量の2倍だけ増加させてこれを解決することができる。

したがって、持続的なセルサイズの減少が可能で、内部電圧の減少効果があり、素子の信頼性改善に相当な効果を発揮する。

【発明を実施するための最良の形態】

【0008】

以下、本発明に係る不揮発性メモリ素子の製造方法を、添付した図面を参照して詳細に説明する。

図2a乃至図2gは本発明に係る不揮発性メモリ素子の製造方法を説明するための工程別断面図である。

本発明に係る不揮発性メモリ素子の製造方法は、図2aに示すように、まずシリコン基板(31)内に活性領域と素子分離領域を限定するトレンチ素子分離膜(33)とを形成した後、全体構造の上面にトンネル酸化膜(35)とフローティングゲート用ポリシリコン層(37)とを順次形成する。

【0009】

次に、図2bに示すように、フローティングゲート用ポリシリコン層(37)上に第1犠牲絶縁膜(39)を形成する。この時、犠牲絶縁膜としてTEOS系列の酸化膜、または窒化膜を使用する。

10

20

30

40

50

続いて、図 2 c に示すように、第 1 犠牲絶縁膜 (39) 上にこの第 1 犠牲絶縁膜をパターンニングするためのマスクとして使用する感光膜パターン (41) を形成する。この時、パターンニング時のスペイサの大きさをリソグラフィの最小構造の大きさ (lithographic minimum feature size) (以下、これを『F』とする) という。

【 0 0 1 0 】

そして、図 2 d に示すように、感光膜パターン (41) をマスクとして第 1 犠牲絶縁膜 (39) をポリシリコン層 (37) 上面が露出するまで選択的に除去しながら、パターンニングされた第 1 犠牲絶縁膜の側壁に一定量のポリマ層 (43) を生成させる。この時、ポリマ層 (43) は第 2 犠牲絶縁膜として利用される。なお、ポリマ層間スペイサ幅は約 300 ~ 1200 程度となる。

続いて、図 2 e に示すように、露出されたフローティングゲート用ポリシリコン層 (37) とトンネル酸化膜 (35) とをシリコン基板 (31) が露出するまで全面蝕刻する。 10

【 0 0 1 1 】

そして、図 2 f に示すように、残留するポリマ層 (43) と感光膜パターン (41) と第 1 犠牲絶縁膜 (39) とを除去する。この時、フローティングゲート用ポリシリコン層パターン (37a) の長さが従来より第 1 犠牲絶縁膜の側壁に生成されたポリマの量だけ大きくなり、カップリング比 (couple ratio) が増加する。

続いて、図 2 g に示すように、ポリシリコン層パターン (37a) とトンネル酸化膜パターン (35a) とを含む全体構造の上面に絶縁膜 (45) とコントロールゲート用ポリシリコン層 (47) とを積層する。

なお、本発明は詳述した特定の望ましい実施例に限定されず、請求範囲で請求する本発明の要旨をはずれることなく、当該発明が属する分野で通常の知識を持った者ならば誰でも多様な変更実施が可能である。 20

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 一般的なEEPROMセル構造を表わしたもので、単一ビットセルタイプの素子断面図、

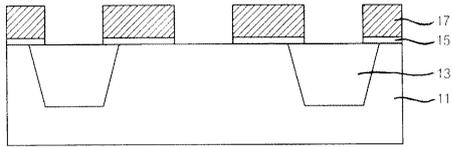
【 図 2 】 a 乃至 g は本発明に係る不揮発性メモリ素子の製造方法を説明するための工程別断面図。

【 符号の説明 】

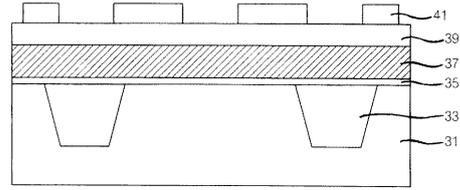
【 0 0 1 3 】

- 3 1 シリコン基板
- 3 3 トレンチ素子分離膜
- 3 5 トンネル酸化膜
- 3 7 フローティングゲート用ポリシリコン層
- 3 9 第 1 犠牲絶縁膜
- 4 1 感光膜パターン
- 4 3 ポリマ層
- 4 5 絶縁膜
- 4 7 コントロールゲート用ポリシリコン層

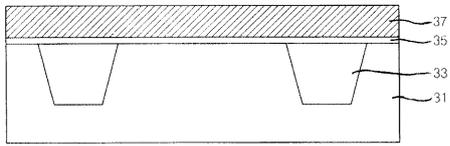
【図 1】



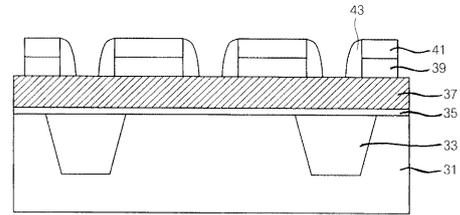
【図 2 c】



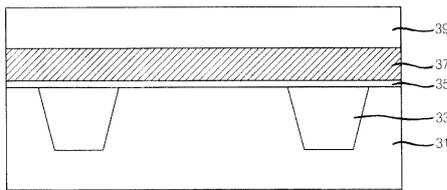
【図 2 a】



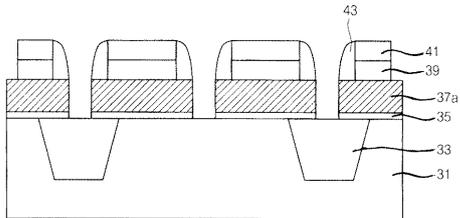
【図 2 d】



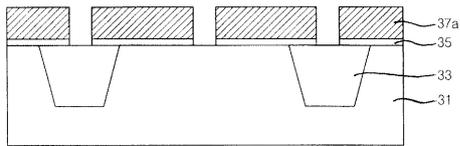
【図 2 b】



【図 2 e】



【図 2 f】



【図 2 g】

