

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6710497号  
(P6710497)

(45) 発行日 令和2年6月17日(2020.6.17)

(24) 登録日 令和2年5月29日(2020.5.29)

(51) Int.Cl. F I  
H03M 1/18 (2006.01) H03M 1/18

請求項の数 7 (全 14 頁)

<p>(21) 出願番号 特願2015-31916 (P2015-31916)                  (22) 出願日 平成27年2月20日 (2015. 2. 20)                  (65) 公開番号 特開2016-154301 (P2016-154301A)                  (43) 公開日 平成28年8月25日 (2016. 8. 25)                  審査請求日 平成29年11月29日 (2017. 11. 29)                  審判番号 不服2019-4706 (P2019-4706/J1)                  審判請求日 平成31年4月8日 (2019. 4. 8)</p>	<p>(73) 特許権者 308033711                  ラピスセミコンダクタ株式会社                  神奈川県横浜市港北区新横浜二丁目4番地                  8                  (74) 代理人 100079119                  弁理士 藤村 元彦                  (72) 発明者 渡部 五常                  神奈川県横浜市港北区新横浜二丁目4番地                  8 ラピスセミコンダクタ株式会社内                   合議体                  審判長 北岡 浩                  審判官 佐藤 智康                  審判官 衣鳩 文彦</p>
--	---

最終頁に続く

(54) 【発明の名称】 A/D変換装置

(57) 【特許請求の範囲】

【請求項1】

アナログ電圧値を有する信号をN(Nは2以上の整数)ビットのデジタルデータ片に変換するA/D変換器と、

前記A/D変換器の入力レンジの複数倍の大きさの電圧値を有する入力信号をも受け入れ、基準電圧から前記入力信号の電圧値を減算して得た電圧値を有するレベルシフト入力信号を生成し、前記レベルシフト入力信号を前記A/D変換器に供給する減算回路と、

前記入力信号の電圧値として取り得る電圧範囲を夫々の幅が前記入力レンジ内になるように分割した複数の電圧領域のうちで、前記入力信号の電圧値を含む電圧領域における最大の電圧値を前記基準電圧として生成する基準電圧生成部と、

前記複数の電圧領域各々内での最小の電圧値を夫々Nビットで表す複数のデータ片のうちから、前記入力信号の電圧値を含む電圧領域に対応したデータ片を選択しこれをシフトデータ片として出力する出力セレクトと、

前記A/D変換器から出力された前記デジタルデータ片と前記シフトデータ片とを加算したものを出力する加算器と、を有することを特徴とするA/D変換装置。

【請求項2】

前記基準電圧生成部は、

前記入力信号の電圧値が前記複数の電圧領域のうちのいずれの電圧領域内にあるのかを判定する領域判定部と、

前記複数の電圧領域の各々での最大の電圧値のうちから、前記領域判定部において判定

された前記電圧領域に対応した電圧値を選択し当該選択した電圧値を有する前記基準電圧を前記減算回路に供給するセレクタと、を有することを特徴とする請求項 1 に記載の A / D 変換装置。

【請求項 3】

アナログ電圧値を有する信号を N ( N は 2 以上の整数 ) ビットのデジタルデータ片に変換する A / D 変換器と、

前記 A / D 変換器の入力レンジの複数倍の大きさの電圧値を夫々が有する第 1 ~ 第 n ( n は 2 以上の整数 ) の入力信号を受け入れ、前記第 1 ~ 第 n の入力信号を順次択一的に選択し、前記選択した入力信号を出力ラインを介して出力する第 1 のセレクタと、

前記第 1 のセレクタから出力された前記入力信号の電圧値を基準電圧から減算して得た電圧値を有するレベルシフト入力信号を生成し、前記レベルシフト入力信号を前記 A / D 変換器に供給する減算回路と、

前記入力信号の電圧値として取り得る電圧範囲を夫々の幅が前記入力レンジ内になるように分割した複数の電圧領域のうちで、前記入力信号の電圧値を含む電圧領域における最大の電圧値を前記基準電圧として生成する基準電圧生成部と、

前記複数の電圧領域各々内での最小の電圧値を夫々 N ビットで表す複数のデータ片のうちから、前記入力信号の電圧値を含む電圧領域に対応したデータ片を選択しこれをシフトデータ片として出力する出力セレクタと、

前記 A / D 変換器から出力された前記デジタルデータ片と前記シフトデータ片とを加算したものを出力する加算器と、を有することを特徴とする A / D 変換装置。

【請求項 4】

前記基準電圧生成部は、

前記入力信号の電圧値が前記複数の電圧領域のうちのいずれの電圧領域内にあるのかを判定する領域判定部と、

前記複数の電圧領域の各々での最大の電圧値のうちから、前記領域判定部において判定された前記電圧領域に対応した電圧値を選択し当該選択した電圧値を有する前記基準電圧を前記減算回路に供給する第 2 のセレクタと、を有することを特徴とする請求項 3 に記載の A / D 変換装置。

【請求項 5】

前記 A / D 変換器は、前記第 1 のセレクタによる前記第 1 ~ 第 n の入力信号の切替周期と同一周期の A / D 変換タイミングで前記レベルシフト入力信号の電圧値をデジタル値に変換することを特徴とする請求項 3 又は 4 に記載の A / D 変換装置。

【請求項 6】

前記第 1 のセレクタは、前記第 1 ~ 第 n の入力信号を択一的に前記出力ラインに印加する MOS ( metal-oxide semiconductor ) 型のトランスミッションゲートを有し、

前記第 1 のセレクタによる前記第 1 ~ 第 n の入力信号の切替時点から前記 A / D 変換タイミングまでの期間よりも、前記切替時点で発生するリングングの収束期間が短くなるように、前記トランスミッションゲートのゲート長が設定されていることを特徴とする請求項 5 に記載の A / D 変換装置。

【請求項 7】

前記第 1 ~ 第 n の入力信号は夫々第 1 ~ 第 n の抵抗を介して前記第 1 のセレクタに供給されることを特徴とする請求項 3 又は 4 に記載の A / D 変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A / D 変換装置に関する。

【背景技術】

【0002】

A / D 変換器の入力レンジ、つまり当該 A / D 変換器に入力することが可能な電圧範囲は、その A / D 変換器の仕様によって決まっている。よって、当該入力レンジよりも電圧

10

20

30

40

50

範囲が大なる入力信号を当該 A / D 変換によって A / D 変換する場合には、入力信号の電圧値を A / D 変換器の入力レンジ内に低下させる必要がある。

【 0 0 0 3 】

そこで、入力信号の電圧値として取り得る電圧範囲を A / D 変換器の入力レンジに圧縮させる為に、入力信号の電圧値を 2 つの抵抗によって分圧することによりその電圧値を低下させる抵抗分圧回路を当該 A / D 変換器の前段に設けた A / D 変換装置が提案されている（例えば特許文献 1 参照）。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開平 9 - 8 3 3 6 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、抵抗分圧によって入力信号の電圧値を低下させると、入力信号のダイナミックレンジが圧縮されてしまうので A / D 変換の精度が低下するという問題があった。

【 0 0 0 6 】

そこで、本発明は、A / D 変換の精度低下を招くことなく A / D 変換器の入力レンジよりも大なる電圧範囲の入力信号をデジタル値に変換することが可能な A / D 変換装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明に係る A / D 変換装置は、アナログ電圧値を有する信号を N ( N は 2 以上の整数 ) ビットのデジタルデータ片に変換する A / D 変換器と、前記 A / D 変換器の入力レンジの複数倍の大きさの電圧値を有する入力信号をも受け入れ、基準電圧から前記入力信号の電圧値を減算して得た電圧値を有するレベルシフト入力信号を生成し、前記レベルシフト入力信号を前記 A / D 変換器に供給する減算回路と、前記入力信号の電圧値として取り得る電圧範囲を夫々の幅が前記入力レンジ内になるように分割した複数の電圧領域のうちで、前記入力信号の電圧値を含む電圧領域における最大の電圧値を前記基準電圧として生成する基準電圧生成部と、前記複数の電圧領域各々内での最小の電圧値を夫々 N ビットで表す複数のデータ片のうちから、前記入力信号の電圧値を含む電圧領域に対応したデータ片を選択しこれをシフトデータ片として出力する出力セレクタと、前記 A / D 変換器から出力された前記デジタルデータ片と前記シフトデータ片とを加算したものを出力する加算器と、を有する。

【 0 0 0 8 】

また、本発明に係る他の A / D 変換装置は、アナログ電圧値を有する信号を N ( N は 2 以上の整数 ) ビットのデジタルデータ片に変換する A / D 変換器と、前記 A / D 変換器の入力レンジの複数倍の大きさの電圧値を夫々が有する第 1 ~ 第 n ( n は 2 以上の整数 ) の入力信号を受け入れ、前記第 1 ~ 第 n の入力信号を順次択一的に選択し、前記選択した入力信号を出力ラインを介して出力する第 1 のセレクタと、前記セレクタから出力された前記入力信号の電圧値を基準電圧から減算して得た電圧値を有するレベルシフト入力信号を生成し、前記レベルシフト入力信号を前記 A / D 変換器に供給する減算回路と、前記入力信号の電圧値として取り得る電圧範囲を夫々の幅が前記入力レンジ内になるように分割した複数の電圧領域のうちで、前記入力信号の電圧値を含む電圧領域における最大の電圧値を前記基準電圧として生成する基準電圧生成部と、前記複数の電圧領域各々内での最小の電圧値を夫々 N ビットで表す複数のデータ片のうちから、前記入力信号の電圧値を含む電圧領域に対応したデータ片を選択しこれをシフトデータ片として出力する出力セレクタと、前記 A / D 変換器から出力された前記デジタルデータ片と前記シフトデータ片とを加算したものを出力する加算器と、を有する。

【発明の効果】

## 【0009】

本発明では、入力信号をA/D変換器にてA/D変換するにあたり、A/D変換器の前端に設けた減算回路により、基準電圧から入力信号を減算して得られた電圧値を有するレベルシフト入力信号を生成し、当該レベルシフト入力信号をA/D変換器に供給する。これにより、入力信号として取り得る電圧値の電圧範囲がA/D変換器の入力レンジより大であっても、入力信号の電圧値を圧縮することなく、その電圧値をA/D変換器の入力レンジに収めることが可能となる。

## 【0010】

よって、本発明によれば、A/D変換の精度低下を招くことなくA/D変換器の入力レンジよりも大なる電圧範囲の入力信号をデジタル値に変換することが可能となる。

10

## 【図面の簡単な説明】

## 【0011】

【図1】本発明に係るA/D変換装置100の構成を示す回路図である。

【図2】入力信号 $V_{PI}$ 及び $V_{PO}$ の電圧値として取り得る電圧範囲と、電圧領域Ea、Eb、Ec及びEdとを示す図である。

【図3】入力信号 $V_{PO}$ の電圧値が電圧領域Eaの範囲内にある場合における、減算回路30でのレベルシフトの形態を表す図である。

【図4】入力信号 $V_{PO}$ の電圧値が電圧領域Ebの範囲内にある場合における、減算回路30でのレベルシフトの形態を表す図である。

【図5】入力信号 $V_{PO}$ の電圧値が電圧領域Ecの範囲内にある場合における、減算回路30でのレベルシフトの形態を表す図である。

20

【図6】入力信号 $V_{PO}$ の電圧値が電圧領域Edの範囲内にある場合における、減算回路30でのレベルシフトの形態を表す図である。

【図7】本発明に係るA/D変換装置100の他の一例を示す回路図である。

【図8】図7に示すA/D変換装置100の内部動作を示すタイムチャートである。

【図9】入力信号切替時に生じるリングングの一例を示す入力信号 $V_{PO}$ の波形図である。

【図10】図7に示すA/D変換装置100の変形例を示す回路図である。

【図11】図7に示すA/D変換装置100の他の変形例を示す回路図である。

## 【発明を実施するための形態】

## 【0012】

30

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

## 【0013】

図1は、本発明に係るA/D変換装置100の一例を示す回路図である。A/D変換装置100は半導体チップに形成されており、図1に示すように、オペアンプ10、領域判定部20、セレクタ21、22、加算器23、減算回路30及びA/D変換器40を含む。

## 【0014】

オペアンプ10は、出力端子及び反転入力端子同士が接続されている、いわゆるボルテージフォロワである。オペアンプ10は、非反転入力端子に供給された入力信号 $V_{PI}$ を利得1にて増幅して得た入力信号 $V_{PO}$ を領域判定部20及び減算回路30に供給する。尚、入力信号 $V_{PI}$ 及び $V_{PO}$ 各々の電圧値として取り得る電圧範囲（以下、入力電圧範囲と称する）は、例えば図2に示すように0ボルト～電圧値 $V_{Bd}$ （例えば20ボルト）である。

40

## 【0015】

領域判定部20は、入力信号 $V_{PO}$ の電圧値が、当該入力電圧範囲を複数に分割した電圧領域各々のうちのいずれの電圧領域内にあるのかを判定する。各電圧領域は、夫々の幅がA/D変換器40の入力レンジ以下となるように、入力電圧範囲を複数に分割して得られたものである。尚、A/D変換精度を最大とする為には、複数の電圧領域各々の幅を、A/D変換器40の入力レンジと同一にすることが望ましい。

## 【0016】

例えば、図2に示すように、入力電圧範囲の最大の電圧値 $V_{Bd}$ が20ボルトであり、

50

且つA/D変換器40の入力レンジにおける最大の電圧値 $V_{Ba}$ が5ボルトである場合には、当該電圧範囲を5ボルト毎に4分割した電圧領域Ea、Eb、Ec及びEdを設定する。よって、この際、領域判定部20は、入力信号 $V_{PO}$ の電圧値が、これら電圧領域Ea、Eb、Ec及びEdのうちのいずれの電圧領域内にあるのかを判定する。尚、電圧領域Eaにおける最大の電圧値は、図2に示す電圧値 $V_{Ba}$ (例えば5ボルト)となり、電圧領域Ebにおける最大の電圧値は、図2に示す電圧値 $V_{Bb}$ (例えば10ボルト)となる。また、電圧領域Ecにおける最大の電圧値は、図2に示す電圧値 $V_{Bc}$ (例えば15ボルト)となり、電圧領域Edにおける最大の電圧値は、図2に示す電圧値 $V_{Bd}$ (例えば20ボルト)となる。

【0017】

領域判定部20は、当該判定された電圧領域を示す領域判定信号SAを、セクタ21及び22に供給する。

【0018】

セクタ21は、図2に示すように電圧領域Ea~Edの各電圧領域内での最大の電圧値 $V_{Ba}$ 、 $V_{Bb}$ 、 $V_{Bc}$ 、及び $V_{Bd}$ のうちから、領域判定信号SAにて示される電圧領域に対応した電圧値VBを選択し、これを基準電圧 $V_{BSE}$ として減算回路30に供給する。

【0019】

すなわち、セクタ21は、図2に示す電圧領域Eaを示す領域判定信号SAが供給された場合には電圧値 $V_{Ba}$ (5ボルト)を選択し、当該電圧値 $V_{Ba}$ を有する基準電圧 $V_{BSE}$ を減算回路30に供給する。また、セクタ21は、図2に示す電圧領域Ebを示す領域判定信号SAが供給された場合には電圧値 $V_{Bb}$ (10ボルト)を選択し、当該電圧値 $V_{Bb}$ を有する基準電圧 $V_{BSE}$ を減算回路30に供給する。また、セクタ21は、図2に示す電圧領域Ecを示す領域判定信号SAが供給された場合には電圧値 $V_{Bc}$ (15ボルト)を選択し、当該電圧値 $V_{Bc}$ を有する基準電圧 $V_{BSE}$ を減算回路30に供給する。また、セクタ21は、図2に示す電圧領域Edを示す領域判定信号SAが供給された場合には電圧値 $V_{Bd}$ (20ボルト)を選択し、当該電圧値 $V_{Bd}$ を有する基準電圧 $V_{BSE}$ を減算回路30に供給する。

【0020】

セクタ22は、電圧領域Ea~Edの各電圧領域内での最小の電圧値を夫々Nビット(Nは2以上の整数)で表すデータDDa、DDb、DDc、及びDDdのうちから、領域判定信号SAにて示される電圧領域に対応したデータDDを選択し、これをシフトデータ $D_{SFT}$ として加算器23に供給する。尚、例えば1ボルトの電圧値を1ビットの精度で表す場合には、図2に示すように、シフトデータDDa、DDb、DDc及びDDdは、

DDa: [00000]

DDb: [00101]

DDc: [01010]

DDd: [01111]

のような5ビットのデータとなる。

【0021】

減算回路30は、図1に示すように、抵抗R1~R4及びオペアンプOPを有する。オペアンプOPの反転入力端子には抵抗R1の一端が接続されており、抵抗R1の他端には上記した入力信号 $V_{PO}$ が印加されている。更にオペアンプOPの反転入力端子には抵抗R2の一端が接続されており、この抵抗R2の他端にはオペアンプOPの出力端子が接続されている。オペアンプOPの非反転入力端子には抵抗R3の一端が接続されており、当該抵抗R3の他端には基準電圧 $V_{BSE}$ が印加されている。更にオペアンプOPの非反転入力端子には、抵抗R4の一端が接続されており、当該抵抗R4の他端には接地電位GNDが印加されている。尚、抵抗R1~R4各々の抵抗値は同一である。

【0022】

上記した構成により、減算回路30は、基準電圧 $V_{BSE}$ から入力信号 $V_{PO}$ を減算するこ

10

20

30

40

50

とにより、入力信号  $V_{PO}$  の電圧値を低下させる方向にレベルシフトする。減算回路 30 は、当該減算によって得られた電圧値を有するレベルシフト入力信号  $V_{ADI}$  を A/D 変換器 40 に供給する。

【0023】

A/D 変換器 40 は、レベルシフト入力信号  $V_{ADI}$  の電圧値をデジタル値に変換して得た N ビットのデジタルデータ DT を加算器 23 に供給する。

【0024】

加算器 23 は、デジタルデータ DT に上記したシフトデータ  $D_{SFT}$  を加算して得られた N ビットのデジタルデータ DAT を出力する。すなわち、加算器 23 は、減算回路 30 によって電圧値を低下させる方向にレベルシフトされた分を相殺する為に、そのレベルシフト分に対応したデジタル値を示すシフトデータ  $D_{SFT}$  をデジタルデータ DT に加算するのである。

10

【0025】

以下に、図 1 に示す構成を有する A/D 変換装置 100 の動作について、図 2 ~ 図 6 を参照しつつ説明する。

【0026】

まず、入力信号  $V_{PO}$  の電圧値が、図 2 に示す電圧領域 E a (0 ~ 5 ボルト) の範囲内にある場合、セレクタ 21 は、電圧値  $V_{Ba}$  (5 ボルト) を有する基準電圧  $V_{BSE}$  を減算回路 30 に供給する。更に、セレクタ 22 が、シフトデータ  $DDa$  (00000) を加算器 23 に供給する。この際、減算回路 30 は、当該電圧値  $V_{Ba}$  (5 ボルト) を有する基準電圧  $V_{BSE}$  から入力信号  $V_{PO}$  を減算して得られた電圧値を有するレベルシフト入力信号  $V_{ADI}$  を、A/D 変換器 40 に供給する。尚、入力信号  $V_{PO}$  の電圧値は電圧領域 E a の範囲内であるので、電圧値  $V_{Ba}$  (5 ボルト) から入力信号  $V_{PO}$  を減算すると、図 3 に示すように、電圧領域 E a (0 ~ 5 ボルト) の電圧値を有する入力信号  $V_{PO}$  が、電圧値  $V_{Ba}$  (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  に変換される。ここでの電圧値のレベルシフトはゼロである。すなわち、入力信号  $V_{PO}$  の電圧値が、A/D 変換器 40 の入力レンジである電圧値  $V_{Ba}$  (5 ボルト) ~ 0 ボルトの電圧範囲にある場合には、減算回路 30 での電圧値のレベルシフトはゼロである。A/D 変換器 40 は、電圧値  $V_{Ba}$  (5 ボルト) ~ 0 ボルトの電圧範囲のレベルシフト入力信号  $V_{ADI}$  をデジタル値に変換して得られた N ビット、例えば 5 ビットのデジタルデータ DT を加算器 23 に供給する。この際、加算器 23 は、デジタルデータ DT にシフトデータ  $DDa$  (00000) を加算して得られた加算結果を、最終的なデジタルデータ DAT として出力する。つまり、減算回路 30 における電圧値のレベルシフトがゼロであるので、そのレベルシフトした分をデジタルデータの段階で相殺する量もゼロとなる。そこで、この際、レベルシフト量ゼロを表すシフトデータ  $DDa$  (00000) をデジタルデータ DT に加算するのである。

20

30

【0027】

また、入力信号  $V_{PO}$  の電圧値が、図 2 に示す電圧領域 E b (5 ~ 10 ボルト) の範囲内にある場合、セレクタ 21 は、電圧値  $V_{Bb}$  (10 ボルト) を有する基準電圧  $V_{BSE}$  を減算回路 30 に供給する。更に、セレクタ 22 が、シフトデータ  $DDb$  (00101) を加算器 23 に供給する。この際、減算回路 30 は、当該電圧値  $V_{Bb}$  (10 ボルト) を有する基準電圧  $V_{BSE}$  から入力信号  $V_{PO}$  を減算して得られた電圧値を有するレベルシフト入力信号  $V_{ADI}$  を、A/D 変換器 40 に供給する。尚、入力信号  $V_{PO}$  の電圧値は電圧領域 E b の範囲内であるので、電圧値  $V_{Bb}$  (10 ボルト) から入力信号  $V_{PO}$  を減算すると、図 4 に示すように、電圧領域 E b (5 ~ 10 ボルト) の電圧値を有する入力信号  $V_{PO}$  が、電圧値  $V_{Ba}$  (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  に変換される。つまり、この際、減算回路 30 は、電圧領域 E b (5 ~ 10 ボルト) の電圧値を有する入力信号  $V_{PO}$  を、図 4 に示すように、A/D 変換器 40 の入力レンジである電圧値  $V_{Ba}$  (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトするのである。ここでの電圧値のレベルシフト量は電圧値  $V_{Ba}$  である。A/D 変換器 40 は、電圧値  $V_{B$

40

50

a (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  をデジタル値に変換して得られたNビット、例えば5ビットのデジタルデータDTを加算器23に供給する。この際、加算器23は、デジタルデータDTにシフトデータDDb (00101)を加算して得られた加算結果を、最終的なデジタルデータDATとして出力する。つまり、減算回路30における電圧値のレベルシフト量が電圧値VBa (5 ボルト)であるので、そのレベルシフト分をデジタルデータの段階で相殺する為に、電圧値VBa (5 ボルト)をデジタル値で表すシフトデータDDb (00101)を、デジタルデータDTに加算するのである。

【0028】

また、入力信号  $V_{PO}$  の電圧値が、図2に示す電圧領域Ec (10 ~ 15 ボルト)の範囲内にある場合、セクタ21は、電圧値VBC (15 ボルト)を有する基準電圧  $V_{BSE}$  を減算回路30に供給する。更に、セクタ22が、シフトデータDDc (01010)を加算器23に供給する。この際、減算回路30は、当該電圧値VBC (15 ボルト)を有する基準電圧  $V_{BSE}$  から入力信号  $V_{PO}$  を減算して得られた電圧値を有するレベルシフト入力信号  $V_{ADI}$  を、A/D変換器40に供給する。尚、入力信号  $V_{PO}$  の電圧値は電圧領域Ecの範囲内であるので、電圧値VBC (15 ボルト)から入力信号  $V_{PO}$  を減算すると、図5に示すように、電圧領域Ec (10 ~ 15 ボルト)の電圧値を有する入力信号  $V_{PO}$  が、電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  に変換される。つまり、この際、減算回路30は、電圧領域Ec (10 ~ 15 ボルト)の電圧値を有する入力信号  $V_{PO}$  を、図5に示すように、A/D変換器40の入力レンジである電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトするのである。ここでの電圧値のレベルシフト量は電圧値VBbである。A/D変換器40は、電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  をデジタル値に変換して得られたNビット、例えば5ビットのデジタルデータDTを加算器23に供給する。この際、加算器23は、デジタルデータDTにシフトデータDDc (01010)を加算して得られた加算結果を、最終的なデジタルデータDATとして出力する。つまり、減算回路30における電圧値のレベルシフト量が電圧値VBb (10 ボルト)であるので、そのレベルシフトした分をデジタルデータの段階で相殺する為に、電圧値VBb (10 ボルト)をデジタル値で表すシフトデータDDc (01010)を、デジタルデータDTに加算するのである。

【0029】

また、入力信号  $V_{PO}$  の電圧値が、図2に示す電圧領域Ed (15 ~ 20 ボルト)の範囲内にある場合、セクタ21は、電圧値VBD (20 ボルト)を有する基準電圧  $V_{BSE}$  を減算回路30に供給する。更に、セクタ22が、シフトデータDDd (01111)を加算器23に供給する。この際、減算回路30は、当該電圧値VBD (20 ボルト)を有する基準電圧  $V_{BSE}$  から入力信号  $V_{PO}$  を減算して得られた電圧値を有するレベルシフト入力信号  $V_{ADI}$  を、A/D変換器40に供給する。尚、入力信号  $V_{PO}$  の電圧値は電圧領域Edの範囲内であるので、電圧値VBD (20 ボルト)から入力信号  $V_{PO}$  を減算すると、図6に示すように、電圧領域Ed (15 ~ 20 ボルト)の電圧値を有する入力信号  $V_{PO}$  が、電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  に変換される。つまり、この際、減算回路30は、電圧領域Ed (15 ~ 20 ボルト)の電圧値を有する入力信号  $V_{PO}$  を、図6に示すように、A/D変換器40の入力レンジである電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトするのである。ここでの電圧値のレベルシフト量は電圧値VBCである。A/D変換器40は、電圧値VBa (5 ボルト) ~ 0 ボルトの電圧範囲にレベルシフトされたレベルシフト入力信号  $V_{ADI}$  をデジタル値に変換して得られたNビット、例えば5ビットのデジタルデータDTを加算器23に供給する。この際、加算器23は、デジタルデータDTにシフトデータDDd (01111)を加算して得られた加算結果を、最終的なデジタルデータDATとして出力する。つまり、減算回路30における電圧値のレベルシフト量が電圧値VBC (15 ボルト)であるので、そのレベルシフトした分をデジタルデータの段階で相

10

20

30

40

50

殺する為に、電圧値 $V_{Bc}$  (15ボルト)をデジタル値で表すシフトデータ $DDd$  (01111)を、デジタルデータ $DT$ に加算するのである。

【0030】

上記した動作により、A/D変換装置100は、入力信号 $V_{Pi}$  (0~20ボルト)の電圧値を $N$ ビットで表すデジタルデータ $DAT$ を生成する。

【0031】

以上のように、A/D変換装置100では、入力信号( $V_{Pi}$ 、 $V_{Po}$ )をA/D変換器40にてA/D変換するにあたり、A/D変換器40の前段に設けた減算回路30が、基準電圧 $V_{BSE}$ から入力信号を減算することにより、入力信号の電圧値をレベルシフトしたレベルシフト入力信号 $V_{ADI}$ を生成し、これをA/D変換器40に供給するようにしている。よって、減算回路30によれば、例えば入力電圧範囲がA/D変換器40の入力レンジより大であっても、入力信号の電圧値を圧縮することなく、その電圧値をA/D変換器40の入力レンジに収めることが可能となる。

【0032】

ここで、基準電圧 $V_{BSE}$ を以下のような電圧値に設定する。つまり、図3~図6に示すように、夫々の幅がA/D変換器40の入力レンジ以下となるように入力電圧範囲を複数に分割した電圧領域各々のうちで、入力信号 $V_{Po}$ の電圧値を含む電圧領域における最大の電圧値に設定するのである。これにより、入力信号の電圧値が圧縮されることなく、A/D変換器40の入力レンジに収まるレベルシフトが為される。

【0033】

よって、A/D変換装置100によれば、A/D変換器40の入力レンジよりも大なる電圧範囲の入力信号をA/D変換するにあたり、当該入力信号の電圧値を抵抗分圧によって圧縮してA/D変換器に供給するようにした従来の構成に比して、A/D変換精度の低下を抑えることが可能となる。

【0034】

尚、図1に示す構成では、1系統分の入力信号 $V_{Pi}$ をデジタル変換の対象として受け付けているが、A/D変換装置100としては、2系統以上の複数の入力信号を受け付け、これら複数の入力信号を1つずつ順次選択してA/D変換器40に供給する構成を採用しても良い。

【0035】

図7は、かかる点に鑑みて為されたA/D変換装置100の他の一例を示す回路図である。尚、図7に示す構成では、1系統分のオペアンプ10に代えて3系統分のオペアンプ11~13を採用すると共に、選択制御部50及びセレクタ60を新たに追加した点を除く他の構成及び動作は、図1に示すものと同一である。この際、図7に示す構成によるA/D変換装置100は、3系統分の入力信号 $V_{Pi1}$ 、 $V_{Pi2}$ 及び $V_{Pi3}$ をデジタル変換対象として受け付け、これら入力信号 $V_{Pi1}$ 、 $V_{Pi2}$ 及び $V_{Pi3}$ のうちの1つを選択的に順次デジタル値に変換する。

【0036】

図7において、オペアンプ11~13の各々は、夫々自身の出力端子が自身の反転入力端子に接続されている、いわゆるボルテージフォロワである。

【0037】

オペアンプ11は、非反転入力端子に供給された第1の入力信号 $V_{Pi1}$ を利得1にて増幅して得た入力信号 $V_{Po1}$ をセレクタ60に供給する。

【0038】

オペアンプ12は、非反転入力端子に供給された第2の入力信号 $V_{Pi2}$ を利得1にて増幅して得た入力信号 $V_{Po2}$ をセレクタ60に供給する。

【0039】

オペアンプ13は、非反転入力端子に供給された第3の入力信号 $V_{Pi3}$ を利得1にて増幅して得た入力信号 $V_{Po3}$ をセレクタ60に供給する。

【0040】

10

20

30

40

50

選択制御部 50 は、図 8 に示すように、所定期間の間だけ [ 選択 ] を示す論理レベル 1 となり、他の期間は [ 非選択 ] を示す論理レベル 0 となる選択信号 S 1 をセレクタ 60 に供給する。また、選択制御部 50 は、選択信号 S 1 が論理レベル 0 の状態にある間において所定期間の間だけ [ 選択 ] を示す論理レベル 1 となり、他の期間は [ 非選択 ] を示す論理レベル 0 となる選択信号 S 2 をセレクタ 60 に供給する。更に、選択制御部 50 は、選択信号 S 1 及び S 2 が共に論理レベル 0 の状態にある間において所定期間の間だけ [ 選択 ] を示す論理レベル 1 となり、他の期間は [ 非選択 ] を示す論理レベル 0 となる選択信号 S 3 をセレクタ 60 に供給する。尚、上記した所定期間とは、後述する A / D 変換周期 T<sub>AD</sub> と同一の期間である。

【 0 0 4 1 】

セレクタ 60 は、インバータ V 1 ~ V 3、及び CMOS (complementary metal-oxide semiconductor) 型のトランスマッションゲート (以下、TG ゲートと称する) T 1 ~ T 3 を有する。

【 0 0 4 2 】

インバータ V 1 は、選択信号 S 1 の論理レベルを反転させた信号をトランスマッションゲート T 1 の p チャネル側のゲート端子に供給する。TG ゲート T 1 の n チャネル側のゲート端子には選択信号 S 1 が供給されている。TG ゲート T 1 の信号入力端子にはオペアンプ 1 1 の出力端子が接続されており、TG ゲート T 1 の信号出力端子は出力ライン LL に接続されている。TG ゲート T 1 は、選択信号 S 1 が論理レベル 1 の状態にある場合にだけオン状態となって入力信号 V<sub>PO</sub> 1 を出力ライン LL に印加する。

【 0 0 4 3 】

インバータ V 2 は、選択信号 S 2 の論理レベルを反転させた信号を TG ゲート T 2 の p チャネル側のゲート端子に供給する。TG ゲート T 2 の n チャネル側のゲート端子には選択信号 S 2 が供給されている。TG ゲート T 2 の信号入力端子にはオペアンプ 1 2 の出力端子が接続されており、TG ゲート T 2 の信号出力端子は出力ライン LL に接続されている。TG ゲート T 2 は、選択信号 S 2 が論理レベル 1 の状態にある場合にだけオン状態となって入力信号 V<sub>PO</sub> 2 を出力ライン LL に印加する。

【 0 0 4 4 】

インバータ V 3 は、選択信号 S 3 の論理レベルを反転させた信号を TG ゲート T 3 の p チャネル側のゲート端子に供給する。TG ゲート T 3 の n チャネル側のゲート端子には選択信号 S 3 が供給されている。TG ゲート T 3 の信号入力端子にはオペアンプ 1 3 の出力端子が接続されており、TG ゲート T 3 の信号出力端子は出力ライン LL に接続されている。TG ゲート T 3 は、選択信号 S 3 が論理レベル 1 の状態にある場合にだけオン状態となって入力信号 V<sub>PO</sub> 3 を出力ライン LL に印加する。

【 0 0 4 5 】

上記した構成により、セレクタ 60 は、選択信号 S 1 ~ S 3 に基づき 3 系統分の入力信号 V<sub>PO</sub> 1 ~ V<sub>PO</sub> 3 のうちから 1 の入力信号を選択し、この選択した入力信号を出力ライン LL に印加する。この際、出力ライン LL に印加された電圧が入力信号 V<sub>PO</sub> として領域判定部 20 及び減算回路 30 に供給される。

【 0 0 4 6 】

すなわち、セレクタ 60 は、図 8 に示すように、論理レベル 1 の選択信号 S 1、及び論理レベル 0 の選択信号 S 2 及び S 3 に応じて、入力信号 V<sub>PO</sub> 1 を選択し、この入力信号 V<sub>PO</sub> 1 にて表される電圧値 V 1 を有する入力信号 V<sub>PO</sub> を減算回路 30 に供給する。次に、セレクタ 60 は、論理レベル 0 の選択信号 S 1 及び S 3、及び論理レベル 1 の選択信号 S 2 に応じて入力信号 V<sub>PO</sub> 2 を選択し、この入力信号 V<sub>PO</sub> 2 にて表される電圧値 V 2 を有する入力信号 V<sub>PO</sub> を減算回路 30 に供給する。次に、セレクタ 60 は、論理レベル 0 の選択信号 S 1 及び S 2、及び論理レベル 1 の選択信号 S 3 に応じて、入力信号 V<sub>PO</sub> 3 を選択し、この入力信号 V<sub>PO</sub> 3 にて表される電圧値 V 3 を有する入力信号 V<sub>PO</sub> を減算回路 30 に供給する。

【 0 0 4 7 】

10

20

30

40

50

これにより、減算回路30は、図8に示すように時間経過につれて電圧値 $V_1$ 、 $V_2$ 、 $V_3$ へと変化する入力信号 $V_{PO}$ の各電圧値をレベルシフトして、電圧値 $V_{S1}$ 、 $V_{S2}$ 、 $V_{S3}$ へと変化するレベルシフト入力信号 $V_{ADI}$ を生成し、A/D変換器40に供給する。A/D変換器40は、図8において一点鎖線にて示すタイミングの各々でA/D変換処理を開始し、レベルシフト入力信号 $V_{ADI}$ の電圧値をデジタル値に変換する。つまり、A/D変換器40は、図8に示すA/D変換周期 $T_{AD}$ 毎に、レベルシフト入力信号 $V_{ADI}$ に対してA/D変換を行うのである。これにより、A/D変換器40は、図8に示す電圧値 $V_{S1}$ 、 $V_{S2}$ 、及び $V_{S3}$ を順次デジタル値に変換して得られたデジタルデータDTを出力する。

【0048】

10

したがって、図7に示す構成によれば、単一のA/D変換器40を用いて、2系統以上の複数の入力信号をA/D変換対象として受け付けることが可能となる。よって、入力信号毎にA/D変換器を設けた場合に比して、回路規模を縮小化することが可能となる。

【0049】

ここで、上記したセクタ60による入力信号の切替時、例えば図9に示す時点 $t_1$ では、入力信号 $V_{PO}$ に電圧の振動、いわゆるリングングが生じる。この際、図9に示すように、セクタ60における入力信号の切替の時点 $t_1$ からリングングRGが収束するまでのリングング収束期間 $T_{RG}$ が、当該時点 $t_1$ から次のA/D変換処理が開始される時点 $t_2$ までの安定待機期間 $T_{SW}$ よりも大となる場合、つまりリングングRGが収束していない場合には、A/D変換結果に誤差が生じる。

20

【0050】

図10は、このようなリングングRGに伴うA/D変換誤差を抑えるために為された、図7に示すA/D変換装置100の変形例を示す回路図である。

【0051】

尚、図10に示す構成では、TGゲート $T_1 \sim T_3$ に代えてTGゲート $TU_1 \sim TU_3$ を採用した点を除く他の構成は図7に示すものと同一である。

【0052】

図10において、TGゲート $TU_1 \sim TU_3$ 各々の動作は、上記したTGゲート $T_1 \sim T_3$ と同一である。ただし、TGゲート $TU_1 \sim TU_3$ 各々のゲート長、つまり各TGゲートを構成するpチャンネル側のMOSトランジスタのゲート長及びnチャンネル側のMOSトランジスタ各々のゲート長は、TGゲート $T_1 \sim T_3$ 各々のゲート長よりも長く設定されている。すなわち、TGゲートのゲート長は、これを長くするほどTGゲート自体のオン抵抗が増加し、リングング収束期間 $T_{RG}$ が短くなる。

30

【0053】

そこで、図10に示すTGゲート $TU_1 \sim TU_3$ では、そのゲート長を、安定待機期間 $T_{SW}$ よりも、リングング収束期間 $T_{RG}$ が短くなるような長さに設定しているのである。

【0054】

よって、図10に示す構成によれば、セクタ60における入力信号の切替時に生じるリングングの影響に起因するA/D変換誤差を抑制することが可能となる。

【0055】

40

尚、リングングの影響に起因するA/D変換誤差を抑制する構成としては、図10に示す構成に限定されない。

【0056】

図11は、かかる点に鑑みて為された、図7に示すA/D変換装置100に対する他の変形例を示す回路図である。尚、図11に示す構成では、セクタ60とオペアンプ11~13の各々との間に夫々抵抗 $R_{5a} \sim R_{5c}$ を設けると共に、減算回路30に代えて減算回路31を採用した点を除く他の構成は図7に示すものと同一である。

【0057】

すなわち、図11に示す構成では、オペアンプ11から出力された入力信号 $V_{PO1}$ は、抵抗 $R_{5a}$ を介してセクタ60のTGゲート $T_1$ に供給される。オペアンプ12から出

50

力された入力信号  $V_{PO2}$  は、抵抗  $R5b$  を介してセレクタ 60 の TG ゲート T2 に供給される。オペアンプ 13 から出力された入力信号  $V_{PO3}$  は、抵抗  $R5c$  を介してセレクタ 60 の TG ゲート T3 に供給される。

【0058】

また、図 11 に示される減算回路 31 において、図 7 に示される抵抗  $R1$  に代えて抵抗  $R6$  を採用した点を除く他の構成は、図 7 に示される減算回路 30 と同一である。尚、抵抗  $R5a \sim R5c$  各々の抵抗値は同一である。抵抗  $R6$  の抵抗値は、抵抗  $R5a$  の抵抗値から図 7 に示される抵抗  $R1$  の抵抗値を減算した抵抗値に設定されている。つまり、図 11 に示す構成では、オペアンプ 11 ~ 13 とセレクタ 60 との間に抵抗  $R5a \sim R5c$  を挿入したものの、オペアンプ 11 ~ 13 各々の出力端子からオペアンプ OP の反転入力端子までの電流路全体の抵抗値に関しては、図 7 に示される構成と同一である。

10

【0059】

図 11 に示される構成によると、オペアンプ 11 ~ 13 各々の出力端子とセレクタ 60 との間の電流路に夫々設けた抵抗  $R5a \sim R5c$  により、図 7 に示される構成に比して、各電流路の抵抗値が高くなるのでリングングの発生を抑制することが可能となる。更に、図 11 に示す構成によれば、抵抗  $R5a \sim R5c$  が付加されているものの、TG ゲート T1 ~ T3 よりもゲート長が長い TG ゲート TU1 ~ TU3 を採用した、図 10 に示す構成に比べてレイアウト面積を小さくすることができる。

【0060】

尚、図 7、図 10 又は図 11 では、3 系統の入力信号 ( $V_{PI1} \sim V_{PI3}$ ) を時分割にて A/D 変換する構成を一例にとってその動作を説明したが、A/D 変換対象として受け付ける入力信号の数は 3 系統に限らない。要するに、第 1 ~ 第 n (n は 2 以上の整数) の入力信号を、セレクタによって順次択一的に選択して A/D 変換器に供給するような構成であれば良いのである。

20

【0061】

また、図 10 に示す一例では、セレクタ 60 による入力信号の切り替え時におけるリングング収束期間  $T_{RG}$  を短縮させる為に、TG ゲートのゲート長を増やして TG ゲートのオン抵抗を増加させている。しかしながら、オン抵抗を増加させることができるのであれば、TG ゲート各々のゲート幅を小さくする、或いは各 TG ゲートとして、サリサイド (SALICIDE: Self-Aligned siLICIDE) 技術を用いずに製造した、いわゆる非サリサイド構造を有する TG ゲートを採用するようにしても良い。

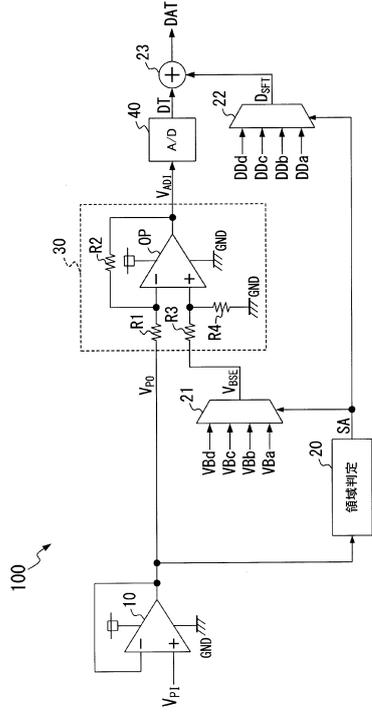
30

【符号の説明】

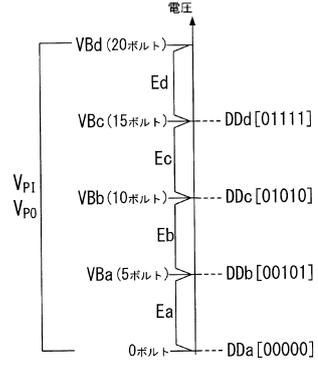
【0062】

10 ~ 13	オペアンプ
20	領域判定部
30	減算回路
40	A/D 変換器
60	セレクタ

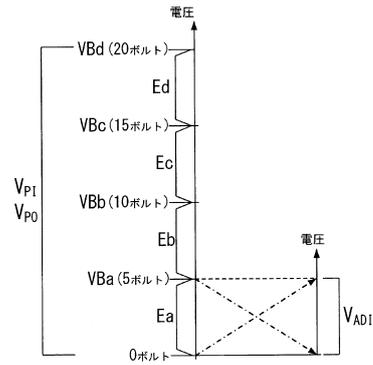
【図1】



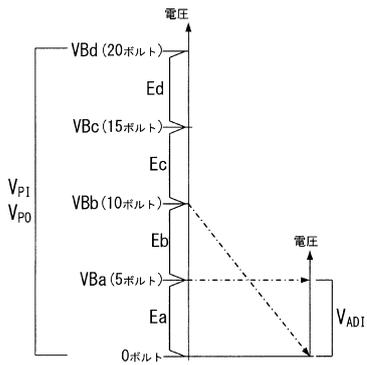
【図2】



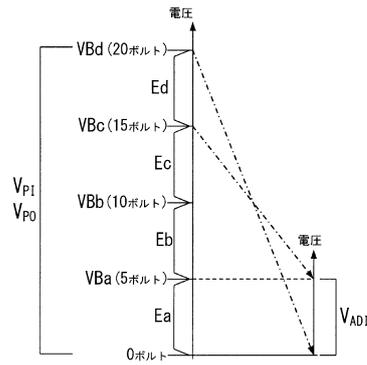
【図3】



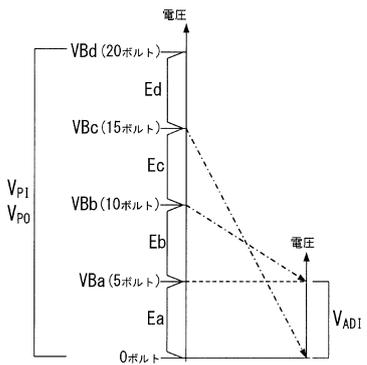
【図4】



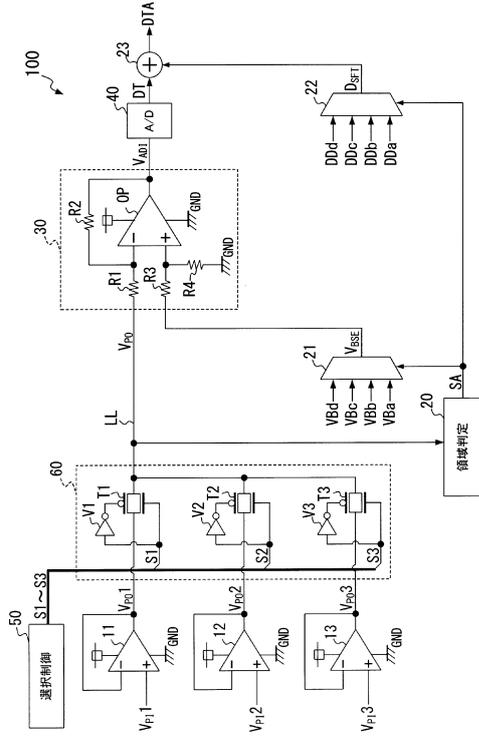
【図6】



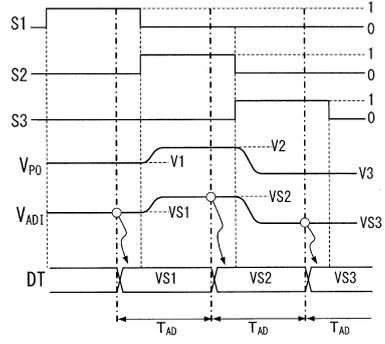
【図5】



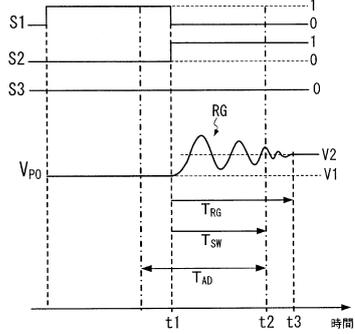
【図7】



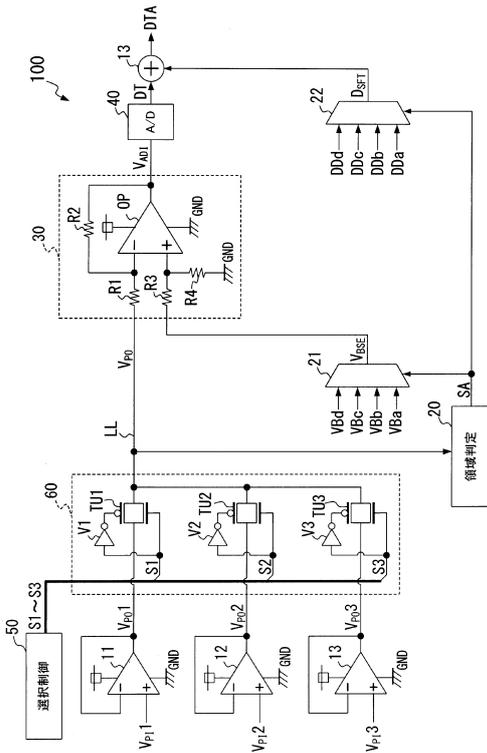
【図8】



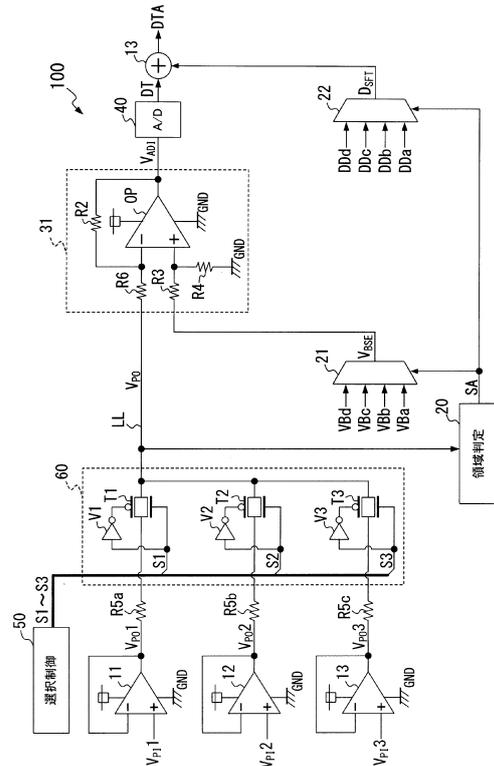
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開平 1 0 - 2 8 5 0 3 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H03M 1/18