

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 03809844. X

[51] Int. Cl.

H01L 29/786 (2006.01)

H01L 21/20 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)

H01L 29/49 (2006.01)

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100438076C

[22] 申请日 2003.4.25 [21] 申请号 03809844. X

[30] 优先权

[32] 2002. 5. 2 [33] GB [31] 0210065.9

[86] 国际申请 PCT/IB2003/001733 2003.4.25

[87] 国际公布 WO2003/094244 英 2003.11.13

[85] 进入国家阶段日期 2004.11.1

[73] 专利权人 统宝香港控股有限公司

地址 香港沙田香港科学园区科技大道东  
5 号飞利浦大厦二楼

[72] 发明人 N·D·扬

[56] 参考文献

CN1085690 A 1994.4.20

JP3-109774 A 1991.5.9

US6235563 B1 2001.5.22

WO02/01603 A2 2002.1.3

审查员 梁素平

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 肖春京

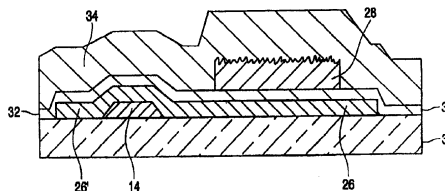
权利要求书 2 页 说明书 9 页 附图 5 页

[54] 发明名称

包含底栅极薄膜晶体管的电子器件及其制造方法

[57] 摘要

本发明提供了一种包含底栅极 TFT(12) 的电子器件的制造方法, 该方法包括以下步骤: 在衬底上形成一个掺杂的非晶硅栅极层(26'), 此栅极层限定栅极(26), 在栅极上形成一个栅极绝缘层(32), 在栅极绝缘层上形成一个非晶硅活性层(28')并覆盖至少部分栅极, 并将非晶硅活性层退火以形成多晶硅活性层(28)。可以采用较薄的栅极绝缘层使 TFT 具有低的阈值电压。



1. 一种制造包含底栅极薄膜晶体管(12)的电子器件的方法, 它包括以下步骤:

---在衬底(30)上形成一个掺杂非晶体硅栅极层(26'), 所述栅极层确定栅极(26);

---在栅极上形成一个栅极绝缘层(32);

---在栅极绝缘层上形成一个非晶体硅活性层(28')并覆盖栅极的至少一部分; 以及

---将非晶体硅活性层退火以形成多晶硅活性层(28);

其中, 退火使得一部分未被非晶体硅活性层覆盖的栅极层成为多晶体。

2. 如权利要求1所述的方法, 其中非晶体硅活性层的退火使得栅极层的至少一个表面区域成为微晶体。

3. 如权利要求1或2所述的方法, 其中栅极层厚度在5nm至10nm。

4. 如权利要求1或2所述的方法, 其中栅极做成锥形, 使得栅极边缘朝衬底向外倾斜。

5. 如权利要求4所述的方法, 其中至少一个栅极斜边和衬底之间所成的角度在 $10^{\circ}$  ~  $30^{\circ}$ 。

6. 如权利要求1或2所述的方法, 其中栅极绝缘层厚度为1~40nm。

7. 如权利要求1或2所述的方法, 其中栅极绝缘层厚度为1~5nm。

8. 如权利要求1或2所述的方法, 其中非晶体硅活性层厚度为10~100nm。

9. 如权利要求1或2所述的方法, 其中该方法还包括以下步骤:  
---在至少部分多晶硅活性层上形成一个顶栅极(56)。

10. 如权利要求1或2所述的方法, 其中电子器件包括一个用于有源矩阵器件的有源板(10), 该有源板包含一个按行和列排列的薄膜晶体管阵列。

11. 如权利要求10所述的方法, 其中该方法还包括以下步骤:

---形成一组行导体(14), 每个行导体与同一行中的多个栅极相接

触。

12. 如权利要求 1 或 2 所述的方法，其中电子器件包括一个有源矩阵显示器件。

13. 一种包含底栅极薄膜晶体管 (12) 的电子器件，该电子器件包括在衬底 (30) 上的掺杂非晶体硅栅极 (26)，在该栅极上的栅极绝缘层 (32)，和在该栅极绝缘层上的多晶硅活性层 (28)，该多晶硅活性层包含退过火的非晶体硅活性层，其中一部分未被非晶体硅活性层覆盖的栅极层为多晶体。

14. 一种用于有源矩阵器件的有源板 (10)，此有源板包括如权利要求 13 所述的器件，其中所述有源板包含一个按行和列排列的底栅极薄膜晶体管阵列。

15. 一种有源矩阵显示器件，包含如权利要求 14 所述的有源板。

## 包含底栅极薄膜晶体管的电子器件及其制造方法

本发明涉及包括薄膜晶体管(下称“TFT”)的电子器件,特别是由多晶硅(下称“多晶硅”)底栅极 TFT 组成的电子器件,其中每个 TFT 具有一个栅极,一个栅极绝缘层,和覆盖在栅极上的多晶硅活性层。此器件可以是有源矩阵显示器件,检测阵列,或薄膜数据储存器件,等等。本发明还涉及此类由底栅极 TFT 组成的电子器件的制造方法。

人们对研发多晶硅 TFT 在广泛领域的电子器件应用的兴趣日益浓厚,例如本文参考的 US5130829 所描述的有源矩阵平板显示器件中的地址电路。一般来说,多晶硅 TFT 所能达到的寻址速度比用非晶硅活性层加工的 TFT 要高。通常多晶硅活性层是通过退火处理而形成的,其中非晶硅层由激光等熔化,并可以经冷却重整成为多晶结构。在 TFT 阵列的情况下,对每一个 TFT 可以在退火处理之前或之后把活性层作成单独的活性岛。对于激光退火使硅多次结晶的更详细描述可参考 S. D. Brotherton 等人 1997 年发表在 J. Appl. phys, 82 (8), 4086-4096 页上的文章 “Influence of melt depth in laser crystallized poly-Si thin film transistors”, 我们参考了此文。

用在本说明中的“非晶体”一词表示材料中的组成原子是随机排列的。“多晶”一词表示材料是由许多单晶组成的,每个单晶中的组成原子具有规则的重复晶格结构。这特别牵涉到通常由熔化或冷却非晶硅而形成的多晶硅或多晶硅。多晶硅的典型晶粒尺寸在  $0.1\ \mu\text{m}$  至  $5\ \mu\text{m}$  之间。但若在一定条件下结晶时,硅的晶粒尺寸可以是显微尺寸,典型值在  $0.5\ \mu\text{m}$ 。“微晶体”一词表示晶粒尺寸为显微尺寸的晶体材料。

人们对制造低阈值电压的 TFT 特别感兴趣。包括这类器件的电路可工作在低电压下,而且由于其尺寸小故工作速度较高。通过减少形成于 TFT 栅极和多晶硅活性层之间的栅极绝缘层(或电介质)的厚度可实现低阈值电压。但是,栅极绝缘层越薄则对栅极绝缘层及其附近各层表面间的光滑界面的要求越高。

使非晶硅层多次结晶所需的退火处理使其顶面变得十分粗糙。这一点在 McCulloch 等人 1995 年发表于 Appl phys Lett, 66, 16, 第

2060-2062 页的文章中有详细描述，我们参考了这篇文章。

在栅极覆盖着活性层的顶栅极薄膜晶体管器件中，被粗化的活性层顶面邻近栅极绝缘层。这使薄栅极绝缘层的使用受到限制，因为在界面上的变形造成一些易破的斑点，在这些斑点处很容易发生电击穿。

有人可能认为，活性层覆盖栅极和活性层的粗糙(顶)表面远离栅极绝缘层的底栅极 TFT 器件，可能比顶栅极器件更适合使用较薄的栅极绝缘层。但下面的栅极的表面粗糙度也可能是一个限制因素。众所周知，由金属(例如铝)做成的栅极在退火处理期间受到由上面各层传来的热的作用时将会变形或熔化。在此过程中，最初形成非晶体硅的活性层受到能量射束的作用，所属能量射束使硅在该层的整个厚度上熔化。整个栅极材料必须能经受住退火处理。但由于某些惯用金属的熔点低，栅极可能会熔化或蒸发。这可能导致小丘的形成而出现“尖峰”，其中金属栅极顶面变得粗糙以致穿透栅极绝缘层，从而引起 TFT 的电击穿。另外，器件堆内各层之间机械特性的差别使栅极因热和机械应力或粘接失效而剥离。

作为参考资料被结合到本申请中的美国专利 US6, 025, 218 描述了一种制造 TFT 器件的方法，此器件具有一个层状底栅电极，该电极由一层金属膜和一个导电性较差的膜组成。在 US-6, 025, 218 中描述的一种实施例中，此栅极包括一个层状导体，该导体具有一个金属膜和一个可以包含非晶体硅的半导体膜。一个绝缘膜覆盖层状导体的至少一部分，并伸至半导体岛下面。据称该半导体膜在岛的半导体材料结晶期间能使层状导体的金属膜不受能量射束的作用。但是从微观而言，薄膜金属的表面是粗糙的，这是由于在淀积过程中形成了很多分离的微晶，使得金属膜具有多晶的性质。金属膜粗糙部分的纵向尺寸可以是薄膜厚度的 10-25%。另外，薄金属膜可以带针孔。更重要的是，从一个晶粒到另一个晶粒的表面变化可以倾斜得很厉害(曲率  $d^2y/dx^2$  的值很大，此处二维模型中 Y 是纵向参数，X 是横向参数)。这可能造成覆盖率不足而产生一些局部高电场点，从而在薄的覆盖栅极绝缘膜上出现电击穿，即使采用了如 US-6, 025, 218 中所述的半导体防护层。

本发明的一个目的是提供一种制造包含底栅极多晶硅 TFT 的电子

器件的改进方法，它至少能部分减轻上述与采用较薄的栅极绝缘层有关的问题。

根据本发明的一个方面，提供一种制造包含底栅极 TFT 的电子器件的方法，该方法包括以下步骤：

- 在衬底上形成一个掺杂非晶体硅栅极层，该栅极层限定栅极；
- 在栅极上形成一个栅极绝缘层；
- 在栅极绝缘层上形成一个非晶体硅活性层并覆盖至少一部分栅极；及

---使非晶体硅活性层以退火形成多晶硅活性层，其中退火使得一部分未被非晶体硅活性层覆盖的栅极层成为多晶体。

这样就得到一个具有低阈值电压的改进底栅极 TFT。通过采用掺杂非晶体硅作栅极层，可把光滑膜直接淀积到衬底上而与上面的栅极绝缘层形成光滑的界面，这正是低阈值电压 TFT 所要求的。掺杂的非晶体硅具有比大多数惯用于栅极的金属更高的熔点。因此，由于栅极材料在退火处理中变形的可能性较小（即使该层受热），造成尖峰的小丘形成的风险降低了。栅极材料的机械性能与该器件堆中其它层的机械性能类似。这对降低栅极受热时产生剥离的风险有利。

由于栅极层材料在退火处理时受热，非晶体硅活性层的退火可能使栅极层的至少上表面区通过固相结晶而变成微晶体。微晶体层的表面仍保持光滑。这对增加栅极层材料的导电性有利。

掺杂非晶体硅栅极层不一定要被非晶体硅活性层完全覆盖，它的一部分可以暴露在能量射束下。然后此外露的栅极层部分通过退火处理变成多晶。我们可以利用它来例如降低栅极连线的阻值，这可以减少栅极的充电时间。

最好把栅极的边缘做成斜的，使它们朝着衬底向外倾斜。这样可以避免阶梯状的覆盖问题，并保证栅极被栅极绝缘层良好覆盖，这在使用较薄的栅极绝缘层时特别重要。栅极至少一个斜边与衬底之间所成的角度最好在  $10^{\circ} \sim 30^{\circ}$  之间。例如，可以用干法刻蚀等方法来形成斜边。

栅极绝缘层可以包括氧化硅，氮化硅，氧化钽，氧化铝，氧化钛，氧化钪，氧化锆，这些材料中任何一种的合金，或任何其它具有高介电常数的合适材料。

在一个优选实施例中，掺杂非晶体硅栅极层的厚度在 5nm 至 10nm

之间，栅极绝缘层的厚度在1nm至40nm之间，非晶硅活性层的厚度在10nm至100nm之间。最好把栅极绝缘层做成对工作TFT实际上尽可能薄，且其厚度在1nm至5nm的范围。这使得TFT具有低阈值电压值，所属低阈值电压值用于低功率有源矩阵器件时特别有利。另外，可把TFT的尺寸按比例缩小，以便制造较高分辨率的有源矩阵器件。

这种方法还可包括形成一个顶栅极的步骤，以覆盖多晶硅活性层的至少一部分(比方说，顶栅极通过一个接触孔与底栅极相接触)。由此产生的双栅极TFT比相应的单栅极TFT具有甚至更低的阈电压，同时启动电流更高，关闭电流更低。

对于有源矩阵器件(如液晶显示器，电致发光显示器，探测器阵列或数据存储器)，所属电子器件可以包含一个有源板。此有源板包括一个按行和列排列的TFT阵列。为此目的，本方法还可能包括形成一组行导体的步骤，每个行导体与同一行中许多栅极相接触。这些行导体可以在栅极层之前形成，使它们处在栅极层和衬底之间。或者，也可以让行导体形成在TFT上面并通过一些接触孔与其相应栅极相接触。有源板中的每个行导体可用作寻址导体，以将寻址信号提供给相应行中的TFT栅极。各行导体可以独立或另外使用，以支持由掺杂非晶硅栅极层形成的行导体。

按本发明的另一方面，提供一种包含底栅极TFT的电子器件，此电子器件包含一个在衬底上的掺杂非晶硅栅极，在该栅极上面的一个栅极绝缘层，和在此栅极绝缘层上面的一个多晶硅活性层，该多晶硅活性层包含一个退过火的非晶硅层，其中一部分未被非晶硅活性层覆盖的栅极层为多晶体。

现在将参照下面的各附图来详细描述本发明的各实施例，其中：

图1是按本发明的一种方法制成的有源矩阵器件中一块有源板实施例的一部分的平面示意图；

图2A-2D为按本发明一种方法制成的器件的第一实施例在各加工阶段沿图1中II-II线的剖面图；

图3为按本发明一种方法制成的器件的第一实施例沿图1中III-III线的剖面图；

图4为按本发明一种方法制成的器件第一实施例的一部分的高放大率透视扫描电子显微(SEM)象；

图5为按本发明一种方法制成的器件的第二实施例沿图1中III-III

线的剖面图；

图 6 为按本发明一种方法制成的器件的第二实施例的一部分的高放大率透视扫描电子显微 (SEM) 象；

图 7 是按本发明一种方法制造的有源矩阵液晶显示器件的简化电路示意图。

应该指出，这些图只是示意性的而且不按比例。为了清楚和绘图的方便，各图中零件的相对尺寸和比例经过放大或缩小。所有图中用相同的附图标记表示相同或相似的零件。

图 1 部分显示的有源板 10 包含一个按行和列排列的 TFT 12 的阵列，其中每个 TFT 处于相互交叉的各组行、列导体 14 和 16 的交点上。为简单计只显示了 4 个 TFT 12，但该有源板 10 可能包含几百行和列。有源板可能形成具有相应显示象素阵列的有源矩阵器件 (如有源矩阵显示器件) 的一部分，每个显示象素与有源板 10 的一个 TFT 相联。举例来说，图 1 所示的有源板 10 构成一个 AMLCD 的一部分，所属 AMLCD 具有一个 LC 单元阵列，且其中一层 LC 材料是夹在有源板 10 和带一个共用电极的无源板 (未示) 之间。每一个单元具有一个相联的象素电极 18，它装在有源板 10 上并与相应的 TFT 12 相连接。因此，加在每个 LC 元件上 (即每个象素电极 18 和共用电极之间) 的电压可由与之相连的 TFT 12 控制。这个电路的一般运行和显示器象素激励的方式和惯用做法一样，如 US-A-5130829 中所述，有关这些方面的进一步情况可参考该专利。

所述 TFT 12 是一些 FET，且每个 TFT 有一个与相关列电极 16 相连的源区 22，一个与相关象素电极 18 相连的漏区 24，一个与相关行电极 14 相连的栅极 26，和一个多晶硅活性层 28，该多晶硅活性层提供一个在源极和漏极之间延伸并处在栅极 26 之上的沟道。

图 1 是非常示意性的，它说明本发明的两个可选择的实施例。

图 2A 至 2D 表示按本发明一种方法加工的器件的第一个实施例在各个不同制备阶段沿图 1 中 II-II 线的剖面。图 3 表示沿同一器件 III-III 线的剖面。此电路是采用传统薄膜加工技术形成的，包括淀积和用 CVD 等工艺对各种淀积在衬底 30 上的绝缘层，导电层和半导体层光刻作图。阵列中的各 TFT 是利用共用淀积层同时形成的。

首先参看图 3，通过淀积一金属层 (如铝) 并对金属层作图而在



衬底 30 上形成一组金属行电极 14。这里所用的衬底 30 是玻璃，虽然也可以用其它绝缘材料如聚合物，纸或石英等。还可以用金属或硅等非绝缘材料，只要至少它们的上表面做成绝缘的。

现在来看图 2A 和图 3，在衬底上形成一个掺杂非晶体硅栅极层 26'，此栅极层有一个光滑的上表面并形成一个栅极 26。每一个 TFT 的栅极 26 是通过在衬底 30 和金属行电极 14 及该组中其它行电极 14 上直接淀积一层厚度为 5nm-10nm 的掺杂 n+ 等的非晶体硅而形成的。然后对此层作图，留下覆盖相应金属行电极 14 的部分，并把栅极 26 做成从与之相关的行导体向外伸出的整体延伸部分的形式。然后利用干法刻蚀等工艺对栅极 26 进行锥形刻蚀，使栅极在它朝衬底的边缘处向外倾斜。栅极斜边和衬底间所成的角度在  $10 \sim 30^\circ$  之间。这有利于各上覆盖层很好地覆盖。

接着如图 2B 所示，在栅极 26 上形成一个厚度基本均匀的栅极绝缘层 32。为此在整个衬底表面上淀积一个薄绝缘层，厚度在 1nm 至 40nm 范围，最好是 1nm 至 5nm。掺杂的非晶体硅栅极上表面的光滑度使有可能采用比较薄的栅极绝缘层。栅极绝缘层可以是氧化硅，氮化硅，氧化钽，氧化铝，氧化钛，氧化钨，氧化锆，或任何其它具有高介电常数的适当材料。或者，栅极绝缘层也可以包括伪二元合金或一层以上任何这些材料的组合。

此后，如图 2C 所示，通过在衬底 30 上淀积厚度在 10nm 至 100nm（最好在 40nm 左右）的一层，在栅极绝缘层 32 上面形成一个固有（未掺杂的）非晶体硅活性层 28' 并覆盖栅极 26 的至少一部分。然后利用掩模层等掺杂非晶体硅层 28' 的相应区，形成每个 TFT 的源区和漏区 22 和 24。接着将非晶体硅活性层 28' 退火以形成一个多晶硅活性层 28。这种为形成多晶硅而所作的非晶体硅退火大家都熟悉，并可以采用传统的方法进行。典型地是用能量射束 100 照射非晶体硅层 28' 的表面以在其全部厚度上对该层加热。能量射束 100 包括用准分子激光器产生的紫外波长的脉冲激光束。紫外波长脉冲激光束 100 的优点是可以对它在硅层 28' 内的吸收深度进行控制，还能在通过吸收脉冲激光能量加热时控制该层的熔化深度。有用的激光波长是 KrF 激光的 248nm，XeCl 激光的 308nm 或 XeF 激光的 351nm。

栅极 26 的掺杂非晶体硅材料的熔点与非晶体硅层 28' 的熔点类

似。因此熔化深度选成使几乎非晶体硅层 28' 的整个厚度被熔化，而栅极 28 不熔化，因而没有剥离的危险。冷却时非晶体硅层 28' 变成多晶体(如图 2D 中 28 所示)，其上表面变得粗糙，这在用激光使非晶体硅膜结晶时是典型的情况。然后对多晶硅活性层 28 作图，留下相应部分在 TFT 处的栅极 26 上面延伸，构成 TFT 的活性层岛(如图 2D 和 3 所示)，每个岛在栅极的相对两边具有源区和漏区 22 和 24。

图 4 表示衬底 30 上的部分栅极层 26' 及用上述方法淀积和退火的已作图形的多晶硅 28 的高放大透视 SEM 象。需知 SEM 象只显示表面形貌。黑条纹 42 是已作图活性岛 28 的侧面形貌，并给出各层相对厚度的一个指示。可以看出，即使在经过激光退火处理后，栅极层 26' 仍保持光滑。图中还可看到多晶硅层 28 的粗糙(顶部)表面。

非晶体硅层 28' 的退火使得栅极层 26' 的至少一个上表面区因栅极层受热造成固相结晶而变成微晶体。但这对改善栅极 26 的电导率有好处。

由于采用非晶体硅作栅极层而保证栅极 26 和栅极绝缘层 32 之间具有光滑界面，这样就可以使用较薄的栅极绝缘层(例如几纳米厚)，从而可降低 TFT 的阈电压。

然后在整个衬底上淀积一个比较厚的绝缘层 34。这除了别的用途外，尤其可用来在完整结构中行导体 14 和列导体 16 的交汇点处将它们隔开。然后绝缘层 34 中形成一些接触孔 36，这些接触孔向下至每个 TFT 12 的多晶硅活性岛 28 的源区和漏区 22、24。接着在衬底上淀积一个金属膜(如铝)并作图形成金属列导体 16 的组和象素电极 18 的组。在反射型 AMLCD 情况下，列导体 16 和象素电极 18 是用铝一类的反射材料形成的。在透射型 AMLCD 情况下，使用例如 ITO 等透明导电材料。每个列导体 16 通过相应接触孔 36 与同一列中 TFT 的源区 22 相接触。每个象素电极 18 通过相应接触孔 36 与相应 TFT 的漏区 24 相接触。这就完成了对有源矩阵器件有源板 10 的 TFT 的加工。

图 5 表示沿图 1 中按本发明方法加工的器件的第二种实施例的 III-III 线的剖面。栅极层 26'，栅极绝缘层 32 和非晶体硅层 28' 的淀积和作图按与上述第一实施例相同的方法进行。但是在这个实施例中非晶体硅层 28' 是在退火处理前作图成为一些小岛的。

参考图 5，非晶体硅层 28' 经作图后留下构成 TFT 活性岛的相应部

分，在每个 TFT 位置处的栅极 26 上面延伸。接下来将相当于第一实施例中 100 的能量射束打到衬底上。与第一实施例一样，最好用激光束作能量射束。栅极材料的熔点和每个非晶体硅岛 28' 的熔点类似。因此，最好把熔化深度选成使每个非晶体硅岛 28 的几乎全部厚度熔化而栅极 26 不熔化。和前面一样，在冷却时硅岛 28 变成多晶体，其上表面现在变得粗糙。但是，退火处理使未被非晶体硅活性层(岛)覆盖的栅极层 26' 的部分变成多晶体。因而，多晶硅岛 28 的顶面和栅极层的外露部分被激光退火弄粗糙。金属行导体 14 的表面也可能因受激光加热而变形。如图 5 所示，这对这些行导体的功能没有多大影响。图 6 显示器件一部分的高放大率透视 SEM 象，其中的非晶体硅层 28' 是在退火处理前作图的。与图 4 一样，可看见部分栅极层 26' 和上面覆盖的多晶硅岛 28。不过，现在的栅极层 26' 外露部分是局部多晶的，并可看见粗糙表面 62。在多晶硅岛 28(图 6 中看不见)下面的栅极 26 保持非晶体，或至少是部分微晶体的，且表面光滑。

再参看图 5，在退火处理之后将一个比较厚的绝缘层 34 淀积在整个衬底上。它用来将最后结构中的行导体 14 与列导体 16 隔开。和第一实施例中一样，然后在绝缘层 34 内形成一些接触孔 36，这些接触孔向下至每个 TFT 12 的多晶硅活性岛 28 源区和漏区。

除了在第一实施例中形成的那些孔之外，接触孔 37 向下形成至每个 TFT 的栅极层 26'，与每个相应的栅极 26 相接触。然后淀积一个导电膜(如铝或 ITO)，并作图为每个 TFT 形成列导体 16、象素电极 18 和顶栅极 56。顶栅极 56 覆盖多晶硅活性层 28 和底栅极 26 的至少一部分，其中绝缘层 34 用作这个第二栅极的栅极绝缘层。

顶栅极 56 可以和列导体 16 一样由同一淀积层形成，因而与第一实施例相比不需要额外的淀积步骤。顶栅极通过接触孔 37 与底栅极接触。这样就提供了一块具有按行、列安置的双栅极 TFT 阵列的有源板 10。在每个 TFT 中引入这个附加栅极使器件的工作特性得到改善。

虽然在上述两个实施例中栅极层 26' 是覆盖在金属行导体 14 上，但并不是非如此不可。也可以让栅极层 26' 包含的栅极 26 只是简单地在金属行电极 14 上面延伸并与之接触。或者，在 TFT 完成后再在有源板顶部形成这组金属行导体，并与列导体 16 和象素电极 18 绝缘开，同时通过另一系列接触孔与相应行中许多栅极 26 相接触。

图 7 是按本发明一种方法制造的一个有源矩阵液晶显示器 (AMLCD) 的简化电路示意图。该器件包含按本发明制造的一个有源板 10, 且具有一个按行和列排列的底栅极 TFT 12 阵列。有源板还带有行导体和列导体, 14 和 16, 象素电极 18, 每个与相关的 TFT 12 相连接。在有源板 10 和无源板 70 间夹着一层液晶 (LC) 材料, 形成一个对应于 TFT 阵列的显示象素阵列。象素电极 18 处在邻近 LC 层的有源板表面上。无源板包含一个绝缘衬底, 并在它邻近 LC 层的内表面上带一个透明导电层 (如 ITO), 它连续在对应于 LC 元件阵列 72 区的显示区上面延伸, 并用作显示象素共用电极。每个象素分别通过行和列导体 14 和 16 由行和列地址电路 74 和 76 编址。地址电路可以远离有源板 10 (如图 7 所示), 或集成在衬底 30 上, 且由与象素阵列类似的 TFT 形成并同时加工。

虽然以上各实施例是针对 AMLCD 来描述的, 本发明同样适用于其它有源矩阵显示器件, 如电致发光显示器件, 电泳显示器件, 电色显示器件等。本发明还适用于其它类型的有源矩阵阵列器件, 如探测器阵列器件, 其中包含一些矩阵探测元件 (如在图象感测阵列器件中的光学感测元件), 或例如在接触或指印探测阵列器件中的压力和电容探测元件, 其中探测元件的矩阵阵列通过 TFT 和各行导体及列导体组被类似地编址。

阅读本说明后, 本专业技术人员不难作出其它的修改。这些修改可能包括在含有底栅极 TFT 及其组成部件的电子器件领域内已知的其它特性, 这些其它特征以用来替代或补充这里已描述的那些特性。

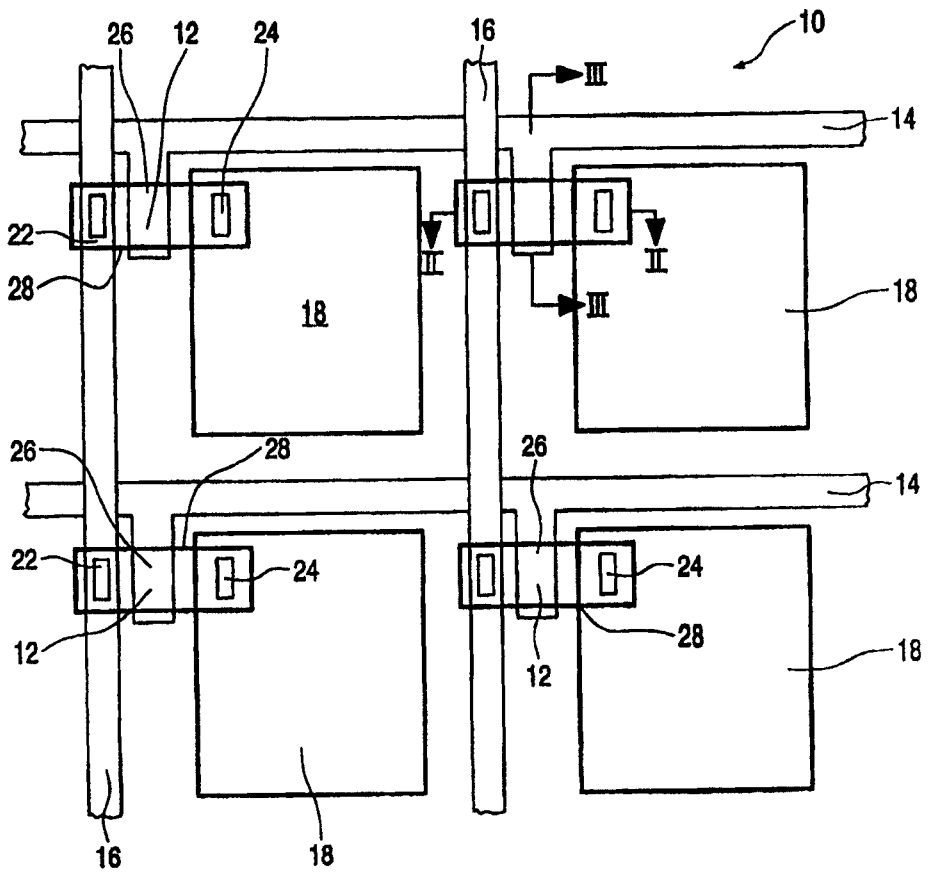


图 1

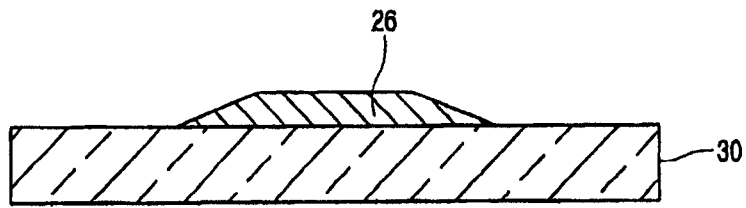


图 2A

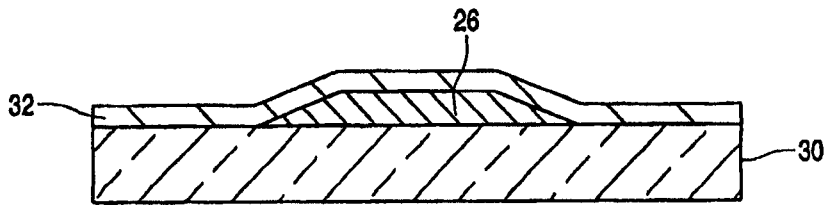


图 2B

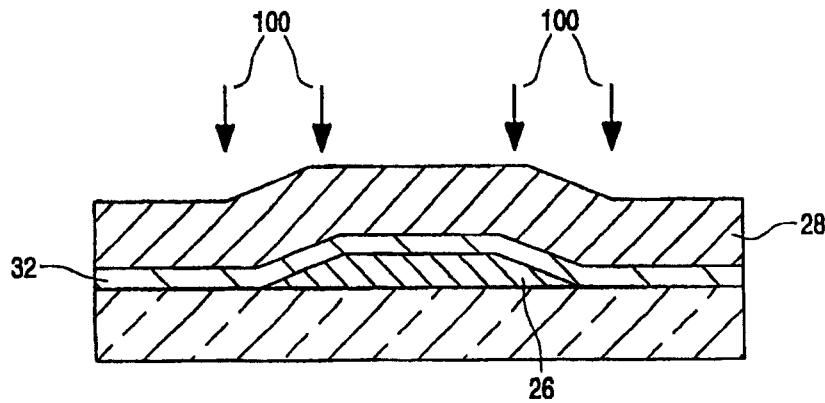


图 2C

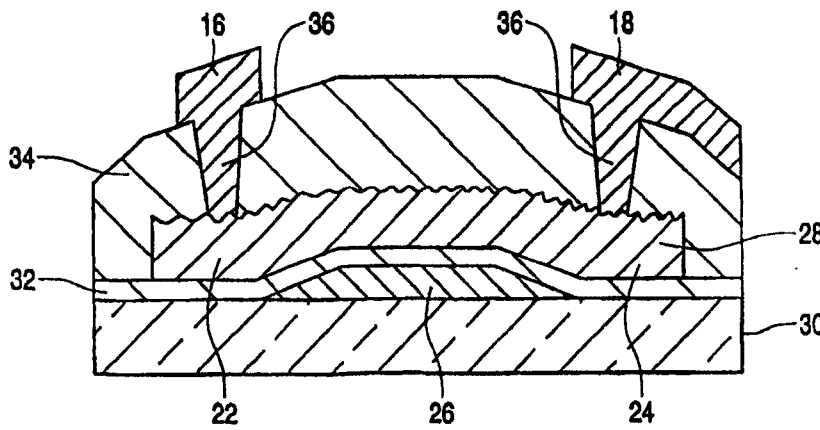


图 2D

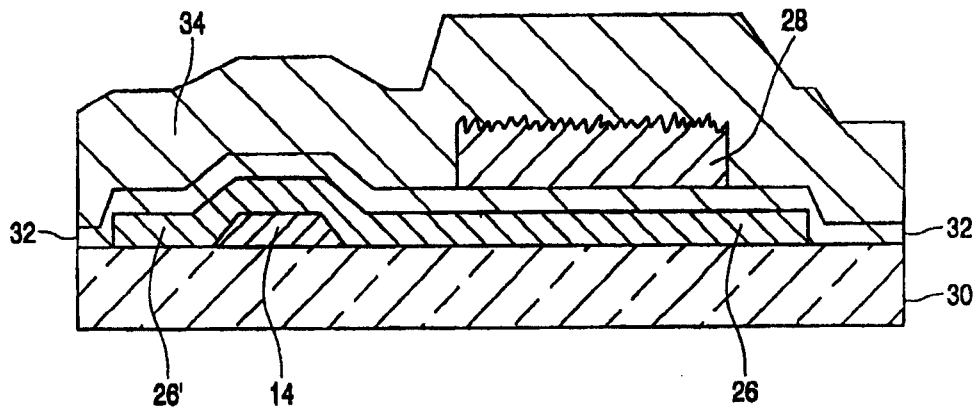


图 3

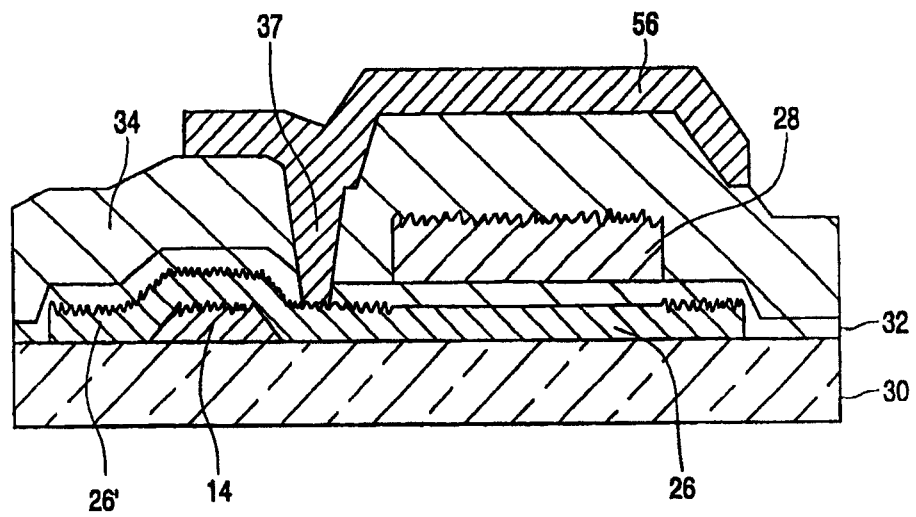


图 5

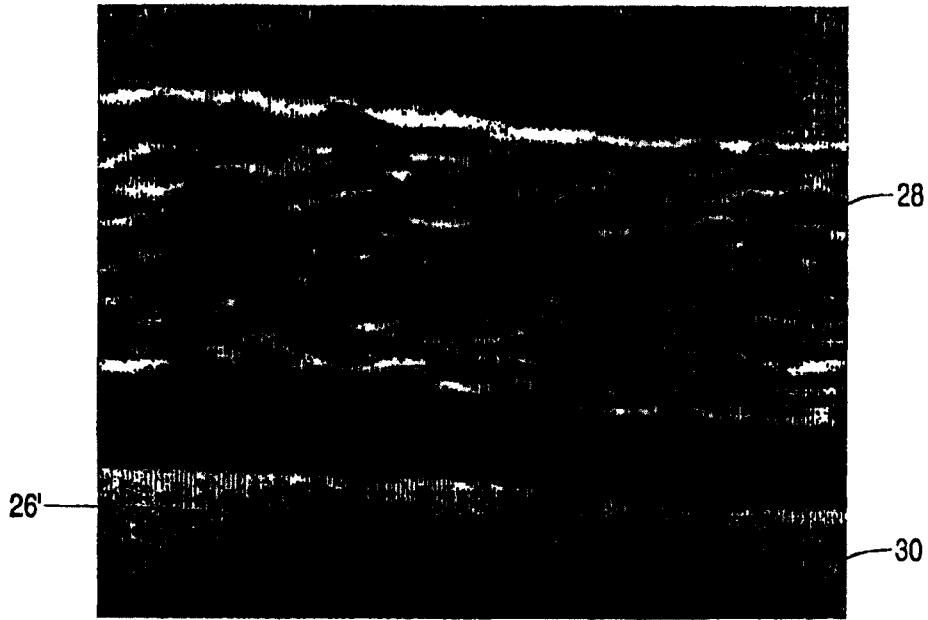


图 4

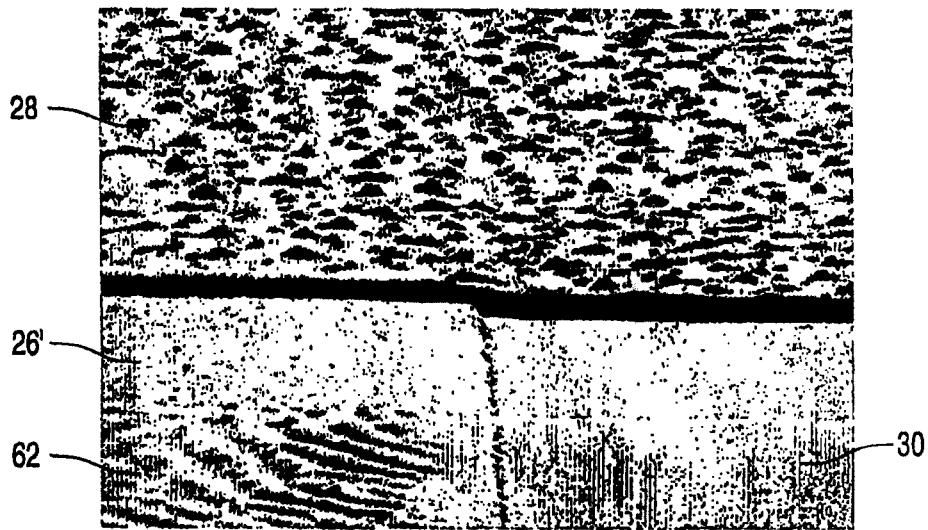


图 6



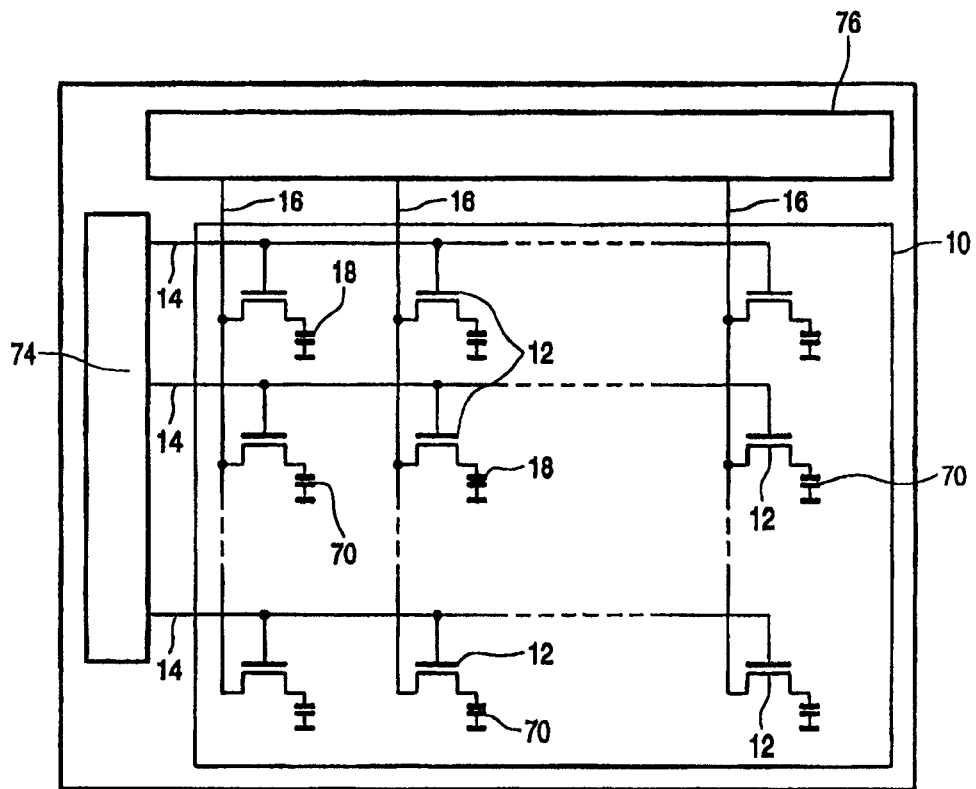


图 7