

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-164435

(P2009-164435A)

(43) 公開日 平成21年7月23日(2009.7.23)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/34 (2006.01)	H05K 3/34 501Z	3B201
H01L 21/60 (2006.01)	H05K 3/34 507C	5E319
B08B 3/02 (2006.01)	H01L 21/60 311Q	5F044
	B08B 3/02 A	
	H05K 3/34 503Z	

審査請求 未請求 請求項の数 5 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-1743 (P2008-1743)
 (22) 出願日 平成20年1月9日 (2008.1.9)

(71) 出願人 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 岡田 晃
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 3B201 AA02 AB45 BB02 BB03 BB87
 CB12 CD33
 5E319 AA03 AB05 AC02 BB04 BB20
 CC33 CD21 GG03 GG07
 5F044 KK12 LL01 QQ01

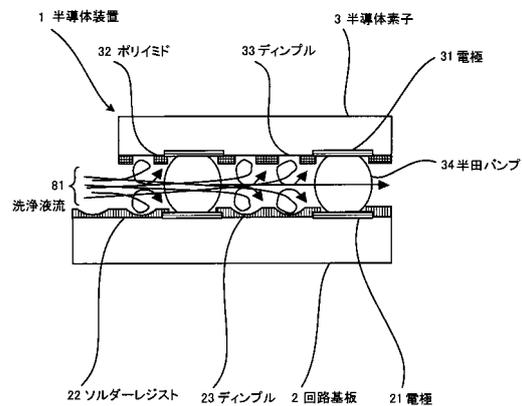
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】半導体装置の回路基板と半導体素子との隙間の洗浄効果を高める。

【解決手段】回路基板2の表面にソルダーレジスト22を形成し、ソルダーレジスト22に第1の開口を形成して電極21を露出させ、半導体素子3の表面にポリイミド32を形成し、ポリイミド32に第2の開口を形成して電極31を露出させ、電極31に半田バンプ34を形成し、電極21および半田バンプ34の少なくとも一方にフラックスを塗布し、ソルダーレジスト22とポリイミド32とを対向させ電極21に半田バンプ34を接合し、回路基板2と半導体素子3との隙間に洗浄液を供給して隙間に存在するフラックスを洗浄する。フラックスを洗浄する工程前に、ソルダーレジスト22およびポリイミド32の少なくとも一方に凹部を形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表面に第 1 の電極を備えた回路基板を用意する工程と、
 前記回路基板の表面に第 1 の膜を形成する工程と、
 前記第 1 の膜に第 1 の開口を形成して、前記第 1 の電極を露出させる工程と、
 表面に第 2 の電極を備えた半導体素子を用意する工程と、
 前記半導体素子の表面に第 2 の膜を形成する工程と、
 前記第 2 の膜に第 2 の開口を形成して、前記第 2 の電極を露出させる工程と、
 前記第 2 の電極に半田パンプを形成する工程と、
 前記第 1 の電極および前記半田パンプの少なくとも一方にフラックスを塗布する工程と

10

、
 前記第 1 の膜と前記第 2 の膜とを対向させ、前記第 1 の電極に前記半田パンプを接合する工程と、
 前記回路基板と前記半導体素子との隙間に洗浄液を供給して、前記隙間に存在する前記フラックスを洗浄する工程と、
 前記フラックスを洗浄する工程前に、前記第 1 の膜および前記第 2 の膜の少なくとも一方に凹部を形成する工程と、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の膜に前記第 1 の開口を形成する工程中に、前記第 1 の膜に前記凹部を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

20

【請求項 3】

前記第 2 の膜に前記第 2 の開口を形成する工程中に、前記第 2 の膜に前記凹部を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

表面に第 1 の電極を備えた回路基板を用意する工程と、
 前記回路基板の表面に第 1 の膜を形成する工程と、
 前記第 1 の膜に第 1 の開口を形成して、前記第 1 の電極を露出させる工程と、
 表面に第 2 の電極を備えた半導体素子を用意する工程と、
 前記半導体素子の表面に第 2 の膜を形成する工程と、
 前記第 2 の膜に第 2 の開口を形成して、前記第 2 の電極を露出させる工程と、
 前記第 2 の電極に半田パンプを形成する工程と、
 前記第 1 の電極および前記半田パンプの少なくとも一方にフラックスを塗布する工程と

30

、
 前記第 1 の膜と前記第 2 の膜とを対向させ、前記第 1 の電極に前記半田パンプを接合する工程と、
 前記回路基板と前記半導体素子との隙間に洗浄液を供給して、前記隙間に存在する前記フラックスを洗浄する工程と、
 前記フラックスを洗浄する工程前に、前記第 1 の膜および前記第 2 の膜の少なくとも一方に凸部を形成する工程と、
 を含むことを特徴とする半導体装置の製造方法。

40

【請求項 5】

表面に第 1 の電極を備えた回路基板と、
 前記回路基板の表面に形成され、前記第 1 の電極を露出させる第 1 の開口を備えた第 1 の膜と、
 前記回路基板の表面上に搭載され、前記第 1 の膜に対向する表面に第 2 の電極を備えた半導体素子と、
 前記半導体素子の表面に形成され、前記第 2 の電極を露出させる第 2 の開口を備えた第 2 の膜と、
 前記第 2 の電極に形成され、前記第 2 の電極を前記第 1 の電極に接続させる半田パンプ

50

と、

前記第1の膜および前記第2の膜の少なくとも一方に形成される凹部または凸部と、
を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関し、特に、回路基板に半導体素子を実装して構成される半導体装置の製造方法および半導体装置に関する。

【背景技術】

【0002】

10

近年、携帯電話など電子機器の小型化、高密度化に伴い、半導体素子を回路基板に実装するための実装密度の向上が要求されている。この要求を満たすために、半導体素子の表面電極上に半田などで形成した bumps (突起) を格子状に配置し、それを、回路基板表面に形成した電極に対して、半導体素子の表面を下に向けて直接接合する FC (Flip Chip: フリップチップ) と呼ばれる実装方法を用いた BGA (Ball Grid Array: ボールグリッドアレイ) パッケージ、FCBGA が広く使用されている。

【0003】

FCBGA では、半導体素子を半田 bumps によって基板に接合する際に、フラックスが半田 bumps および電極に塗布される。回路基板に半導体素子を接合した後に、回路基板と半導体素子との間にフラックスが残留していると、イオン成分による電極間のマイグレーションによってショートが発生するため、半導体装置の信頼性が低下してしまう。

20

【0004】

また、FCBGA では、半田 bumps の接続信頼性を向上させるために、半導体素子と回路基板の隙間にアンダーフィル樹脂を充填する実装方法が行われている。図17(A)に示すように、このアンダーフィル樹脂 1006 を充填する際にフラックス 1007 が残留していると、残留しているフラックス 1007 によってアンダーフィル樹脂 1006 の充填が阻害されることになる。この結果、アンダーフィル樹脂 1006 内にボイド 1008 が形成されて接続強度の低下およびショートが発生する可能性が増加し、半導体装置 1001 の信頼性が低下してしまう。さらに、FCBGA の回路基板 1002 と半導体素子 1003 との隙間は $50 \sim 100 \mu\text{m}$ と狭いため、隙間内のフラックスを洗浄することは困難である。

30

【0005】

これに対し、フラックスの残留に対する一般的な洗浄方法として、半導体装置を水などの洗浄液中に浸漬させながら揺動してフラックスを洗浄する方法、超音波によってフラックスを洗浄する方法などがある。

【0006】

また、FCBGA の回路基板と半導体素子との隙間に洗浄液を浸入させ、隙間に沿って洗浄液の高速な流れを形成することによって、隙間の内部に浸入している洗浄液を吸引させることにより、隙間の内部を洗浄する技術が知られている (例えば、特許文献1参照)

40

【特許文献1】特開平11-300294号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、半導体装置を洗浄液中に浸漬させながら揺動してフラックスを洗浄する方法で FCBGA の隙間内を洗浄しても、上記のように洗浄液が FCBGA の微小な隙間内に入りにくく、また、揺動しても FCBGA の隙間内の洗浄液自体がほとんど動かないため、有効な洗浄効果は得られにくいという問題点がある。

【0008】

50

また、超音波によってフラックスを洗浄する方法でFCBGAの隙間内を洗浄しても、一般的に使用されている低周波数帯の超音波を用いると、キャビテーションによる強力な洗浄効果が得られる一方、半導体素子にダメージを与えてしまう可能性があるという問題点がある。また、キャビテーションの発生しない高周波数帯の超音波を用いた半導体素子デバイスなどの洗浄用の洗浄機も開発されているが、これをFCBGAの隙間内の洗浄に用いても十分な洗浄効果が得られにくいという問題点がある。

【0009】

また、特許文献1に記載されている技術では、図17(B)に示すように、洗浄槽内に低圧の水流1087を流すことにより、半導体装置1001の回路基板1002と半導体素子1003の隙間内のフラックス1007の洗浄について高い洗浄効果を期待できるが、この隙間以外に水流1087のパスがあると、水流1087がそのパスを流れてしまい隙間への液流が弱まるので、洗浄性が低下する。このため、ワーク毎に水流1087をコントロールする専用洗浄治具が必要となり、コストが高くなるという問題点がある。

10

【0010】

本発明はこのような点に鑑みてなされたものであり、回路基板と半導体素子との隙間の洗浄効果を高めることによって、信頼性が高い半導体装置の製造方法および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

この半導体装置の製造方法は、表面に第1の電極を備えた回路基板を用意する工程と、前記回路基板の表面に第1の膜を形成する工程と、前記第1の膜に第1の開口を形成して、前記第1の電極を露出させる工程と、表面に第2の電極を備えた半導体素子を用意する工程と、前記半導体素子の表面に第2の膜を形成する工程と、前記第2の膜に第2の開口を形成して、前記第2の電極を露出させる工程と、前記第2の電極に半田バンプを形成する工程と、前記第1の電極および前記半田バンプの少なくとも一方にフラックスを塗布する工程と、前記第1の膜と前記第2の膜とを対向させ、前記第1の電極に前記半田バンプを接合する工程と、前記回路基板と前記半導体素子との隙間に洗浄液を供給して、前記隙間に存在する前記フラックスを洗浄する工程と、前記フラックスを洗浄する工程前に、前記第1の膜および前記第2の膜の少なくとも一方に凹部を形成する工程と、を含むことを要件とする。

20

30

【0012】

このような半導体装置の製造方法によれば、表面に第1の電極を備えた回路基板が用意される。次に、回路基板の表面に第1の膜が形成される。次に、第1の膜に第1の開口が形成され、第1の電極が露出させられる。次に、表面に第2の電極を備えた半導体素子が用意される。次に、半導体素子の表面に第2の膜が形成される。次に、第2の膜に第2の開口が形成され、第2の電極が露出させられる。次に、第2の電極に半田バンプが形成される。次に、第1の電極および半田バンプの少なくとも一方にフラックスが塗布される。次に、第1の膜と第2の膜とが対向させられ、第1の電極に半田バンプが接合される。次に、回路基板と半導体素子との隙間に洗浄液が供給される。次に、隙間に存在するフラックスが洗浄される。ここで、フラックスを洗浄する工程前に、第1の膜および第2の膜の少なくとも一方に凹部が形成される。

40

【0013】

また、半導体装置の製造方法は、表面に第1の電極を備えた回路基板を用意する工程と、前記回路基板の表面に第1の膜を形成する工程と、前記第1の膜に第1の開口を形成して、前記第1の電極を露出させる工程と、表面に第2の電極を備えた半導体素子を用意する工程と、前記半導体素子の表面に第2の膜を形成する工程と、前記第2の膜に第2の開口を形成して、前記第2の電極を露出させる工程と、前記第2の電極に半田バンプを形成する工程と、前記第1の電極および前記半田バンプの少なくとも一方にフラックスを塗布する工程と、前記第1の膜と前記第2の膜とを対向させ、前記第1の電極に前記半田バンプを接合する工程と、前記回路基板と前記半導体素子との隙間に洗浄液を供給して、前記

50

隙間に存在する前記フラックスを洗浄する工程と、前記フラックスを洗浄する工程前に、前記第1の膜および前記第2の膜の少なくとも一方に凸部を形成する工程と、を含むことを要件とする。

【0014】

このような半導体装置の製造方法によれば、表面に第1の電極を備える回路基板が用意される。次に、回路基板の表面に第1の膜が形成される。次に、第1の膜に第1の開口が形成され、第1の電極が露出させられる。次に、表面に第2の電極を備えた半導体素子が用意される。次に、半導体素子の表面に第2の膜が形成される。次に、第2の膜に第2の開口が形成されて、第2の電極が露出させられる。次に、第2の電極に半田パンプが形成される。次に、第1の電極および半田パンプの少なくとも一方にフラックスが塗布される。次に、第1の膜と第2の膜とが対向させられ、第1の電極に半田パンプが接合される。次に、回路基板と半導体素子との隙間に洗浄液が供給され、隙間に存在するフラックスが洗浄される。ここで、フラックスが洗浄される工程前に、第1の膜および第2の膜の少なくとも一方に凸部が形成される。

10

【0015】

また、この半導体装置は、表面に第1の電極を備えた回路基板と、前記回路基板の表面に形成され、前記第1の電極を露出させる第1の開口を備えた第1の膜と、前記回路基板の表面上に搭載され、前記第1の膜に対向する表面に第2の電極を備えた半導体素子と、前記半導体素子の表面に形成され、前記第2の電極を露出させる第2の開口を備えた第2の膜と、前記第2の電極に形成され、前記第2の電極を前記第1の電極に接続させる半田パンプと、前記第1の膜および前記第2の膜の少なくとも一方に形成される凹部または凸部と、を備えることを要件とする。

20

【0016】

このような半導体装置によれば、回路基板の表面には、第1の電極が備えられている。また、回路基板の表面には、第1の電極を露出させる第1の開口を備えた第1の膜が形成されている。また、回路基板の表面上には、第1の膜に対向する表面に第2の電極を備えた半導体素子が搭載されている。また、半導体素子の表面には、第2の電極を露出させる第2の開口を備えた第2の膜が形成されている。また、第2の電極には、第2の電極を第1の電極に接続させる半田パンプが形成されている。また、第1の膜および第2の膜の少なくとも一方には、凹部または凸部が形成されている。

30

【発明の効果】

【0017】

開示の半導体装置の製造方法および半導体装置によれば、洗浄液による半導体装置の隙間の内部の不純物の洗浄効果が高まる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について、図面を参照して説明する。

[第1の実施の形態]

まず、本発明の第1の実施の形態について説明する。

【0019】

最初に、本実施の形態における半導体装置の製造方法の要部について説明する。図1は、第1の実施の形態における半導体装置の製造方法の要部を説明する図である。

40

図1に示す、本実施の形態の半導体装置1の製造方法は、詳しくは図4から図11において後述するが、表面に電極21を備えた回路基板2を用意する工程、回路基板2の表面にソルダーレジスト22を形成する工程、ソルダーレジスト22に開口を形成して、電極21を露出させる工程、表面に電極31を備えた半導体素子3を用意する工程、半導体素子3の表面にポリイミド(polyimide)32を形成する工程、ポリイミド32に開口を形成して、電極31を露出させる工程、電極31に半田パンプ34を形成する工程、電極21および半田パンプ34の少なくとも一方にフラックスを塗布する工程、ソルダーレジスト22とポリイミド32とを対向させ、電極21に半田パンプ34を接合する工程、回路

50

基板 2 と半導体素子 3 との隙間に洗浄液の流れである洗浄液流 8 1 を供給して、隙間に存在するフラックスを洗浄する工程から構成されており、さらに、フラックスを洗浄する工程前に、ソルダーレジスト 2 2 およびポリイミド 3 2 の少なくともいずれか一方に、凹部（それぞれディンプル 2 3 , 3 3 ）を形成する工程を含む。

【 0 0 2 0 】

本実施の形態における半導体装置 1 の製造方法では、まず、表面に電極 2 1 を備えた回路基板 2 を用意し、回路基板 2 の表面にソルダーレジスト 2 2 を形成した後、ソルダーレジスト 2 2 に開口を形成して電極 2 1 を露出させる。また、表面に電極 3 1 を備えた半導体素子 3 を用意し、半導体素子 3 の表面にポリイミド 3 2 を形成した後、ポリイミド 3 2 に開口を形成して電極 3 1 を露出させてから、電極 3 1 に半田バンプ 3 4 を形成する。

10

【 0 0 2 1 】

ソルダーレジスト 2 2 は、半田バンプ 3 4 の半田付けの際に電極 2 1 以外の半田付けが不要な部分に半田が付着しないように、回路基板 2 の表面の銅箔などの配線部分の導体を覆う感光性と絶縁性および熱硬化性を備えたエポキシ系の合成樹脂被膜である。

【 0 0 2 2 】

ポリイミド 3 2 は、繰り返し単位にイミド結合を含む高分子によって構成された、半導体素子 3 の表面に形成された保護膜である。ポリイミド 3 2 は、半導体素子 3 の表面を物理的に、および絶縁により電氣的に保護する。

【 0 0 2 3 】

次に、電極 2 1 および半田バンプ 3 4 の少なくとも一方にフラックスを塗布し、ソルダーレジスト 2 2 とポリイミド 3 2 とを対向させ電極 2 1 に半田バンプ 3 4 を接合した後、回路基板 2 と半導体素子 3 との隙間に洗浄液流 8 1 を供給して隙間に存在するフラックスを洗浄する。

20

【 0 0 2 4 】

さらに、本実施の形態では、フラックスを洗浄する前に、ソルダーレジスト 2 2 およびポリイミド 3 2 に、それぞれディンプル 2 3 , 3 3 を形成する工程が含まれる。ディンプル 2 3 , 3 3 は、それぞれソルダーレジスト 2 2 およびポリイミド 3 2 の表面に形成された窪みであり、洗浄効果を向上させるために、洗浄液流 8 1 の流れを変化させて乱流を発生させる。

【 0 0 2 5 】

本実施の形態では、加工の容易性から、ディンプル 2 3 は、回路基板 2 にソルダーレジスト 2 2 が形成された直後の工程において形成する。同様に、ディンプル 3 3 は、半導体素子 3 にポリイミド 3 2 が形成された直後の工程において形成する。このディンプル 2 3 , 3 3 を形成する工程は、フラックスを洗浄する工程（図 4 参照）の以前であれば、可能である限りいずれの段階で行ってもよい。

30

【 0 0 2 6 】

本実施の形態では、このようにして、電極 2 1 および半田バンプ 3 4 に供給されたフラックス、ならびにその他の隙間内に付着している不純物が除去された半導体装置 1 が製造される。

【 0 0 2 7 】

次に、本実施の形態の半導体装置の構成の概要について説明する。図 2 は、第 1 の実施の形態の半導体装置の基本的な構造を説明する平面模式図である。図 3 は、第 1 の実施の形態の半導体装置の基本的な構造を説明する断面模式図である。また、図 3 (A) は、図 2 に示す半導体装置の A - A 断面を示す図である。図 3 (B) は、図 3 (A) に示す半導体装置の断面の B 部を拡大して示す図である。

40

【 0 0 2 8 】

図 2 に示すように、本実施の形態の半導体装置 1 は、回路基板 2 、半導体素子 3 およびアンダーフィル樹脂 6 で構成されている。また、図 3 (A) 、 (B) に示すように、回路基板 2 は、電極 2 1 、ソルダーレジスト 2 2 、および半田ボール 2 4 を備えている。半導体素子 3 は、電極 3 1 、ポリイミド 3 2 、半田バンプ 3 4 を備えている。

50

【0029】

図3(A)に示すように、アンダーフィル樹脂6は、回路基板2および半導体素子3を保護するために、回路基板2と半導体素子3との隙間に充填されている。

半導体素子3は、シリコン(Si)などが基材として用いられている。半導体素子3は、表面に電極31を備える電極開口部が設けられており、電極31上には、図3(B)に示すように、例えば、錫(Sn)-鉛(Pb)系の半田で形成された半田バンプ34が複数設けられている。半導体素子3は、この半田バンプ34により、フリップチップ・ボンディングによってフェースダウンで回路基板2に搭載される。これによって、回路基板2と半導体素子3との間で電源供給および信号の入出力を行うための電氣的接続が実現される。また、半導体素子3の電極開口部以外の箇所は、ポリイミド32で被覆されている。

10

【0030】

回路基板2は、ガラスエポキシ、セラミックなどの材料で製造されており、表面には図示しない配線が施されている。また、図3(B)に示すように、回路基板2には、半導体素子3の半田バンプ34と対になる部位に電極21を備える電極開口部が設けられている。また、回路基板2の電極開口部以外の箇所は、ソルダーレジスト22で被覆されている。

【0031】

半田ボール24は、半田で形成されており、回路基板2における半導体素子3が搭載される面の裏面に複数設けられている。半田ボール24は、半導体装置1をマザーボードなどに実装する際に接続端子となる。

20

【0032】

アンダーフィル樹脂6は、回路基板2と半導体素子3との隙間に充填されている、エポキシ系組成物、ウレタン系組成物などによる、絶縁性および熱硬化性を備えた樹脂である。また、アンダーフィル樹脂6には、回路基板2と半導体素子3との熱膨張差を緩衝するための材料が微小粒子の状態で混入されている。

【0033】

このアンダーフィル樹脂6を回路基板2と半導体素子3との間の隙間に充填し、アンダーフィル樹脂6を加熱して硬化させることにより、回路基板2と半導体素子3との隙間が封止される。これにより、回路基板2と半導体素子3との接続強度が増加し、回路基板2と半導体素子3との熱膨張差から半導体装置1が保護される。また、半田バンプ34が、隙間内において半導体装置1の実装時における再加熱によって溶融した場合にも、他の半田バンプおよび/または導体部分とのショートを防止することができる。

30

【0034】

本実施の形態の半導体装置1の製造方法は、フラックスの洗浄効果を高めることにより、このアンダーフィル樹脂6の充填を確実にして、半導体装置1の信頼性を向上させるものである。

【0035】

次に、本実施の形態の半導体装置1の製造工程について説明する。図4は、第1の実施の形態における半導体装置の製造工程の概要を説明する図である。

本実施の形態の半導体装置1は、回路基板2を用意する工程と、回路基板2にソルダーレジスト22を形成する工程と、ソルダーレジスト22にディンプル23を形成する工程と、電極21を露出させる工程と、半導体素子3を用意する工程と、半導体素子3にポリイミド32を形成する工程と、ポリイミド32にディンプル33を形成する工程と、電極31を露出させる工程と、電極31に半田バンプ34を形成する工程と、電極21および半田バンプ34にフラックスを塗布する工程と、電極21に半田バンプ34を接合する工程と、回路基板2と半導体素子3との隙間のフラックスを洗浄する工程とによって製造される。

40

【0036】

ここでは、電極21および半田バンプ34にフラックスを塗布する工程、電極21に半田バンプ34を接合する工程、および回路基板2と半導体素子3との隙間のフラックスを

50

洗浄する工程を中心に説明する。

【0037】

まず、図4左上の製造ステップ41に示すように、回路基板2に形成された電極21および半導体素子3に形成された半田パンプ34にフラックス7を塗布した後、半導体素子3を、回路基板2の表面に、フェースダウンで対面させる。次に、製造ステップ42に示すように、半田パンプ34と電極21とを位置合わせして、半導体素子3を回路基板2にマウントする。次に、製造ステップ43に示すように、再加熱（リフロー）により半田パンプ34を溶融させた後、半田パンプ34と電極21とを接合することにより、半導体素子3が、複数の半田パンプ34で、フリップチップ・ボンディングにより回路基板2に溶融接合される。

10

【0038】

次に、製造ステップ44に示すように、半導体素子3と回路基板2とに付着しているフラックス7を除去するために、半導体素子3と回路基板2との隙間に洗浄液流81を供給してフラックス7を洗浄する。この本実施の形態における洗浄液流81の供給によるフラックス7の洗浄については、詳しくは図11において後述する。

【0039】

次に、製造ステップ45に示すように、半導体素子3と回路基板2との隙間にアンダーフィル樹脂6を充填する。次に、製造ステップ46に示すように、回路基板2の上下を反転して裏返し、回路基板2の裏面（図の製造ステップ45における上側の面）の電極（図示省略）にフラックス74を塗布した後、半田ボール24をマウントする。ここでは説明を省略するが、回路基板2の裏面も、表面と同様に電極（図示省略）およびソルダーレジスト（図示省略）を備えている。

20

【0040】

次に、製造ステップ47に示すように、回路基板2の裏面にマウントした半田ボール24を再加熱して溶融し、半導体装置1に接合する。

次に、製造ステップ48に示すように、洗浄液流82によって半導体装置1の裏面および半田ボール24に残留しているフラックス74を洗浄する。次に、製造ステップ49に示すように、半導体装置1を再び反転させる。これにより、本実施の形態の半導体装置1の製造工程が終了する。

【0041】

なお、ここでは、回路基板2と半導体素子3との隙間のフラックス7と、半導体装置1の裏面のフラックス74とを、洗浄液流81、82によってそれぞれ別個に洗浄する場合の例について説明したが、フラックス7およびフラックス74を同時に洗浄してもよい。

30

【0042】

また、回路基板2および半導体素子3には、それぞれフラックス7、74が塗布されているが、いずれか一方のみに、フラックス7、74のいずれかを塗布してもよい。

また、ソルダーレジスト22およびポリイミド32に、それぞれディンプル23、33を形成するが、いずれか一方のみにディンプル（ディンプル23、33のいずれか）を形成してもよい。

【0043】

次に、本実施の形態におけるディンプル23、33が形成される工程について説明する。図5は、第1の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。図6は、第1の実施の形態における半導体装置の半導体素子にディンプルが形成される工程を説明する図である。

40

【0044】

本実施の形態では、回路基板2のディンプル23と半導体素子3のディンプル33とは、半導体素子3の回路基板2への取り付け（図4の製造ステップ41参照）以前に、それぞれ個別に形成される。

【0045】

まず、図5に沿って、回路基板2側のディンプル23の形成について説明する。

50

ディンプル 2 3 の形成方法は、図 5 の形成ステップ 5 1 に示すように、まずソルダーレジスト 2 2 が施された回路基板 2 の表面上に D F R (ドライフィルムレジスト) 7 1 を貼り付け、ディンプル 2 3 を形成する位置以外の部分のみに露光されるように、ディンプル 2 3 を形成する位置の部分のみをマスク 7 2 で覆ってから、露光機 7 3 で D F R 7 1 を露光する。これにより、ディンプル 2 3 が形成される位置以外の部分のみ露光する。D F R 7 1 は、感光性のレジスト膜であり、露光および現像によって耐エッチングの膜を形成するために用いられる。

【 0 0 4 6 】

次に、形成ステップ 5 2 に示すように、D F R 7 1 を現像する。これにより、マスク 7 2 で覆われていなかったことにより露光された、ディンプル 2 3 を形成する位置以外の部分の表面に、D F R 7 1 による耐エッチングの膜が形成される。

10

【 0 0 4 7 】

次に、形成ステップ 5 3 に示すように、ディンプル 2 3 を形成する部分のみ D F R 7 1 が開口された状態で、エッチング処理を施す。これにより、ソルダーレジスト 2 2 の表面が腐食することによって、微小な凹みであるディンプル 2 3 が形成される。

【 0 0 4 8 】

このエッチング処理でソルダーレジスト 2 2 の余分な部分を除去することによって、形成ステップ 5 4 に示すように、回路基板 2 のディンプル 2 3 の形成が完了する。

同様に、半導体素子 3 のディンプル 3 3 も、ポリイミド 3 2 の表面にエッチング処理を施すことによって形成する。続いて、図 6 に沿って、半導体素子 3 側のディンプル 3 3 の形成について説明する。

20

【 0 0 4 9 】

ディンプル 3 3 の形成方法は、回路基板 2 側のディンプル 2 3 と同様に、図 6 の形成ステップ 6 1 に示すように、まず、ポリイミド 3 2 が施された半導体素子 3 の表面上に D F R 9 1 を貼り付け、ディンプル 3 3 の位置以外の部分のみに露光されるようにマスク 9 2 で覆ってから、露光機 9 3 で D F R 9 1 を露光する。次に、形成ステップ 6 2 に示すように、D F R 9 1 を現像する。

【 0 0 5 0 】

次に、形成ステップ 6 3 に示すように、ディンプル 3 3 を形成する部分のみ D F R 9 1 が開口された状態で、エッチング処理を施す。これにより、ポリイミド 3 2 の表面が腐食することによって、微小な凹みであるディンプル 3 3 が形成される。このエッチング処理でポリイミド 3 2 の余分な部分を除去することによって、形成ステップ 6 4 に示すように、半導体素子 3 のディンプル 3 3 の形成が完了する。

30

【 0 0 5 1 】

このようにして回路基板 2 および半導体素子 3 に、それぞれディンプル 2 3 , 3 3 が形成された後、図 4 で説明した工程を経て回路基板 2 に半導体素子 3 が接合され、半導体装置 1 が完成する。なお、本実施の形態では、エッチング処理は、ドライエッチングを用いるが、ウェットエッチングを用いてもよい。

【 0 0 5 2 】

次に、回路基板に設けられるディンプルの位置および径について説明する。図 7 は、第 1 の実施の形態における半導体装置の回路基板のディンプルの位置および径に関する配置基準を説明する図である。図 7 (A) は、直交配置によってディンプルを形成した場合の回路基板の平面模式図である。図 7 (B) は、千鳥配置によってディンプルを形成した場合の回路基板の平面模式図である。

40

【 0 0 5 3 】

ディンプル 2 3 の配置箇所については、任意の位置でよいが、他の構造物との干渉が少ないことから配置に比較的困難が少ないと考えられるため、半田バンプ 3 4 の直交ピッチの中点、あるいは千鳥ピッチの中点位置が好ましい。

【 0 0 5 4 】

図 7 (A) に示すように、回路基板 2 のディンプル 2 3 を直交配置で形成した場合には

50

、ディンプル 2 3 の位置および径に関する配置基準は、以下の通りである。

- a 1 : パンプピッチ
- b 1 : ソルダーレジスト開口径
- c 1 : ディンプル径

とした場合に、

$$c 1 \geq a 1 - b 1 \quad (1)$$

この不等式 (1) を満たすようにディンプルの配置および径を設計する。

【 0 0 5 5 】

ここで、「パンプピッチ」は、隣接する半田パンプ 3 4 (と接合される電極 2 1) の中心の間隔である。「ソルダーレジスト開口径」は、ソルダーレジスト 2 2 において電極 2 1 を露出するために設けられた電極開口部の直径である。「ディンプル径」は、ディンプル 2 3 の直径である。

10

【 0 0 5 6 】

また、不等式 (1) は、直交配置の場合のディンプル径が、パンプピッチとソルダーレジスト開口径との差以下となることを示している。

図 7 (B) に示すように、回路基板 2 のディンプル 2 3 を千鳥配置で形成した場合には、ディンプル 2 3 の位置および径に関する配置基準は、以下の通りである。

【 0 0 5 7 】

- a 2 : 千鳥パンプピッチ
- b 2 : ソルダーレジスト開口径
- c 2 : ディンプル径

とした場合に、

$$c 2 \geq a 2 - b 2 \quad (2)$$

この不等式 (2) を満たすようにディンプルの配置および径を設計する。

20

【 0 0 5 8 】

ここで、「千鳥パンプピッチ」は、回路基板 2 の対角方向に隣接する半田パンプ 3 4 (と接合される電極 2 1) 同士の間隔である。

また、不等式 (2) は、千鳥配置の場合のディンプル径が、千鳥パンプピッチとソルダーレジスト開口径との差以下となることを示している。

【 0 0 5 9 】

なお、本実施の形態では、ディンプル 2 3 の位置は、パンプピッチのちょうど中央の位置に設置しているが、中央からオフセットしてもよい。

30

次に、回路基板に設けられるディンプルの深さについて説明する。図 8 は、第 1 の実施の形態における半導体装置の回路基板のディンプルの深さに関する配置基準を説明する図である。図 8 (A) は、配線パターンに同電位のものしか存在せず、異電位の配線パターンが存在しない場合、および / または、ディンプルの直下に配線パターンがない場合のディンプルの深さを説明する図である。図 8 (B) は、配線パターンに異電位の配線パターンが存在する場合のディンプルの深さを説明する図である。

【 0 0 6 0 】

図 8 (A) に示すように、回路基板 2 の配線パターンに同電位のものしか存在せず異電位の配線パターンが存在しない場合および / または、回路基板 2 のディンプル 2 3 の直下に配線パターンがない場合には、ディンプル 2 3 の深さに関する配置基準は、以下の通りである。

40

【 0 0 6 1 】

- s : ソルダーレジスト厚
- p : パターン厚
- d : ディンプル深さ

とした場合に、

$$d \geq s \quad (3)$$

$$1 0 \mu m \leq d \leq 5 0 \mu m \quad (4)$$

50

これらの不等式(3), (4)を満たすようにディンプルの深さを設計する。

【0062】

ここで、「ソルダーレジスト厚」は、回路基板2に形成されたソルダーレジスト22の厚みである。「パターン厚」は、回路基板2に配設された配線パターンの厚みである。「ディンプル深さ」は、ディンプル23の深さである。

【0063】

また、不等式(3), (4)は、ディンプル23のディンプル深さが、ソルダーレジスト厚以下となること、およびディンプル深さは10 μm以上50 μm以下に設計するのが好ましいことを示している。

【0064】

図8(B)に示すように、回路基板2において、ディンプル23の直下に隣接する半田バンプ34と異電位の配線パターンである異電位電極21aが存在する場合は、ショートが発生する危険があるため、ディンプル23の位置をずらすか、異電位電極21aが露出しないようにディンプル深さを調節する。この場合のディンプル23の深さに関する基準は、以下の通りである。

【0065】

s : ソルダーレジスト厚

p : パターン厚

d : ディンプル深さ

とした場合に、

$$d < s - p \quad (5)$$

この不等式(5)を満たすようにディンプルの深さを設計する。

【0066】

また、不等式(5)は、ディンプル23のディンプル深さが、ソルダーレジスト厚とパターン厚との差未満となることを示している。これは、異電位の半田バンプ34および/または配線パターン同士を絶縁するために、ソルダーレジスト22を完全に除去せずに残しておく必要があるためである。

【0067】

次に、半導体素子に設けられるディンプルの位置および径について説明する。図9は、第1の実施の形態における半導体装置の半導体素子のディンプルの位置および径に関する配置基準を説明する図である。図9(A)は、直交配置によってディンプルを形成した場合の半導体素子の平面模式図である。図9(B)は、千鳥配置によってディンプルを形成した場合の半導体素子の平面模式図である。

【0068】

ディンプル33の配置箇所については、回路基板2のディンプル23と同様に、任意の位置でよいが、他の構造物との干渉が少ないことから配置に比較的困難が少ないと考えられるため、半田バンプ34の直交ピッチの中点、あるいは千鳥ピッチの中点位置が好ましい。

【0069】

図9(A)に示すように、半導体素子3のディンプル33を直交配置で形成した場合には、ディンプル33の位置および径に関する配置基準は、以下の通りである。

a3 : バンプピッチ

b3 : ポリイミド開口径

c3 : ディンプル径

とした場合に、

$$c3 \leq a3 - b3 \quad (6)$$

この不等式(6)を満たすようにディンプルの配置および径を設計する。

【0070】

ここで、「バンプピッチ」は、隣接する半田バンプ34(が配設される電極31)の中心の間隔である。半導体素子3側のバンプピッチは、回路基板2側に形成されるディンプル

10

20

30

40

50

ル 2 3 のバンブピッチと同一である。「ポリイミド開口径」は、ポリイミド 3 2 において電極 3 1 を露出するために設けられた電極開口部の直径である。「ディンプル径」は、ディンプル 3 3 の直径である。半導体素子 3 側のディンプル径は、回路基板 2 側のディンプル径と同一にすることもできるし、異ならせることもできる。

【 0 0 7 1 】

また、不等式 (6) は、直交配置の場合のディンプル径が、バンブピッチとポリイミド開口径との差以下となることを示している。

図 9 (B) に示すように、半導体素子 3 のディンプル 3 3 を千鳥配置で形成した場合には、ディンプル 3 3 の位置および径に関する配置基準は、以下の通りである。

【 0 0 7 2 】

- a 4 : 千鳥バンブピッチ
- b 4 : ポリイミド開口径
- c 4 : ディンプル径

とした場合に、

$$c 4 \leq a 4 - b 4 \quad (7)$$

この不等式 (7) を満たすようにディンプルの配置および径を設計する。

【 0 0 7 3 】

ここで、「千鳥バンブピッチ」は、半導体素子 3 の対角方向に隣接する半田バンブ 3 4 (が形成される電極 3 1) 同士の間隔である。

また、不等式 (7) は、千鳥配置の場合のディンプル径が、千鳥バンブピッチとポリイミド開口径との差以下となることを示している。

【 0 0 7 4 】

なお、本実施の形態では、ディンプル 3 3 の位置は、回路基板 2 のディンプル 2 3 と同様に、バンブピッチのちょうど中央の位置に設置しているが、中央からオフセットしてもよい。

【 0 0 7 5 】

次に、半導体素子に設けられるディンプルの深さについて説明する。図 1 0 は、第 1 の実施の形態における半導体装置の半導体素子のディンプルの深さに関する配置基準を説明する図である。

【 0 0 7 6 】

図 1 0 に示すように、半導体素子 3 のディンプル 3 3 の深さに関する配置基準は、以下の通りである。

- s : ポリイミド厚
- d : ディンプル深さ

とした場合に、

$$d \leq s \quad (8)$$

この不等式 (8) を満たすようにディンプルの深さを設計する。

【 0 0 7 7 】

ここで、「ポリイミド厚」は、半導体素子 3 に形成されたポリイミド 3 2 の厚みである。「パターン厚」は、半導体素子 3 に配設された配線パターンの厚みである。「ディンプル深さ」は、ディンプル 3 3 の深さである。

【 0 0 7 8 】

また、不等式 (8) は、ディンプル 3 3 のディンプル深さが、ポリイミド厚以下となることを示している。

なお、ポリイミド 3 2 のディンプル深さは、 $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下に設計するのが好ましい。

【 0 0 7 9 】

次に、本実施の形態における、半導体装置 1 の回路基板 2 と半導体素子 3 との隙間に洗浄液流 8 1 を供給して行う、半導体装置 1 の隙間の洗浄について説明する。図 1 1 は、第 1 の実施の形態における半導体装置を洗浄する工程を説明する図である。図 1 1 には、洗

10

20

30

40

50

浄槽に洗浄液流を流した様子を示す。

【 0 0 8 0 】

本実施の形態では、複数の半導体装置 1 を洗浄槽 1 1 1 で一括して内部に収容して洗浄液流 8 1 によって洗浄する。

まず、本実施の形態の半導体装置 1 の洗浄に用いる装置について説明する。図 1 1 に示すように、本実施の形態では、上記のように、洗浄槽 1 1 1 およびトレイ 1 1 2 を用いる。

【 0 0 8 1 】

本実施の形態の洗浄槽 1 1 1 は、半導体装置 1 を内部に収容して洗浄液流 8 1 により洗浄するための内部を密閉可能な槽である。

洗浄槽 1 1 1 は、図 1 1 に示す洗浄液流 8 1 による洗浄時には、蓋部 1 1 3 および弁 1 1 4 を開くことにより、洗浄液流 8 1 を上部の蓋部 1 1 3 から流入させて、下部の弁 1 1 4 から流出させることができる。

【 0 0 8 2 】

トレイ 1 1 2 は、複数の半導体装置 1 を洗浄槽 1 1 1 に設置するための器具である。トレイ 1 1 2 は、半導体装置 1 を支持するとともに、位置決めなどを正確に行うために案内する。半導体装置 1 を洗浄槽 1 1 1 に設置するときには、設置するすべての半導体装置 1 を一旦トレイ 1 1 2 に固定して並べる。次に、半導体装置 1 をトレイ 1 1 2 ごと洗浄槽 1 1 1 に配置する。半導体装置 1 を洗浄槽 1 1 1 から取り出すときには、トレイ 1 1 2 ごと取り出す。このトレイ 1 1 2 を用いることによって、一度に複数の半導体装置 1 を配置し

10

20

【 0 0 8 3 】

次に、本実施の形態における半導体装置 1 の洗浄について具体的な説明を行う。本実施の形態では、洗浄の前の工程（図 4 の製造ステップ 4 3）で電極 2 1 と半田パンプ 3 4 とが接合された後、図 1 1 に示すように、まず、複数個（例えば、18 個）の半導体装置 1 がトレイ 1 1 2 に並べられた状態に取り付けられる。そしてこれらの半導体装置 1 は、トレイ 1 1 2 ごと洗浄槽 1 1 1 に配置される。

【 0 0 8 4 】

次に、本実施の形態では、洗浄槽 1 1 1 の蓋部 1 1 3 および弁 1 1 4 を開き、図 1 1 に示すように、蓋部 1 1 3 から洗浄液流 8 1 を流入させる。流入した洗浄液流 8 1 は、トレイ 1 1 2 の周囲を流れた後、弁 1 1 4 から流出する。このとき、予め半導体装置 1 をトレイ 1 1 2 に取り付けるときに、半導体装置 1 の隙間が洗浄液流 8 1 の流れる方向と平行になり、洗浄液流 8 1 が隙間に流入し易いように配置する。これにより、洗浄液流 8 1 は、半導体装置 1 の回路基板 2 と半導体素子 3 との隙間に流れ込む。

30

【 0 0 8 5 】

このとき洗浄液流 8 1 は、隙間内に付着しているフラックス 7 などを洗浄しながら流れていき、隙間の下部から排出されることになる。これにより、最初の工程において電極 2 1 および半田パンプ 3 4 に供給されたフラックス 7 およびその他の隙間内に付着している不純物が、洗浄液によって除去される。

【 0 0 8 6 】

なお、本実施の形態では、回路基板 2 と半導体素子 3 との間の微小な隙間の内側に、回路基板 2 のソルダーレジスト 2 2 上および半導体素子 3 のポリイミド 3 2 上に、それぞれディンプル 2 3 , 3 3 を形成するが、これに限らず、回路基板 2 のソルダーレジスト 2 2 上および半導体素子 3 のポリイミド 3 2 上のいずれか一方のみに、ディンプルを形成してもよい。また、ディンプル 2 3 , 3 3 は、それぞれソルダーレジスト 2 2 上、ポリイミド 3 2 上の任意の位置に形成することができる。

40

【 0 0 8 7 】

以上のように、本実施の形態によれば、予め、回路基板 2 と半導体素子 3 との間の微小な隙間の内側に、回路基板 2 のソルダーレジスト 2 2 上および半導体素子 3 のポリイミド 3 2 上に、微小な凹み（ディンプル 2 3 , 3 3）を形成しておく。これにより、回路基板

50

2と半導体素子3との間の微小な隙間内のフラックス7など不純物の洗浄時において、洗浄液流81がディンプル23, 33に接触することで、洗浄液流81に乱流を発生させる。

【0088】

ここで、従来ならば、ある程度フラックス7が洗浄され、洗浄液流81のパスが形成された時点で層流化し、洗浄効果が大幅に低下するが、本実施の形態によれば、洗浄液流81のパスが形成された後も、ディンプル23, 33によって乱流が発生する。この結果、洗浄液による半導体装置1の隙間の内部の不純物の洗浄効果が高まる。

【0089】

[第2の実施の形態]

次に、第2の実施の形態について説明する。上記の第1の実施の形態との相違点を中心に説明し、同様の事項については同一の符号を用いるとともに説明を省略する。

【0090】

第2の実施の形態は、半導体装置201の回路基板2に形成されたソルダーレジスト222に対して、レーザー274を照射することによってディンプル223を形成する点で、第1の実施の形態と異なる。

【0091】

以下に、本実施の形態におけるディンプル223が形成される工程について説明する。図12は、第2の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。図12に沿って、本実施の形態のレーザー274によるディンプル223の形成について説明する。

【0092】

ディンプル223の形成方法は、図12の形成ステップ121に示すように、回路基板2の表面上に形成されたソルダーレジスト222の所定の位置に、高出力のレーザー274を照射してソルダーレジスト222の表面を加熱し、溶融させる。これによって、回路基板2のソルダーレジスト222の表面に、形成ステップ122に示すような、ディンプル223が形成される。

【0093】

このとき、照射するレーザー274の出力および照射時間などを調節することにより、ディンプル223の径の大きさおよび深さを調節することができる。ディンプル223の深さは、10 μ m以上50 μ m以下とすることが好ましい。

【0094】

ここで、ディンプル223の穴の直径が25~70 μ m程度の場合には、エキシマレーザーおよびYAGレーザーが好ましく、穴の直径が80~180 μ m程度の場合には、パルス炭酸ガスレーザーが好ましいが、それぞれの直径の範囲において、また他の直径の範囲において、他のレーザーを用いることができる。

【0095】

なお、本実施の形態では、レーザー274を用いて回路基板2側のディンプル223を形成する場合を例に挙げて説明したが、半導体素子3側のポリイミドに対してレーザーを用いてディンプルを形成してもよい。

【0096】

以上のように、予め、レーザー274によって、回路基板2と半導体素子3との間の微小な隙間の内側に、回路基板2のソルダーレジスト222上に、微小な凹み(ディンプル223)を形成しておく。これにより、本実施の形態によれば、第1の実施の形態と同様に、回路基板2と半導体素子3との間の微小な隙間内のフラックス7など不純物の洗浄時において、洗浄液流81がディンプル223に接触することで、洗浄液流81に乱流を発生させる。この結果、洗浄液による半導体装置201の隙間の内部の不純物の洗浄効果が高まる。

【0097】

[第3の実施の形態]

10

20

30

40

50

次に、第3の実施の形態について説明する。上記の第1の実施の形態との相違点を中心に説明し、同様の事項については同一の符号を用いるとともに説明を省略する。

【0098】

第3の実施の形態は、半導体装置301の回路基板2に形成されたソルダーレジスト322に対して、ブラスト処理を施すことによってディンプル323を形成する点で、第1の実施の形態と異なる。

【0099】

以下に、本実施の形態におけるディンプル323が形成される工程について説明する。図13は、第3の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。図13に沿って、本実施の形態のブラスト処理によるディンプル323の形成について説明する。

10

【0100】

ディンプル323の形成方法は、図13の形成ステップ131に示すように、まず回路基板2の表面上に形成されたソルダーレジスト322を、ディンプル323を形成する位置のみにブラスト処理が施されるように、ディンプル323を形成する位置以外の部分をマスク372で覆う処理を施す。次に、形成ステップ132に示すように、ブラスト処理によって投射材374が噴射される。このとき、形成ステップ131によって施されたマスク372によって、ソルダーレジスト322に噴射された投射材374が、ディンプル323を形成する部分のみに吹き付けられてその部分を切削する。これによって、回路基板2のソルダーレジスト322の表面に、形成ステップ133に示すような、ディンプル323が形成される。

20

【0101】

このとき、噴射する投射材374の材質、投射量、大きさ（砥粒径）、噴射圧および噴射時間などを調節することにより、ディンプル323の径の大きさおよび深さを調節することができる。ディンプル323の深さは、10 μ m以上50 μ m以下とすることが好ましい。

【0102】

ここで、投射材374の砥粒径は、ディンプル径が、半田バンプ34の間隔であるバンプピッチが150 μ m以下で75 μ m以下になることを考えると、1000番（10~20 μ m）~10000番（0~1 μ m）の、微細粒の使用が好ましい。

30

【0103】

また、ブラスト処理は、湿式ブラストおよび乾式ブラストのいずれを用いてもよい。投射材374の噴射圧力は、対象面の状態に合わせて設定するが、一般的には、0.4~0.6MPa程度となる。

【0104】

なお、本実施の形態では、形成ステップ131~133に示したブラスト処理を用いて回路基板2側のディンプル323を形成する場合を例に挙げて説明したが、半導体素子3側のポリイミドに対してブラスト処理を用いてディンプルを形成してもよい。

【0105】

以上のように、予め、ブラスト処理によって、回路基板2と半導体素子3との間の微小な隙間の内側に、回路基板2のソルダーレジスト322上に、微小な凹み（ディンプル323）を形成しておく。これにより、本実施の形態によれば、第1の実施の形態と同様に、回路基板2と半導体素子3との間の微小な隙間内のフラックス7など不純物の洗浄時において、洗浄液流81がディンプル323に接触することで、洗浄液流81に乱流を発生させる。この結果、洗浄液による半導体装置301の隙間の内部の不純物の洗浄効果が高まる。

40

【0106】

[第4の実施の形態]

次に、第4の実施の形態について説明する。上記の第1の実施の形態との相違点を中心に説明し、同様の事項については同一の符号を用いるとともに説明を省略する。

50

【0107】

第4の実施の形態は、半導体装置401の回路基板2に形成されたソルダーレジスト422上に、さらにソルダーレジスト425を重ねて塗布することによって、ディンプルに替えて突起423を形成する点、および半導体素子3に形成されたポリイミド432上に、さらに、ポリイミド435を重ねて塗布することによって、ディンプルに替えて突起433を形成する点で、第1の実施の形態と異なる。

【0108】

最初に、本実施の形態における半導体装置の製造方法の要部について説明する。図14は、第4の実施の形態における半導体装置の製造方法の要部を説明する図である。

図14に示す、本実施の形態の半導体装置401の製造方法は、第1の実施の形態と同様に、表面に電極21を備えた回路基板2を用意する工程、回路基板2の表面にソルダーレジスト422を形成する工程、ソルダーレジスト422に開口を形成して、電極21を露出させる工程、表面に電極31を備えた半導体素子3を用意する工程、半導体素子3の表面にポリイミド432を形成する工程、ポリイミド432に開口を形成して、電極31を露出させる工程、電極31に半田パンプ34を形成する工程、電極21および半田パンプ34の少なくとも一方にフラックスを塗布する工程、ソルダーレジスト422とポリイミド432とを対向させ、電極21に半田パンプ34を接合する工程、回路基板2と半導体素子3との隙間に洗浄液の流れである洗浄液流481を供給して、隙間に存在するフラックスを洗浄する工程から構成されており、さらに、フラックスを洗浄する工程前に、ソルダーレジスト422およびポリイミド432の少なくともいずれか一方に、凸部（それぞれ突起423，433）を形成する工程を含む。

10

20

【0109】

本実施の形態における半導体装置401の製造方法では、第1の実施の形態と同様に、まず、表面に電極21を備えた回路基板2を用意し、回路基板2の表面にソルダーレジスト422を形成した後、ソルダーレジスト422に開口を形成して電極21を露出させる。また、表面に電極31を備えた半導体素子3を用意し、半導体素子3の表面にポリイミド432を形成した後、ポリイミド432に開口を形成して電極31を露出させてから、電極31に半田パンプ34を形成する。

【0110】

ソルダーレジスト422は、第1の実施の形態と同様に、回路基板2の表面の銅箔などの配線部分の導体を覆う感光性と絶縁性および熱硬化性を備えたエポキシ系の合成樹脂被膜である。

30

【0111】

ポリイミド432は、第1の実施の形態と同様に、半導体素子3の表面に形成された保護膜であり、半導体素子3の表面を物理的に、および絶縁により電氣的に保護する。

次に、第1の実施の形態と同様に、電極21および半田パンプ34の少なくとも一方にフラックスを塗布し、ソルダーレジスト422とポリイミド432とを対向させ電極21に半田パンプ34を接合した後、回路基板2と半導体素子3との隙間に洗浄液流481を供給して隙間に存在するフラックスを洗浄する。

40

【0112】

さらに、本実施の形態では、フラックスを洗浄する前に、ソルダーレジスト422およびポリイミド432に、それぞれ突起423，433を形成する工程が含まれる。突起423，433は、それぞれソルダーレジスト422およびポリイミド432の表面に形成された突起であり、洗浄効果を向上させるために、洗浄液流481の流れを変化させて乱流を発生させる。本実施の形態では、加工の容易性から、第1の実施の形態と同様に、突起423は、回路基板2にソルダーレジスト422が形成された直後の工程において形成する。同様に、突起433は、半導体素子3にポリイミド432が形成された直後の工程において形成する。この突起423，433を形成する工程は、フラックスを洗浄する工程（第1の実施の形態の図4参照）の以前であれば、可能である限りいずれの段階で行ってもよい。

50

【0113】

本実施の形態では、このようにして、電極21および半田バンプ34に供給されたフラックスおよびその他の隙間内に付着している不純物が除去された半導体装置401が製造される。

【0114】

なお、本実施の形態では、ソルダーレジスト422およびポリイミド432に、それぞれ突起423, 433を形成するが、いずれか一方のみに突起(突起423, 433のいずれか)を形成してもよい。

【0115】

次に、本実施の形態における突起423, 433が形成される工程について説明する。図15は、第4の実施の形態における半導体装置の回路基板に突起が形成される工程を説明する図である。図16は、第4の実施の形態における半導体装置の半導体素子に突起が形成される工程を説明する図である。

10

【0116】

本実施の形態では、回路基板2の突起423と半導体素子3の突起433とは、半導体素子3の回路基板2への取り付け(第1の実施の形態の図4の製造ステップ41参照)以前に、それぞれ個別に形成される。

【0117】

まず、図15に沿って、回路基板2側の突起423の形成について説明する。

突起423の形成方法は、図15の形成ステップ151に示すように、予め、回路基板2の表面上に電極21を露出するように1層目のソルダーレジスト422を形成し、その上から電極21を被覆するようにさらに重ねて、2層目のソルダーレジスト425を形成する。次に、回路基板2の表面上にDFR471を貼り付け、突起423を形成する位置が露光されるように、突起423を形成する位置以外の部分をマスク472で覆ってから、露光機473でDFR471を露光する。これにより、突起423を形成する部分のDFR471が露光される。

20

【0118】

次に、形成ステップ152に示すように、DFR471を現像する。これにより、マスク472で覆われていなかったことにより露光された、突起423を形成する部分の表面に、DFR471による耐エッチングの膜が形成される。

30

【0119】

次に、形成ステップ153に示すように、突起423を形成する位置以外の部分のDFR471が除去された状態で、エッチング処理を施す。これにより、2層目のソルダーレジスト425の表面が腐食することによって、突起423以外の部分のソルダーレジスト425が除去されて、微小な凸部である突起423が形成される。なお、本実施の形態では、エッチング処理は、ドライエッチングを用いるが、ウェットエッチングを用いてもよい。

【0120】

このエッチング処理で2層目のソルダーレジスト425の突起423以外の部分を除去することによって、形成ステップ154に示すように、回路基板2の突起423の形成が完了する。

40

【0121】

同様に、半導体素子3の突起433も、半導体素子3の表面に二重に形成されたポリイミド432, 435のうちの2層目のポリイミド435の表面にエッチング処理を施すことによって形成する。続いて、図16に沿って、半導体素子3側の突起433の形成について説明する。

【0122】

突起433の形成方法は、回路基板2側の突起423と同様に、図16の形成ステップ161に示すように、予め、半導体素子3の表面上に電極31を露出するように1層目のポリイミド432を形成し、その上から電極31を被覆するようにさらに重ねて、2層目

50

のポリイミド 435 を形成する。次に、半導体素子 3 の表面上に DFR 491 を貼り付け、突起 433 を形成する位置が露光されるようにマスク 492 で覆ってから、露光機 493 で DFR 491 を露光する。次に、形成ステップ 162 に示すように、DFR 491 を現像する。

【0123】

次に、形成ステップ 163 に示すように、突起 433 を形成する位置以外の部分の DFR 491 が除去された状態で、エッチング処理を施す。これにより、形成ステップ 164 に示すように、2 層目のポリイミド 435 の表面が腐食することによって、2 層目のポリイミド 435 の突起 433 以外の部分が除去されて、微小な凸部である突起 433 の形成が完了する。

10

【0124】

このようにして回路基板 2 および半導体素子 3 に、それぞれ突起 423, 433 が形成された後、第 1 の実施の形態の図 4 で説明した工程を経て回路基板 2 に半導体素子 3 が接合され、半導体装置 1 が完成する。この突起 423, 433 の高さは、10 μm 以上 50 μm 以下に設計するのが好ましい。なお、本実施の形態では、エッチング処理は、ドライエッチングを用いるが、ウェットエッチングを用いてもよい。

【0125】

以上のように、予め、回路基板 2 のソルダーレジスト 422 上にさらにソルダーレジスト 425 を形成する。半導体素子 3 のポリイミド 432 上にさらにポリイミド 435 を形成する。そして、エッチング処理によって、回路基板 2 と半導体素子 3 との間の微小な隙間の内側に、ソルダーレジスト 425 を部分的に除去して微小な凸部である突起 423 を形成し、ポリイミド 435 を部分的に除去して微小な凸部である突起 433 を形成しておく。これにより、本実施の形態によれば、第 1 の実施の形態と同様に、回路基板 2 と半導体素子 3 との間の微小な隙間内のフラックスなど不純物の洗浄時において、洗浄液流 481 が突起 423, 433 に接触することで、洗浄液流 481 に乱流を発生させる。この結果、洗浄液による半導体装置 401 の隙間の内部の不純物の洗浄効果が高まる。

20

【0126】

なお、上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

30

【図面の簡単な説明】

【0127】

【図 1】第 1 の実施の形態における半導体装置の製造方法の要部を説明する図である。

【図 2】第 1 の実施の形態の半導体装置の基本的な構造を説明する平面模式図である。

【図 3】第 1 の実施の形態の半導体装置の基本的な構造を説明する断面模式図である。

【図 4】第 1 の実施の形態における半導体装置の製造工程の概要を説明する図である。

【図 5】第 1 の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。

【図 6】第 1 の実施の形態における半導体装置の半導体素子にディンプルが形成される工程を説明する図である。

40

【図 7】第 1 の実施の形態における半導体装置の回路基板のディンプルの位置および径に関する配置基準を説明する図である。

【図 8】第 1 の実施の形態における半導体装置の回路基板のディンプルの深さに関する配置基準を説明する図である。

【図 9】第 1 の実施の形態における半導体装置の半導体素子のディンプルの位置および径に関する配置基準を説明する図である。

【図 10】第 1 の実施の形態における半導体装置の半導体素子のディンプルの深さに関する配置基準を説明する図である。

【図 11】第 1 の実施の形態における半導体装置を洗浄する工程を説明する図である。

50

【図 1 2】第 2 の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。

【図 1 3】第 3 の実施の形態における半導体装置の回路基板にディンプルが形成される工程を説明する図である。

【図 1 4】第 4 の実施の形態における半導体装置の製造方法の要部を説明する図である。

【図 1 5】第 4 の実施の形態における半導体装置の回路基板に突起が形成される工程を説明する図である。

【図 1 6】第 4 の実施の形態における半導体装置の半導体素子に突起が形成される工程を説明する図である。

【図 1 7】従来の半導体装置の製造方法の概要を示す図である。

10

【符号の説明】

【0 1 2 8】

1, 2 0 1, 3 0 1, 4 0 1 半導体装置

2 回路基板

3 半導体素子

6 アンダーフィル樹脂

7, 7 4 フラックス

2 1, 3 1 電極

2 1 a 異電位電極

2 2, 2 2 2, 3 2 2, 4 2 2, 4 2 5 ソルダレジスト

20

2 3, 3 3, 2 2 3, 3 2 3 ディンプル

2 4 半田ボール

3 2, 4 3 2, 4 3 5 ポリイミド

3 4 半田バンプ

4 1 ~ 4 9 製造ステップ

5 1 ~ 5 4, 6 1 ~ 6 4, 1 2 1, 1 2 2, 1 3 1 ~ 1 3 3, 1 5 1 ~ 1 5 4, 1 6 1 ~ 1 6 4 形成ステップ

7 1, 9 1, 4 7 1, 4 9 1 D F R

7 2, 9 2, 3 7 2, 4 7 2, 4 9 2 マスク

7 3, 9 3, 4 7 3, 4 9 3 露光機

30

8 1, 8 2, 4 8 1 洗浄液流

1 1 1 洗浄槽

1 1 2 トレイ

1 1 3 蓋部

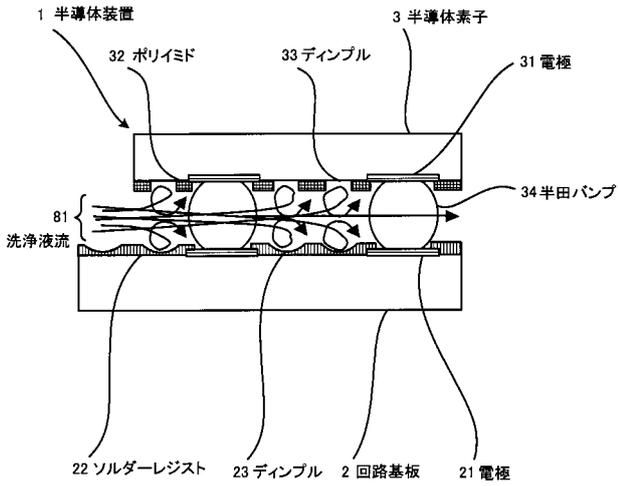
1 1 4 弁

2 7 4 レーザー

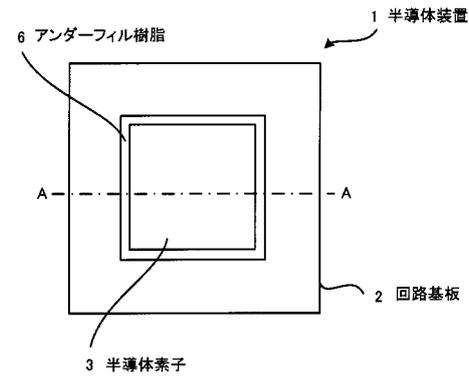
3 7 4 投射材

4 2 3, 4 3 3 突起

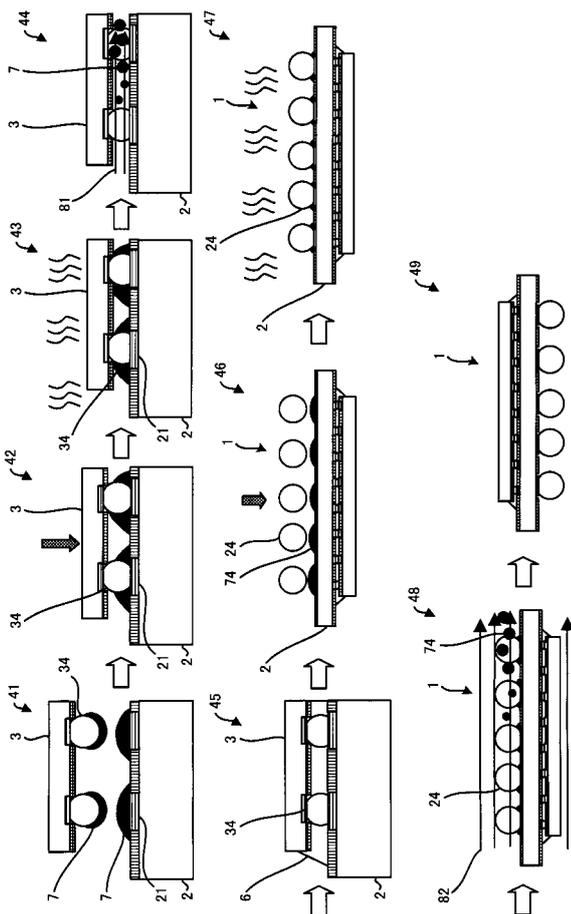
【図1】



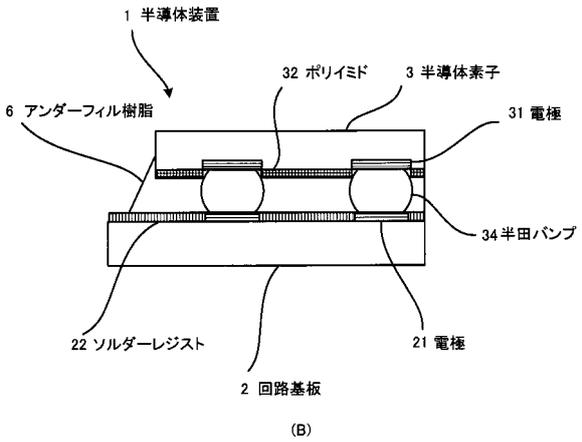
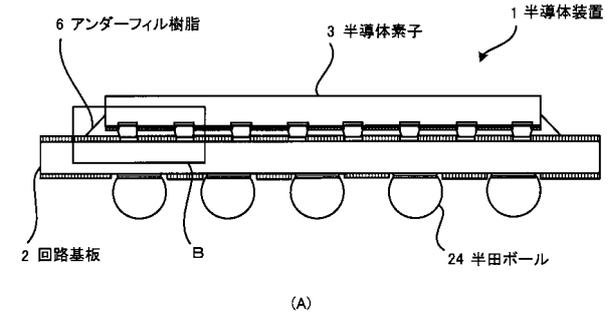
【図2】



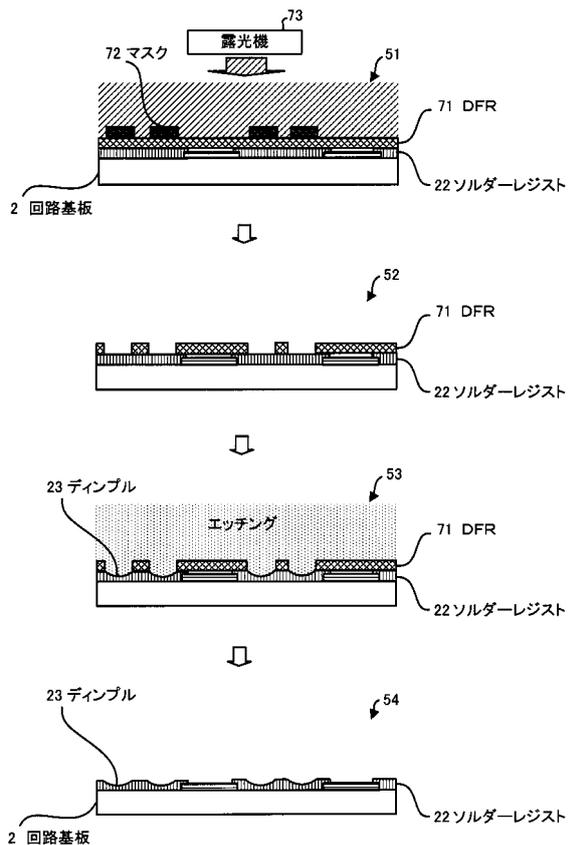
【図4】



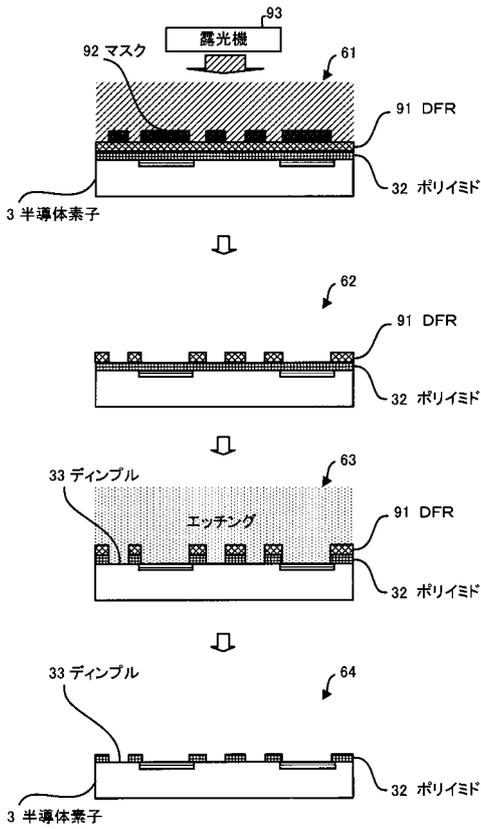
【図3】



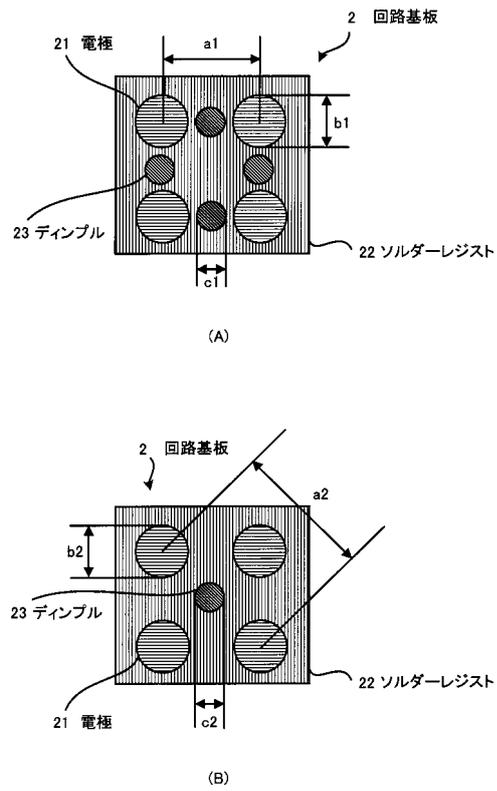
【図5】



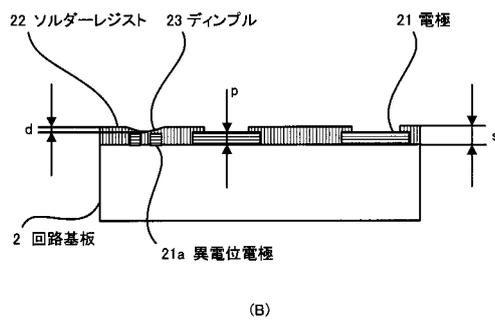
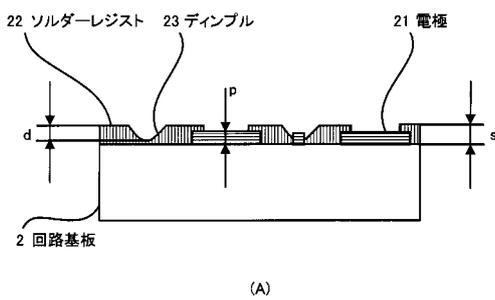
【図6】



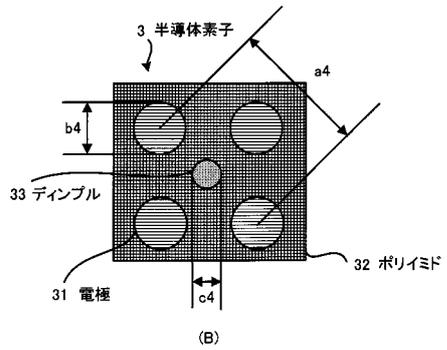
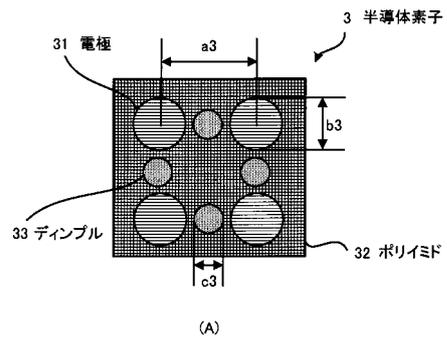
【図7】



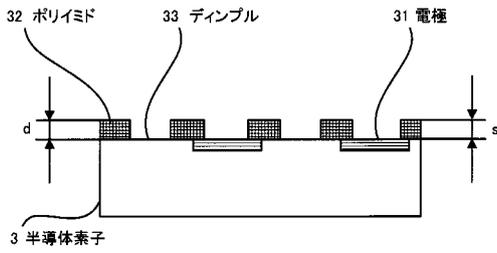
【図8】



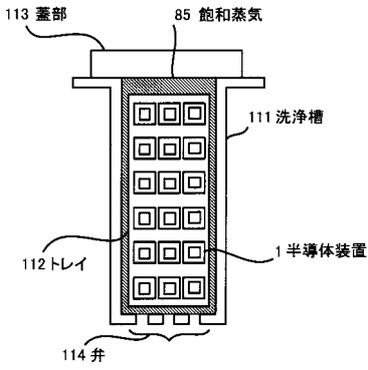
【図9】



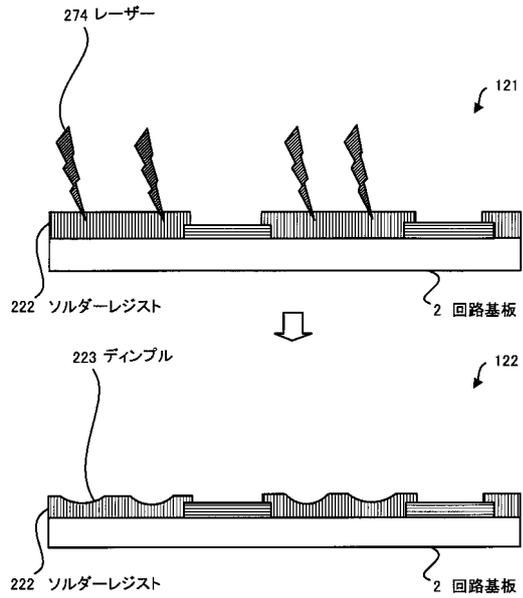
【図10】



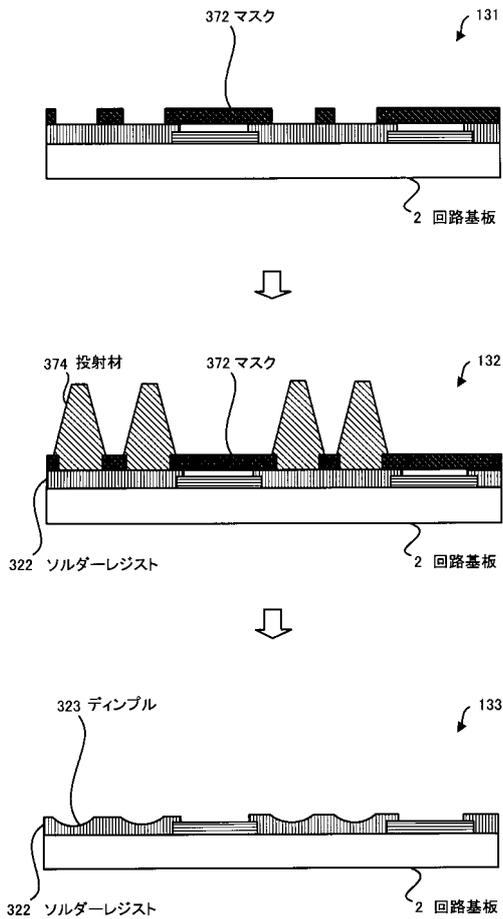
【図11】



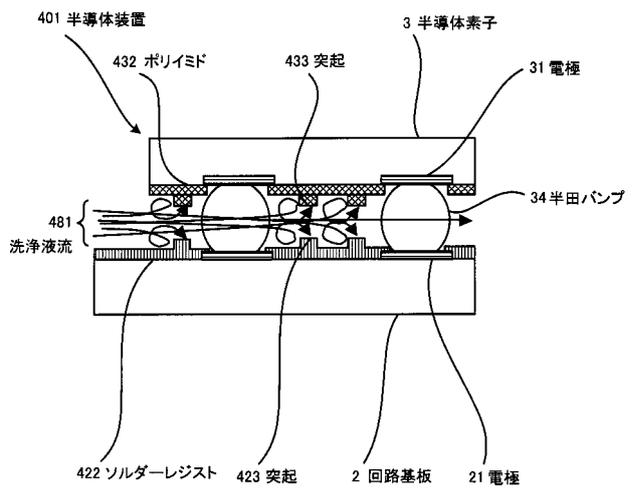
【図12】



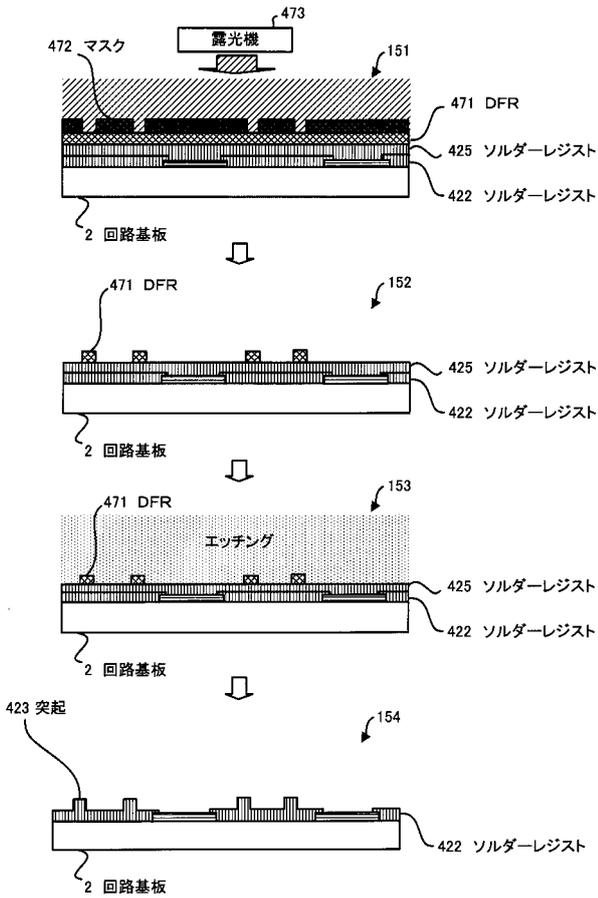
【図13】



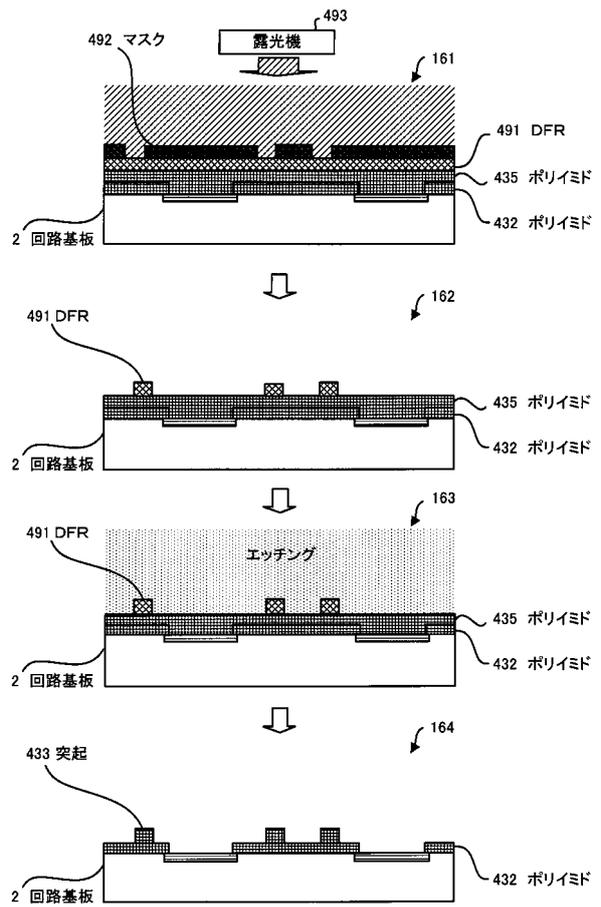
【図14】



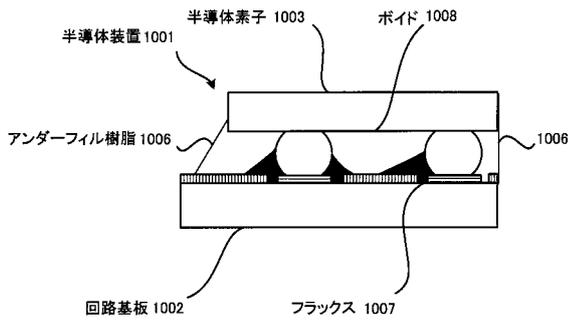
【図15】



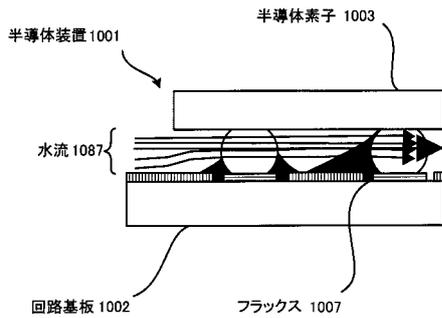
【図16】



【図17】



(A)



(B)

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 K 3/34 5 0 2 Z