(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월23일
(11) 등록번호 10-1718961
(24) 등록일자 2017년03월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2010-0109778
(22) 출원일자 2010년11월05일
심사청구일자 2015년03월17일
(65) 공개번호 10-2012-0048241
(43) 공개일자 2012년05월15일
(56) 선행기술조사문헌
JP2005285822 A
US20100006823 A1
KR1020090036831 A
JP2008205272 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)
(72) 발명자
정현종
경기도 화성시 병점2로 102, 신창비바훼밀리2차 201동 1805호 (병점동)
이재호
서울특별시 강북구 삼양로19길 113, 105동 904호 (미아동, 삼각산아이원아파트)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

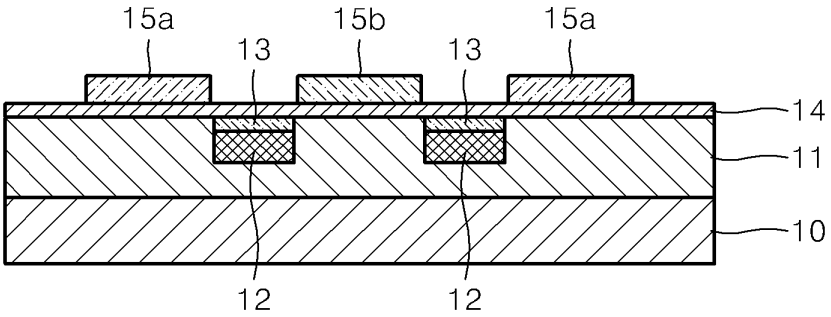
전체 청구항 수 : 총 8 항 심사관 : 고재현

(54) 발명의 명칭 **그래핀을 포함하는 반도체 소자 및 그 제조 방법**

(57) 요 약

그래핀을 포함하는 반도체 소자 및 그 제조 방법이 개시된다. 개시된 반도체 소자는 게이트 전극과 그래핀층 사이에 게이트 절연층이 형성될 수 있으며, 나머지 그래핀층 하부에는 층간 절연막이 형성될 수 있다. 게이트 절연막은 층간 절연막보다 높은 유전율을 지닌 물질로 형성될 수 있다.

대 표 도 - 도1



(72) 발명자

이재홍

경기도 안양시 동안구 귀인로 258, 꿈마을아파트 108동 1002호 (평촌동)

신형철

서울특별시 서초구 신반포로 9, 75동 405호 (반포동)

서순애

경기도 화성시 동탄지성로 333 107동 1501호 (기산동,행림마을삼성래미안1차아파트)

이성훈

경기도 화성시 동탄반석로 277 112동 1303호 (석우동,예당마을우미린제일풍경채아파트)

허진성

경기도 수원시 권선구 동수원로146번길 17, 201호 (곡반정동)

양희준

서울특별시 관악구 행운길 38-13 (봉천동)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연막;

상기 기판과 상기 게이트 전극 사이와, 상기 게이트 전극 및 상기 게이트 절연막의 측부에 형성된 것으로 상기 게이트 절연막보다 낮은 유전율을 지닌 물질을 포함하는 층간 절연막;

상기 게이트 절연막 및 상기 층간 절연막 상에 형성된 그래핀층; 및

상기 그래핀층 상에 형성된 소스 및 드레인;을 포함하며,

상기 게이트 전극, 상기 소스 및 드레인은 서로 겹치지 않도록 형성된 그래핀을 포함하는 반도체 소자.

청구항 2

제 1항에 있어서,

상기 게이트 전극은 돌출된 게이트 핑거를 포함하는 그래핀을 포함하는 반도체 소자.

청구항 3

제 2항에 있어서,

상기 게이트 핑거는 상기 소스 및 드레인 사이의 그래핀층 하부에 형성된 그래핀을 포함하는 반도체 소자.

청구항 4

제 2항에 있어서,

상기 게이트 전극은 두 개 이상의 게이트 핑거를 포함하는 그래핀을 포함하는 반도체 소자.

청구항 5

제 4항에 있어서,

상기 소스 및 드레인은 상기 게이트 핑거들 사이의 그래핀층 상에 교대로 형성된 그래핀을 포함하는 반도체 소자.

청구항 6

제 1항에 있어서,

상기 소스 및 드래인 사이의 그래핀층은 채널 영역인 그래핀을 포함하는 반도체 소자.

청구항 7

제 1항에 있어서,

상기 반도체 소자는 RF 소자인 그래핀을 포함하는 반도체 소자.

청구항 8

기판 상에 절연 물질을 도포하는 단계;

상기 절연 물질 상에 게이트 전극 및 게이트 절연막을 형성하는 단계;

상기 게이트 전극 및 게이트 절연막을 둘러싸도록 상기 절연 물질을 도포하여 층간 절연막을 형성하고 상기 게이트 절연막을 노출시키는 단계;

상기 층간 절연막 및 상기 게이트 절연막 상에 그래핀층을 형성하는 단계; 및

상기 그래핀층 상에 소스 및 게이트를 형성하는 단계;를 포함하며,

상기 게이트 전극 및 상기 게이트 절연막은, 상기 게이트 전극 형성 물질로 금속, 전도성 금속 산화물 또는 금속 질화물을 도포하고, 그 상부에 게이트 절연막 물질을 도포한 뒤, 패터닝 공정을 실시하여 형성하며,

상기 게이트 절연막은 상기 층간 절연막보다 높은 유전율을 지닌 물질로 형성하며,

상기 게이트 전극, 상기 소스 및 드레인은 서로 겹치지 않도록 형성하는 그래핀을 포함하는 반도체 소자의 제조 방법.

청구항 9

삭제

발명의 설명

기 술 분 야

[0001] 개시된 실시예는 그래핀을 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 그래핀(graphene)은 2차원 6각형 탄소 구조(2-dimensional hexagonal carbon structure)를 가지는 물질로서 전기적, 열적 특성이 우수하여 최근 널리 연구되고 있다.

[0003] 그래핀은 제로 갭 반도체(zero gap semiconductor)이고, 특히 캐리어 이동도(mobility) 가 상온에서 100,000 $cm^2V^{-1}s^{-1}$로 기존 실리콘 대비 약 100배 정도 높아 고속동작 소자, 예를 들어 RF 소자(radio frequency device)에 적용될 수 있다.

[0004] 채널폭(channel width)을 제한하여 그래핀 나노리본(graphene nano-ribbon)(GNR)을 형성하는 경우, 사이즈 효과(size effect)에 의하여 밴드 갭(band gap)이 형성된다. 이와 같은 GNR을 이용하여 상온에서 작동이 가능한 전계 효과 트랜지스터(field effect transistor)를 제작할 수 있다. 이러한 전계 효과 트랜지스터를 제작시 종래의 글로벌 백 게이트(global back gate) 구조의 경우 게이트가 소스 및 드레인을 지나가게 되면 기생 캐패시턴스(parasitic capacitance)와 같은 기생 성분이 증가할 수 있어 소자 특성이 열화될 수 있다.

발명의 내용

해결하려는 과제

[0005] 개시된 실시예에서는 기생 성분을 감소시킬 수 있도록 형성된 그래핀을 포함하는 반도체 소자를 제공하고자 한다.

[0006] 또한 개시된 실시예에서는 그래핀을 포함하는 반도체 소자의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예는 백게이트(back gate) 구조를 지닌 그래핀을 포함하는 반도체 소자에 관한 것으로,

[0008] 기판;

[0009] 상기 기판 상에 형성된 게이트 전극;

[0010] 상기 게이트 전극 상에 형성된 게이트 절연막;

[0011] 상기 기판과 상기 게이트 전극 사이와, 상기 게이트 전극 및 상기 게이트 절연막의 측부에 형성된 것으로 상기

게이트 절연막보다 낮은 유전율을 지닌 물질을 포함하는 층간 절연막;

[0012] 상기 게이트 절연막 및 상기 층간 절연막 상에 형성된 그래핀층; 및

[0013] 상기 그래핀층 상에 형성된 소스 및 드레인;을 포함하는 그래핀을 포함하는 반도체 소자를 제공한다.

[0014] 상기 게이트 전극은 돌출된 게이트 핑거를 포함할 수 있다.

[0015] 상기 게이트 핑거는 상기 소스 및 드레인 사이의 그래핀층 하부에 형성된 것일 수 있다.

[0016] 상기 게이트 전극은 두 개 이상의 게이트 핑거를 포함하는 그래핀을 포함할 수 있다.

[0017] 상기 소스 및 드레인은 상기 게이트 핑거들 사이의 그래핀층 상에 교대로 형성된 것일 수 있다.

[0018] 상기 소스 및 드래인 사이의 그래핀층은 채널 영역일 수 있다.

[0019] 상기 반도체 소자는 RF 소자일 수 있다.

[0020] 또한, 개시된 실시예에서는,

[0021] 기판 상에 절연 물질을 도포하는 단계;

[0022] 상기 절연층 상에 게이트 전극 및 게이트 절연막을 형성하는 단계;

[0023] 상기 게이트 전극 및 게이트 절연막 상에 절연 물질을 도포하여 층간 절연막을 형성하고 상기 게이트 절연막을 노출시키는 단계;

[0024] 상기 층간 절연막 및 상기 게이트 절연막 상에 그래핀층을 형성하는 단계; 및

[0025] 상기 그래핀층 상에 소스 및 게이트를 형성하는 단계;를 포함하는 그래핀을 포함하는 반도체 소자의 제조 방법을 제공한다.

발명의 효과

[0026] 개시된 실시예에서는 백 게이트 구조를 지니며 게이트가 소스 및 드레인과 겹치지 않는 구조의 반도체 소자를 제공함으로써 기생 성분이 감소된 그래핀을 포함하는 반도체 소자를 제공할 수 있다.

[0027] 또한, ILD(inter layer dielectic)와 게이트 절연층 물질을 서로 다른 물질로 사용하여 고속 동작 소자에 응용성을 향상시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 실시예에 의한 그래핀을 포함하는 전자 소자를 나타낸 단면도이다.

도 2는 본 발명의 실시예에 의한 그래핀을 포함하는 전자 소자의 사시도를 개략적으로 나타낸 도면이다.

도 3a는 다수의 게이트 핑거를 포함하는 그래핀을 포함하는 전자 소자를 나타낸 단면도이다.

도 3b는 상기 도 3a의 다수의 게이트 핑거를 포함하는 그래핀을 포함하는 전자 소자의 평면도를 나타낸 도면이다.

도 4a 내지 도 4e는 본 발명의 실시예에 의한 그래핀을 포함하는 전자 소자의 제조 방법을 나타낸 도면이다.

도 5는 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자와 게이트 절연막을 그래핀층 하부에 형성한 RF 소자의 전류 이득(current gain)을 비교한 시뮬레이션 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 발명의 실시예에 의한 그라핀을 포함하는 전자 소자 및 그 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

[0030] 도 1은 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자를 나타낸 단면도이다. 도 2는 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자를 개략적으로 나타낸 사시도이다.

[0031] 도 1을 참조하면, 기판(10) 상에 층간 절연막(11)(interlayer dielectric : ILD)이 형성되어 있으며, 층간 절

연막(11)은 게이트 전극(12)의 하부 및 측부를 둘러싸는 형태로 형성된 것일 수 있다. 게이트 전극(12) 상에는 게이트 절연막(13)이 형성될 수 있으며, 게이트 절연막(13)의 측부는 층간 절연막(11)에 의해 둘러싸인 구조가 될 수 있다. 그리고 층간 절연막(11) 및 게이트 절연막(13) 상에는 그래핀층(14)이 형성될 수 있다. 그래핀층(14) 상에는 소스(15a) 및 드레인(15b)이 형성될 수 있다. 여기서, 소스(15a) 및 드레인(15b) 사이의 그래핀층(14)은 채널 영역일 수 있다.

[0032] 상술한 바와 같이, 본 발명의 실시예에 의한 반도체 소자는 채널 영역은 그래핀층(14)으로 형성될 수 있으며, 채널 영역 하부에는 고유전 물질(high-k material)로 형성된 게이트 절연막(13)이 형성되며, 그래핀층(14)의 채널 영역을 제외한 영역의 하면에는 층간 절연막(11)이 형성될 수 있다.

[0033] 도 2를 참조하면, 도 1에 각각 나타낸 게이트 전극(12)들은 동일한 게이트 전극을 이루는 것으로 돌출된 영역임을 알 수 있다. 이와 같이 게이트 전극(12)의 돌출된 영역들은 게이트 핑거(gate finger)라 하며, 본 발명의 실시예에 의한 반도체 소자는 다수개의 게이트 핑거를 포함한 형태로 형성할 수 있다. 도 1에서는 두 개의 게이트 핑거를 포함한 구성을 예시하고 있으며, 좌측의 제 1게이트 핑거 및 우측의 제 2게이트 핑거 사이에 드레인(15b)이 형성되며, 그 양쪽에 각각 소스(15a)가 형성될 수 있다. 소스(15a) 및 드레인(15b)은 게이트 핑거들 사이 영역에 각각 교대로 형성되며, 게이트(12)와 소스(15a) 및 드레인(15b)은 서로 겹치지 않도록 형성되어 소자 구동 시 기생 성분이 최소화될 수 있다.

[0034] 도 1 및 도 2에 나타낸 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자의 각 층을 구성하는 물질을 설명하면 다음과 같다.

[0035] 기판(10)은 실리콘 기판을 사용할 수 있으며, 기타 다른 물질로 형성된 기판을 사용할 수 있다. 층간 절연막(11)은 예를 들어 실리콘 산화물로 형성된 것일 수 있으며, 기타 다른 절연물로 형성될 수 있다. 예를 들어 실리콘과 다른 물질을 포함하는 산화물로 형성될 수 있으며, 실리콘 외의 물질의 산화물로 형성된 것일 수 있다.

[0036] 게이트 전극(12)은 금속, 전도성 금속 산화물 또는 금속 질화물로 형성된 것일 수 있으며, 통상적인 반도체 소자에서 게이트 전극에 사용되는 물질이면 제한 없이 이용 가능하다. 게이트 전극(12)은 전도성 물질이 단층 또는 복층으로 형성된 것일 수 있다.

[0037] 게이트 절연막(13)은 절연 물질로 형성된 것일 수 있으며, 층간 절연막(11)과 다른 물질로 형성된 것일 수 있다. 게이트 절연막(13)은 층간 절연막(11)보다 유전율이 높은 물질로 형성될 수 있으며, 예를 들어 층간 절연막(11)이 실리콘 산화물로 형성된 경우, 게이트 절연막(13)은 높은 유전물을 지닌 high-k 물질로 형성된 것일 수 있다. 게이트 절연막(13)을 높은 유전율을 지닌 물질로 형성하는 경우, 구동 전압을 낮출 수 있다. 그리고, 층간 절연막(11)을 게이트 절연막(13)보다 낮은 유전율을 지닌 물질로 형성하는 경우 게이트 전극(12)과 소스(15a)/드레인(15b) 사이의 기생 캐패시턴스(parasitic capacitance)를 낮출 수 있다.

[0038] 소스(15a) 및 드레인(15b)은 금속 또는 전도성 금속 산화물이나 금속 질화물로 형성된 것일 수 있으며, 통상적인 반도체 소자에서 소스나 드레인에 사용되는 물질이면 제한 없이 이용 가능하다. 소스(15a)나 드레인(15b)은 전도성 물질이 단층 또는 복층으로 형성된 것일 수 있다.

[0039] 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자는 고속동작 소자, 예를 들어 RF 소자(radio frequency device)에 적용될 수 있다. 특히, RF 회로의 경우 인버터(invertor) 또는 저항 등과 게이트 전극 사이의 기생 성분에 의한 소자 특성 열화 문제가 발생할 수 있으므로, 개시된 실시예와 같이 게이트 전극(12)을 채널 영역의 하부에 위치시킴으로써 기생 성분의 발생을 방지할 수 있다. RF 소자의 경우 그 특성을 차단 주파수(cutoff frequency)와 최대 공진주파수(maximum oscillation frequency)로 확인할 수 있다. 차단 주파수와 최대 공진주파수는 게이트 기생 캐패턴스가 작을수록 커지며 소자의 특성이 우수한 것으로 평가될 수 있다.

[0040] 도 3a 및 도 3b는 다수의 게이트 돌출부, 즉 게이트 핑거를 지닌 게이트 전극(32)을 포함하는 반도체 소자의 예를 나타낸 단면도 및 개략적인 평면도이다.

[0041] 도 3a를 참조하면, 기판(30) 상에 게이트 전극(32) 및 게이트 절연막(33)이 형성되어 있으며, 기판(30) 및 게이트 전극(32) 사이에는 층간 절연막(31)이 형성되어 있다. 층간 절연막(31)은 게이트 전극(32)의 하부 및 측부를 둘러싸는 형태로 형성된 것일 수 있다. 게이트 절연막(33) 및 층간 절연막(31) 상에는 그래핀층(34)이 형성될 수 있으며, 그래핀층(34) 상에는 소스(35a) 및 드레인(35b)이 교차하여 형성될 수 있다.

[0042] 도 3b를 참조하면, 도 3a에 나타낸 다수개의 게이트 전극(32)들은 모두 동일한 게이트 전극으로부터 돌출되어 형성된 게이트 핑거이며, 각각의 게이트 핑거들 사이에는 소스(35a) 또는 드레인(35b)이 형성되어 있다. 게이트

핑거들과 소스(35a) 및 드레인(35b) 사이에는 채널 영역으로 그래핀층(34)이 형성되어 있다.

[0043] 도 3a 및 도 3b에 나타낸 바와 같이, 본 발명의 실시예에 의한 반도체 소자는 다수개의 게이트 핑거를 포함하는 형태로 게이트 전극(32)을 형성할 수 있으며, 특히 RF 소자로 사용되는 경우 다수개의 게이트 핑거를 포함함으로써 게이트 저항을 감소시킬 수 있다.

[0044] 도 4a 내지 도 4e는 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자의 제조 방법이다.

[0045] 도 4a를 참조하면, 먼저 기판(10)을 마련하고 기판(10) 상부에 절연 물질을 도포하여 층간 절연막(11)을 형성한다. 여기서 절연 물질을 원하는 게이트 전극이 형성되는 높이에 맞춰 증착할 수 있다.

[0046] 도 4b를 참조하면, 층간 절연막(11) 상에 게이트 전극(12) 및 게이트 절연막(13)을 형성한다. 예를 들어, 먼저 금속 또는 전도성 금속 산화물이나 금속 질화물을 도포하고 그 상부에 게이트 절연막(13) 물질을 도포한 뒤, 패터닝 공정을 실시할 수 있다. 게이트 절연막(13) 물질은 층간 절연막(11) 물질보다 높은 유전율을 지닌 물질을 사용할 수 있다.

[0047] 도 4c를 참조하면, 게이트 전극(12) 및 게이트 절연막(13)을 둘러싸도록 층간 절연막(11) 물질을 다시 도포하고 게이트 절연막(13)이 노출될 때까지 식각 공정을 진행할 수 있다. 구체적으로 에치백(etchback) 공정이나, 화학적 기계적 연마(Chemical Mechanical Polishing)를 이용하여 실시할 수 있다. 층간 절연막(11)은 플라즈마 강화 CVD(Plasma Enhanced CVD)(PECVD) 공정으로 형성할 수 있으며, 기타 다른 증착 방법으로 형성할 수도 있다.

[0048] 도 4d를 참조하면, 층간 절연막(11) 및 게이트 절연막(13) 상에 그래핀층(14)을 형성한다. 그래핀층(14)은 다른 곳에서 만들어진 그래핀을 층간 절연막(11) 및 게이트 절연막(13) 상에 트랜스퍼(transfer)함으로써 형성될 수 있으며, 층간 절연막(11) 및 게이트 절연막(13) 상에 직접 성장시켜 형성할 수도 있다. 여기서 트랜스퍼되는 그래핀으로는 CVD 그래핀 또는 플레이크 샘플(flake sample) 등을 이용할 수 있다. 그래핀층(14)은 단층 또는 다층 구조로 형성할 수 있다.

[0049] 도 4e를 참조하면, 그래핀층(14) 상에 소스(15a) 및 드레인(15b)을 형성한다. 이를 위해 금속 또는 전도성 금속 산화물이나 금속 질화물을 채널(14) 상에 형성하고 이를 패터닝하는 공정을 사용할 수 있다.

[0050] 도 5는 본 발명의 실시예에 의한 그래핀을 포함하는 반도체 소자와 게이트 절연막을 그래핀층 하부에 형성한 RF 소자의 전류 이득(current gain)을 비교한 시뮬레이션 그래프이다. 도 5에서 A는 본 발명의 실시예에 의한 반도체 소자 구조와 같이 그래핀층의 채널 영역 하부에 게이트 절연막이 형성되며, 그래핀층의 채널 영역을 제외한 영역의 하면에는 층간 절연막으로 SiO2가 형성된 구조를 지닌 RF 소자에 대한 것이다. 그리고, 부호 B는 게이트 절연막이 게이트 전극과 그래핀층 사이 뿐만 아니라 층간 절연막 및 그래핀층 사이에도 형성된 구조를 지닌 RF 소자에 대한 것이다.

[0051] 도 5를 참조하면, A가 B에 비해 약 1.6배의 우수한 성능을 나타내는 것으로 확인되었다. 이는 소스 및 드레인 사이의 채널 영역에 해당하는 그래핀층(14)과 게이트 전극(12) 사이에만 높은 유전율을 지닌 게이트 절연막(13)을 형성한 경우 RF 소자로서의 특성이 우수한 것을 나타낸다.

[0052] 이상에서 첨부된 도면을 참조하여 설명된 본 발명의 실시예들은 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호범위는 첨부된 특허청구범위에 의해서만 정해져야 할 것이다.

부호의 설명

[0053]

10... 기판

11... 층간 절연막

12... 게이트 전극

13... 게이트 절연막

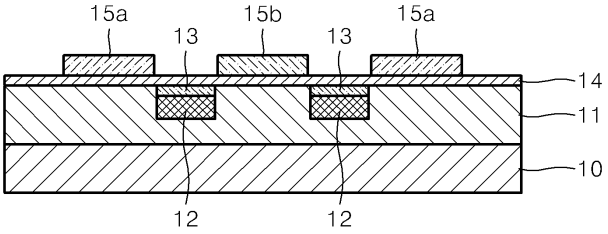
14... 그래핀층

15a... 소스

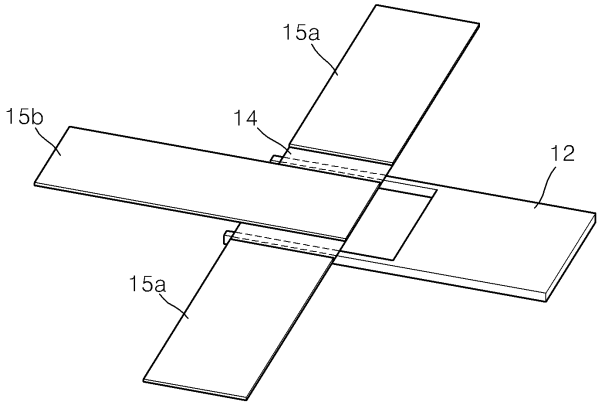
15b... 드레인

도면

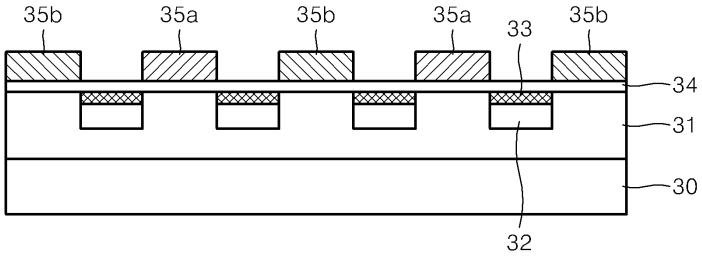
도면1



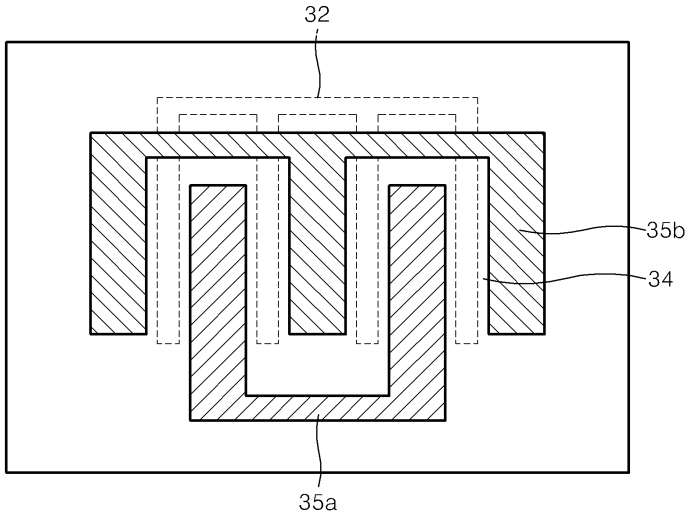
도면2



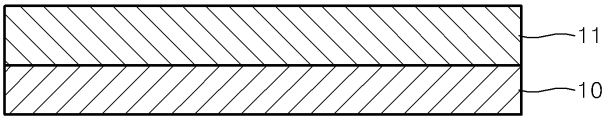
도면3a



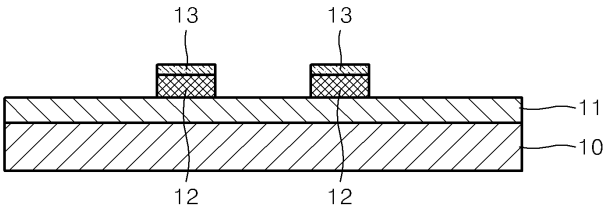
도면3b



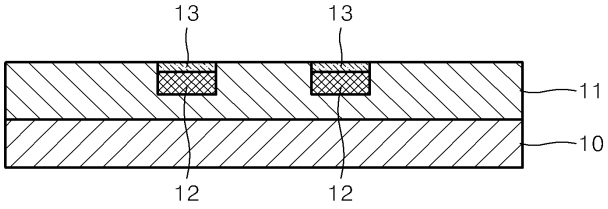
도면4a



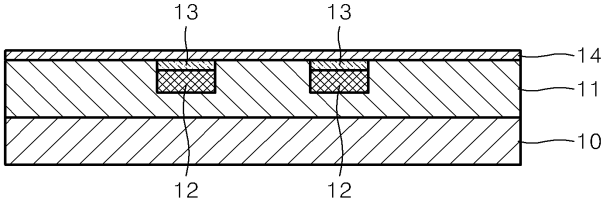
도면4b



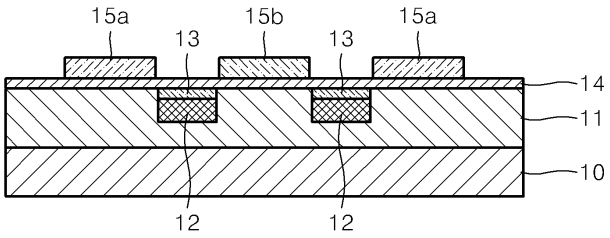
도면4c



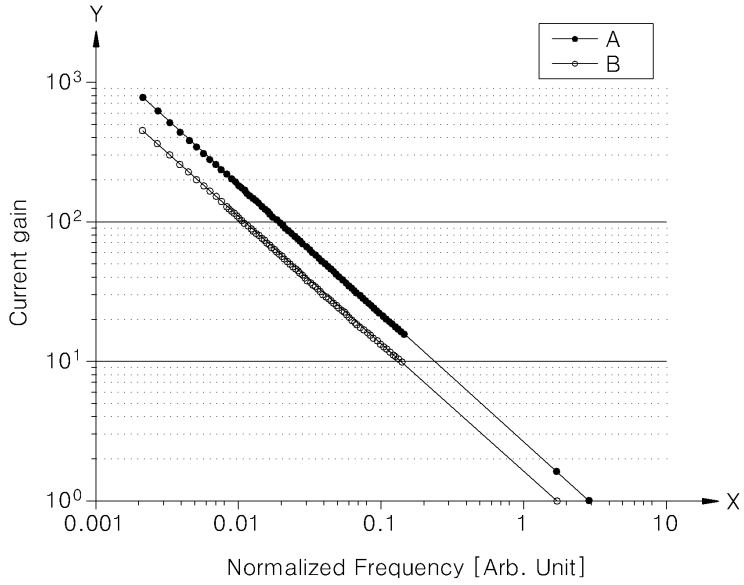
도면4d



도면4e


15a
13
15b
13
15a
14
11
10
12
12

도면5


Y
A
B
10^3
10^2
10^1
10^0
Current gain
0.001
0.01
0.1
1
10
X
Normalized Frequency [Arb. Unit]