

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4659783号  
(P4659783)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int. Cl. F I  
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 D  
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A

請求項の数 10 (全 12 頁)

<p>(21) 出願番号 特願2007-157460 (P2007-157460)                  (22) 出願日 平成19年6月14日 (2007.6.14)                  (65) 公開番号 特開2008-311413 (P2008-311413A)                  (43) 公開日 平成20年12月25日 (2008.12.25)                  審査請求日 平成22年2月16日 (2010.2.16)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 306037311                  富士フイルム株式会社                  東京都港区西麻布2丁目26番30号                  (74) 代理人 100115107                  弁理士 高松 猛                  (74) 代理人 100132986                  弁理士 矢澤 清純                  (72) 発明者 宇冢 眞司                  宮城県黒川郡大和町松坂平1丁目6番地                  富士フイルムフォトニクス株式会社内</p> <p>審査官 空 哲次</p>
--	---

最終頁に続く

(54) 【発明の名称】 裏面照射型撮像素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子の製造方法であって、

前記半導体基板の裏面上に形成する多数のパッド部の各々を形成すべき平面領域において前記半導体基板の表面から裏面まで達する複数の第一の貫通孔を前記表面側から形成する貫通孔形成工程と、

前記複数の第一の貫通孔に導電性材料を埋めて、導電性材料の第一の柱を形成する柱形成工程と、

前記半導体基板の表面上に、前記複数の第一の柱と接続される配線部を形成する配線部形成工程と、

前記配線部の形成後、前記半導体基板の裏面上の前記多数の平面領域の各々に当該各々の平面領域に形成された前記複数の第一の柱と接続されるパッド部を形成するパッド部形成工程とを備え、

前記貫通孔形成工程では、前記半導体基板の表面側の構成要素と裏面側の構成要素との位置合わせを行うための多数の合わせマークの各々を形成すべき平面領域において前記半導体基板の表面から裏面まで達する複数の第二の貫通孔も形成し、

前記柱形成工程では、前記複数の第二の貫通孔にも前記導電性材料を埋めて、導電性材料の第二の柱も形成し、

前記複数の第二の柱のパターンによって1つの前記合わせマークを形成する裏面照射型撮像素子の製造方法。

【請求項2】

請求項1記載の裏面照射型撮像素子の製造方法であって、

前記貫通孔形成工程では、前記複数の第二の貫通孔を平面視において二次元状に配置して形成する裏面照射型撮像素子の製造方法。

【請求項3】

請求項2記載の裏面照射型撮像素子の製造方法であって、

前記貫通孔形成工程では、前記複数の第二の貫通孔のパターンが対称となるように形成する裏面照射型撮像素子の製造方法。

10

【請求項4】

請求項1～3のいずれか1項記載の裏面照射型撮像素子の製造方法であって、

前記貫通孔形成工程では、前記複数の第二の貫通孔の各々の幅の最大となる部分の長さが2 $\mu$ m以下となるように前記第二の貫通孔を形成する裏面照射型撮像素子の製造方法。

【請求項5】

請求項1～4のいずれか1項記載の裏面照射型撮像素子の製造方法であって、

前記貫通孔形成工程では、前記複数の第一の貫通孔を平面視において二次元状に配置して形成する裏面照射型撮像素子の製造方法。

【請求項6】

請求項1～5のいずれか1項記載の裏面照射型撮像素子の製造方法であって、

前記貫通孔形成工程では、前記複数の第一の貫通孔の各々の幅の最大となる部分の長さが2 $\mu$ m以下となるように前記第一の貫通孔を形成する裏面照射型撮像素子の製造方法。

20

【請求項7】

請求項1～6のいずれか1項記載の裏面照射型撮像素子の製造方法であって、

前記半導体基板内に前記電荷を蓄積する電荷蓄積領域を含む画素部を形成する画素部形成工程を備え、

前記パッド部形成工程は、遮光機能を有する導電性材料を前記裏面上に成膜する工程と、前記パッド部を形成する平面領域上方、一部の前記画素部上方、及び前記画素部間の境界上方のうち、前記平面領域と、前記一部の画素部と前記境界のいずれか又は両方の上方以外の前記導電性材料を除去する工程とを含む裏面照射型撮像素子の製造方法。

30

【請求項8】

請求項7記載の裏面照射型撮像素子の製造方法であって、

前記パッド部形成工程後に前記画素部に対応するカラーフィルタを前記画素部上方に形成するカラーフィルタ形成工程と、

前記パッド部形成工程の後、前記カラーフィルタ形成工程の前に前記半導体基板を加熱する工程とを備える裏面照射型撮像素子の製造方法。

【請求項9】

請求項1～8のいずれか1項記載の裏面照射型撮像素子の製造方法であって、

前記半導体基板が、第一の半導体基板と第二の半導体基板とこれらに挟まれる酸化膜とからなるSOI基板の前記第一の半導体基板であり、

前記配線部形成工程後、前記第一の半導体基板の表面側に無機接着膜を介して支持基板を貼り合わせる工程を備える裏面照射型撮像素子の製造方法。

40

【請求項10】

請求項9記載の裏面照射型撮像素子の製造方法であって、

前記支持基板が前記第一の半導体基板と同一材料である裏面照射型撮像素子の製造方法

。【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発

50

生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子の製造方法に関する。

【背景技術】

【0002】

半導体基板の裏面側から光を照射し、この光に応じて半導体基板内で発生した電荷を、半導体基板の表面側に形成された電荷蓄積領域に蓄積し、ここに蓄積された電荷に応じた信号を、半導体基板の表面側に形成されたCCDやCMOS回路等によって外部に出力して撮像を行う裏面照射型撮像素子が提案されている。

【0003】

裏面照射型撮像素子における半導体基板（光電変換領域）の厚さは、可視光をほとんど吸収させるために10 $\mu$ m程度必要である。このため、裏面照射型撮像素子を製造する際には、まず、厚みのある半導体基板の表面に電荷蓄積領域やCCD等の構造物を形成した後、その構造物上に配線層を形成し、この上に接着層を介して支持基板を貼り付け、その後、半導体基板を例えば10 $\mu$ mの厚さとなるまで裏面側からエッチングし、エッチング後は、半導体基板の表面側に形成した構造物に合わせて、半導体基板の裏面上にカラーフィルタやマイクロレンズ等の構造物を形成するといった手順をとる必要がある。

【0004】

このように形成した裏面照射型撮像素子において、半導体基板表面側に形成した配線層と接続するパッドを、半導体基板の裏面側又は表面側に形成する必要がある。現在普及している一般的なイメージセンサでは、光の入射する側にパッド開口を設けた構造となっており、この構造に対応して、ウエハ状態で各チップの機能テストを行う設備が製造ラインに設置されている。このため、裏面照射型撮像素子においては、パッド開口を半導体基板の表面側に形成してしまうと、これらのテストを行う設備を大幅に改造する必要が発生し、製造コストを増加させることになってしまう。

【0005】

そこで、一般的なイメージセンサと同様に、裏面照射型撮像素子においても、光の入射する側（裏面側）にパッド開口を設ける方法がいろいろと提案されている。その一つは、表面側に形成した配線層に接続されたパッドを、半導体基板に裏面側からスルーホールを形成して、裏面から露出させる方法である（例えば、特許文献1, 2参照）。このような方法は、裏面側にカラーフィルタやマイクロレンズを形成する工程の前にスルーホールを形成する場合、カラーフィルタやマイクロレンズの材料がスルーホールに留まってしまったり、その後の工程で除去できなくなったり、この材料を塗布する基板に大きな段差が形成されているために塗布物の膜厚ムラが発生して、画面上斜めに線を引いたような固定パターンノイズが発生したりといった問題点がある。カラーフィルタやマイクロレンズを形成した後にスルーホールを形成する場合でも、スルーホールを定義するフォトレジストの除去をカラーフィルタやマイクロレンズに害を与えずに実施する必要があり、この実施が難しい。特に、上述したように、半導体基板の厚みが10 $\mu$ mもあると、上記問題点がより顕著となると共に、上記実施もより難しくなる。

【0006】

そこで、特許文献3に開示されているように、半導体基板表面から裏面まで達するトレンチを半導体基板に形成し、このトレンチに導電性材料を埋め込み、埋め込んだ導電性材料上にパッドを形成する方法を採用することも考えられる。パッドに対応するトレンチに導電性材料を埋め込むことは原理的には可能と言える。しかし、通常、パッドは100 $\mu$ m $\times$ 100 $\mu$ m程度の大きさがあり、これと同程度の大きさのトレンチを形成し、ここに導電性材料を埋め込もうとすると、CVD法で形成するのであれば、導電性材料を50 $\mu$ m以上の膜厚で成膜し、同じ膜厚を異方性エッチングで除去する必要がある。このような工程は、半導体製造工程としてはとても現実的とは言えない。

【0007】

トレンチサイズを小さくすれば製造工程的に問題はないが、この場合はトレンチに埋め込んだ導電性材料の抵抗値が高くなってしまふといった素子特性に関わる問題が発生する

10

20

30

40

50

。

## 【 0 0 0 8 】

【特許文献1】特開2005-285814号公報

【特許文献2】特開2006-019653号公報

【特許文献3】特開2006-339566号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 0 9 】

本発明は、上記事情に鑑みてなされたものであり、光入射側にパッド開口を設けながらも、製造コストの増大及びパッド配線間の抵抗の増加を防ぐことが可能な裏面照射型撮像素子の製造方法を提供することを目的とする。

10

## 【課題を解決するための手段】

## 【 0 0 1 0 】

本発明の裏面照射型撮像素子は、半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子であって、前記半導体基板の裏面上に形成されたパッド部と、前記半導体基板内に形成され、前記半導体基板の表面上に形成された配線部と前記パッド部とを電気的に接続するための複数のコンタクト配線部とを備える。

## 【 0 0 1 4 】

本発明の裏面照射型撮像素子は、前記半導体基板内に形成され、前記半導体基板の表面側の構成要素と裏面側の構成要素との位置合わせを行うための多数の合わせマークとを備え、前記多数の合わせマークの各々は、前記半導体基板表面に対して垂直な方向に延びる導電性材料の複数の柱のパターンによって構成されている。

20

## 【 0 0 1 5 】

本発明の裏面照射型撮像素子は、前記合わせマークを構成する複数の柱が二次元状に配置されている。

## 【 0 0 1 6 】

本発明の裏面照射型撮像素子は、前記合わせマークを構成する複数の柱のパターンが対称となっている。

## 【 0 0 1 7 】

本発明の裏面照射型撮像素子は、前記合せマークを構成する複数の柱の各々の幅の最大となる部分の長さが2 μm以下である。

30

## 【 0 0 1 8 】

本発明の裏面照射型撮像素子は、前記合わせマークを構成する複数の柱の各々が前記半導体基板内の表面から裏面まで達している。また、本発明の裏面照射型撮像素子は、前記複数のコンタクト配線部の各々が、前記半導体基板の裏面から表面まで達する前記半導体基板表面に対して垂直な方向に延びた導電性材料の柱で構成されており、前記柱の一端に前記パッド部が接続され、前記柱の他端に前記配線部が接続されている。また、本発明の裏面照射型撮像素子は、前記複数のコンタクト配線部を構成する前記複数の柱が平面視において二次元状に配置されている。また、本発明の裏面照射型撮像素子は、前記複数のコンタクト配線部を構成する前記複数の柱の各々の幅の最大となる部分の長さが2 μm以下である。

40

## 【 0 0 1 9 】

本発明の裏面照射型撮像素子は、前記半導体基板の表面に無機接着層を介して貼り合わされた支持基板を備える。

## 【 0 0 2 0 】

本発明の裏面照射型撮像素子は、前記支持基板が前記半導体基板と同一材料である。

## 【 0 0 2 1 】

本発明の裏面照射型撮像素子は、前記半導体基板の裏面上方に形成された前記パッド部と同一材料からなる膜であって、前記半導体基板内に形成された画素部の一部を遮光する

50

ための遮光膜と前記画素部同士の間境界を遮光するための遮光膜のいずれか又は両方を備える。

【0022】

本発明の裏面照射型撮像素子の製造方法は、半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子の製造方法であって、前記半導体基板の裏面上に形成する多数のパッド部の各々を形成すべき平面領域において前記半導体基板の表面から裏面まで達する複数の第一の貫通孔を前記表面側から形成する貫通孔形成工程と、前記複数の第一の貫通孔に導電性材料を埋めて、導電性材料の第一の柱を形成する柱形成工程と、前記半導体基板の表面上に、前記複数の第一の柱と接続される配線部を形成する配線部形成工程と、前記配線部の形成後、前記半導体基板の裏面上の前記多数の平面領域の各々に当該各々の平面領域に形成された前記複数の第一の柱と接続されるパッド部を形成するパッド部形成工程とを備える。

10

【0025】

本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記半導体基板の表面側の構成要素と裏面側の構成要素との位置合わせを行うための多数の合わせマークの各々を形成すべき平面領域において前記半導体基板の表面から裏面まで達する複数の第二の貫通孔も形成し、前記柱形成工程では、前記複数の第二の貫通孔にも前記導電性材料を埋めて、導電性材料の第二の柱も形成し、前記複数の第二の柱のパターンによって1つの前記合わせマークを形成する。

20

【0026】

本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記複数の第二の貫通孔を平面視において二次元状に配置して形成する。

【0027】

本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記複数の第二の貫通孔のパターンが対称となるように形成する。

【0028】

本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記複数の第二の貫通孔の各々の幅の最大となる部分の長さが2 μm以下となるように前記第二の貫通孔を形成する。また、本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記複数の第一の貫通孔を平面視において二次元状に配置して形成する。また、本発明の裏面照射型撮像素子の製造方法は、前記貫通孔形成工程では、前記複数の第一の貫通孔の各々の幅の最大となる部分の長さが2 μm以下となるように前記第一の貫通孔を形成する。

30

【0029】

本発明の裏面照射型撮像素子の製造方法は、前記半導体基板内に前記電荷を蓄積する電荷蓄積領域を含む画素部を形成する画素部形成工程を備え、前記パッド部形成工程は、遮光機能を有する導電性材料を前記裏面上に成膜する工程と、前記パッド部を形成する平面領域上方、一部の画素部上方、及び前記画素部間の境界上方のうち、前記平面領域と、前記一部の画素部と前記境界のいずれか又は両方の上方以外の前記導電性材料を除去する工程とを含む。

40

【0030】

本発明の裏面照射型撮像素子の製造方法は、前記パッド部形成工程後に前記画素部に対応するカラーフィルタを前記画素部上方に形成するカラーフィルタ形成工程と、前記パッド部形成工程の後、前記カラーフィルタ形成工程の前に前記半導体基板を加熱する工程とを備える。

【0031】

本発明の裏面照射型撮像素子の製造方法は、前記半導体基板が、第一の半導体基板と第二の半導体基板とこれらに挟まれる酸化膜とからなるSOI基板の前記第一の半導体基板であり、前記配線部形成工程後、前記第一の半導体基板の表面側に無機接着膜を介して支

50

持基板を貼り合わせる工程を備える。

【0032】

本発明の裏面照射型撮像素子の製造方法は、前記支持基板が前記第一の半導体基板と同一材料である。

【発明の効果】

【0033】

本発明によれば、光入射側にパッド開口を設けながらも、製造コストの増大及びパッド配線間の抵抗の増加を防ぐことが可能な裏面照射型撮像素子を提供することができる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施形態について図面を参照して説明する。

【0035】

図1は、本発明の実施形態である裏面照射型撮像素子を光入射側（裏面）から見た平面模式図である。図2は、図1に示すA-A線断面模式図である。

図1に示すように、裏面照射型撮像素子100は、光を受光して撮像を行うための撮像領域30と、撮像領域30に形成されている裏面と反対の表面側の構成要素（電荷を蓄積するための電荷蓄積領域、電荷蓄積領域に蓄積された電荷に応じた信号を出力するための信号出力部等）と裏面側の構成要素（カラーフィルタ及びマイクロレンズ等）との位置合わせを行うための多数の合わせマークMが形成されるマーク形成領域と、表面側に形成されている配線部と接続されて外部との信号入出力を行うための多数のパッド部17が形成されるパッド形成領域とを有している。

【0036】

合わせマークMは、図1の拡大図で示すように、上下左右に二次元状に配置された導電性材料（例えばドーフトポリシリコン）の9つの柱8のパターンによって構成されている。図示したように、9つの柱8は、それぞれが例えば円柱であり、上下左右対称に配置されている。このような対称性を有していることで、9つの柱8から1つの合わせマークMの検出が可能となっている。柱8は、図2に示すように、半導体基板であるn型のシリコン基板4内にその裏面から表面まで達して形成されている。

【0037】

パッド部17は、図1の拡大図及び図2で示すように、その下方のシリコン基板4内にその裏面から表面まで達して形成された導電性材料（例えばドーフトポリシリコン）の複数の柱9と接続されており、この複数の柱9の各々が、シリコン基板4の表面側に形成された配線部12に接続されている。図1の拡大図で示したように、柱9は、例えば円柱となっており、上下左右対称に二次元状に配置されている。柱9は、パッド部17と配線部12とを電気的に接続できれば良いため、対称に配置されている必要はない。又、二次元状に配置されていなくとも良い。

【0038】

図2に示すように、裏面照射型撮像素子100は、シリコン基板4の裏面側から光を入射して用いるものである。マイクロレンズ21で集光され、カラーフィルタ20で分光された光はシリコン基板4に入射する。そして、ここで発生した電荷は電荷蓄積領域10に蓄積され、蓄積された電荷に応じた信号がMOSトランジスタからなるMOS回路によって外部に出力される。本明細書では、シリコン基板4の表面及び裏面を規準として、各構成要素の位置関係を定義するものとする。例えば、シリコン基板4の表面を規準としたときは、光の入射方向を該表面の上方向と定義し、シリコン基板4の裏面を規準としたときは、光の入射方向とは反対方向を該裏面の上方向と定義する。

【0039】

裏面照射型撮像素子100は、シリコン基板4と、シリコン基板4の表面上に形成されたSiO<sub>2</sub>等の絶縁膜5と、絶縁膜5上に形成された絶縁膜14と、絶縁膜14上に接着膜15を介して形成された支持基板16とを備える。

【0040】

10

20

30

40

50

接着膜 15 は、CVD 法によって形成された  $\text{SiO}_2$  等の無機材料膜で構成されている。支持基板 16 は、熱膨張係数がシリコン基板 4 と近い材料を用いることが好ましい。これは、後述するシンター処理によるシリコン基板 4 へのダメージを減らすためである。しかし、このような材料であっても、例えばパイレックス等を用いると、その材料中に含まれる放射性同位元素から放出される放射線（特に  $\alpha$  線）によって白キズが発生してしまう。この白キズは、裏面照射型撮像素子 100 がカメラに組み込まれた後にも発生するものであり、後発白キズと呼ばれる。この後発白キズは、画像補正処理を行う対象とならないキズとなってしまいうため、深刻な問題となる。このため、支持基板 16 は、熱膨張係数がシリコン基板 4 と近い材料で且つ放射性同位元素をあまり含まない材料を用いることがより好ましい。

10

#### 【0041】

更に、支持基板 16 は透明性の高い材料であることが望ましい。支持基板 16 が透明であれば、上下に合わせ機構を持つ露光装置によって裏面照射型撮像素子 100 の表面側から合わせマーク M を検出し、これを基準にして裏面側の構成要素を形成することが可能となるためである。この場合、合わせマーク M は、シリコン基板 4 内に形成しておく必要はなく、シリコン基板 4 の表面上に形成しておけば充分である。

#### 【0042】

透明性の高い材料としては、ガラス基板があげられるが、これはシリコンと熱膨張係数が違ったり放射性同位元素が多かったりするため使いにくい。従って、支持基板として、熱膨張係数がシリコン基板 4 と近く、且つ、放射性同位元素をあまり含まないシリコンを使うことが好ましい。ただしシリコンは不透明なので上下に合わせ機構を持つ露光装置を使うことができない。そこで、本発明のように裏面側から見える合わせマークを形成しておくことが有効となる。

20

#### 【0043】

撮像領域 30 にあるシリコン基板 4 内には、入射光に応じてシリコン基板 4 内で発生した電荷を蓄積するための電荷蓄積領域 10 と、ここに蓄積された電荷に応じた信号を読み出すための MOS トランジスタからなる MOS 回路の構成要素（不図示）等を含む画素部が二次元状に多数形成されている。又、シリコン基板 4 の表面から内側には、画素部同士を分離するための画素分離領域 11 が形成されている。

#### 【0044】

シリコン基板 4 の裏面から内側には、暗電流を防ぐための高濃度の p 型不純物領域 3 が形成されている。シリコン基板 4 のパッド形成領域には、多数のパッド部 17 の各々の下に、シリコン基板 4 の裏面から表面まで達する柱 9 が複数（図では 9 つだけ図示し、他は省略している）形成されており、パッド部 17 と複数の柱 9 の各々の電気的接続が行われている。シリコン基板 4 のマーク形成領域には、多数の合わせマーク M の各々を形成すべき位置に、シリコン基板 4 の裏面から表面まで達する複数の柱 8（図では 5 つだけ図示し、他は省略している）が形成されている。柱 8 及び柱 9 は、平面視においてそれぞれ同じサイズであり、そのサイズは、幅の最大となる部分の長さが  $2\ \mu\text{m}$  以下（円柱の場合は直径が  $2\ \mu\text{m}$  以下）となっていることが製造の容易さから望ましい。柱 8 及び柱 9 は、それぞれ、絶縁膜によってその側壁が覆われている。

30

40

#### 【0045】

尚、柱 8 及び柱 9 は、それぞれ異なるサイズであっても良い。又、パッド部 17 に接続される複数の柱 9 の各々のサイズも同一でなく、ばらばらであっても良い。但し、いずれの場合も、柱 8、9 のサイズは  $2\ \mu\text{m}$  以下とすることが望ましい。又、柱 8 は、シリコン基板 4 の表面側と裏面側の双方から検出することができれば良いため、シリコン基板 4 の裏面から表面まで達している必要はなく、シリコン基板 4 内に埋設されていれば充分である。同様の理由から、柱 8 は柱 9 のように導電性材料で構成しておく必要もない。柱 8 と柱 9 を、それぞれシリコン基板 4 の裏面から表面まで達する柱状の導電性材料とすることにより、これらを同時に形成することができ、製造工程上有利となる。

#### 【0046】

50

裏面照射型撮像素子100は、更に、シリコン基板4の裏面上のパッド部17を除く面上に形成された酸化膜2と、黒レベル検出用の画素部上方の酸化膜2上に形成された遮光膜18と、黒レベル検出用の画素部を除く画素部同士を分離する画素分離領域11上方の酸化膜2上に形成された画素間の混色を防ぐための遮光膜19と、画素部上方の酸化膜2上に形成されたカラーフィルタ20と、カラーフィルタ20上に形成されたマイクロレンズ21と、カラーフィルタ20及びマイクロレンズ21形成時の成膜材料からなる材料膜22とを備える。材料膜22には、パッド部17上に開口が形成され、ここからパッド部17が露出している。

#### 【0047】

パッド部17と遮光膜18と遮光膜19は、それぞれ同一材料であることが好ましい。これらが同一材料であれば、これらを同一工程で形成することができ、製造工程上有利なためである。遮光機能を実現しつつ、パッド部として機能させることができる材料としては、例えばアルミニウムが挙げられる。

10

#### 【0048】

絶縁膜14内には、シリコン基板4内の電荷蓄積領域10に蓄積された電荷に応じた信号を出力するMOS回路の構成要素及び周辺回路に接続される各種配線等の配線部12が形成されている。図示の例では、配線部12は3層配線構造となっている。配線部12は、MOS回路の構成要素及び周辺回路に接続される各種配線と柱9とを接続するためのコンタクト配線13を含んでおり、これにより、配線部12とパッド部17とが柱9を介して電氣的に接続されている。

20

#### 【0049】

次に、以上のような構成の裏面照射型撮像素子100の製造方法を説明する。

図3～図8は、裏面照射型撮像素子100の製造時の各工程における断面模式図である。

まず、図3に示すように、裏面から内側にp型不純物層3をドーブしたn型のシリコン基板4と、n型のシリコン基板1と、シリコン基板4の裏面とシリコン基板1との間に形成された酸化膜2とからなるSOI基板を用意する。

#### 【0050】

次に、シリコン基板4の表面上に例えばSiO<sub>2</sub>を成膜して絶縁膜5を形成し、絶縁膜5上の柱8を形成すべき位置と、柱9を形成すべき位置とに開口を形成したレジストマスクパターンを例えばフォトリソグラフィ法によって形成する。次に、このマスクパターンを介してマスク開口下方の絶縁膜5、シリコン基板4、及び酸化膜2をエッチングして除去し、マーク形成領域6とパッド形成領域7とにそれぞれ円柱状の貫通孔Tを形成する(図4)。貫通孔Tの直径は例えば0.8μmとなるようにマスクパターンを設計しておく。

30

#### 【0051】

次に、貫通孔Tの側壁を酸化して側壁に絶縁膜を形成し、絶縁膜5上に導電性材料としてドーブトポリシリコンを成膜する。次に成膜したドーブトポリシリコンをエッチバックして貫通孔Tにドーブトポリシリコンを埋め込み、埋め込んだドーブトポリシリコンの露出面を酸化させて柱8及び柱9を形成する(図5)。

40

#### 【0052】

次に、柱8によって構成される合わせマークMをシリコン基板4の表面側から検出し、これを基準にしてシリコン基板4の表面から内側に電荷蓄積領域10及び画素分離領域11を含む画素部を公知のプロセスによって形成する。次に、絶縁膜5上にMOS回路の構成要素や周辺回路や配線部12を形成し、この上に絶縁膜14を形成して平坦化する(図6)。配線部12のコンタクト配線13は、柱9上の絶縁膜5に開口を形成し、この開口内にポリシリコンを埋め込むことで形成する。

#### 【0053】

次に、CVD法によって表面にSiO<sub>2</sub>からなる接着膜15を形成した支持基板16(材料をシリコンとする)を用意し、この支持基板16を、接着膜15を介して絶縁膜14

50

に直接接合技術によって貼り合わせる（図7）。次に、支持基板16を土台としてシリコン基板1をエッチング除去し、酸化膜2を露出させる（図8）。

【0054】

次に、パッド形成領域7上の酸化膜2をエッチングによって除去して柱9を露出させた後、酸化膜2上に導電性材料として例えばアルミニウムを成膜する。次に、アルミニウム膜上に、パッド形成領域7、黒レベル検出用の画素部上方、及び画素部間の画素分離領域11上方以外に開口を設けたレジストマスクパターンを形成する。次に、このマスクパターンを介してアルミニウム膜をエッチングして、パッド部17と遮光膜18, 19を形成する。

【0055】

次に、柱9を構成するドーフトポリシリコンとパッド部17を構成するアルミニウムとの電気的接続を確実にするために、400前後の水素含有雰囲気での加熱処理（シンター）を行う。次に、カラーフィルタ20を形成し、マイクロレンズ21を形成して、最後に、カラーフィルタ20及びマイクロレンズ21形成時に形成された材料膜22のパッド部17上方に開口を形成してパッド部17を露出させて、図1に示す裏面照射型撮像素子100を完成する。

【0056】

以上のように、裏面照射型撮像素子100によれば、シリコン基板4の裏面側に形成されたパッド部17と、表面側の配線部12とを複数の柱9によって電気的に接続する構成としたため、柱9のサイズを大きくしなくとも、パッド部17及び配線部12間の抵抗値を低く抑えながら、電気的接続を行うことが可能となる。柱9のサイズを小さく（2μm以下に）することができるため、上述した製造方法を採用した場合に、貫通孔Tに導電性材料を埋め込む工程の負荷を少なくすることができ、低コスト化を実現することができる。

【0057】

又、裏面照射型撮像素子100によれば、サイズの小さい複数の柱8のパターンによって合わせマークMを構成しているため、合わせマークMを形成する際の工程負荷を少なくすることができ、低コスト化を実現することができる。又、柱9と柱8を同じ長さ同じ材料としているため、上述した製造方法のように柱8と柱9を同時に形成することが可能となり、製造コストを削減することができる。

【0058】

又、裏面照射型撮像素子100によれば、シリコン基板4と支持基板16とが無機材料によって貼り合わされているため、パッド部17と柱9との電気的接続を確実にするためのシンター処理によって、シリコン基板4と支持基板16との接着力が弱くなったり、支持基板16に反りが発生したりといったことがない。つまり、支持基板16とシリコン基板4とを完全に平行にした状態でカラーフィルタ20やマイクロレンズ21を形成することが可能である。したがって、カラーフィルタ20やマイクロレンズ21が設計通りのものとなり、歩留まりの低下によるコスト削減を実現することができる。

【0059】

又、裏面照射型撮像素子100によれば、パッド部17に接続される複数の柱9が、二次元状に配置されているため、電気抵抗が小さくなり、パッド電極へのボンディング性が向上するといった利点がある。

【0060】

又、裏面照射型撮像素子100によれば、支持基板16とシリコン基板4とが同一材料で構成されているため、後発白キズの発生を防止することができる、シンター処理時のシリコン基板4へのダメージを減らすことができるといった利点がある。

【0061】

又、裏面照射型撮像素子100によれば、パッド部17と遮光膜18, 19とが同一材料で構成されているため、上述した製造方法のように、これらを同時に形成することが可能となり、製造コストを削減することができる。

10

20

30

40

50

【 0 0 6 2 】

尚、以上の説明では裏面照射型撮像素子 1 0 0 を M O S 型としたが、C C D 型であっても良い。又、裏面側の構成要素の合わせズレを検査するためのマークをシリコン基板 4 内に形成し、このマークを複数の柱で構成することも有効である。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 本発明の実施形態である裏面照射型撮像素子の裏面から見た平面模式図

【 図 2 】 図 1 に示す A - A 線断面模式図

【 図 3 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 図 4 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 図 5 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 図 6 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 図 7 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 図 8 】 裏面照射型撮像素子 1 0 0 の製造時の各工程における断面模式図

【 符号の説明 】

【 0 0 6 4 】

4 シリコン基板

9 導電性材料の柱

1 2 配線部

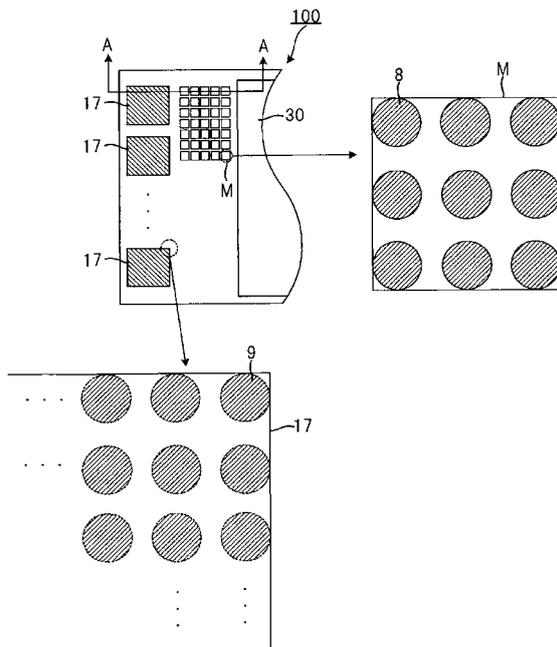
1 7 パッド部

1 0 0 裏面照射型撮像素子

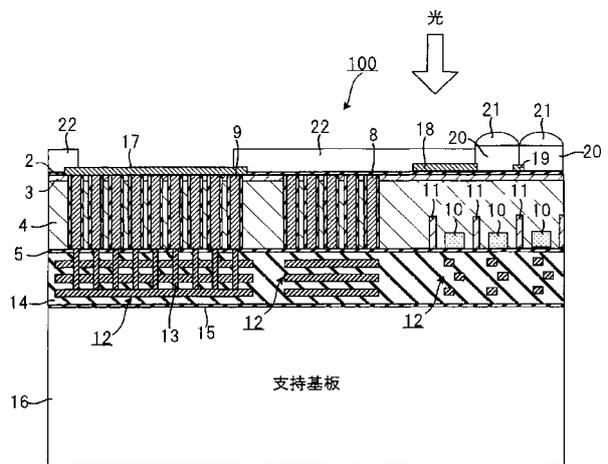
10

20

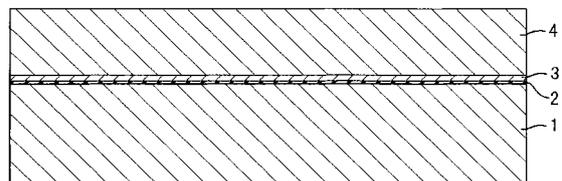
【 図 1 】



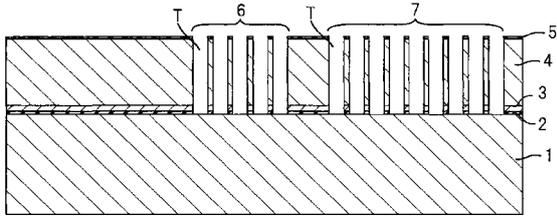
【 図 2 】



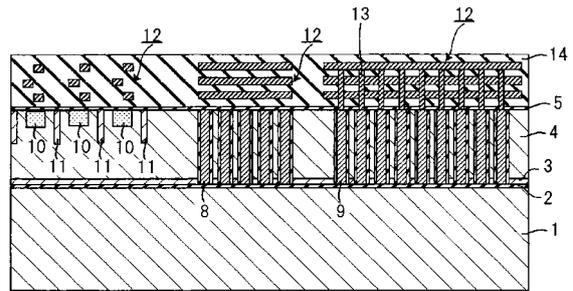
【 図 3 】



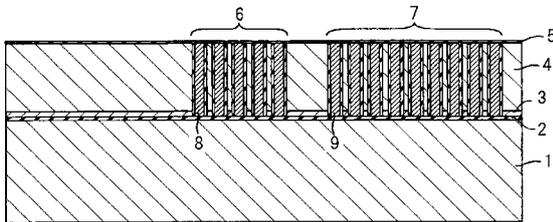
【 図 4 】



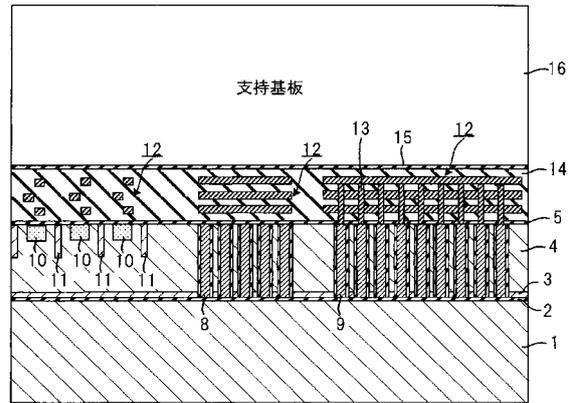
【 図 6 】



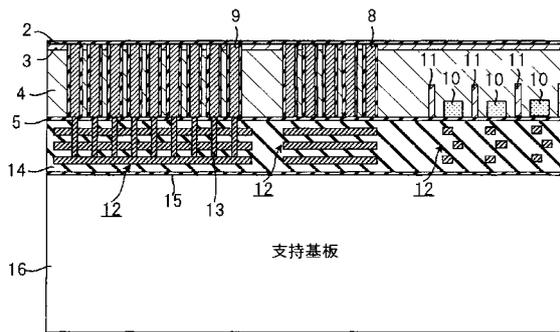
【 図 5 】



【 図 7 】



【 図 8 】



---

フロントページの続き

- (56)参考文献 特開2005 - 268738 (JP, A)  
特開2007 - 013089 (JP, A)  
特開2006 - 339566 (JP, A)  
特開2005 - 150463 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14  
H01L 27/146