



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월24일
(11) 등록번호 10-2570580
(24) 등록일자 2023년08월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/768 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7855 (2013.01)
H01L 21/76865 (2013.01)
(21) 출원번호 10-2018-0067062
(22) 출원일자 2018년06월11일
심사청구일자 2021년06월10일
(65) 공개번호 10-2019-0140354
(43) 공개일자 2019년12월19일
(56) 선행기술조사문헌
US20160056181 A1*
(뒷면에 계속)

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
전용호
경기도 화성시 동탄청계로 303-14, 1123동 2501호(청계동, KCC스위첸아파트)
박종철
경기도 성남시 분당구 수내로 181, 309동 501호(분당동, 샛별마을우방아파트)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 19 항

심사관 : 강필승

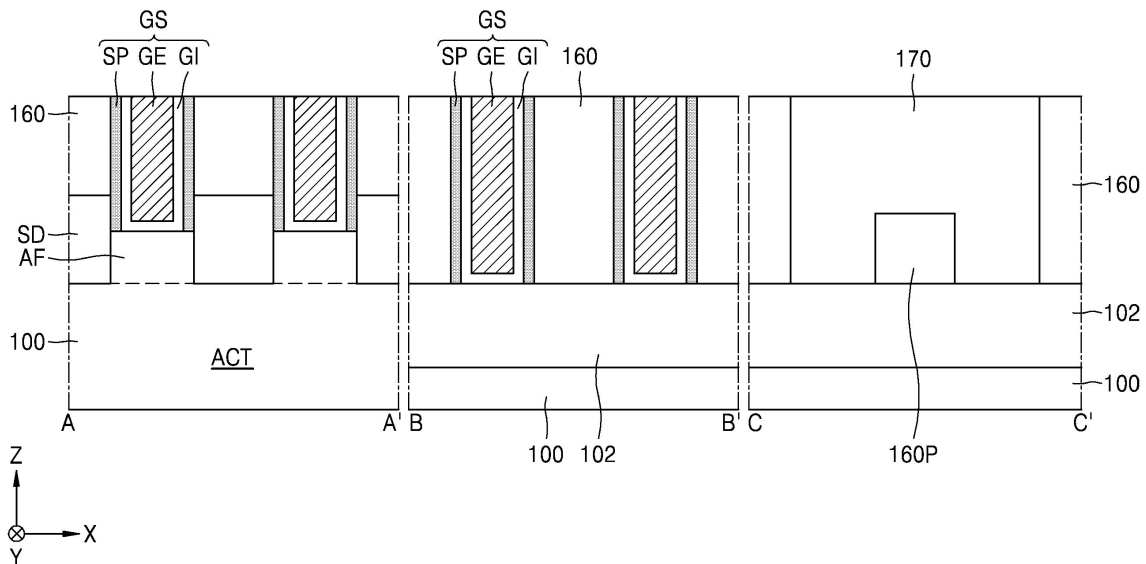
(54) 발명의 명칭 반도체 소자 및 이의 제조 방법

(57) 요약

본 발명의 기술적 사상에 따른 반도체 소자는, 기판 상에 제1 방향으로 연장되는 복수의 활성 영역, 기판 상에 복수의 활성 영역과 교차하는 제2 방향으로 연장되고 제1 방향으로 서로 이격되는 제1 및 제2 게이트 구조체, 제1 및 제2 게이트 구조체의 주위를 덮는 층간 절연막, 및 제1 및 제2 게이트 구조체 및 층간 절연막을 제1 방향으로 가로지르는 절연 물질인 게이트간 절단막을 포함하되, 제1 및 제2 게이트 구조체는 게이트간 절단막에 의하여 절단되고, 제1 및 제2 게이트 구조체를 절단하는 부분의 게이트간 절단막의 하면의 레벨은 층간 절연막 내의 게이트간 절단막의 하면의 레벨보다 낮다.

대표도

10



(52) CPC특허분류

H01L 29/66545 (2013.01)

H01L 29/6656 (2013.01)

H01L 29/66795 (2013.01)

(72) 발명자

명성우

서울특별시 강남구 남부순환로 2803, 104동 404호
(도곡동, 삼성래미안아파트)

김정현

경기도 화성시 동탄솔빛로 65-1, 710호(반송동)

(56) 선행기술조사문헌

KR1020170063354 A*

KR1020150061698 A*

US20170229451 A1

KR1020160056693 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판 상에 제1 방향으로 연장되는 복수의 활성 영역;

상기 기판 상에 상기 복수의 활성 영역과 교차하는 제2 방향으로 연장되고, 상기 제1 방향으로 서로 이격되는 제1 및 제2 게이트 구조체;

상기 제1 및 제2 게이트 구조체의 주위를 덮는 층간 절연막; 및

상기 제1 및 제2 게이트 구조체 및 상기 층간 절연막을 상기 제1 방향으로 가로지르는 절연 물질인 게이트간 절단막;을 포함하되,

상기 제1 및 제2 게이트 구조체는 상기 게이트간 절단막에 의하여 절단되고,

상기 제1 및 제2 게이트 구조체를 절단하는 부분의 상기 게이트간 절단막의 하면의 레벨은 상기 층간 절연막 내의 상기 게이트간 절단막의 하면의 레벨보다 낮고,

상기 게이트간 절단막의 최하면의 레벨은 상기 제1 및 제2 게이트 구조체의 최하면의 레벨과 동일하고,

평면에서 보았을 때, 상기 제2 방향으로 상기 게이트간 절단막의 최외곽의 측벽과 상기 제1 및 제2 게이트 구조체의 최외곽의 측벽은 일직선 상에 위치하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 및 제2 게이트 구조체는 각각 금속 물질의 게이트 전극을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

제1항에 있어서,

상기 복수의 활성 영역은 상기 기판으로부터 돌출된 복수의 활성 핀을 포함하고,

상기 제1 및 제2 게이트 구조체는 각각 상기 복수의 활성 핀 중에서 선택되는 적어도 하나의 활성 핀을 포함하는 제1 활성 영역 및 상기 제1 활성 영역과 분리되고 적어도 하나의 활성 핀을 포함하는 제2 활성 영역을 덮도록 연장되는 것을 특징으로 하는 반도체 소자.

청구항 4

제3항에 있어서,

상기 게이트간 절단막은 상기 제1 활성 영역 및 상기 제2 활성 영역의 사이에 배치되고,

상기 게이트간 절단막의 하면은 요철면이고, 상기 게이트간 절단막의 상면은 평탄면인 것을 특징으로 하는 반도체 소자.

청구항 5

제1항에 있어서,

상기 복수의 활성 영역 중에서 상기 제1 및 제2 게이트 구조체로 덮이지 않는 부분에서 상기 제2 방향으로 돌출 포인트를 가지는 소스/드레인 영역이 배치되고,

상기 층간 절연막 내의 상기 게이트간 절단막의 하면의 레벨은 상기 소스/드레인 영역의 최상면의 레벨보다는 낮고, 상기 돌출 포인트의 레벨보다는 높은 것을 특징으로 하는 반도체 소자.

청구항 6

제1항에 있어서,

상기 제1 및 제2 게이트 구조체를 각각 절단하는 부분의 상기 게이트간 절단막의 상기 제1 방향의 너비는 상기 기관의 상면에서 수직 방향으로 적어도 하나의 단차를 가지는 것을 특징으로 하는 반도체 소자.

청구항 7

제1항에 있어서,

상기 제1 및 제2 게이트 구조체는 각각 스페이서를 포함하고,

상기 스페이서는 서로 다른 물질을 포함하는 다중 물질막으로 구성되고,

상기 게이트간 절단막에 의하여, 상기 다중 물질막 중에서 일부 물질막만이 절단되는 것을 특징으로 하는 반도체 소자.

청구항 8

제1항에 있어서,

상기 기관 상에 상기 복수의 활성 영역을 정의하는 소자 분리막을 포함하고,

상기 제1 및 제2 게이트 구조체를 각각 절단하는 부분의 상기 게이트간 절단막의 하면은 상기 소자 분리막의 상면과 직접 맞닿고,

상기 층간 절연막 내의 상기 게이트간 절단막의 하면은 상기 층간 절연막과 직접 맞닿는 것을 특징으로 하는 반도체 소자.

청구항 9

제1항에 있어서,

상기 제1 및 제2 게이트 구조체는 각각 게이트 전극 및 게이트 유전막을 포함하고,

상기 게이트 전극 및 게이트 유전막은 상기 게이트간 절단막에 의하여 절단되는 것을 특징으로 하는 반도체 소자.

청구항 10

제9항에 있어서,

상기 게이트 전극의 상면의 레벨은 상기 게이트간 절단막의 상면의 레벨과 실질적으로 동일한 것을 특징으로 하는 반도체 소자.

청구항 11

기관 상에 제1 방향으로 연장되는 복수의 활성 영역 및 상기 복수의 활성 영역을 정의하는 소자 분리막을 형성하는 단계;

상기 소자 분리막 상에 상기 복수의 활성 영역과 교차하며 제2 방향으로 연장되고, 더미 게이트 패턴 및 스페이서를 포함하는 더미 게이트 구조체를 형성하는 단계;

상기 복수의 활성 영역 중에서 상기 더미 게이트 구조체의 양측에서 노출되는 부분에 소스/드레인 영역을 형성하는 단계;

상기 더미 게이트 구조체의 주위에서 상기 소자 분리막 및 상기 소스/드레인 영역을 덮는 층간 절연막을 형성하는 단계;

상기 더미 게이트 패턴을 제거하여 상기 스페이서 사이에 상기 제2 방향으로 연장되는 빈 공간을 형성하는 단계;

상기 빈 공간 내에 금속 물질을 채워 게이트 전극을 형성하여, 상기 게이트 전극 및 상기 스페이서를 포함하는 게이트 구조체를 형성하는 단계;

상기 스페이서의 일부를 제거하는 단계;

상기 게이트 전극 중에서 상기 스페이서가 제거되어 상기 게이트 전극의 측면이 노출되는 부분을 제거하여 상기 게이트 전극을 절단하는 단계;

상기 게이트 전극의 일부를 제거하여 상기 게이트 구조체에 절단 영역을 형성하는 단계; 및

상기 절단 영역에 게이트간 절단막을 형성하는 단계;를 포함하고,

상기 게이트간 절단막의 최하면의 레벨은 상기 게이트 구조체의 최하면의 레벨과 동일하고,

평면에서 보았을 때, 상기 제2 방향으로 상기 게이트간 절단막의 최외곽의 측벽과 상기 게이트 구조체의 최외곽의 측벽은 일직선 상에 위치하는 반도체 소자의 제조 방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 절단 영역을 형성하는 단계 후,

상기 절단 영역에서 상기 소자 분리막이 노출되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 14

제11항에 있어서,

상기 게이트간 절단막을 형성하는 단계에서,

상기 게이트간 절단막의 하면은 상기 소자 분리막의 상면과 직접 맞닿도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15

제11항에 있어서,

상기 게이트 구조체는 상기 제1 방향으로 서로 이격되는 제1 및 제2 게이트 구조체를 포함하고,

상기 게이트 전극을 절단하는 단계는,

상기 제1 및 제2 게이트 구조체의 일부를 제거하여 상기 제1 및 제2 게이트 구조체를 가로지르는 절단 영역을 형성하는 단계; 및

상기 절단 영역에 절연 물질인 게이트간 절단막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

제15항에 있어서,

상기 게이트간 절단막은 상기 제1 및 제2 게이트 구조체 및 상기 층간 절연막을 상기 제1 방향으로 가로지르고,

상기 제1 및 제2 게이트 구조체를 각각 절단하는 부분의 상기 게이트간 절단막의 하면의 레벨은 상기 층간 절연막 내에 개재되는 부분의 상기 게이트간 절단막의 하면의 레벨보다 낮은 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17

제15항에 있어서,

상기 소스/드레인 영역을 형성하는 단계에서, 상기 소스/드레인 영역은 상기 제2 방향으로 돌출 포인트를 가지

는 선택적 에피택셜 성장층을 포함하도록 형성되고,

상기 층간 절연막 내의 상기 게이트간 절단막의 하면의 레벨은 상기 소스/드레인 영역의 최상면의 레벨보다는 낮고, 상기 돌출 포인트의 레벨보다는 높은 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18

제15항에 있어서,

상기 제1 및 제2 게이트 구조체를 각각 절단하는 부분의 상기 게이트간 절단막의 하면은 상기 소자 분리막과 직접 맞닿고,

상기 층간 절연막 내의 상기 게이트간 절단막의 하면은 상기 층간 절연막과 직접 맞닿는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 19

제11항에 있어서,

상기 스페이서의 일부를 제거하는 단계는, 적어도 두 차례 반복 실행되어 상기 스페이서를 절단하는 단계를 포함하고,

상기 게이트 전극을 절단하는 단계 후, 상기 스페이서가 절단된 부분의 상기 층간 절연막은 적어도 하나의 단차를 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

제11항에 있어서,

상기 스페이서의 일부를 제거하는 단계에서,

상기 스페이서는 다중 물질막으로 구성되고, 상기 다중 물질막 중에서 상기 게이트 전극의 양 측면과 직접 맞닿는 물질막만을 제거하는 것을 특징으로 하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는, 전계효과 트랜지스터를 포함하는 반도체 소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 전계효과 트랜지스터의 피쳐 사이즈(feature size)가 감소함에 따라, 게이트의 길이와 그 아래에 형성되는 채널의 길이도 짧아지게 된다. 이에 따라, 집적 회로들의 성능을 결정하는 중요한 인자인 트랜지스터들의 동작 안정성 및 신뢰성을 향상시키기 위하여, 반도체 소자의 구조 및 제조 방법을 개선하기 위한 다양한 노력이 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, RMG(replacement metal gate) 공정을 이용하여 형성되는 게이트 구조체를 포함하는 반도체 소자에 있어서, 게이트 구조체의 절단 영역에서 발생하는 문제점을 해결할 수 있는 반도체 소자를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 해결하고자 하는 과제는, RMG 공정을 이용하여 형성되는 게이트 구조체를 포함하는 반도체 소자를 제조하는 데 있어서, 게이트 구조체의 절단 영역에서 발생하는 문제점을 해결할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

[0005] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 발명의 기술적 사상에 따른 반도체 소자는, 기판 상에 제1 방향으로 연장되는 복수의 활성 영역; 상기 기판 상에 상기 복수의 활성 영역과 교차하는 제2 방향으로 연장되고, 상기 제1 방향으로 서로 이격되는 제1 및 제2 게이트 구조체; 상기 제1 및 제2 게이트 구조체의 주위를 덮는 층간 절연막; 및 상기 제1 및 제2 게이트 구조체 및 상기 층간 절연막을 상기 제1 방향으로 가로지르는 절연 물질인 게이트간 절단막;을 포함하되, 상기 제1 및 제2 게이트 구조체는 상기 게이트간 절단막에 의하여 절단되고, 상기 제1 및 제2 게이트 구조체를 절단하는 부분의 상기 게이트간 절단막의 하면의 레벨은 상기 층간 절연막 내의 상기 게이트간 절단막의 하면의 레벨보다 낮다.

[0007] 본 발명의 기술적 사상에 따른 반도체 소자는, 기판 상에 제1 방향으로 연장되는 복수의 활성 핀; 상기 기판 상에 상기 복수의 활성 핀과 교차하는 제2 방향으로 연장되고, 상기 제1 방향으로 서로 이격되는 제1 및 제2 게이트 구조체; 상기 복수의 활성 핀 중에서 상기 제1 및 제2 게이트 구조체로 덮이지 않는 부분에 배치되는 소스/드레인 영역; 및 상기 제1 및 제2 게이트 구조체의 주위에서 상기 소스/드레인 구조를 덮는 층간 절연막; 상기 제1 및 제2 게이트 구조체 및 상기 층간 절연막을 상기 제1 방향으로 가로지르는 게이트간 절단막;을 포함하되, 상기 제1 및 제2 게이트 구조체는 각각 양 측면에 다중 물질막으로 구성되는 스페이서를 포함하고, 상기 게이트간 절단막에 위치하는 상기 스페이서의 물질막의 개수는 상기 제1 및 제2 게이트 구조체에 위치하는 상기 스페이서의 물질막의 개수보다 적고, 상기 제1 및 제2 게이트 구조체를 각각 절단하는 부분의 상기 게이트간 절단막의 하면의 레벨은 상기 층간 절연막 내의 상기 게이트간 절단막의 하면의 레벨보다 낮다.

[0008] 본 발명의 기술적 사상에 따른 반도체 소자의 제조 방법은, 기판 상에 제1 방향으로 연장되는 복수의 활성 영역 및 상기 복수의 활성 영역을 정의하는 소자 분리막을 형성하는 단계; 상기 소자 분리막 상에 상기 복수의 활성 영역과 교차하며 제2 방향으로 연장되고, 더미 게이트 패턴 및 스페이서를 포함하는 더미 게이트 구조체를 형성하는 단계; 상기 복수의 활성 영역 중에서 상기 더미 게이트 구조체의 양측에서 노출되는 부분에 소스/드레인 영역을 형성하는 단계; 상기 더미 게이트 구조체의 주위에서 상기 소자 분리막 및 상기 소스/드레인 영역을 덮는 층간 절연막을 형성하는 단계; 상기 더미 게이트 패턴을 제거하여 상기 스페이서 사이에 상기 제2 방향으로 연장되는 빈 공간을 형성하는 단계; 상기 빈 공간 내에 금속 물질을 채워 게이트 전극을 형성하여, 상기 게이트 전극 및 상기 스페이서를 포함하는 게이트 구조체를 형성하는 단계; 상기 스페이서의 일부를 제거하는 단계; 및 상기 게이트 전극 중에서 상기 스페이서가 제거되어 상기 게이트 전극의 측면이 노출되는 부분을 제거하여 상기 게이트 전극을 절단하는 단계;를 포함한다.

발명의 효과

[0009] 본 발명의 기술적 사상에 따르면, RMG(replacement metal gate) 공정을 이용하여 반도체 소자에 필요한 게이트 구조체를 형성하는 데 있어서, 더미 게이트 패턴을 제거하고 최종 구조에서 필요로 하는 금속 게이트 전극을 형성한 후, 게이트 구조체에 절단 영역을 순차적으로 형성하는 방법을 이용한다. 이와 같은 방법을 통하여, 반도체 소자의 피쳐 사이즈(feature size)가 감소함에 따라 점차 초고집적화 및 미세화된 반도체 소자를 제조하는 경우에도, 절단 영역에서 금속 게이트 전극의 잔류물 또는 식각 부산물이 완전히 제거되지 않고 남는 문제를 해결할 수 있다. 따라서, 반도체 소자의 전기적 특성 및 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타내는 개략적인 사시도이다.
 도 2a는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타내는 평면도이고, 도 2b는 도 2a의 A-A', B-B', 및 C-C'에 따른 단면도이고, 도 2c는 도 2a의 D-D' 및 E-E'에 따른 단면도이다.
 도 3a, 도 4a, ..., 및 도 8a는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 평면도들이고, 도 3b, 도 4b, ..., 및 도 8b는 각각 도 3a, 도 4a, ..., 및 도 8a의 A-A', B-B', 및 C-C'에 따른 단면도들이고, 도 3c, 도 4c, ..., 및 도 8c는 각각 도 3a, 도 4a, ..., 및 도 8a의 D-D' 및 E-E'에 따른 단면도들이다.
 도 9a는 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자를 나타내는 평면도이고, 도 9b는 도 9a의 A-

A', B-B', 및 C-C'에 따른 단면도이고, 도 9c는 도 9a의 D-D' 및 E-E'에 따른 단면도이다.

도 10 및 도 11은 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자의 제조 방법 중에서 일부를 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 12a는 본 발명의 기술적 사상의 또 다른 실시예에 따른 반도체 소자를 나타내는 평면도이고, 도 12b는 도 12a의 A-A', B-B', 및 C-C'에 따른 단면도이고, 도 12c는 도 12a의 D-D' 및 E-E'에 따른 단면도이다.

도 13 내지 도 15는 본 발명의 기술적 사상의 또 다른 실시예에 따른 반도체 소자의 제조 방법 중에서 일부를 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 16은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부한 도면들을 참조하여 본 발명의 기술적 사상의 실시예에 대해 상세히 설명하기로 한다.
- [0012] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자(10)의 주요 구성을 나타내는 개략적인 사시도이다.
- [0013] 도 1을 참조하면, 기판(100) 상에 제1 방향(X)으로 연장되는 복수의 활성 영역(ACT), 상기 복수의 활성 영역(ACT)과 교차하는 제2 방향(Y)으로 연장되고 상기 제1 방향(X)으로 서로 이격되는 복수의 게이트 구조체(GS), 상기 복수의 게이트 구조체(GS)로 덮이지 않는 부분에 형성된 소스/드레인 영역(SD), 상기 복수의 게이트 구조체(GS)의 주위를 덮는 층간 절연막(160), 및 상기 복수의 게이트 구조체(GS)와 상기 층간 절연막(160)을 상기 제1 방향(X)으로 가로지르는 게이트간 절연막(170)을 포함하는 반도체 소자(10)를 나타낸다.
- [0014] 반도체 소자의 피쳐 사이즈(feature size)가 감소함에 따라, 반도체 소자가 점차 초고집적화 및 미세화되고 있다. 이에 따라, 핀 전계효과 트랜지스터(FinFET)를 구성하는 활성 핀의 측면을 채널로 이용하는 효과를 증가시키기 위하여, 게이트 구조체의 높이가 점차 증가되고 있다. 이와 같이, 게이트 구조체의 높이가 증가됨에 따라, RMG(replacement metal gate) 공정을 이용하여 반도체 소자에 필요한 게이트 구조체를 형성하는 데 있어서, 공정 난이도가 점차 증가되고 있다.
- [0015] 본 발명의 기술적 사상과는 달리, RMG 공정을 이용하여 반도체 소자에 필요한 게이트 구조체를 형성하는 데 있어서, 더미 게이트 구조체를 절단하는 공정을 먼저 수행한 후, 상기 절단된 더미 게이트 구조체를 최종 구조에서 필요로 하는 금속 게이트 구조체로 치환하는 공정을 이용하는 경우에는, 상기 더미 게이트 구조체의 절단 공정에 대한 공정 윈도우가 감소하는 문제가 발생할 수 있다.
- [0016] 반면, 본 발명의 기술적 사상에 따른 반도체 소자(10)의 제조 방법에 따르면, RMG 공정을 이용하여 더미 게이트 패턴은 금속 물질을 포함하는 예비 게이트 전극으로 대체될 수 있고, 상기 예비 게이트 전극은 패턴닝되어 상기 제2 방향(Y)으로 서로 마주보며 이격되는 한 쌍의 게이트 전극(GE)으로 분리될 수 있다. 이에 따라, 상기 더미 게이트 패턴에 절단 영역을 형성함으로써 발생할 수 있는 문제를 해결할 수 있다.
- [0017] 본 발명의 기술적 사상과는 달리, RMG 공정을 이용하여 반도체 소자에 필요한 게이트 구조체를 형성하는 데 있어서, 금속 게이트 전극을 포함하는 게이트 구조체를 먼저 형성한 후, 상기 게이트 구조체를 절단하는 공정을 이용하는 경우에는 상기 금속 게이트 전극의 식각 프로파일에 따라, 상기 금속 게이트 전극의 잔류물 또는 식각 부산물을 완전히 제거하기 어려울 수 있다. 상기 금속 게이트 전극의 잔류물 또는 식각 부산물을 완전히 제거하기 위하여는 과식각 공정이 필요하나, 이 경우, 상기 금속 게이트 전극에 이웃한 소스/드레인 영역의 일부까지 식각되어 반도체 소자 특성의 열화를 초래하는 문제가 발생할 수 있다.
- [0018] 반면, 본 발명의 기술적 사상에 따른 반도체 소자(10)의 제조 방법에 따르면, 게이트 구조체를 절단하는 공정에서 예비 게이트 전극 양측의 예비 스페이서를 상기 예비 게이트 전극보다 먼저 제거함에 따라, 상기 예비 게이트 전극 주위에 금속 물질을 식각하기 위한 공간을 충분히 확보할 수 있으므로, 상기 예비 게이트 전극을 제거하는 과정에서 발생하는 예비 게이트 전극의 잔류물 또는 식각 부산물에 의해, 상기 한 쌍의 게이트 전극(GE)이 전기적으로 단락(short)되는 문제를 해결할 수 있다.
- [0019] 이에 더하여, 소스/드레인 영역(SD)에서는 층간 절연막(160)에 대하여 일부 식각 선택비를 가지는 식각 조건을 이용하여, 층간 절연막(160)의 상부만이 제거되고 층간 절연막(160)의 하부가 남도록 절단 영역이 형성될 수 있다. 따라서, 상기 절단 영역을 형성하는 공정으로 인해, 상기 소스/드레인 영역(SD)의 일부까지 식각되어 결합

이 발생하는 문제를 해결할 수 있다.

- [0020] 도 2a는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자(10)를 나타내는 평면도이고, 도 2b는 도 2a의 A-A', B-B', 및 C-C'에 따른 단면도이고, 도 2c는 도 2a의 D-D' 및 E-E'에 따른 단면도이다.
- [0021] 도 2a 내지 도 2c를 참조하면, 복수의 게이트 구조체(GS)를 제1 방향(X)으로 가로지르며 절단하는 게이트간 절단막(170)을 포함하는 반도체 소자(10)를 나타낸다.
- [0022] 기판(100) 상에 활성 영역(ACT)이 개재될 수 있다. 상기 기판(100)은 반도체 기판일 수 있다. 일부 실시예들에서, 상기 기판(100)은 실리콘(Si) 또는 저머늄(Ge)과 같은 반도체를 포함할 수 있고, SiGe, SiC, GaAs, InAs, 또는 InP와 같은 화합물 반도체를 포함할 수 있다. 다른 실시예들에서, 상기 기판(100)은 SOI(silicon on insulator) 구조를 가질 수 있고, 상기 기판(100)은 도전 영역, 예를 들어, 불순물이 도핑된 웰(well) 또는 불순물이 도핑된 구조물을 포함할 수 있다.
- [0023] 상기 활성 영역(ACT)은 상기 기판(100)의 상면에 평행한 제1 방향(X)으로 연장될 수 있다. 상기 활성 영역(ACT)은 복수로 제공될 수 있고, 복수의 활성 영역(ACT)은 상기 기판(100)의 상면에 평행하고 상기 제1 방향(X)과 교차하는 제2 방향(Y)으로 서로 이격될 수 있다. 또한, 상기 활성 영역(ACT)은 상기 기판(100)으로부터 상기 기판(100)의 상면에 수직인 제3 방향(Z)으로 돌출될 수 있다.
- [0024] 상기 활성 영역(ACT)의 양측에 상기 활성 영역(ACT)을 정의하는 소자 분리막(102)이 개재될 수 있다. 상기 소자 분리막(102)은 상기 기판(100) 상에서 상기 제1 방향(X)으로 연장될 수 있고, 상기 활성 영역(ACT)을 사이에 두고 상기 제2 방향(Y)으로 서로 이격될 수 있다. 상기 소자 분리막(102)은 실리콘산화물, 실리콘질화물, 및 실리콘산질화물 중 적어도 하나를 포함할 수 있다.
- [0025] 일부 실시예들에서, 상기 소자 분리막(102)은 상기 활성 영역(ACT)의 상부 영역을 노출할 수 있다. 즉, 상기 활성 영역(ACT)은 상기 소자 분리막(102)에 의해 노출되는 상부 영역인 활성 핀(AF)을 가질 수 있다. 다른 실시예들에서, 상기 활성 영역(ACT)의 상면의 레벨은 상기 소자 분리막(102)의 상면의 레벨과 실질적으로 동일할 수도 있다.
- [0026] 상기 복수의 활성 영역(ACT)은 상기 기판(100)으로부터 돌출된 복수의 활성 핀(AF)을 포함할 수 있고, 상기 복수의 활성 핀(AF) 중에서 선택되는 적어도 하나의 활성 핀(AF)을 포함하는 제1 활성 영역(ACT1) 및 상기 제1 활성 영역(ACT1)과 분리되고 적어도 하나의 다른 활성 핀(AF)을 포함하는 제2 활성 영역(ACT2)으로 구분될 수 있다.
- [0027] 상기 기판(100) 상에 상기 활성 영역(ACT) 및 상기 소자 분리막(102)을 가로지르는 게이트 전극(GE)이 개재될 수 있다. 상기 게이트 전극(GE)은 상기 활성 핀(AF)을 덮을 수 있고, 상기 제2 방향(Y)으로 연장되어 상기 소자 분리막(102)의 상면을 덮을 수 있다. 상기 게이트 전극(GE)은 게이트간 절단막(170)을 사이에 두고 상기 제2 방향(Y)으로 서로 마주하며 연장되는 한 쌍의 게이트 전극(GE)으로 구성될 수 있다.
- [0028] 상기 게이트 전극(GE)과 상기 활성 핀(AF) 사이에 게이트 유전막(GI)이 개재될 수 있다. 상기 게이트 유전막(GI)은 상기 게이트 전극(GE)과 상기 소자 분리막(102)의 사이로 연장될 수 있고, 상기 게이트 전극(GE)과 스페이서(SP) 사이로 연장될 수 있다. 상기 게이트 유전막(GI)의 최상면의 레벨은 상기 게이트 전극(GE)의 상면의 레벨과 실질적으로 동일할 수 있다. 상기 스페이서(SP)는 상기 게이트 유전막(GI)을 사이에 두고 상기 게이트 전극(GE)으로부터 이격될 수 있다.
- [0029] 평면도에서 보았을 때, 상기 게이트간 절단막(170)은 상기 제1 방향(X)으로 연장되어 상기 게이트 전극(GE)의 절단된 측면, 상기 게이트 유전막(GI)의 절단된 측면, 및 상기 스페이서(SP)의 절단된 측면과 각각 접할 수 있다.
- [0030] 상기 게이트 전극(GE), 상기 게이트 유전막(GI), 및 상기 스페이서(SP)는 게이트 구조체(GS)로 정의될 수 있다. 한 쌍의 게이트 구조체(GS)가 상기 제2 방향(Y)으로 서로 마주하며 상기 게이트간 절단막(170)에 의하여 이격되어 개재될 수 있다. 상기 한 쌍의 게이트 구조체(GS)의 각각은 대응하는 활성 영역(ACT)을 가로지를 수 있다. 상기 한 쌍의 게이트 구조체(GS)는 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 전극(GE)을 각각 포함할 수 있다. 상기 한 쌍의 게이트 구조체(GS)는 각각 상기 제1 활성 영역(ACT1) 및 상기 제2 활성 영역(ACT2)을 가로지를 수 있다.
- [0031] 상기 게이트간 절단막(170)은 소자 분리막(102) 및 층간 절연 패턴(160P) 상에 배치될 수 있다. 상기 게이트간 절단막(170)은 단일의 절연 물질 또는 복수의 절연 물질로 이루어질 수 있다. 일부 실시예들에서, 상기 게이트

간 절단막(170)은 실리콘산화물, 실리콘질화물, 실리콘산질화물, 또는 이들의 조합으로 이루어질 수 있다.

- [0032] 또한, 다른 한 쌍의 게이트 구조체(GS)가 상기 제2 방향(Y)으로 서로 마주하며 상기 게이트간 절단막(170)에 의하여 이격되어 개재될 수 있다. 동일한 형상의 게이트 구조체(GS)지만 설명의 편의를 위하여, 상기 한 쌍의 게이트 구조체(GS)는 제1 게이트 구조체(GS1)로 정의되고, 상기 다른 한 쌍의 게이트 구조체(GS)는 제2 게이트 구조체(GS2)로 정의될 수 있다. 상기 제2 게이트 구조체(GS2)는 상기 제1 게이트 구조체(GS1)로부터 상기 제1 방향(X)으로 서로 이격될 수 있다. 상기 제2 게이트 구조체(GS2)는 각각 상기 제1 활성 영역(ACT1) 및 상기 제2 활성 영역(ACT2)을 가로지를 수 있다.
- [0033] 상기 게이트간 절단막(170)은 상기 제1 활성 영역(ACT1) 및 상기 제2 활성 영역(ACT2)의 사이에 배치되고, 상기 게이트간 절단막(170)의 하부의 형상은 요철면을 이루고, 상기 게이트간 절단막(170)의 상부의 형상은 평탄면을 이룰 수 있다. 상기 게이트간 절단막(170)은 상기 제3 방향(Z)으로 연장되어 상기 제1 게이트 구조체(GS1) 사이의 절단 영역을 채울 수 있다. 또한, 상기 게이트간 절단막(170)은 상기 제3 방향(Z)으로 연장되어 상기 제2 게이트 구조체(GS2) 사이의 절단 영역을 채울 수 있다.
- [0034] 구체적으로, 상기 제1 및 제2 게이트 구조체(GS1, GS2)는 상기 게이트간 절단막(170)에 의하여 절단되고, 상기 제1 및 제2 게이트 구조체(GS1, GS2)를 절단하는 부분에서 상기 게이트간 절단막(170)의 바닥면(소자 분리막과 맞닿는 면)의 레벨은 상기 층간 절연막(160) 내에서 상기 게이트간 절단막(170)의 하면(170B)(층간 절연 패턴과 맞닿는 면)의 레벨보다 낮을 수 있다. 다시 말해, 상기 층간 절연막(160) 내에서 상기 게이트간 절단막(170)의 하면(170B)의 레벨은 층간 절연 패턴(160P)의 상면의 레벨과 실질적으로 동일할 수 있다.
- [0035] 소스/드레인 영역(SD)이 상기 게이트 구조체(GS)의 양측의 상기 활성 영역(ACT) 상에 각각 개재될 수 있다. 상기 소스/드레인 영역(SD)은 상기 게이트 구조체(GS)를 사이에 두고 이격될 수 있다. 상기 소스/드레인 영역(SD)의 바닥면의 레벨은 상기 활성 핀(AF)의 상면의 레벨보다 낮을 수 있다. 상기 소스/드레인 영역(SD)은 상기 활성 영역(ACT)을 시드(seed)로 하여 형성된 선택적 에피택셜 성장층일 수 있다.
- [0036] 선택적 에피택셜 성장층인 소스/드레인 영역(SD)은 상기 제2 방향(Y)으로 측면에 돌출 포인트(SDS)를 가질 수 있다. 상기 층간 절연막(160) 내에서 상기 게이트간 절단막(170)의 하면(170B)의 레벨은 상기 소스/드레인 영역(SD)의 최상면(SDT)의 레벨보다는 낮고, 상기 돌출 포인트(SDS)의 레벨보다는 높을 수 있다. 즉, 상기 게이트간 절단막(170)에 의하여, 상기 소스/드레인 영역(SD)의 손실이 발생하지 않을 수 있다.
- [0037] 상기 기판(100) 상에 상기 게이트 구조체(GS) 주위에서 상기 소스/드레인 영역(SD)을 덮는 층간 절연막(160)이 개재될 수 있다. 상기 층간 절연막(160)은 단일의 절연 물질 또는 복수의 절연 물질로 이루어질 수 있다. 상기 게이트간 절단막(170)의 상면의 레벨은 상기 층간 절연막(160)의 상면의 레벨과 실질적으로 동일할 수 있다. 또한, 상기 게이트 전극(GE)의 상면의 레벨은 상기 게이트간 절단막(170)의 상면의 레벨과 실질적으로 동일할 수 있다.
- [0038] 도 3a, 도 4a, ..., 및 도 8a는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자(10)의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 평면도들이고, 도 3b, 도 4b, ..., 및 도 8b는 각각 도 3a, 도 4a, ..., 및 도 8a의 A-A', B-B', 및 C-C'에 따른 단면도들이고, 도 3c, 도 4c, ..., 및 도 8c는 각각 도 3a, 도 4a, ..., 및 도 8a의 D-D' 및 E-E'에 따른 단면도들이다.
- [0039] 도 3a 내지 도 3c를 참조하면, 기판(100) 상에 활성 영역(ACT)이 형성될 수 있고, 상기 활성 영역(ACT)의 양측에 소자 분리막(102)이 형성될 수 있다.
- [0040] 상기 활성 영역(ACT)을 형성하는 공정은 상기 기판(100)을 패터닝하여 상기 활성 영역(ACT)을 정의하는 트렌치(T)를 형성하는 공정을 포함할 수 있다. 상기 트렌치(T)는 제1 방향(X)으로 연장되는 라인 형태일 수 있고, 제2 방향(Y)으로 서로 이격될 수 있다. 상기 트렌치(T)를 형성하는 공정은 상기 기판(100) 상에 상기 활성 영역(ACT)이 형성될 영역을 정의하는 마스크 패턴(미도시)을 형성하는 공정 및 상기 마스크 패턴을 식각 마스크로 이용하여 상기 기판(100)을 식각하는 공정을 포함할 수 있다.
- [0041] 상기 소자 분리막(102)은 상기 트렌치(T)를 채우도록 형성될 수 있다. 상기 소자 분리막(102)을 형성하는 공정은 상기 기판(100) 상에 상기 트렌치(T)를 채우는 절연막을 형성하는 공정 및 상기 마스크 패턴이 노출될 때까지 상기 절연막을 평탄화하는 공정을 포함할 수 있다. 상기 절연막을 평탄화하는 공정 후, 상기 소자 분리막(102)의 상부를 리세스하여 상기 활성 영역(ACT)의 상부가 노출될 수 있다. 상기 소자 분리막(102)에 의해 노출된 상기 활성 영역(ACT)의 상부는 활성 핀(AF)으로 정의될 수 있다.

- [0042] 상기 소자 분리막(102)의 상부를 리세스하는 공정은 상기 활성 영역(ACT)에 대하여 식각 선택비를 갖는 식각 조건을 이용하여 수행될 수 있다. 상기 소자 분리막(102)의 상부를 리세스하고, 상기 마스크 패턴은 제거될 수 있다.
- [0043] 상기 기판(100) 상에 상기 활성 영역(ACT) 및 상기 소자 분리막(102)을 가로지르는 더미 게이트 패턴(110)이 형성될 수 있다. 상기 더미 게이트 패턴(110)은 제2 방향(Y)으로 연장될 수 있다. 상기 더미 게이트 패턴(110)은 상기 활성 핀(AF)을 덮을 수 있고, 상기 소자 분리막(102)의 상면 상에서 연장될 수 있다.
- [0044] 상기 활성 영역(ACT)이 복수로 형성되는 경우, 복수의 활성 영역(ACT)은 상기 제1 방향(X)으로 연장되고 상기 제2 방향(Y)으로 서로 이격될 수 있다. 이 경우, 상기 더미 게이트 패턴(110)은 상기 제2 방향(Y)으로 연장되어 상기 복수의 활성 영역(ACT)을 가로지를 수 있다.
- [0045] 식각 정지 패턴(112)이 상기 더미 게이트 패턴(110)과 상기 활성 영역(ACT) 사이에 개재될 수 있고, 상기 더미 게이트 패턴(110)과 상기 소자 분리막(102) 사이에 개재될 수 있다. 상기 더미 게이트 패턴(110) 및 상기 식각 정지 패턴(112)을 형성하는 공정은 상기 기판(100) 상에 상기 활성 영역(ACT) 및 상기 소자 분리막(102)을 덮는 식각 정지막 및 더미 게이트막을 차례로 형성하는 공정, 상기 더미 게이트막 상에 상기 더미 게이트 패턴(110)이 형성될 영역을 정의하는 더미 마스크 패턴(114)을 형성하는 공정, 및 상기 더미 마스크 패턴(114)을 식각 마스크로 이용하여 상기 더미 게이트막과 상기 식각 정지막을 순차적으로 패터닝하는 공정을 포함할 수 있다. 상기 더미 게이트막은 상기 식각 정지막에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 식각 정지막은 예를 들어, 실리콘산화물을 포함할 수 있고, 상기 더미 게이트막은 예를 들어, 폴리실리콘을 포함할 수 있다.
- [0046] 상기 더미 게이트 패턴(110)이 형성된 후, 상기 더미 게이트 패턴(110) 양측의 상기 식각 정지막을 제거하여 상기 더미 게이트 패턴(110) 아래에 상기 식각 정지 패턴(112)이 형성될 수 있다.
- [0047] 상기 더미 게이트 패턴(110), 상기 식각 정지 패턴(112), 및 상기 더미 마스크 패턴(114)의 각각의 측면에서 연장되는 예비 스페이서(130)가 형성될 수 있다. 상기 예비 스페이서(130)는 예를 들어, 실리콘질화물을 포함할 수 있다. 상기 예비 스페이서(130)를 형성하는 공정은 상기 더미 게이트 패턴(110), 상기 식각 정지 패턴(112), 및 상기 더미 마스크 패턴(114)을 덮는 스페이서막을 형성하는 공정 및 상기 스페이서막을 식각하는 공정을 포함할 수 있다.
- [0048] 상기 더미 게이트 패턴(110), 상기 식각 정지 패턴(112), 상기 더미 마스크 패턴(114), 및 상기 예비 스페이서(130)는 더미 게이트 구조체(DGS)로 정의될 수 있다. 상기 더미 게이트 구조체(DGS)가 상기 활성 영역(ACT)을 가로지르도록 형성됨에 따라, 상기 활성 핀(AF) 내에 제1 영역(R1) 및 제2 영역(R2)이 정의될 수 있다. 상기 제1 영역(R1)은 상기 더미 게이트 구조체(DGS)의 아래에 위치하고, 평면도에서 보았을 때, 상기 더미 게이트 구조체(DGS)와 중첩되는 상기 활성 핀(AF)의 일부 영역일 수 있다. 상기 제2 영역(R2)은 상기 더미 게이트 구조체(DGS)의 양측에 위치하고, 상기 제1 영역(R1)에 의해 수평적으로 분리되는 상기 활성 핀(AF)의 다른 일부 영역일 수 있다.
- [0049] 도 4a 내지 도 4c를 참조하면, 활성 핀(AF)의 상기 제2 영역(R2)이 제거되어 상기 활성 영역(ACT) 내에 리세스 영역(104)이 형성될 수 있다. 상기 활성 핀(AF)의 상기 제2 영역(R2)을 제거하는 공정은 예를 들어, 건식 식각 공정으로 수행될 수 있다.
- [0050] 상기 더미 게이트 구조체(DGS)의 양측의 상기 활성 영역(ACT) 상에 소스/드레인 영역(SD)이 형성될 수 있다. 상기 소스/드레인 영역(SD)은 상기 리세스 영역(104)을 채우도록 형성될 수 있다. 상기 소스/드레인 영역(SD)은 상기 리세스 영역(104)에 의해 노출되는 상기 활성 영역(ACT)의 표면을 시드(seed)로 하여 선택적 에피택셜 성장 공정을 수행하여 형성될 수 있다. 상기 소스/드레인 영역(SD)의 각각은 상기 활성 영역(ACT)의 표면을 시드로 하여 성장된 실리콘저머늄(SiGe), 실리콘(Si), 및 실리콘카바이드(SiC) 중 적어도 하나를 포함할 수 있다.
- [0051] 상기 소스/드레인 영역(SD)을 형성하는 공정은 상기 선택적 에피택셜 성장 공정과 동시에, 또는 상기 선택적 에피택셜 성장 공정 후, 상기 소스/드레인 영역(SD)에 불순물을 도핑하는 공정을 포함할 수 있다. 상기 불순물을 도핑하는 공정은 상기 소스/드레인 영역(SD)을 포함하는 트랜지스터의 전기적 특성을 개선하기 위해 수행될 수 있다. 상기 트랜지스터가 n-타입인 경우, 상기 불순물은 예를 들어, 인(P)일 수 있다. 상기 트랜지스터가 p-타입인 경우, 상기 불순물은 예를 들어, 붕소(B)일 수 있다.
- [0052] 상기 소스/드레인 영역(SD)이 형성된 상기 기판(100) 상에 층간 절연막(160)이 형성될 수 있다. 상기 층간 절연

막(160)을 형성하는 공정은 상기 기판(100) 상에 상기 소스/드레인 영역(SD)과 상기 더미 게이트 구조체(DGS)를 덮는 절연막을 형성하는 공정 및 상기 더미 게이트 패턴(110)의 상면이 노출될 때까지 상기 절연막을 평탄화하는 공정을 포함할 수 있다. 상기 평탄화하는 공정에 의해 상기 더미 마스크 패턴(114)은 제거될 수 있다. 상기 층간 절연막(160)은 실리콘산화물, 실리콘질화물, 실리콘산질화물, 및 저유전 물질 중 적어도 하나를 포함할 수 있다.

[0053] 도 5a 내지 도 5c를 참조하면, 더미 게이트 패턴(110) 및 식각 정지 패턴(112)을 제거하여 예비 스페이서(130) 내에 갭 영역(120)이 형성될 수 있다. 상기 갭 영역(120)은 상기 예비 스페이서(130)에 의해 정의되는 빈 공간일 수 있다. 상기 갭 영역(120)은 상기 활성 핀(AF)의 상면을 노출할 수 있다. 상기 갭 영역(120)을 형성하는 공정은 예비 스페이서(130), 층간 절연막(160), 및 식각 정지 패턴(112)에 대하여 식각 선택비를 갖는 식각 조건으로 상기 더미 게이트 패턴(110)을 제거하는 공정을 포함할 수 있다. 이에 더하여, 상기 갭 영역(120)을 형성하는 공정은 상기 식각 정지 패턴(112)을 제거하여 상기 활성 핀(AF)의 상면을 노출하는 공정을 포함할 수 있다.

[0054] 상기 갭 영역(120)을 채우는 예비 게이트 유전막(140) 및 예비 게이트 전극(150)이 형성될 수 있다. 구체적으로, 상기 갭 영역(120)의 일부를 컨포멀하게 채우는 예비 게이트 유전막(140)이 형성될 수 있다. 상기 예비 게이트 유전막(140)은 상기 활성 핀(AF)의 상면을 덮도록 형성될 수 있다. 상기 예비 게이트 유전막(140)은 고유전 물질 예를 들어, 하프늄산화물, 하프늄실리케이트, 지르코늄산화물, 및 지르코늄실리케이트 중 적어도 하나를 포함할 수 있다.

[0055] 상기 예비 게이트 유전막(140)은 예를 들어, 원자층 증착 공정으로 형성될 수 있다. 상기 예비 게이트 유전막(140) 상에서 상기 갭 영역(120)의 잔부를 채우는 예비 게이트 전극(150)이 형성될 수 있다. 상기 예비 게이트 전극(150)은 상기 예비 게이트 유전막(140)에 인접하는 제1 도전막 및 상기 제1 도전막에 인접하고 상기 예비 게이트 유전막(140)으로부터 이격되는 제2 도전막을 포함할 수 있다.

[0056] 상기 제1 도전막은 도전성 금속질화물 중 적어도 하나를 포함할 수 있고, 상기 제2 도전막은 도전성 금속질화물 및 금속들 중 적어도 하나를 포함할 수 있다. 상기 제2 도전막은 상기 제1 도전막과 다른 물질을 포함할 수 있다. 상기 예비 게이트 유전막(140)은 상기 예비 게이트 전극(150)의 바닥면 및 측면을 따라 연장되어, 상기 예비 게이트 전극(150)과 상기 예비 스페이서(130) 사이에 개재될 수 있다.

[0057] 도 6a 내지 도 6c를 참조하면, 예비 스페이서(130) 상면의 일부, 예비 게이트 유전막(140) 상면의 일부, 예비 게이트 전극(150) 상면의 일부, 및 층간 절연막(160) 상면의 일부를 노출하는 개구부(OP)를 가지는 제1 절단 마스크 패턴(M1) 및 제2 절단 마스크 패턴(M2)을 순차적으로 형성할 수 있다.

[0058] 상기 예비 게이트 전극(150)이 복수로 제공되는 경우, 복수의 예비 게이트 전극(150)이 각각 제2 방향(Y)으로 연장되고 제1 방향(X)으로 서로 이격될 수 있다. 이 경우, 상기 제1 절단 마스크 패턴(M1) 및 제2 절단 마스크 패턴(M2)의 상기 개구부(OP)는 상기 제1 방향(X)으로 연장되어 상기 복수의 예비 게이트 전극(150)을 가로지를 수 있다.

[0059] 구체적으로, 상기 개구부(OP)는 상기 복수의 예비 게이트 전극(150) 각각의 상면의 일부 및 상기 복수의 예비 게이트 전극(150)의 각각의 양측에 개재되는 상기 예비 게이트 유전막(140) 상면의 일부를 노출할 수 있다. 이에 더하여, 상기 개구부(OP)는 상기 복수의 예비 게이트 유전막(140) 각각의 양측에 개재되는 상기 예비 스페이서(130) 상면의 일부 및 상기 복수의 예비 스페이서(130) 사이의 상기 층간 절연막(160)의 상면의 일부를 노출할 수 있다.

[0060] 상기 제1 절단 마스크 패턴(M1) 및 제2 절단 마스크 패턴(M2)은 서로 다른 식각 선택비를 갖는 물질로 구성될 수 있다. 상기 제1 절단 마스크 패턴(M1)은 예를 들어, 실리콘질화물을 포함할 수 있고, 상기 제2 절단 마스크 패턴(M2)은 예를 들어, SOH(spin on hardmask) 물질을 포함할 수 있다.

[0061] 일부 실시예들에서, 상기 제1 절단 마스크 패턴(M1) 및 제2 절단 마스크 패턴(M2)을 형성하는 공정은 상기 층간 절연막(160) 상에 제1 절단 마스크막을 형성하는 공정, 상기 제1 절단 마스크막 상에 제2 절단 마스크막을 형성하는 공정, 및 상기 제2 절단 마스크막 상에 마스크 패턴(미도시)을 형성하는 공정을 포함할 수 있다.

[0062] 상기 마스크 패턴은, 평면도에서 보았을 때, 상기 예비 게이트 전극(150)을 가로지르는 개구부 패턴을 가질 수 있다. 상기 개구부 패턴은 상기 제2 절단 마스크막 상에 상기 개구부(OP)가 형성될 영역을 정의할 수 있다. 상기 제1 절단 마스크 패턴(M1) 및 제2 절단 마스크 패턴(M2)은 상기 마스크 패턴을 식각 마스크로 이용하여 상기 제1 절단 마스크막 및 제2 절단 마스크막을 각각 패터닝하여 형성될 수 있다. 상기 개구부(OP)를 형성한 후, 상

기 마스크 패턴은 제거될 수 있다.

- [0063] 도 7a 내지 도 7c를 참조하면, 상기 개구부(OP)에 의해 노출되는 예비 스페이서(130)를 제거하는 공정이 수행될 수 있다.
- [0064] 상기 개구부(OP)에 의해 노출되는 상기 예비 스페이서(130)를 제거하는 공정은 상기 제2 절단 마스크 패턴(M2)을 식각 마스크로 이용하는 건식 식각 공정일 수 있다. 상기 건식 식각 공정은 예비 게이트 유전막(140), 예비 게이트 전극(150), 및 층간 절연막(160)에 대하여 식각 선택비를 갖는 식각 조건일 수 있다.
- [0065] 상기 예비 스페이서(130)를 제거하는 공정에 의해, 예비 게이트 유전막(140)의 측면, 상기 예비 게이트 유전막(140)의 측면과 마주보는 층간 절연막(160)의 측면, 및 소자 분리막(102)의 상면이 노출될 수 있다. 예비 게이트 유전막(140), 예비 게이트 전극(150), 및 층간 절연막(160)은 상기 예비 스페이서(130)를 제거하는 공정이 진행되는 동안 제거되지 않고 남을 수 있고, 상기 개구부(OP)에 의해 노출될 수 있다. 상기 개구부(OP)에 의해 노출되는 상기 예비 스페이서(130)를 제거하고, 상기 제2 절단 마스크 패턴(M2)은 제거될 수 있다.
- [0066] 다시 말해, 상기 예비 스페이서(130)를 제거하는 공정은 상기 개구부(OP)에 의해 노출되는 예비 스페이서(130)의 일부만을 제거하여 스페이서 절단 영역(SPR)이 형성되도록 할 수 있다. 이에 따라, 상기 예비 스페이서(130)는 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 스페이서(SP)로 절단될 수 있다.
- [0067] 즉, 상기 예비 스페이서(130)의 일부를 제거하는 공정을 통하여 스페이서(SP)가 형성될 수 있고, 상기 스페이서(SP)는 일 직선상에서 상기 제2 방향(Y)으로 상기 스페이서 절단 영역(SPR)을 사이에 두고 연장될 수 있다.
- [0068] 도 8a 내지 도 8c를 참조하면, 먼저 상기 예비 스페이서(130)를 제거하는 공정 후, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 전극(150)이 제거될 수 있다. 이에 따라, 상기 예비 게이트 전극(150)은 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 전극(GE)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 유전막(140)도 같이 제거될 수 있다. 이에 따라, 상기 예비 게이트 유전막(140)은 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 유전막(GI)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 층간 절연막(160)의 일부도 같이 제거될 수 있다. 다만, 상기 개구부(OP)에 의해 노출되는 상기 층간 절연막(160)은 층간 절연 패턴(160P)이 남도록 일부만이 제거될 수 있다. 상기 제거 공정은 층간 절연막(160)에 대하여 일부 식각 선택비를 갖는 식각 조건일 수 있다.
- [0069] 이에 따라, 상기 한 쌍의 게이트 전극(GE) 사이, 한 쌍의 게이트 유전막(GI) 사이, 및 한 쌍의 스페이서(SP) 사이에서 상기 소자 분리막(102)의 상면이 노출될 수 있다.
- [0070] 상기 제거 공정은 상기 제1 절단 마스크 패턴(M1)을 식각 마스크로 이용하는 건식 식각 공정일 수 있다. 상기 제거 공정에 의해 상기 예비 게이트 전극(150)은 게이트 전극(GE)으로 형성될 수 있고, 상기 예비 게이트 유전막(140)은 게이트 유전막(GI)으로 형성될 수 있다. 상기 제거 공정 후, 상기 제1 절단 마스크 패턴(M1)은 제거될 수 있다.
- [0071] 상기 한 쌍의 게이트 전극(GE)의 각각, 상기 한 쌍의 게이트 전극(GE)의 각각의 바닥면 및 측면 상에 개재되는 상기 한 쌍의 게이트 유전막(GI), 및 상기 한 쌍의 게이트 유전막(GI)의 각각의 측면 상에 개재되는 상기 스페이서(SP)는 게이트 구조체(GS)로 정의될 수 있다.
- [0072] 다시 말해, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 전극(150), 상기 예비 게이트 유전막(140), 상기 예비 스페이서(130), 및 상기 층간 절연막(160)의 일부가 제거됨에 따라, 상기 기판(100) 상에 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 구조체(GS)가 형성될 수 있다. 상기 한 쌍의 게이트 구조체(GS) 사이에 절단 영역(CR)이 정의될 수 있고, 상기 절단 영역(CR)은 상기 한 쌍의 게이트 구조체(GS) 사이의 소자 분리막(102)의 상면을 노출할 수 있다.
- [0073] 선택적 에피택셜 성장층인 소스/드레인 영역(SD)은 상기 제2 방향(Y)으로 측면에 돌출 포인트(SDS)를 가질 수 있다. 상기 층간 절연 패턴(160P)의 상면(160PT)의 레벨은 상기 소스/드레인 영역(SD)의 최상면(SDT)의 레벨보다는 낮고, 상기 돌출 포인트(SDS)의 레벨보다는 높을 수 있다. 즉, 상기 절단 영역(CR)에 의하여, 상기 소스/드레인 영역(SD)의 손실이 발생하지 않을 수 있다.
- [0074] 도 2a 내지 도 2c를 다시 참조하면, 상기 절단 영역(CR)을 채우는 게이트간 절단막(170)이 형성될 수 있다. 상기 게이트간 절단막(170)을 형성하는 공정은, 상기 제1 절단 마스크 패턴(M1)이 제거된 후, 상기 층간 절연막(160) 상에 상기 절단 영역(CR)을 채우는 절연막을 형성하는 공정 및 상기 층간 절연막(160)이 노출될 때까지 상기 절연막을 평탄화하는 공정을 포함할 수 있다. 이에 따라, 상기 게이트간 절단막(170)의 상면의 레벨은 상

기 층간 절연막(160)의 상면의 레벨과 실질적으로 동일할 수 있다.

- [0075] 도 9a는 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자(20)를 나타내는 평면도이고, 도 9b는 도 9a의 A-A', B-B', 및 C-C'에 따른 단면도이고, 도 9c는 도 9a의 D-D' 및 E-E'에 따른 단면도이다.
- [0076] 반도체 소자(20)를 구성하는 각각의 구성 요소 및 상기 구성 요소를 이루는 물질은 앞서 도 2a 내지 도 2c에서 설명한 바와 동일하거나 유사하므로, 여기서는 차이점을 중심으로 설명하도록 한다.
- [0077] 도 9a 내지 도 9c를 참조하면, 기관(100) 상에 제1 방향(X)으로 연장되는 복수의 활성 영역(ACT), 상기 복수의 활성 영역(ACT)과 교차하는 제2 방향(Y)으로 연장되고 상기 제1 방향(X)으로 서로 이격되는 복수의 게이트 구조체(GS), 상기 복수의 게이트 구조체(GS)로 덮이지 않는 부분에 형성된 소스/드레인 영역(SD), 상기 복수의 게이트 구조체(GS)의 주위를 덮는 층간 절연막(160), 상기 복수의 게이트 구조체(GS) 및 상기 층간 절연막(160)을 상기 제1 방향(X)으로 가로지르는 게이트간 절단막(170)을 포함하는 반도체 소자(20)를 나타낸다.
- [0078] 상기 게이트 구조체(GS)는 양 측면에 다중 물질막으로 구성되는 스페이서(SP)를 포함하고, 상기 게이트간 절단막(170)에 위치하는 상기 스페이서(SP)의 물질막의 개수는 상기 게이트 구조체(GS)에 위치하는 상기 스페이서(SP)의 물질막의 개수보다 적다.
- [0079] 스페이서(SP)는 서로 다른 절연 물질로 이루어지는 다중 물질막 구조를 가질 수 있다. 일부 실시예들에서, 상기 스페이서(SP)는 게이트 유전막(GI)의 측면과 직접 맞닿는 제1 스페이서(SP1) 및 상기 제1 스페이서(SP1)를 사이에 두고 상기 게이트 유전막(GI)과 이격되어 배치되는 제2 스페이서(SP2)로 구성될 수 있다.
- [0080] 상기 제2 스페이서(SP2)는 상기 제1 스페이서(SP1)에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 제1 스페이서(SP1)는 예를 들어, 실리콘질화물을 포함할 수 있고, 상기 제2 스페이서(SP2)는 예를 들어, 실리콘 산화물 또는 탄소 함유 물질막을 포함할 수 있다.
- [0081] 상기 게이트간 절단막(170)에 위치하는 상기 제2 스페이서(SP2)의 잔부(SP2C)의 높이는 상기 게이트 구조체(GS)에 위치하는 상기 스페이서(SP)의 높이보다 낮을 수 있다. 즉, 게이트 전극(GE) 및 게이트 유전막(GI)은 상기 게이트간 절단막(170)에 의하여 절단되는 반면, 스페이서(SP)의 경우, 상기 스페이서(SP)의 일부인 상기 제2 스페이서(SP2)의 잔부(SP2C)가 상기 게이트간 절단막(170)에 위치하므로, 상기 스페이서(SP)는 상기 게이트간 절단막(170)에 의하여 완전히 절단되지 않고 제2 방향(Y)으로 연장될 수 있다.
- [0082] 도 10 및 도 11은 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자(20)의 제조 방법 중 일부를 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0083] 반도체 소자(20)의 제조 방법을 구성하는 각각의 단계는 앞서 도 3a 내지 도 8c에서 설명한 바와 동일하거나 유사하므로, 여기서는 차이점을 중심으로 설명하도록 한다.
- [0084] 도 10을 참조하면, 개구부(OP)에 의해 노출되는 예비 스페이서(130)의 일부인 제1 예비 스페이서(131)를 제거하는 공정이 수행될 수 있다. 참고로, 도 10은 앞서 도 6a 내지 도 6c에서 설명한 공정의 이후 단계이다.
- [0085] 예비 스페이서(130)는 서로 다른 절연 물질로 이루어지는 다중 물질막 구조를 가질 수 있다. 일부 실시예들에서, 상기 예비 스페이서(130)는 예비 게이트 유전막(140)의 측면과 직접 맞닿는 제1 예비 스페이서(131) 및 상기 제1 예비 스페이서(131)를 사이에 두고 상기 예비 게이트 유전막(140)과 이격되어 배치되는 제2 예비 스페이서(132)로 구성될 수 있다.
- [0086] 개구부(OP)에 의해 노출되는 상기 제1 예비 스페이서(131)를 제거하는 공정에 의해, 예비 게이트 유전막(140)의 측면, 상기 예비 게이트 유전막(140)의 측면과 마주보는 제2 예비 스페이서(132)의 측면, 및 소자 분리막(102)의 상면이 노출될 수 있다. 예비 게이트 유전막(140), 예비 게이트 전극(150), 층간 절연막(160), 및 제2 예비 스페이서(132)는 상기 제1 예비 스페이서(131)를 제거하는 공정이 진행되는 동안 제거되지 않고 남을 수 있다.
- [0087] 다시 말해, 상기 제1 예비 스페이서(131)를 제거하는 공정은 상기 개구부(OP)에 의해 노출되는 제1 예비 스페이서(131)만을 제거하여 제1 예비 스페이서 절단 영역(131R)이 형성되도록 할 수 있다. 이에 따라, 상기 제1 예비 스페이서(131)는 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 제1 예비 스페이서(131)로 절단될 수 있다.
- [0088] 도 11을 참조하면, 상기 제1 예비 스페이서(131)를 제거하는 공정 후, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 전극(150)이 제거될 수 있다. 이에 따라, 상기 예비 게이트 전극(150)은 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 전극(GE)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 유전막(140)도 같이 제거될 수 있다. 이에 따라, 상기 예비 게이트 유전막(140)은 상기 제2 방

향(Y)으로 서로 이격되는 한 쌍의 게이트 유전막(GI)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 층간 절연막(160)의 일부 및 제2 예비 스페이서(132)의 일부도 같이 제거될 수 있다. 다만, 상기 층간 절연막(160)은 층간 절연 패턴(160P)이 남도록 일부만 제거될 수 있고, 제2 예비 스페이서(132)는 제2 스페이서 잔부(SP2C)가 남도록 일부만 제거될 수 있다. 상기 제거 공정은 층간 절연막(160) 및 제2 예비 스페이서(132)에 대하여 일부 식각 선택비를 갖는 식각 조건일 수 있다.

- [0089] 이에 따라, 절단 영역(CR)은 상기 한 쌍의 게이트 전극(GE) 사이, 한 쌍의 게이트 유전막(GI) 사이, 및 한 쌍의 제1 스페이서(SP1) 사이에서 상기 소자 분리막(102)의 상면을 노출할 수 있다.
- [0090] 도 12a는 본 발명의 기술적 사상의 또 다른 실시예에 따른 반도체 소자(30)를 나타내는 평면도이고, 도 12b는 도 12a의 A-A', B-B', 및 C-C'에 따른 단면도이고, 도 12c는 도 12a의 D-D' 및 E-E'에 따른 단면도이다.
- [0091] 반도체 소자(30)를 구성하는 각각의 구성 요소 및 상기 구성 요소를 이루는 물질은 앞서 도 2a 내지 도 2c에서 설명한 바와 동일하거나 유사하므로, 여기서는 차이점을 중심으로 설명하도록 한다.
- [0092] 도 12a 내지 도 12c를 참조하면, 기판(100) 상에 제1 방향(X)으로 연장되는 복수의 활성 영역(ACT), 상기 복수의 활성 영역(ACT)과 교차하는 제2 방향(Y)으로 연장되고 상기 제1 방향(X)으로 서로 이격되는 복수의 게이트 구조체(GS), 상기 복수의 게이트 구조체(GS)로 덮이지 않는 부분에 형성된 소스/드레인 영역(SD), 상기 복수의 게이트 구조체(GS)의 주위를 덮는 층간 절연막(160), 상기 복수의 게이트 구조체(GS) 및 상기 층간 절연막(160)을 상기 제1 방향(X)으로 가로지르는 게이트간 절단막(170)을 포함하는 반도체 소자(30)를 나타낸다.
- [0093] 복수의 게이트 구조체(GS)를 각각 절단하는 부분의 상기 게이트간 절단막(170)의 제3 방향(Z)의 프로파일은 적어도 하나의 단차(170S)를 가질 수 있다. 다시 말해, 상기 게이트간 절단막(170)의 측면 중에서 층간 절연막(160)과 맞닿는 측면 및 게이트 전극(GE)과 맞닿는 측면은 상기 제3 방향(Z)으로 일직선으로 형성되지 않고, 단차(170S)를 가지는 요철 형상일 수 있다.
- [0094] 도 13 내지 도 15는 본 발명의 기술적 사상의 또 다른 실시예에 따른 반도체 소자(30)의 제조 방법 중 일부를 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0095] 반도체 소자(30)의 제조 방법을 구성하는 각각의 단계는 앞서 도 3a 내지 도 8c에서 설명한 바와 동일하거나 유사하므로, 여기서는 차이점을 중심으로 설명하도록 한다.
- [0096] 도 13을 참조하면, 개구부(OP)에 의해 노출되는 예비 스페이서(130)의 일부를 제거하는 공정이 수행될 수 있다. 참고로, 도 13은 앞서 도 6a 내지 도 6c에서 설명한 공정의 이후 단계이다.
- [0097] 개구부(OP)에 의해 노출되는 예비 스페이서(130)의 일부를 제거하는 공정은 상기 제2 절단 마스크 패턴(M2)을 식각 마스크로 이용하는 건식 식각 공정일 수 있다. 상기 건식 식각 공정은 예비 게이트 유전막(140), 예비 게이트 전극(150), 및 층간 절연막(160)에 대하여 식각 선택비를 갖는 식각 조건일 수 있다.
- [0098] 상기 예비 스페이서(130)의 일부를 제거하는 공정에 의해, 예비 스페이서 분리 영역(130R)이 형성될 수 있다. 예비 게이트 유전막(140), 예비 게이트 전극(150), 및 층간 절연막(160)은 상기 예비 스페이서(130)의 일부를 제거하는 공정이 진행되는 동안 제거되지 않고 남을 수 있고, 상기 개구부(OP)에 의해 노출될 수 있다.
- [0099] 도 14를 참조하면, 개구부(OP)에 의해 노출되는 예비 스페이서(130)의 나머지 일부(130P)를 제거하는 공정이 수행될 수 있다.
- [0100] 다시 말해, 상기 예비 스페이서(130)의 나머지 일부(130P)를 제거하는 공정은 상기 개구부(OP)에 의해 노출되는 예비 스페이서(130)를 제거하여 스페이서 절단 영역(SPC)이 형성되도록 할 수 있다. 이에 따라, 상기 예비 스페이서(130)는 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 스페이서(SP)로 절단될 수 있다.
- [0101] 상기 예비 스페이서(130)를 제거하는 단계는 적어도 두 차례 반복 실행되어 상기 한 쌍의 스페이서(SP)로 절단할 수 있다. 상기 예비 스페이서(130)는 종횡비가 크므로, 먼저 예비 스페이서(130)의 상부를 제거하여 식각 공간을 넓힌 뒤, 예비 스페이서(130)의 나머지 일부(130P)를 제거하는 공정을 수행할 수 있다.
- [0102] 상기 예비 스페이서(130)를 적어도 두 번으로 나누어 절단하는 단계 후, 상기 한 쌍의 스페이서(SP)로 절단된 부분의 상기 층간 절연막(160)의 제3 방향(Z)의 프로파일은 적어도 하나의 단차(160S)를 가질 수 있다.
- [0103] 도 15를 참조하면, 상기 예비 스페이서(130)의 나머지 일부(130P)를 제거하는 공정 후, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 전극(150)이 제거될 수 있다. 이에 따라, 상기 예비 게이트 전극(150)은 상기 제2

방향(Y)으로 서로 이격되는 한 쌍의 게이트 전극(GE)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 예비 게이트 유전막(140)도 같이 제거될 수 있다. 이에 따라, 상기 예비 게이트 유전막(140)은 상기 제2 방향(Y)으로 서로 이격되는 한 쌍의 게이트 유전막(GI)으로 절단될 수 있다. 이에 더하여, 상기 개구부(OP)에 의해 노출되는 상기 층간 절연막(160)의 일부도 같이 제거될 수 있다. 다만, 상기 개구부(OP)에 의해 노출되는 상기 층간 절연막(160)은 층간 절연 패턴(160P)이 남도록 제거될 수 있다.

- [0104] 이에 따라, 절단 영역(CR)은 상기 한 쌍의 게이트 전극(GE) 사이, 한 쌍의 게이트 유전막(GI) 사이, 및 한 쌍의 스페이서(SP) 사이에서 상기 소자 분리막(102)의 상면을 노출할 수 있다.
- [0105] 도 16은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.
- [0106] 도 16을 참조하면, 시스템(1000)은 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 인터페이스(1040), 및 버스(1050)를 포함한다.
- [0107] 시스템(1000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시예들에서, 상기 모바일 시스템은 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일 폰, 디지털 뮤직 플레이어, 또는 메모리 카드일 수 있다.
- [0108] 제어기(1010)는 시스템(1000)에서의 실행 프로그램을 제어하기 위한 것으로, 마이크로프로세서, 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러, 또는 이와 유사한 장치로 이루어질 수 있다.
- [0109] 입/출력 장치(1020)는 시스템(1000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(1000)은 입/출력 장치(1020)를 이용하여 외부 장치, 예를 들어, 개인용 컴퓨터 또는 네트워크에 연결되고, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1020)는, 예를 들어, 터치 패드, 키보드, 또는 표시장치(display)일 수 있다.
- [0110] 기억 장치(1030)는 제어기(1010)의 동작을 위한 데이터를 저장하거나, 제어기(1010)에서 처리된 데이터를 저장할 수 있다. 상기 기억 장치(1030)는 앞서 설명한 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자(10, 20, 30)를 포함할 수 있다.
- [0111] 인터페이스(1040)는 상기 시스템(1000)과 외부 장치 사이의 데이터 전송 통로일 수 있다. 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 및 인터페이스(1040)는 버스(1050)를 통해 서로 통신할 수 있다.
- [0112] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

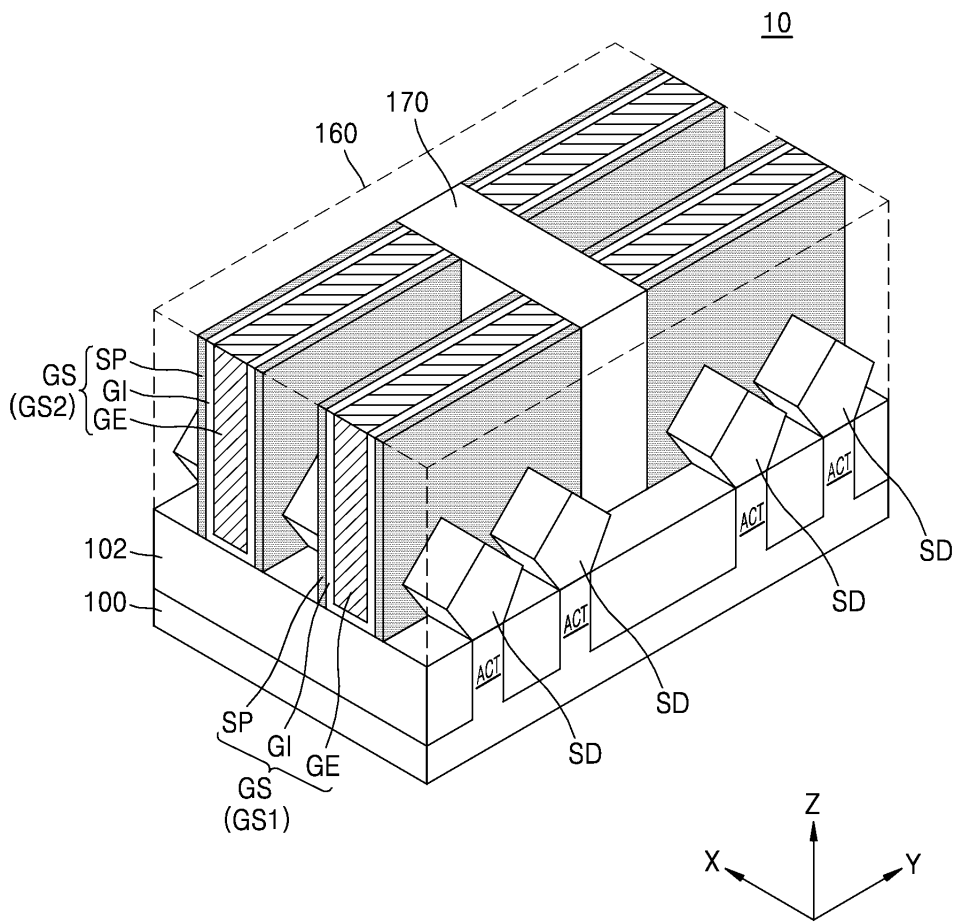
부호의 설명

[0113] 10, 20, 30: 반도체 소자

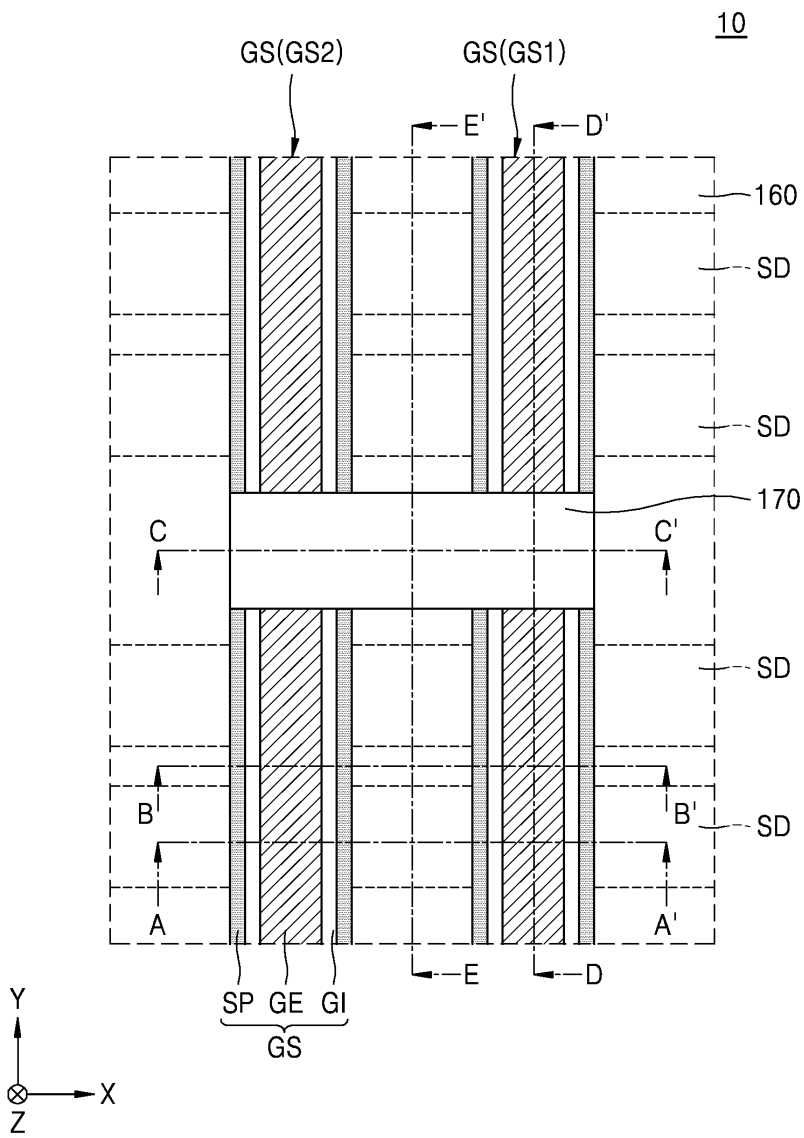
- | | |
|---------------|---------------|
| 100: 기판 | 102: 소자 분리막 |
| 160: 층간 절연막 | 170: 게이트간 절단막 |
| ACT: 활성 영역 | AF: 활성 핀 |
| GE: 게이트 전극 | GI: 게이트 유전막 |
| SP: 스페이서 | GS: 게이트 구조체 |
| SD: 소스/드레인 영역 | |

도면

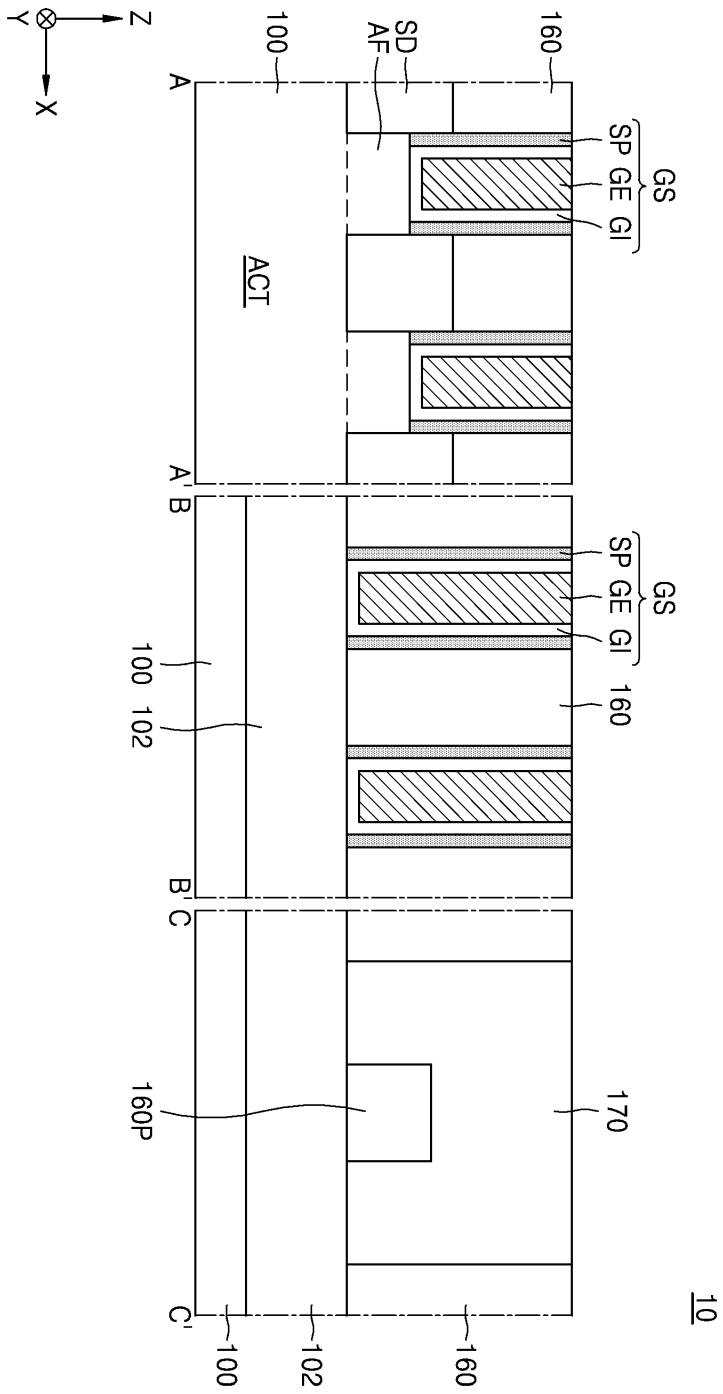
도면1



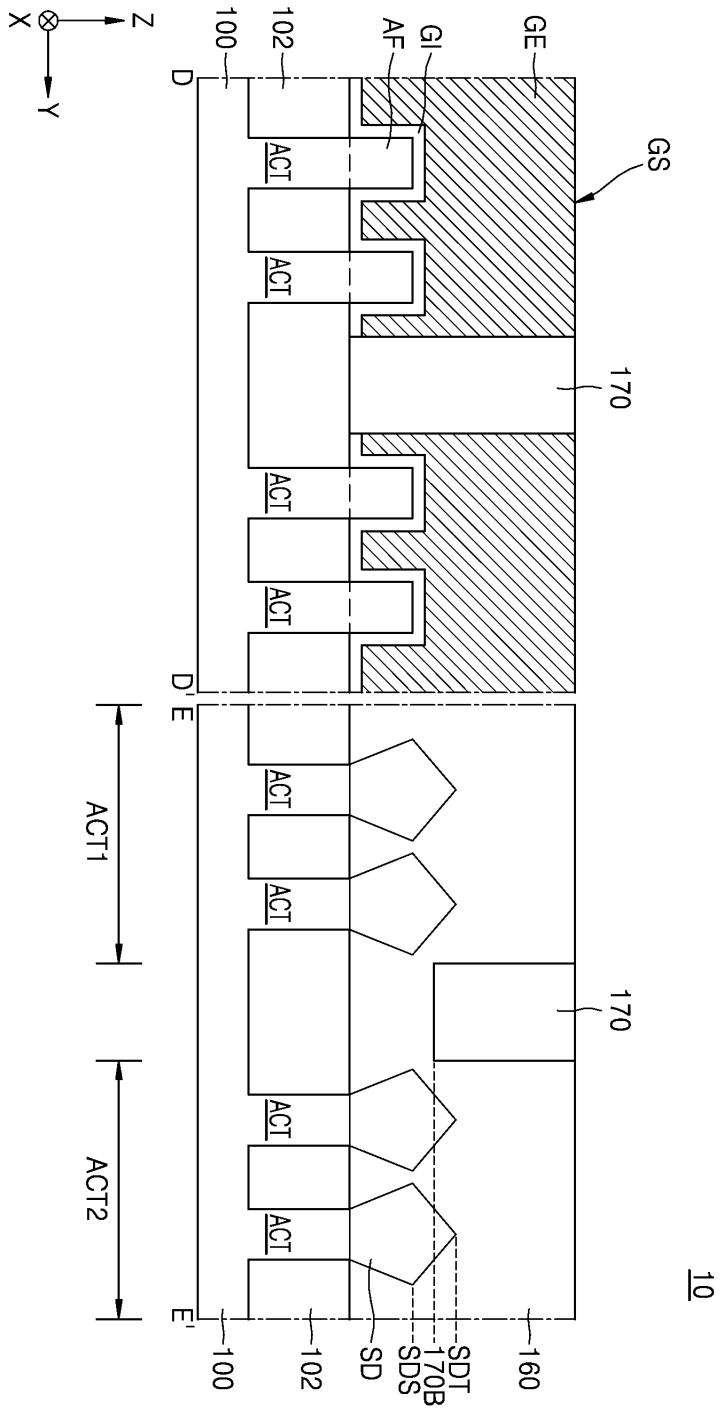
도면2a



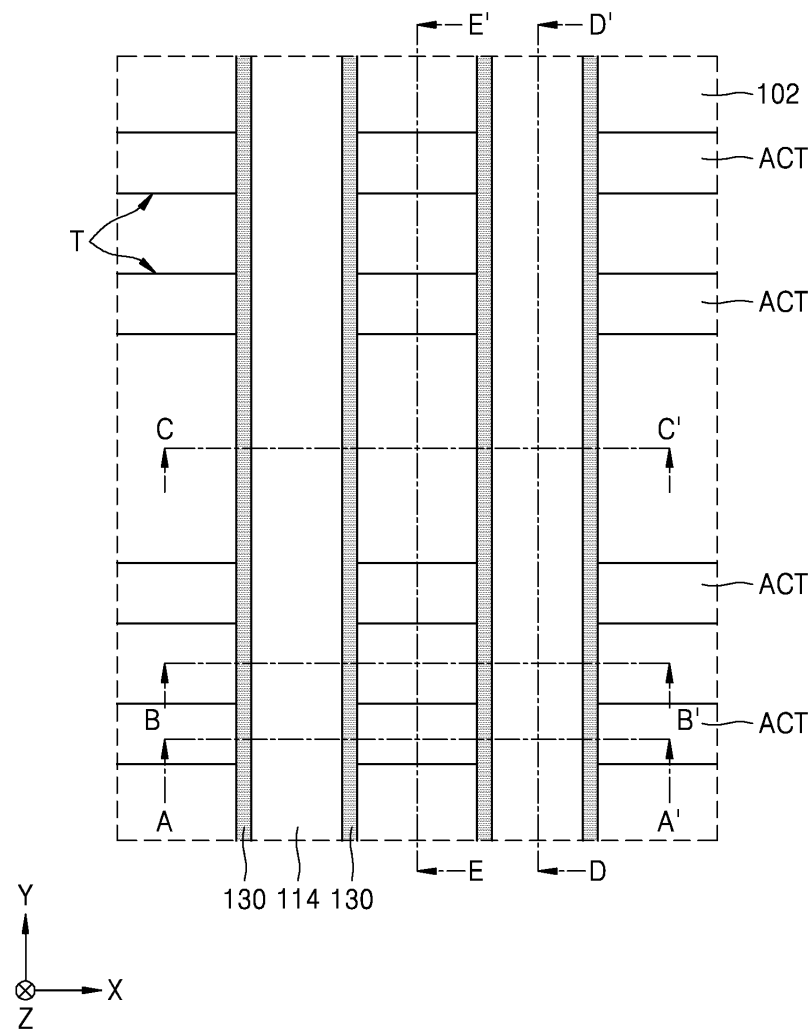
도면2b



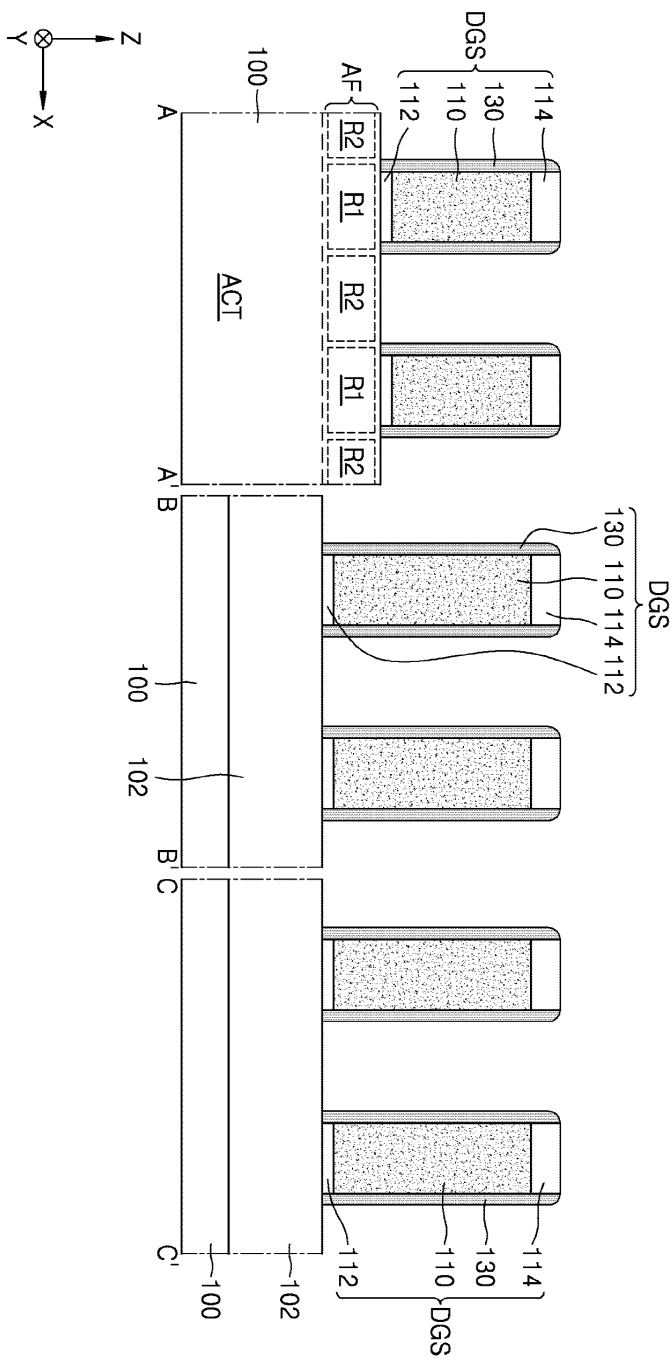
도면2c



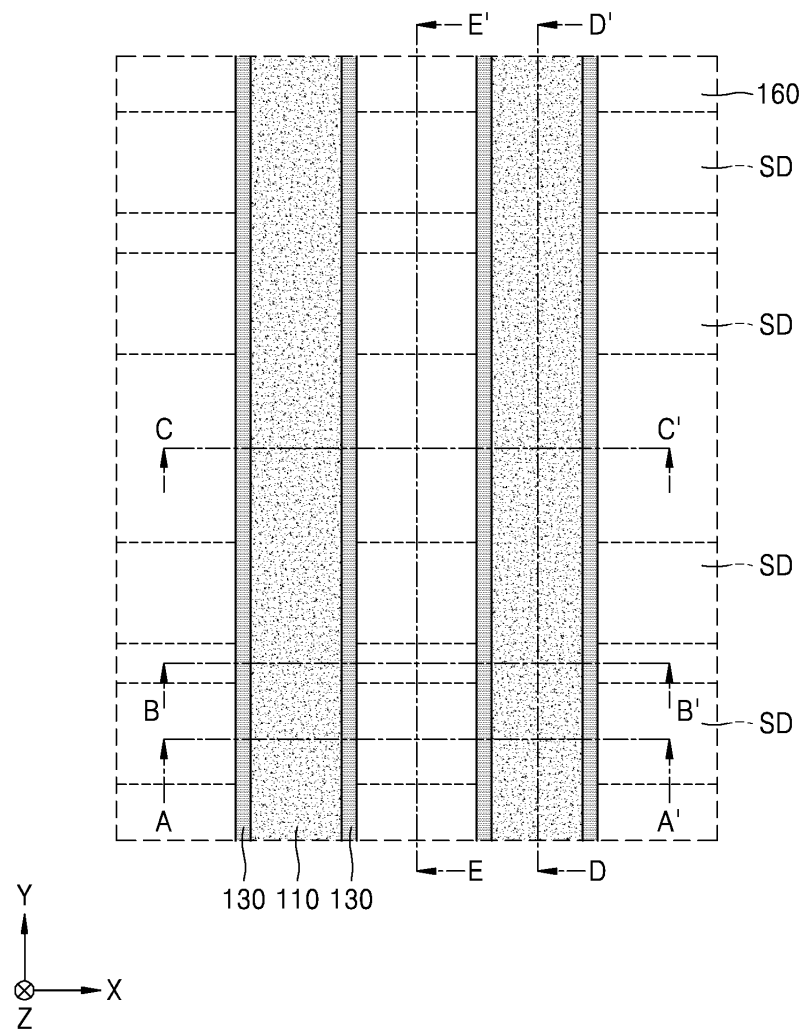
도면3a



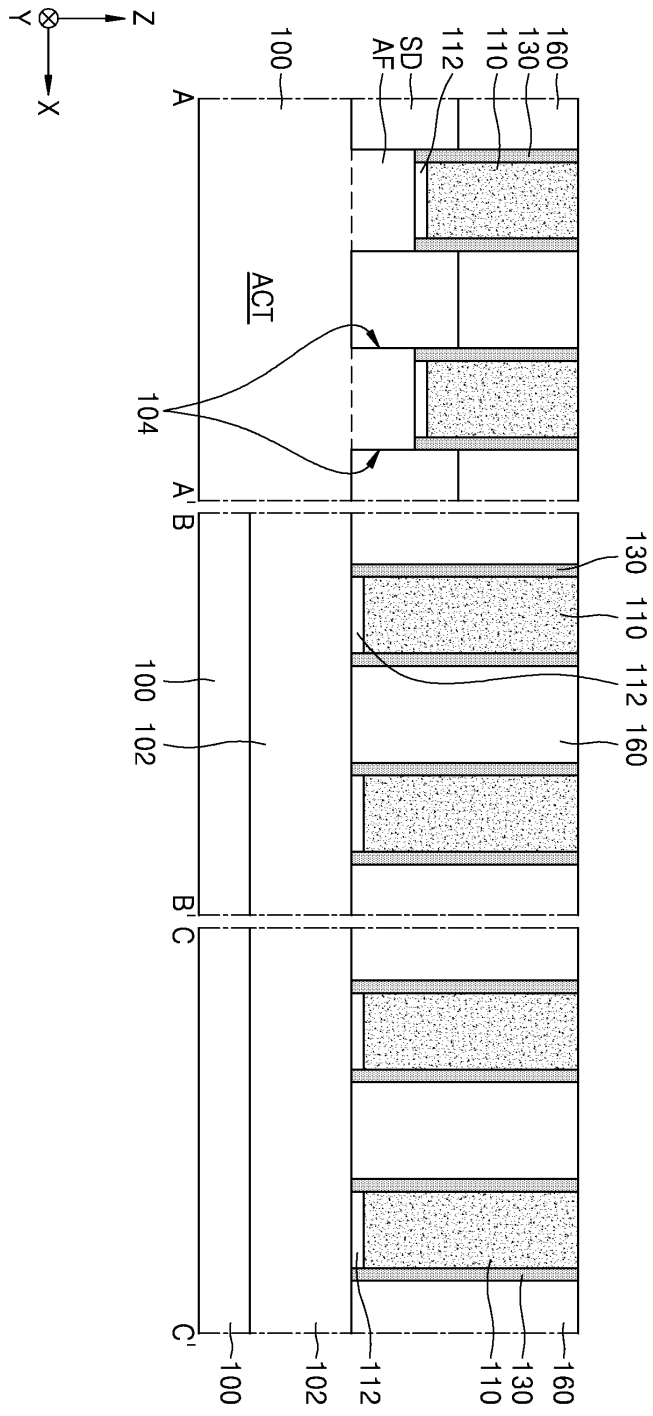
도면3b



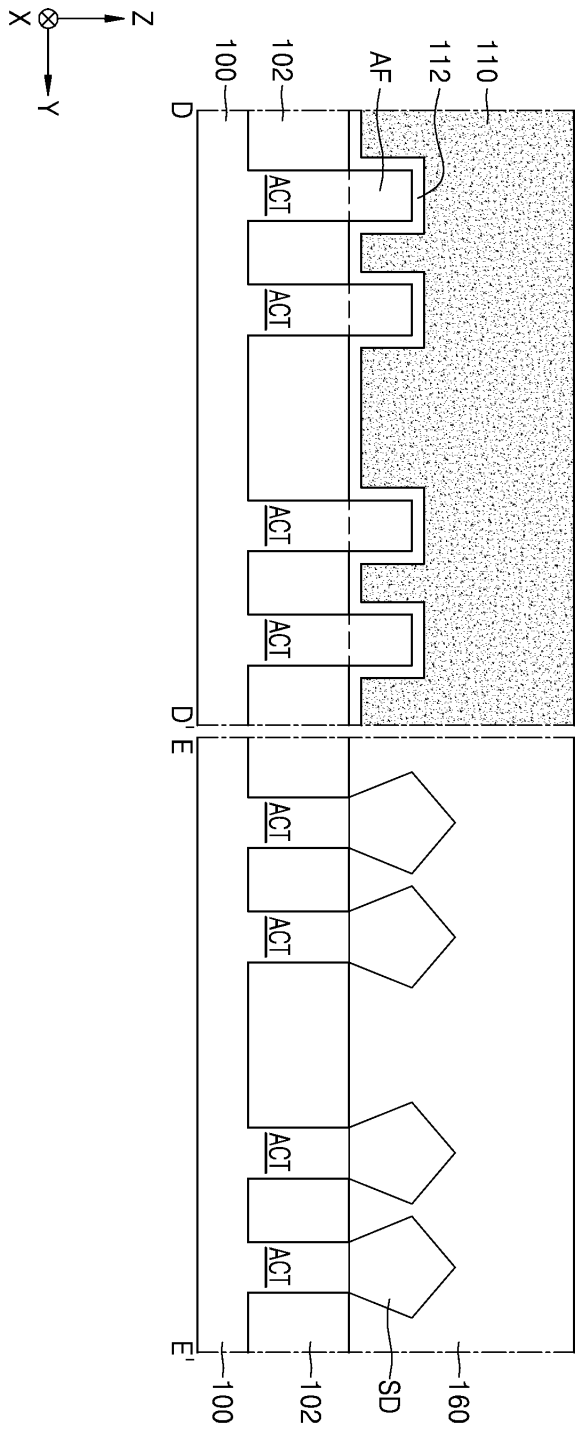
도면4a



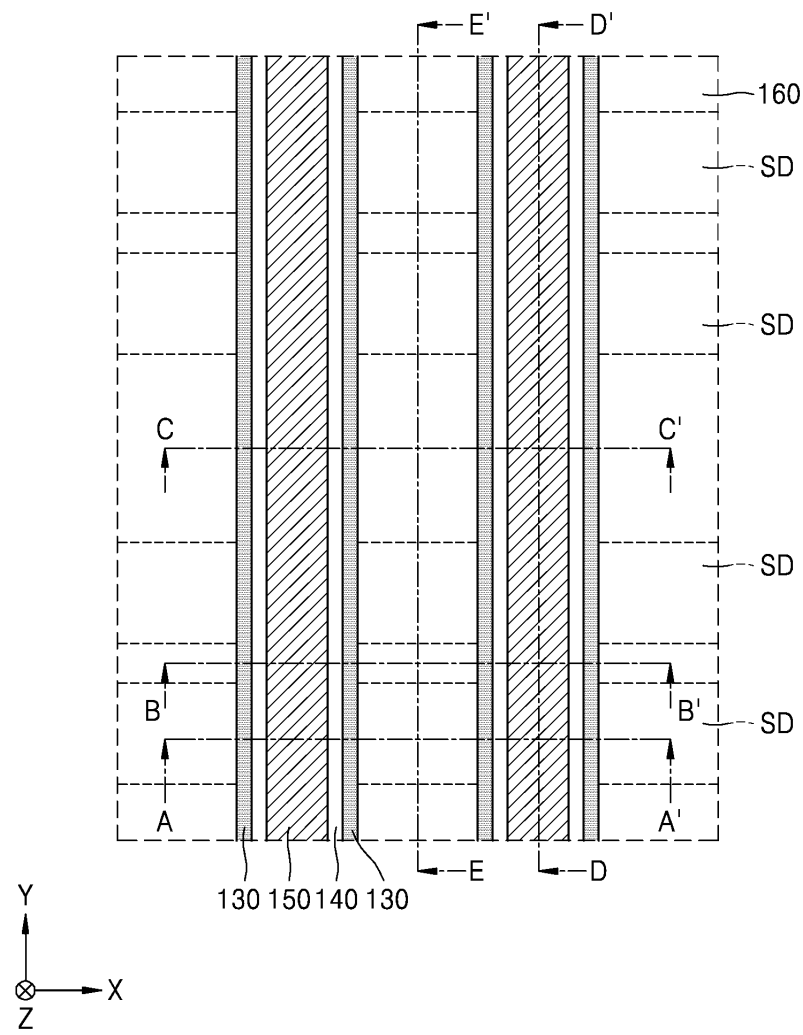
도면4b



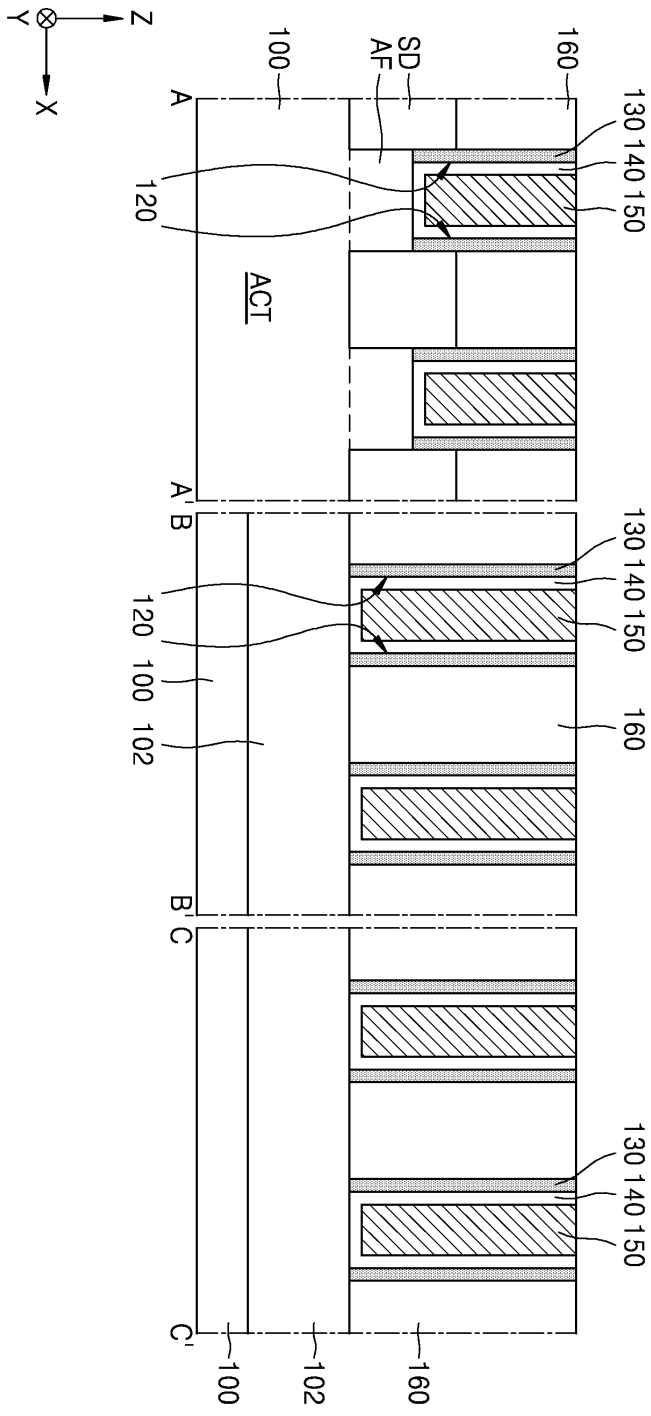
도면4c



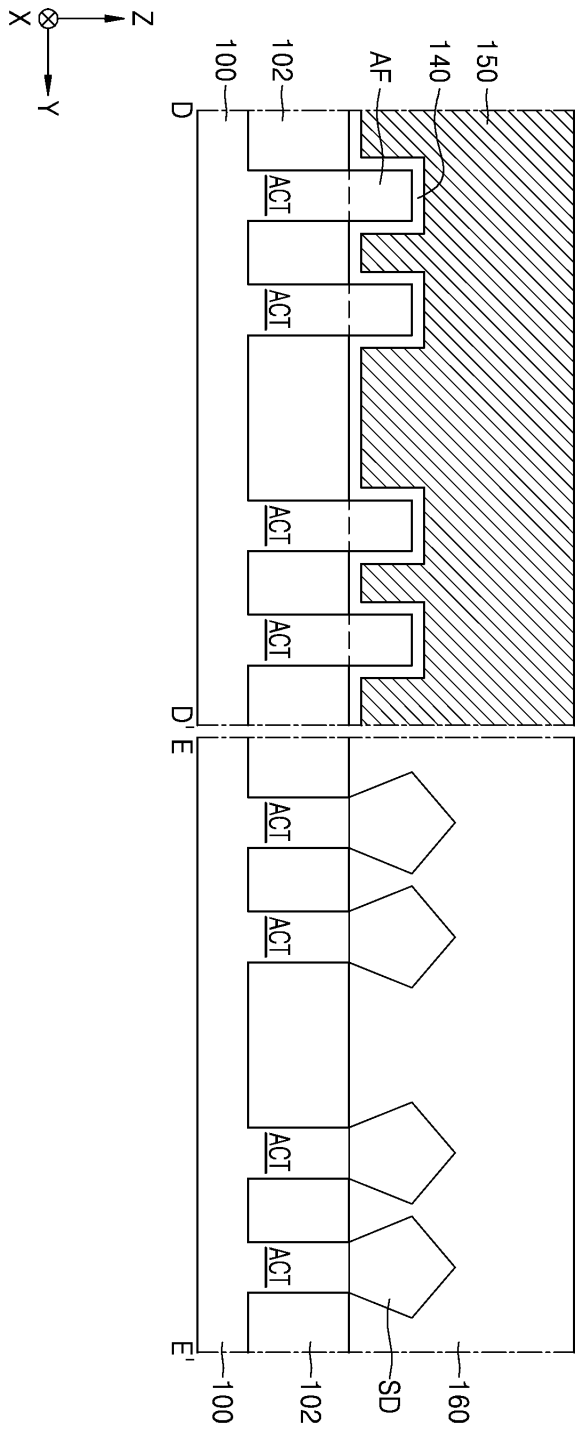
도면5a



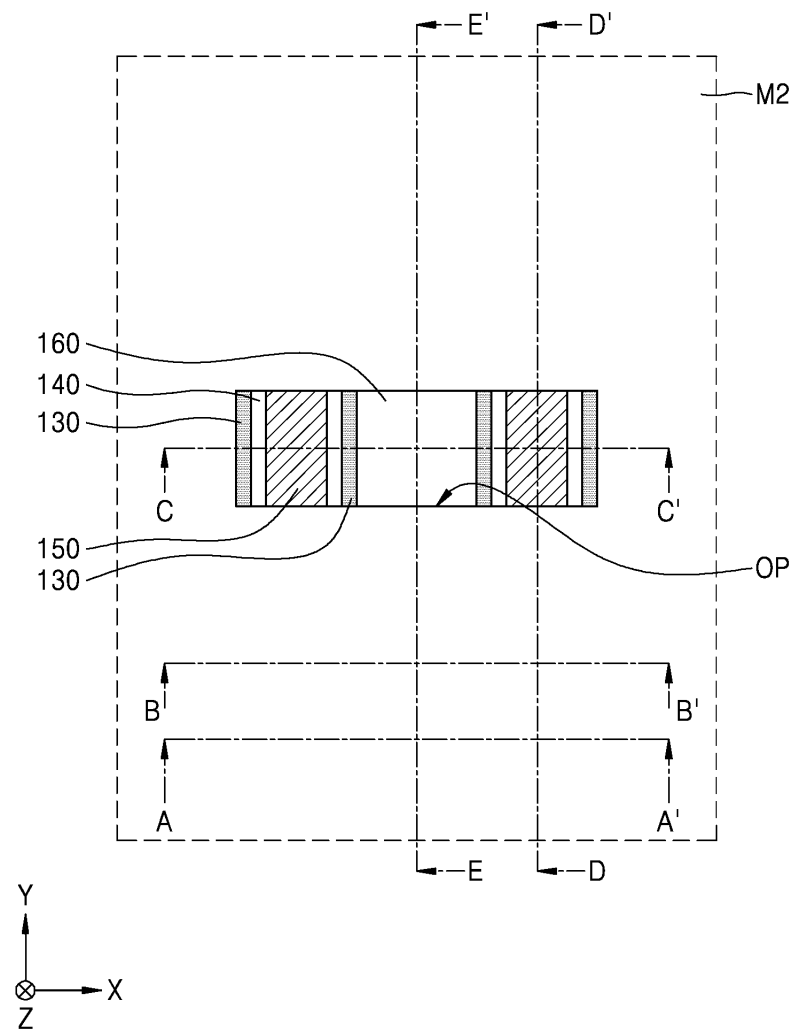
도면5b



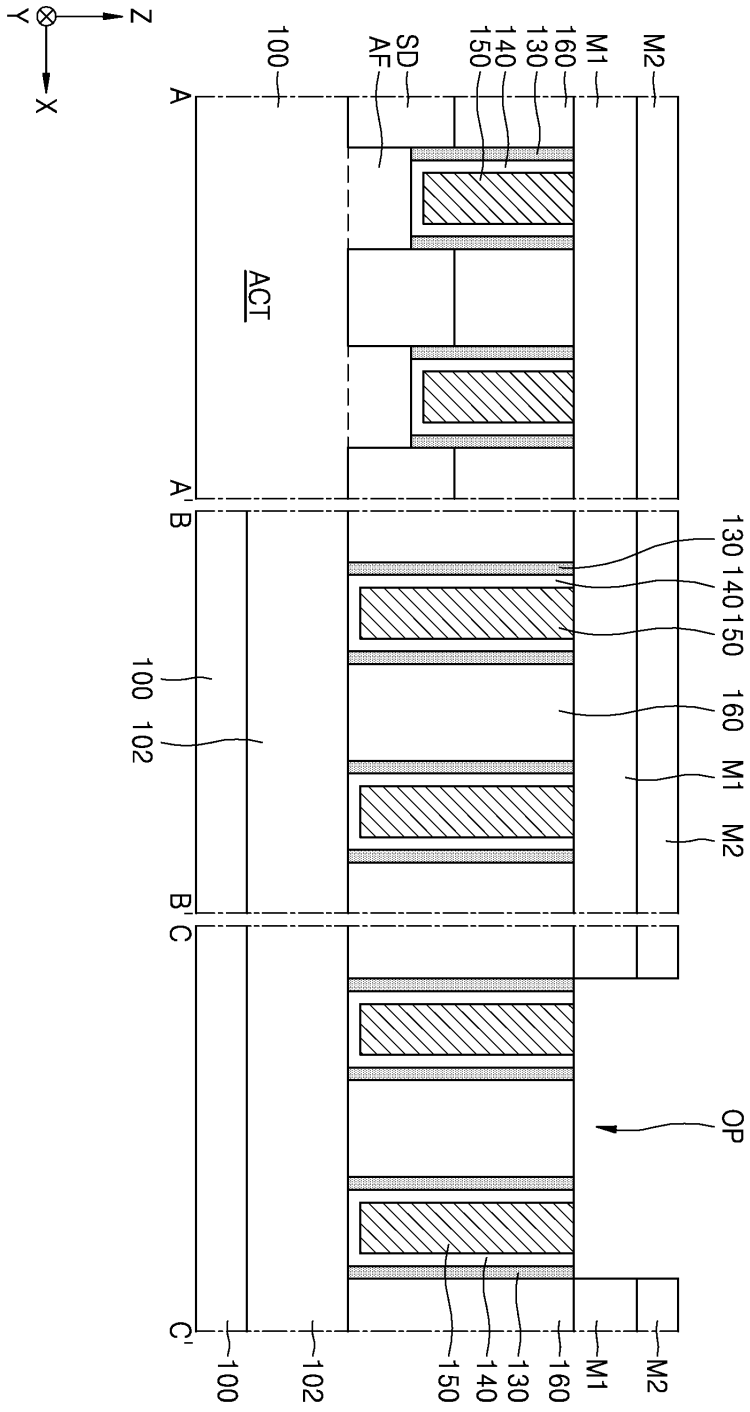
도면5c



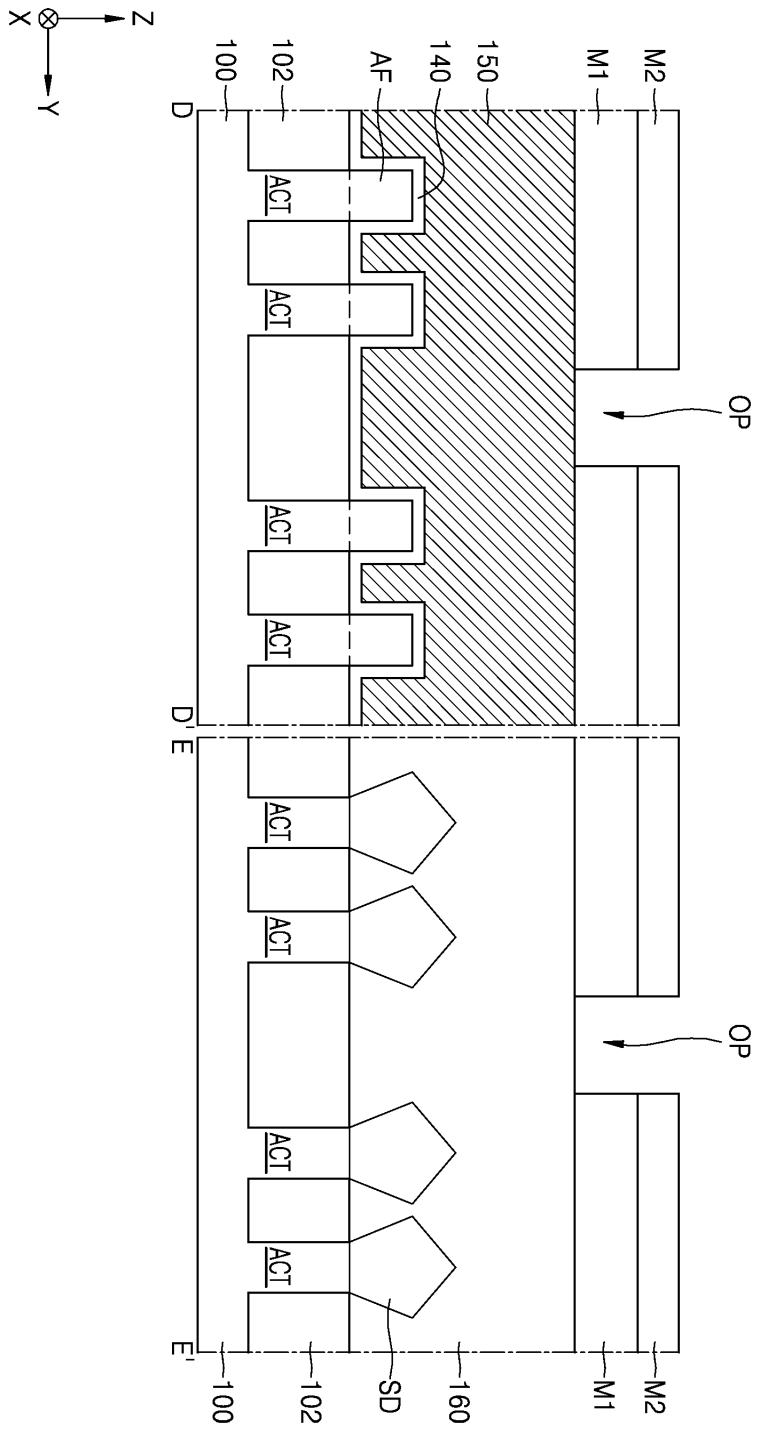
도면6a



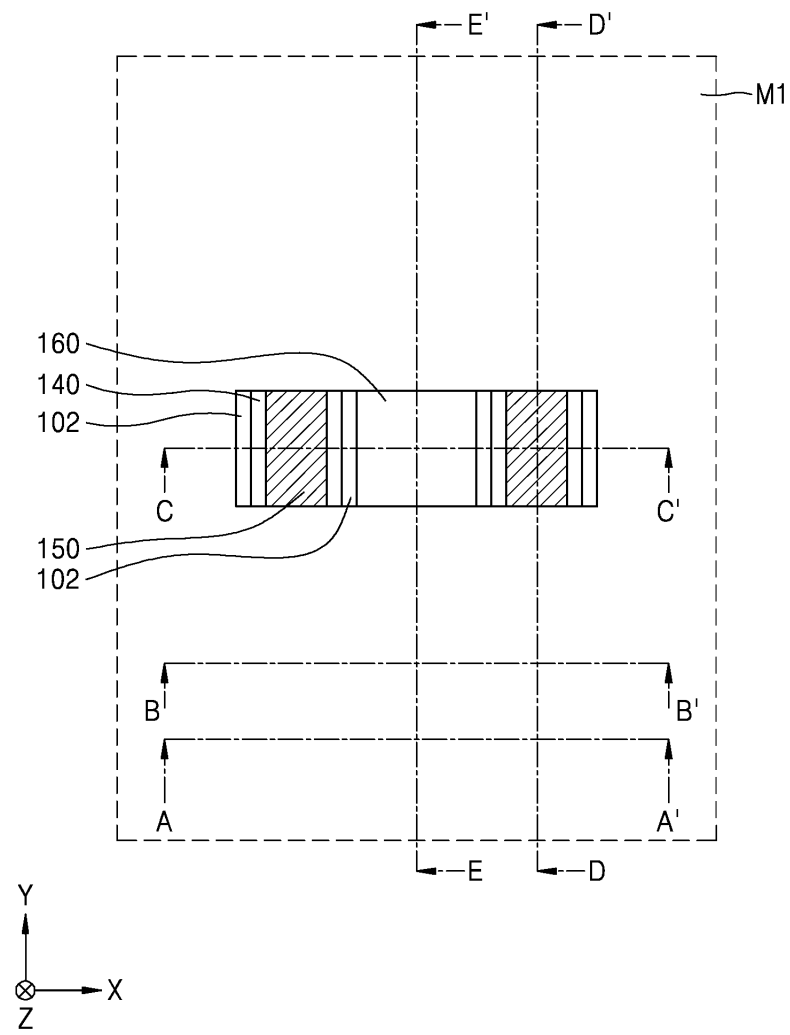
도면6b



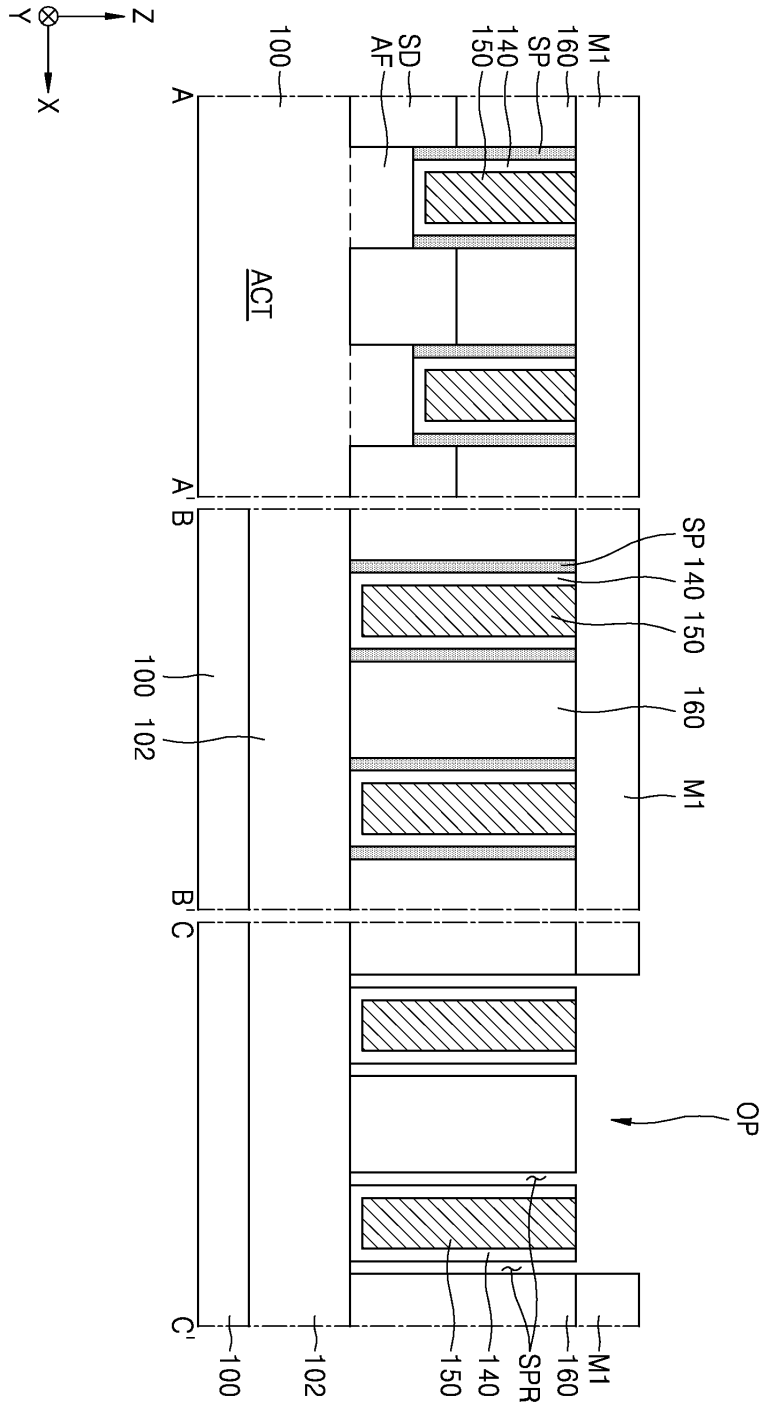
도면6c



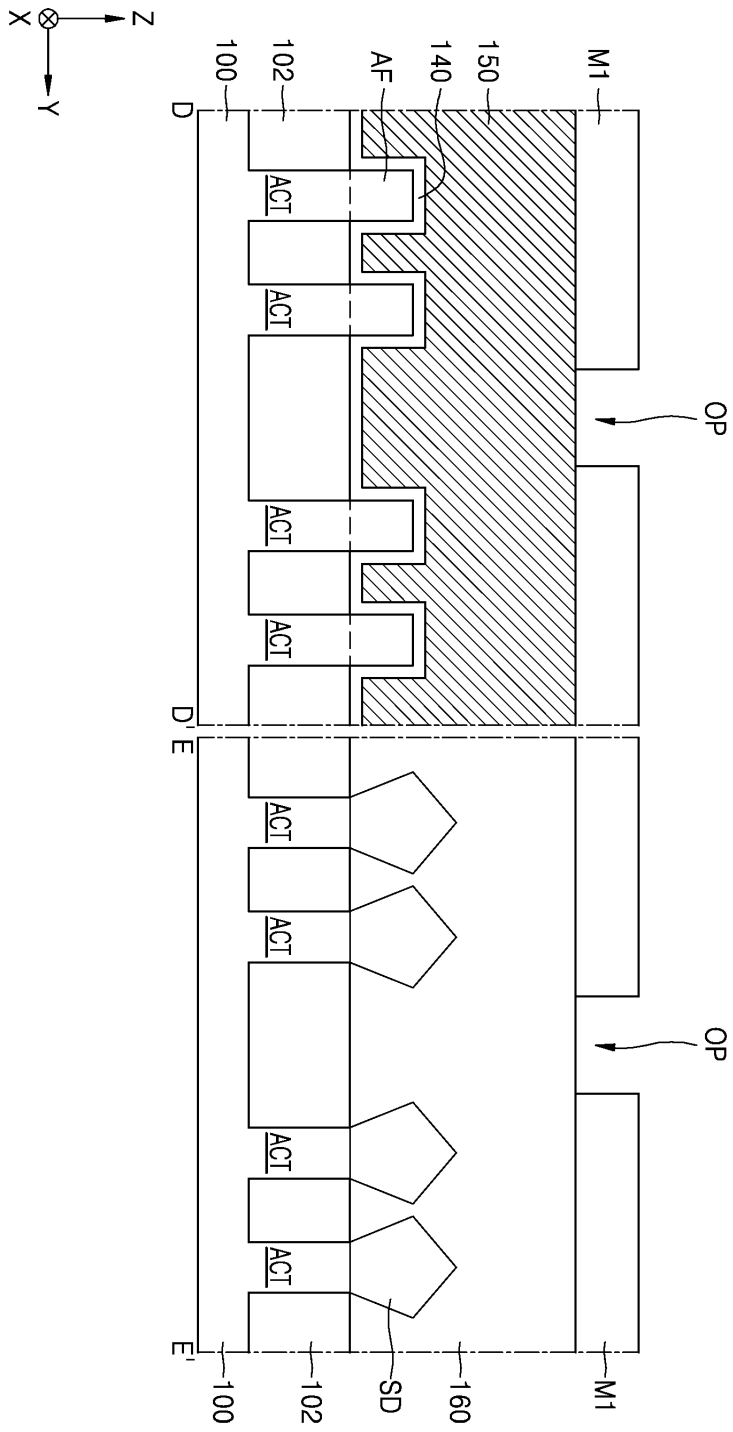
도면7a



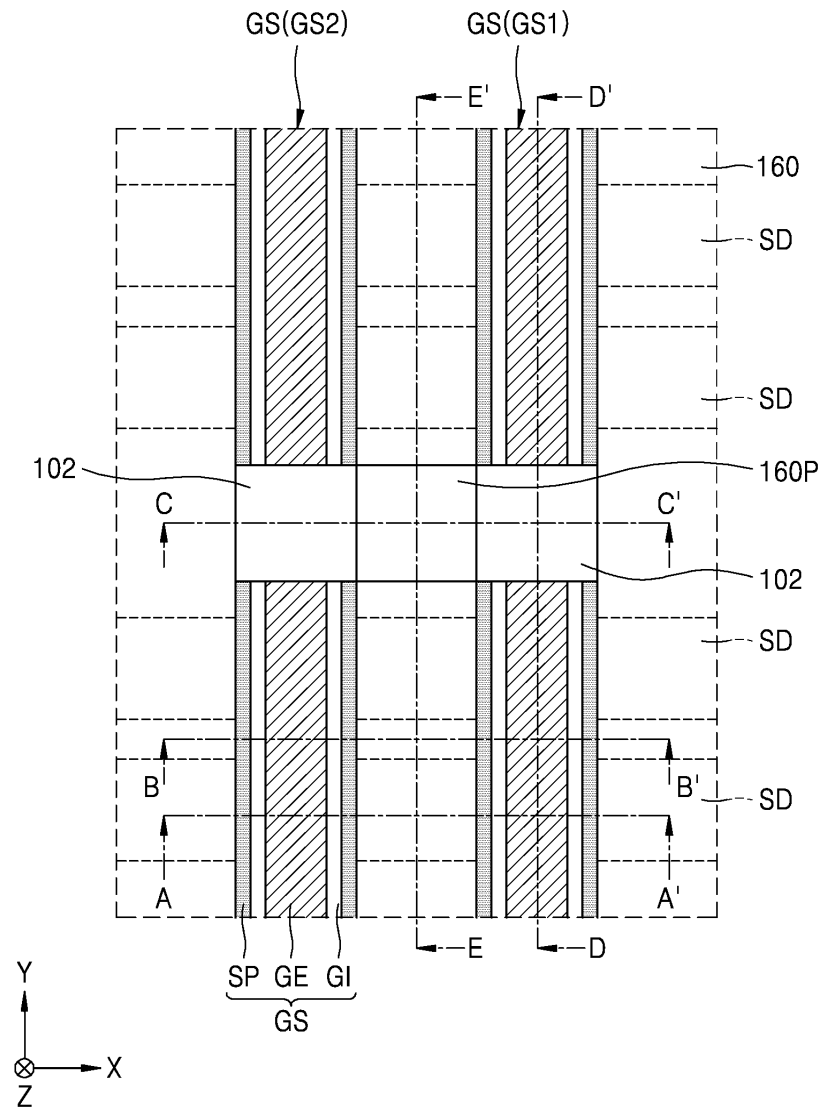
도면 7b



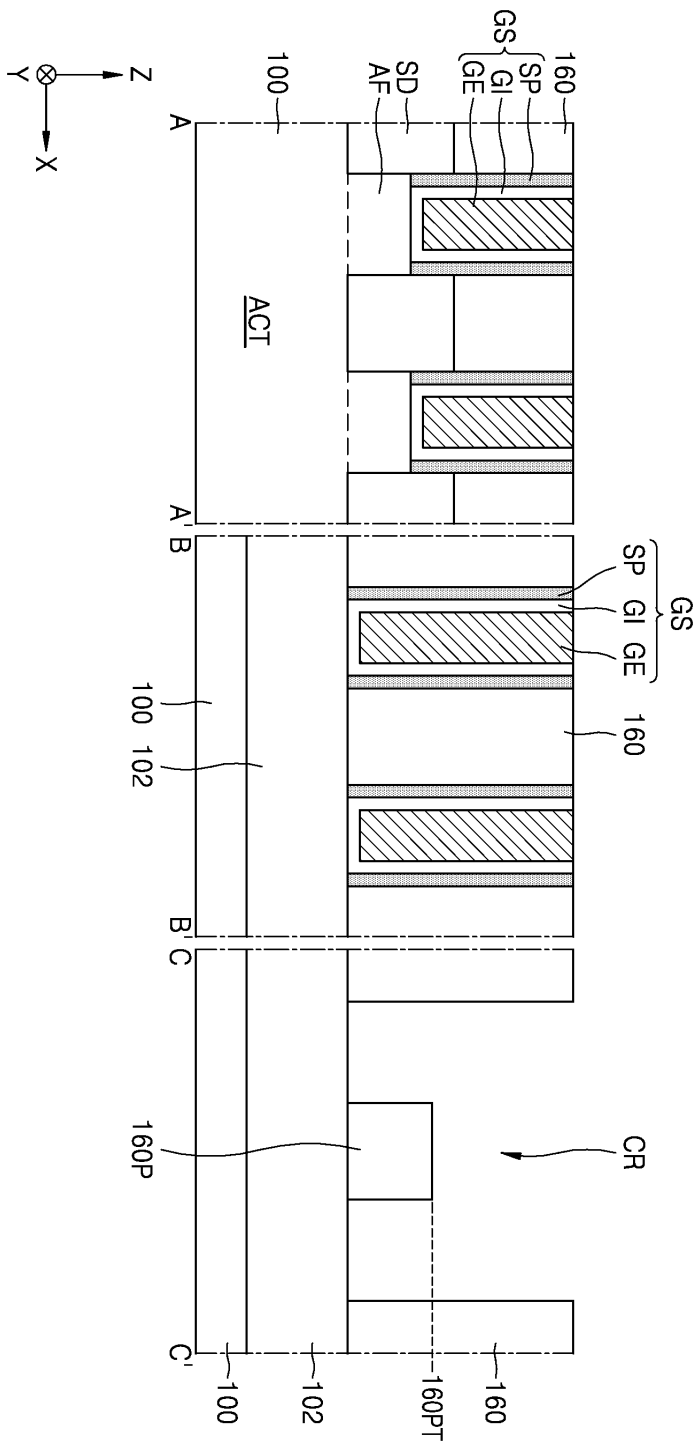
도면7c



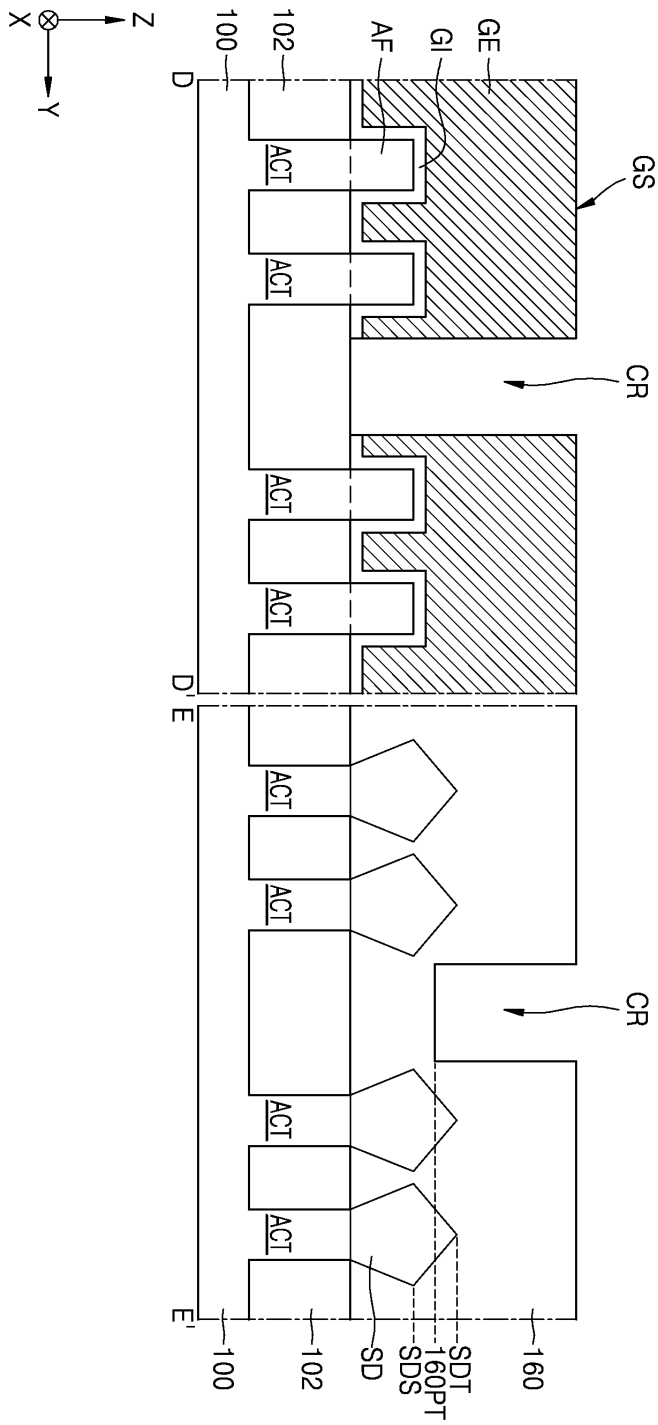
도면8a



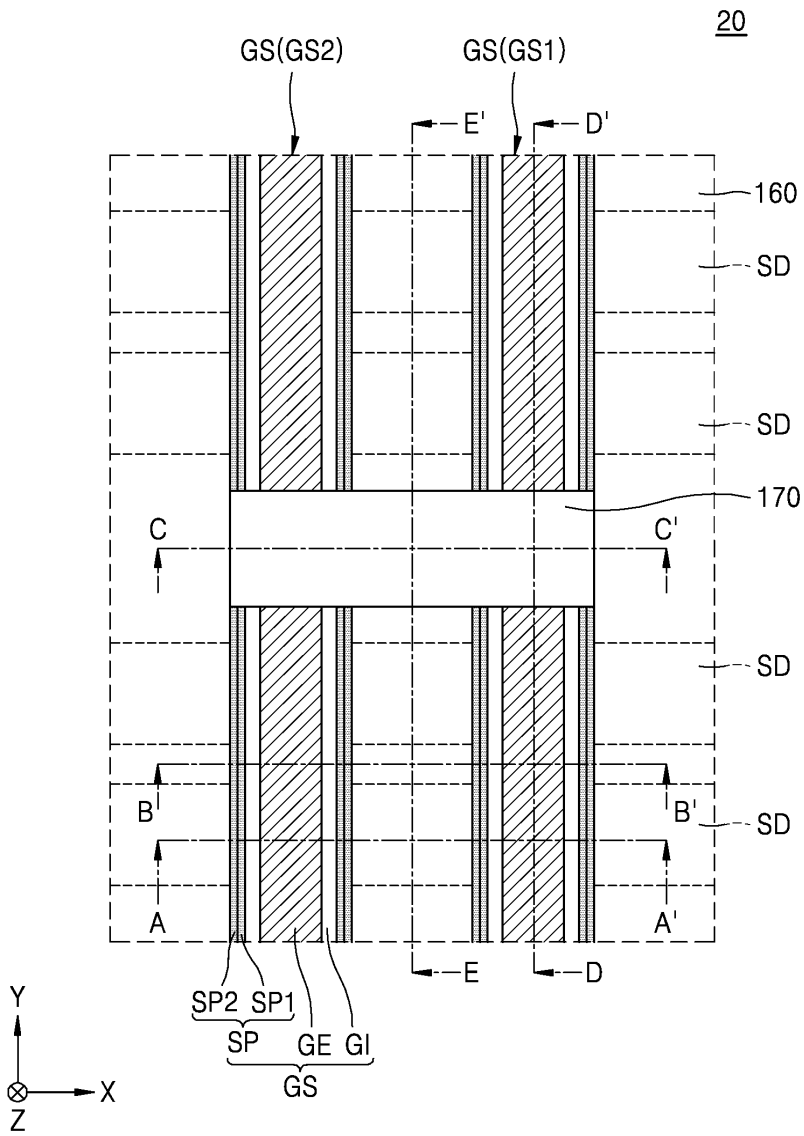
도면8b



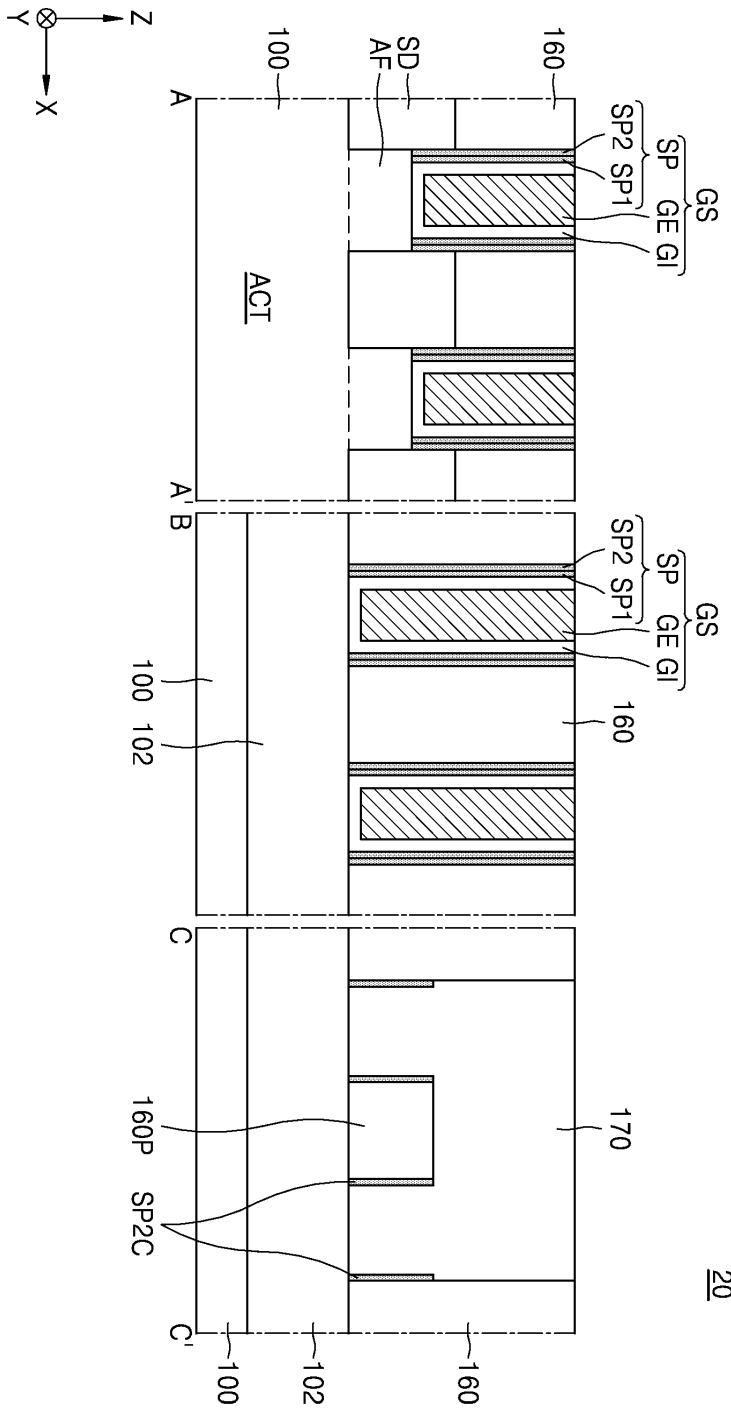
도면8c



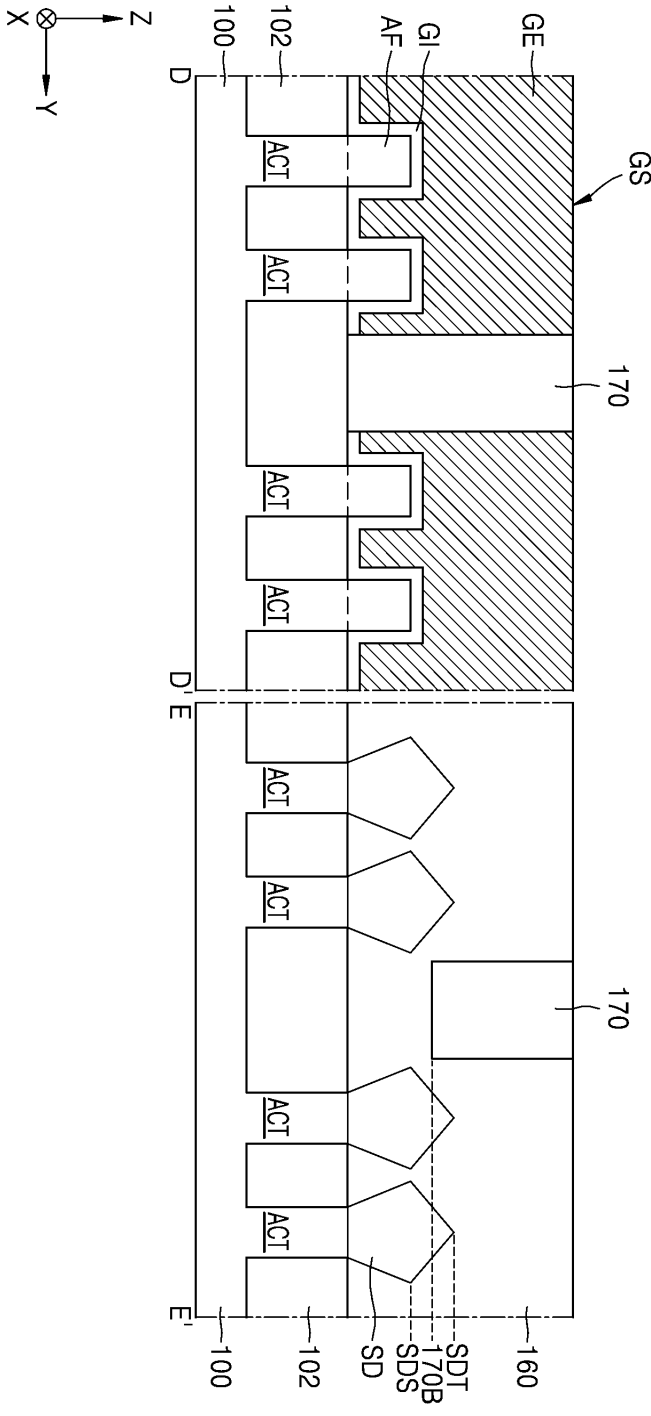
도면9a



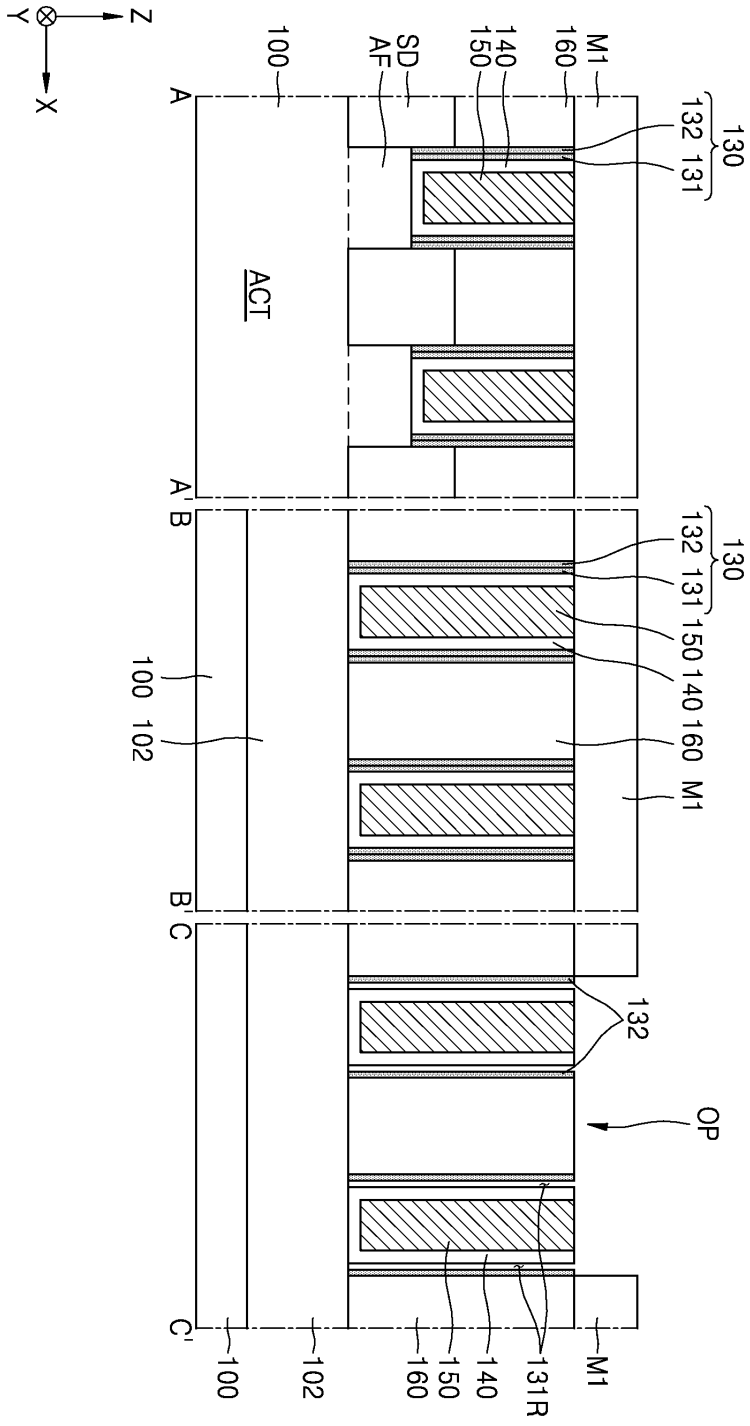
도면9b



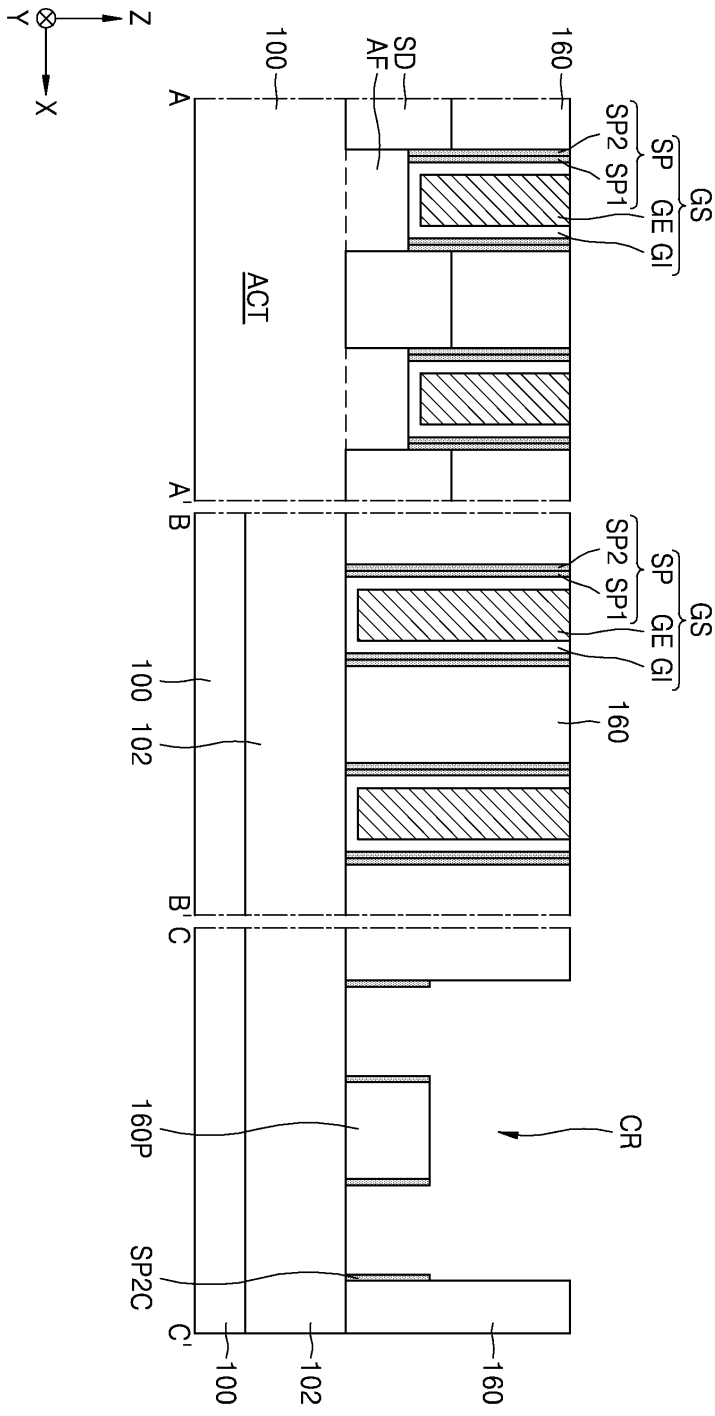
도면9c



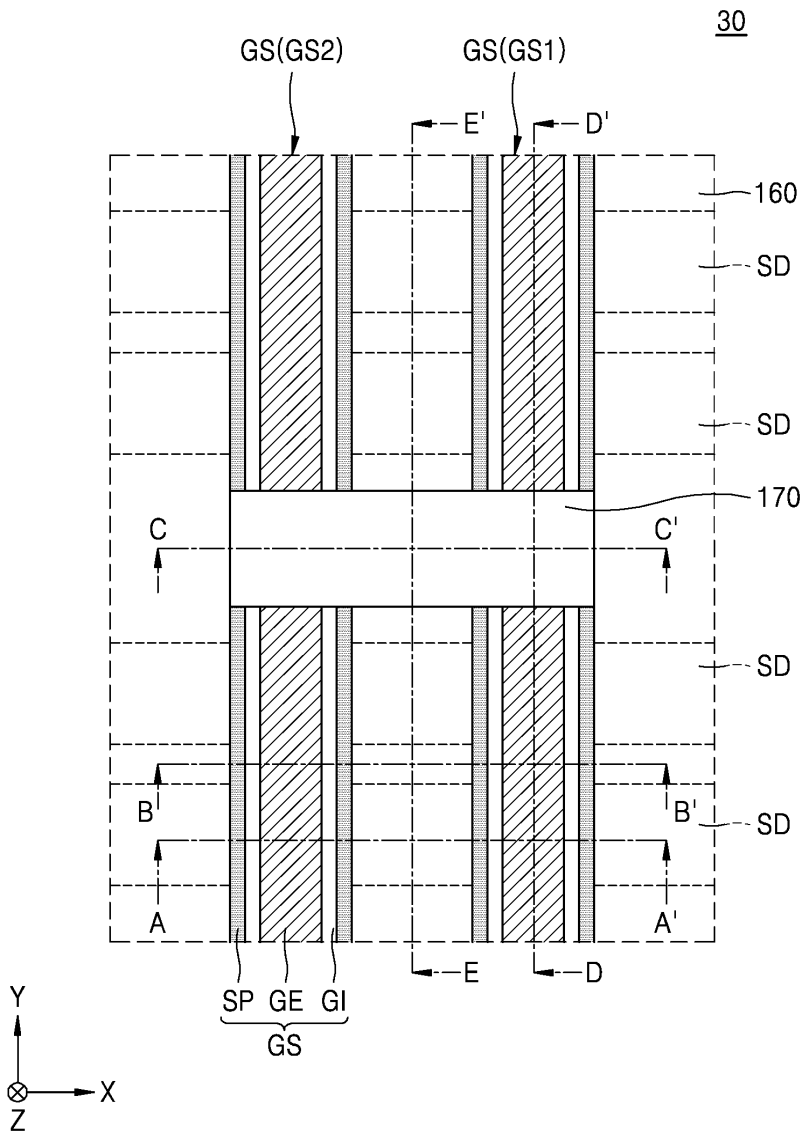
도면10



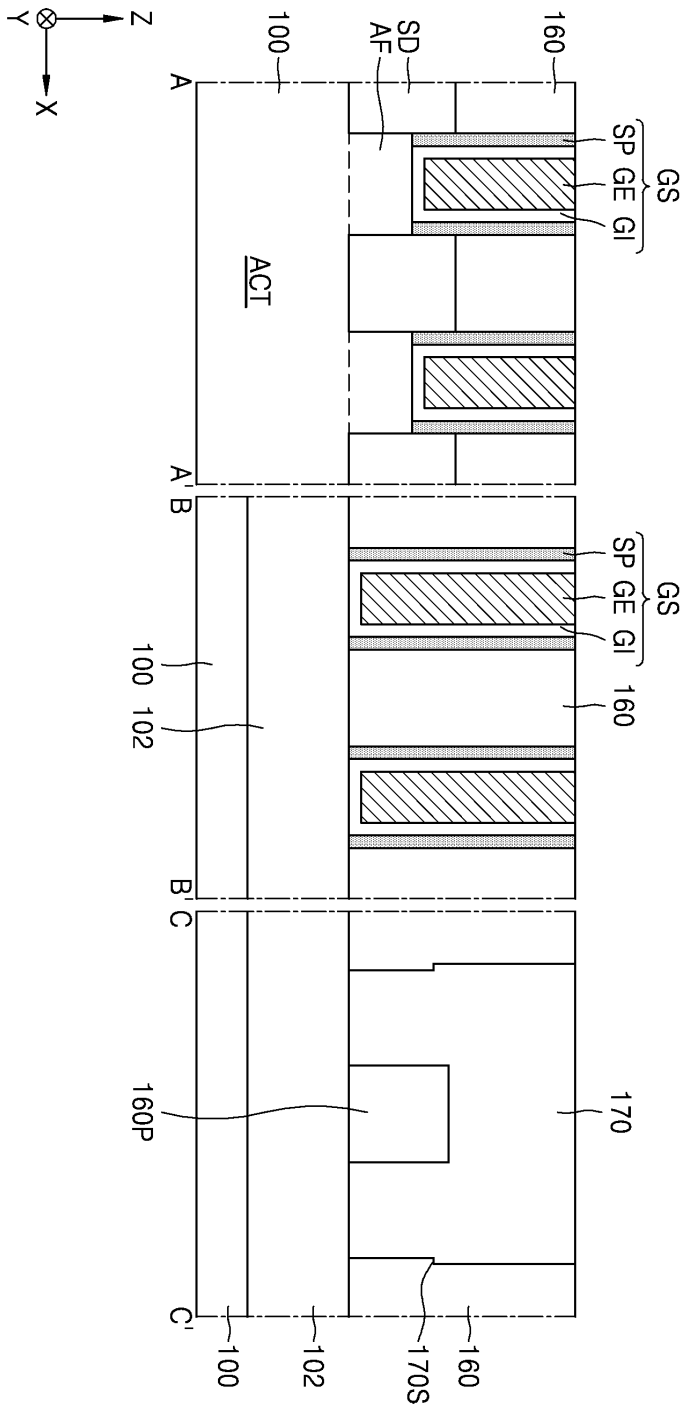
도면11



도면12a

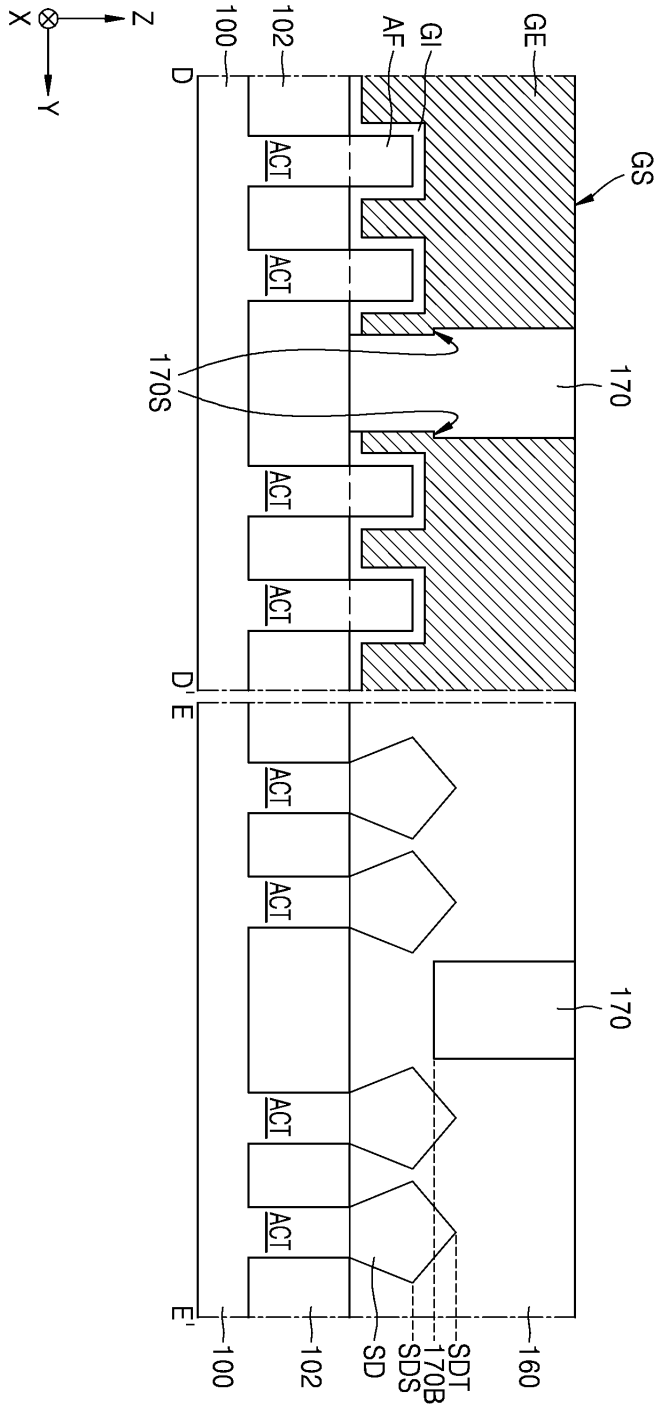


도면12b



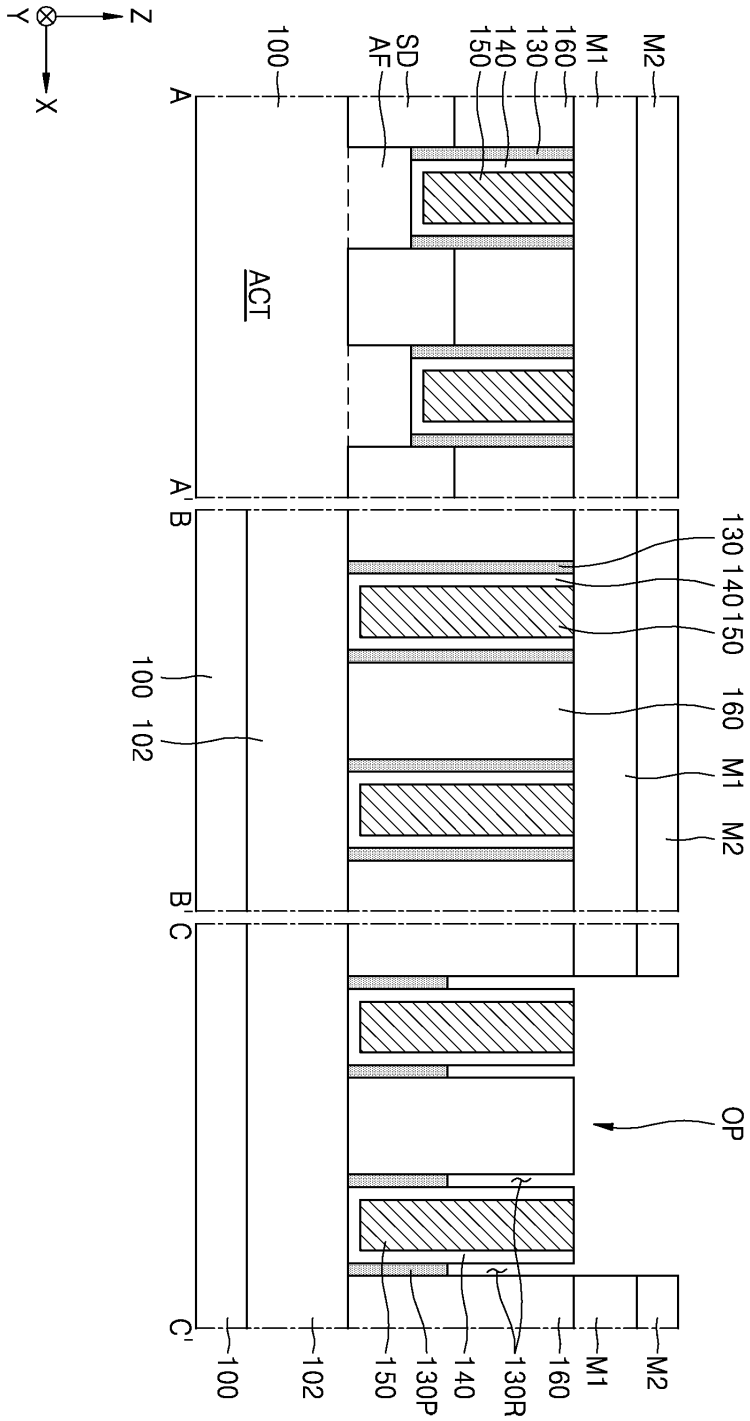
30

도면12c

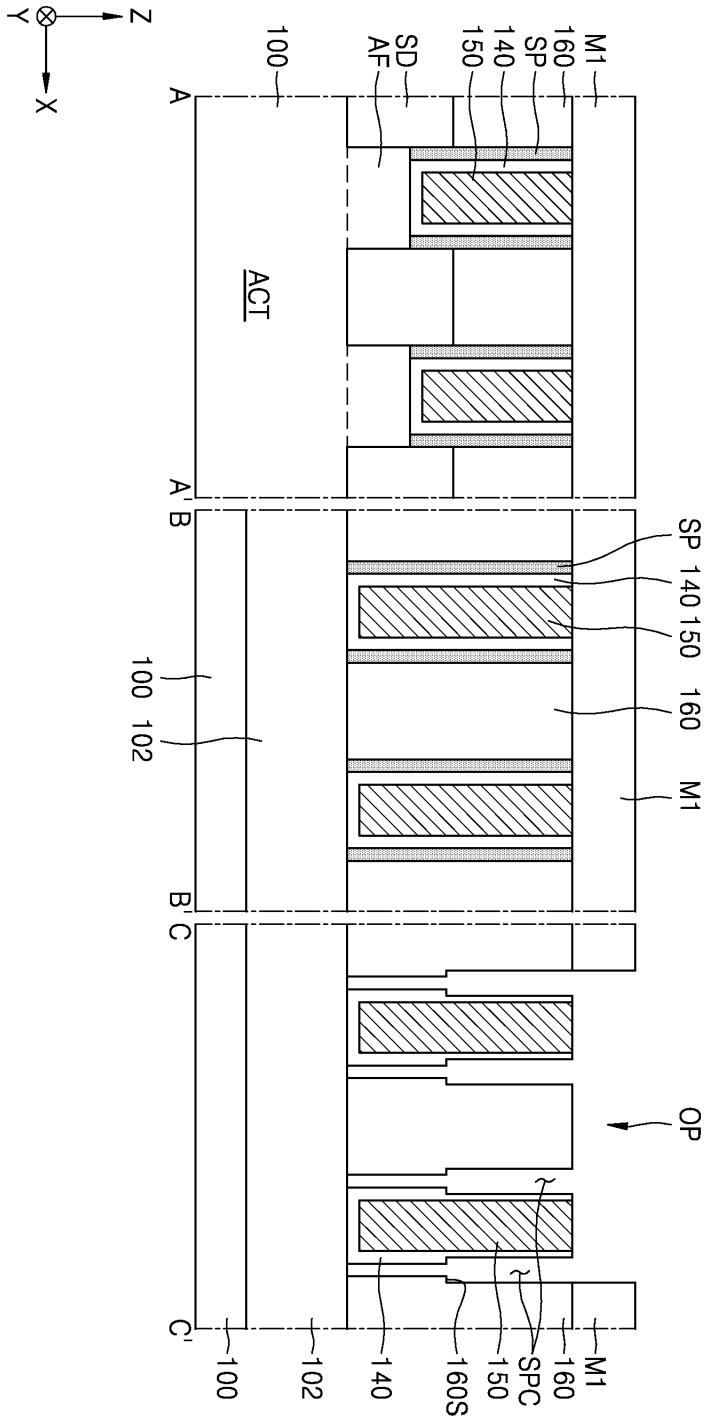


30

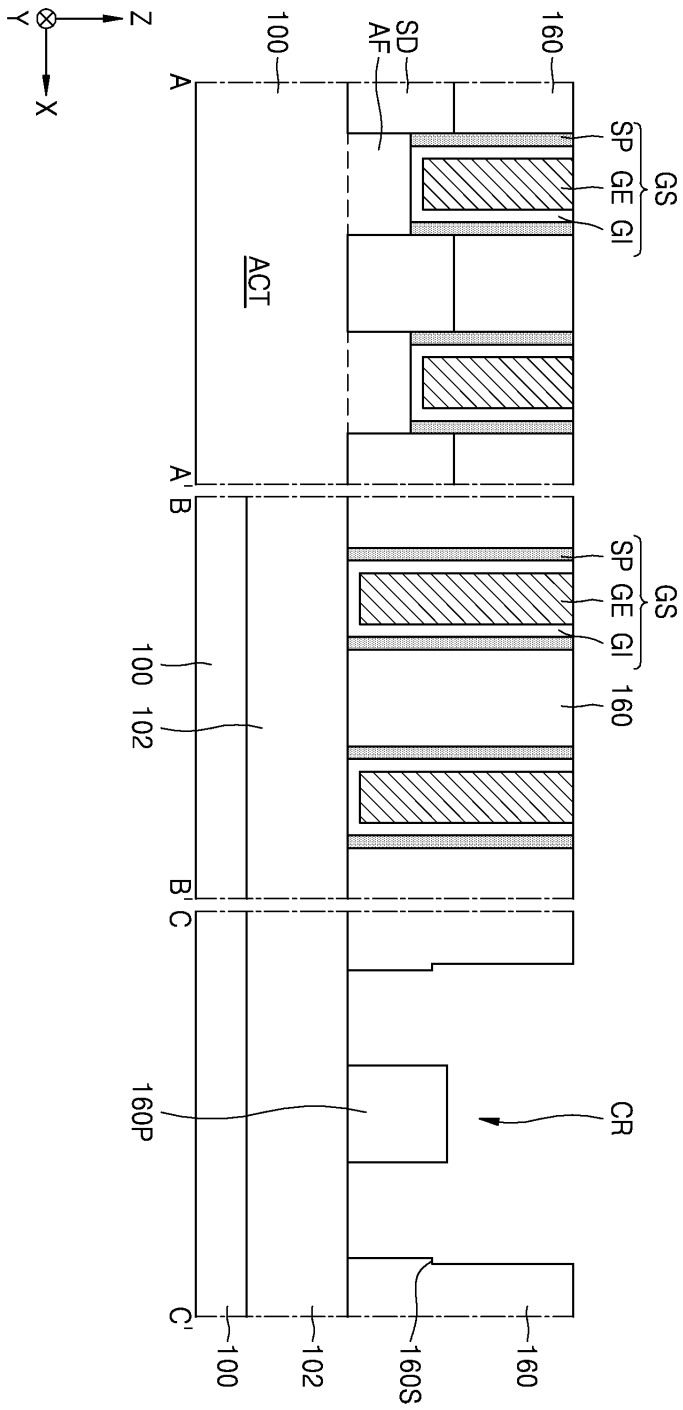
도면13



도면14



도면15



도면16

