

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-3101
(P2009-3101A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 612U	
	G09G 3/20 623K	
審査請求 未請求 請求項の数 15 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2007-162755 (P2007-162755)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成19年6月20日 (2007.6.20)	(74) 代理人	100090479 弁理士 井上 一
		(74) 代理人	100104710 弁理士 竹腰 昇
		(74) 代理人	100124626 弁理士 榎並 智和
		(74) 代理人	100124682 弁理士 黒田 泰
		(72) 発明者	鳥海 裕一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
最終頁に続く			

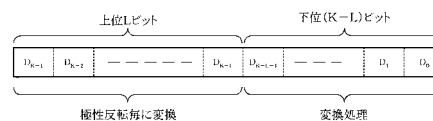
(54) 【発明の名称】 電気光学装置の駆動方法、ソースドライバ、電気光学装置、投写型表示装置及び電子機器

(57) 【要約】

【課題】 小規模且つ低消費電力で極性反転駆動を実現する電気光学装置の駆動方法、ソースドライバ、電気光学装置、投写型表示装置及び電子機器を提供する。

【解決手段】 K (K は2以上の整数)ビットの階調データに基づいて、電気光学装置のソース線を駆動するための電気光学装置の駆動方法では、前記階調データの最上位ビットのデータが第1のデータするとき、変換前後の下位 ($K - L$) ($K > L$, L は正の整数)ビットのデータの符号語間距離が ($K - L$) 以下となるように前記階調データの下位 ($K - L$) ビットのデータを変換した変換データを生成し、第1の極性の駆動期間では前記変換データに対応した階調信号に基づいて前記ソース線を駆動し、第2の極性の駆動期間では、変換前後の上位 L ビットの符号語間距離が L 以下となるように前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

K (K は 2 以上の整数) ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するための電気光学装置の駆動方法であって、

前記階調データの最上位ビットのデータが第 1 のデータするとき、変換前後の下位 (K - L) (K > L、L は正の整数) ビットのデータの符号語間距離が (K - L) 以下となるように前記階調データの下位 (K - L) ビットのデータを変換した変換データを生成し、

前記電気光学素子に印可される信号の極性が第 1 の極性の駆動期間では前記変換データに対応した階調信号に基づいて前記ソース線を駆動し、前記電気光学素子に印可される信号の極性が第 2 の極性の駆動期間では、変換前後の上位 L ビットの符号語間距離が L 以下となるように前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することを特徴とする電気光学装置の駆動方法。

10

【請求項 2】

請求項 1 において、

前記変換データをバッファに格納し、

前記第 1 の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号に基づいて前記ソース線を駆動し、

前記第 2 の極性の駆動期間では、前記バッファから読み出したデータに対して変換前後の上位 L ビットの符号語間距離が L 以下となるように前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することを特徴とする電気光学装置の駆動方法。

20

【請求項 3】

K (K は 2 以上の整数) ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するための電気光学装置の駆動方法であって、

前記階調データの下位 (K - L) (K > L、L は正の整数) ビットのデータを変換した変換データを生成し、該変換データをバッファに格納し、

前記電気光学素子に印可される信号の極性が第 1 の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号に基づいて前記ソース線を駆動し、前記第 2 の極性の駆動期間では、前記バッファから読み出したデータに対して前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することで、前記第 1 及び第 2 の極性の駆動期間において、前記変換データの上位 L ビットのデータの変換回数を前記変換データの下位 (K - L) ビットのデータの変換回数より少なくしたことを特徴とする電気光学装置の駆動方法。

30

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

L が 1 であることを特徴とする電気光学装置の駆動方法。

【請求項 5】

K (K は 2 以上の整数) ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するためのソースドライバであって、

前記階調データの最上位ビットのデータが第 1 のデータするとき、変換前後の下位 (K - L) (K > L、L は正の整数) ビットのデータの符号語間距離が (K - L) 以下となるように前記階調データの下位 (K - L) ビットのデータを変換した変換データを生成する変換データ生成回路と、

40

前記電気光学素子に印可される信号の極性が第 1 の極性の駆動期間では前記変換データに対応した階調信号に基づいて前記ソース線を駆動し、前記電気光学素子に印可される信号の極性が第 2 の極性の駆動期間では、変換前後の上位 L ビットの符号語間距離が L 以下となるように前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動するソース線駆動回路とを含むことを特徴とするソースドライバ。

【請求項 6】

50

請求項 5 において、
 前記変換データがバッファリングされるバッファを含み、
 前記ソース線駆動回路が、
 前記第 1 の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号で駆動すると共に、

前記第 2 の極性の駆動期間では、前記バッファから読み出したデータに対して変換前後の上位 L ビットの符号語間距離が L 以下となるように前記変換データの上位 L ビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することを特徴とするソースドライバ。

【請求項 7】

10

請求項 5 又は 6 において、
 L が 1 であることを特徴とするソースドライバ。

【請求項 8】

請求項 7 において、
 前記ソース線駆動回路が、
 前記第 2 の極性の駆動期間において、前記変換データの最上位ビットのみを反転する最上位ビット反転回路を含むことを特徴とするソースドライバ。

【請求項 9】

20

複数のゲート線と、
 複数のソース線と、
 各画素が、各ゲート線及び各ソース線により特定される複数の画素と、
 前記複数のゲート線を走査するためのゲートドライバと、
 前記複数のソース線を駆動するための請求項 1 乃至 8 のいずれか記載のソースドライバとを含むことを特徴とする電気光学装置。

【請求項 10】

請求項 1 乃至 8 のいずれか記載のソースドライバを含むことを特徴とする電気光学装置。

【請求項 11】

30

請求項 9 又は 10 記載の電気光学装置と、
 前記電気光学装置に光を入射するための光源と、
 前記電気光学装置から出射される光を投写するための投写手段とを含むことを特徴とする投写型表示装置。

【請求項 12】

請求項 1 乃至 8 のいずれか記載のソースドライバを含むことを特徴とする投写型表示装置。

【請求項 13】

請求項 9 又は 10 記載の電気光学装置を含むことを特徴とする電子機器。

【請求項 14】

40

請求項 9 又は 10 記載の電気光学装置と、
 前記電気光学装置に対して階調データを供給する手段とを含むことを特徴とする電子機器。

【請求項 15】

請求項 1 乃至 8 のいずれか記載のソースドライバを含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置の駆動方法、ソースドライバ、電気光学装置、投写型表示装置及び電子機器に関する。

【背景技術】

【0002】

50

従来より、携帯電話機などの電子機器に用いられる液晶パネル（電気光学装置）として、単純マトリクス方式の液晶パネルと、薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す）などのスイッチング素子を用いたアクティブマトリクス方式の液晶パネルとが知られている。

【0003】

単純マトリクス方式は、アクティブマトリクス方式に比べて低消費電力化が容易であるという利点がある反面、多色化や動画表示が難しいという不利点がある。一方、アクティブマトリクス方式は、多色化や動画表示に適しているという利点がある反面、低消費電力化が難しいという不利点がある。

【0004】

そして、近年、携帯電話機などの携帯型電子機器では、高品質な画像の提供のために、多色化、動画表示への要望が強まっている。このため、これまで用いられてきた単純マトリクス方式の液晶パネルに代えて、アクティブマトリクス方式の液晶パネルが用いられるようになってきた。

【0005】

このような液晶パネルを駆動するソースドライバについては、例えば特許文献1に開示されている。特許文献1では、デジタルの階調データに基づいて、複数のアナログ電圧の中の1つを選択し、液晶パネルのソース線を駆動する技術が開示されている。

【0006】

一方、このような液晶パネルに用いられる液晶（電気光学素子）には、長期間に亘って同一極性の電圧が印加されると劣化するという性質を有する。そのため、液晶パネルを駆動する場合、液晶の印加電圧の極性を反転させながら駆動する極性反転駆動が行われるのが一般的である。この極性反転駆動は、極性に応じて複数のアナログ電圧を切り換えたり、極性に応じて階調データを変換したりすることで実現される。

【特許文献1】特開2005-252974号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、極性に応じてアナログ電圧を切り換えると、各ノードにおいて電荷の充放電が頻繁に行われて各ノードの電位が安定するまでに時間を要するという問題がある。従って、駆動期間が短縮し、階調数が増加すると、各階調値に対応した電位の精度が低下してしまい、画質の劣化を招く。

【0008】

また、階調データを変換する場合には、階調データの全ビットを極性に応じて反転させていたため、ソース出力毎に全ビットの反転回路を備えることにより回路規模の増大と全ビットの反転に伴う消費電流の増大とを招いていた。将来は、ソース出力数が増加し、且つソース出力ピッチが狭くなる傾向が顕著となるため、低消費電力化と共に、回路規模の増大を抑える必要がある。

【0009】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的の1つは、小規模且つ低消費電力で極性反転駆動を実現する電気光学装置の駆動方法、ソースドライバ、電気光学装置、投写型表示装置及び電子機器を提供することにある。

【課題を解決するための手段】

【0010】

上記課題を解決するために本発明は、

K（Kは2以上の整数）ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するための電気光学装置の駆動方法であって、

前記階調データの最上位ビットのデータが第1のデータのとき、変換前後の下位（K-L）（K>L、Lは正の整数）ビットのデータの符号語間距離が（K-L）以下となるように前記階調データの下位（K-L）ビットのデータを変換した変換データを生成し、

10

20

30

40

50

前記電気光学素子に印可される信号の極性が第1の極性の駆動期間では前記変換データに対応した階調信号に基づいて前記ソース線を駆動し、前記電気光学素子に印可される信号の極性が第2の極性の駆動期間では、変換前後の上位Lビットの符号語間距離がL以下となるように前記変換データの上位Lビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動する電気光学装置の駆動方法に係る。

【0011】

本発明によれば、予め階調データを変換データに変換し、第2の極性では変換データの上位Lビットのみを変換してソース線を駆動すればよいので、階調データを全ビット反転する場合に比べて、第1及び第2の極性の駆動期間において、階調データの変動に伴い電荷が充放電されるノード量を削減でき、消費電流を削減できるようになる。しかも、極性に
10

【0012】

また本発明に係る電気光学装置の駆動方法では、

前記変換データをバッファに格納し、

前記第1の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号に基づいて前記ソース線を駆動し、

前記第2の極性の駆動期間では、前記バッファから読み出したデータに対して変換前後の上位Lビットの符号語間距離がL以下となるように前記変換データの上位Lビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することができる。
20

【0013】

本発明によれば、バッファに格納する前に階調データを変換データに変換し、該変換データをバッファに格納することで、極性反転駆動時には変換データの上位Lビットのみを変換させるだけで済む。即ち、全ビット反転型と比較して極性反転駆動時に行われる変換回路の回路規模を削減できる上に、変換データの低位(K-L)ビットのデータが固定されるため、その分の電荷の充放電を削減できる。

【0014】

また本発明は、

K(Kは2以上の整数)ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するための電気光学装置の駆動方法であって、
30

前記階調データの低位(K-L)(K>L、Lは正の整数)ビットのデータを変換した変換データを生成し、該変換データをバッファに格納し、

前記電気光学素子に印可される信号の極性が第1の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号に基づいて前記ソース線を駆動し、前記第2の極性の駆動期間では、前記バッファから読み出したデータに対して前記変換データの上位Lビットを変換したデータに対応した階調信号に基づいて前記ソース線を駆動することで、前記第1及び第2の極性の駆動期間において、前記変換データの上位Lビットのデータの変換回数を前記変換データの低位(K-L)ビットのデータの変換回数より少なくした電気光学装置の駆動方法に係る。
40

【0015】

本発明によれば、一度、階調データの低位(K-L)ビットを変換しておけば、極性反転駆動の度に
40

【0016】

また本発明に係る電気光学装置の駆動方法では、

Lが1であってもよい。

【0017】

本発明によれば、符号語間距離を最小にできるので、第1及び第2の極性の駆動期間において電荷の充放電が行われるノード数を最小にでき、大幅な低消費電力化の効果を期待
50

できる。

【0018】

また本発明は、

K (Kは2以上の整数)ビットの階調データに基づいて、電気光学素子を有する電気光学装置のソース線を駆動するためのソースドライバであって、

前記階調データの最上位ビットのデータが第1のデータするとき、変換前後の下位(K-L)(K>L、Lは正の整数)ビットのデータの符号語間距離が(K-L)以下となるように前記階調データの下位(K-L)ビットのデータを変換した変換データを生成する変換データ生成回路と、

前記電気光学素子に印可される信号の極性が第1の極性の駆動期間では前記変換データに対応した階調データに基づいて前記ソース線を駆動し、前記電気光学素子に印可される信号の極性が第2の極性の駆動期間では、変換前後の上位Lビットの符号語間距離がL以下となるように前記変換データの上位Lビットを変換したデータに対応した階調データに基づいて前記ソース線を駆動するソース線駆動回路とを含むソースドライバに係する。

10

【0019】

本発明によれば、予め階調データを変換データに変換し、第2の極性では変換データの上位Lビットのみを変換してソース線を駆動すればよいので、階調データを全ビット反転する場合に比べて、第1及び第2の極性の駆動期間において、階調データの変動に伴い電荷が充放電されるノード量を削減でき、消費電流を削減できるようになる。しかも、極性に依じて変換されるので変換データの上位Lビットのみであるため、階調データを全ビット反転する場合に比べて回路規模を削減できるようになる。

20

【0020】

また本発明に係るソースドライバでは、

前記変換データがバッファリングされるバッファを含み、

前記ソース線駆動回路が、

前記第1の極性の駆動期間では、前記バッファから読み出したデータに対応した階調信号で駆動すると共に、

前記第2の極性の駆動期間では、前記バッファから読み出したデータに対して変換前後の上位Lビットの符号語間距離がL以下となるように前記変換データの上位Lビットを変換したデータに対応した階調データに基づいて前記ソース線を駆動することができる。

30

【0021】

本発明によれば、バッファに格納する前に階調データを変換データに変換し、該変換データをバッファに格納することで、極性反転駆動時には変換データの上位Lビットのみを変換させるだけで済む。即ち、全ビット反転型と比較して極性反転駆動時に行われる変換回路の回路規模を削減できる上に、変換データの下位(K-L)ビットのデータが固定されるため、その分の電荷の充放電を削減できる。

【0022】

また本発明に係るソースドライバでは、

Lが1であってもよい。

【0023】

本発明によれば、符号語間距離を最小にできるので、第1及び第2の極性の駆動期間において電荷の充放電が行われるノード数を最小にでき、大幅な低消費電力化の効果を期待できる。

40

【0024】

また本発明に係るソースドライバでは、

前記ソース線駆動回路が、

前記第2の極性の駆動期間において、前記変換データの最上位ビットのみを反転する最上位ビット反転回路を含むことができる。

【0025】

本発明によれば、ソース出力毎に最上位ビット反転回路を含むことになるので、全ピッ

50

ト反転型と比較して大幅に回路規模を削減できるようになる。

【0026】

また本発明は、
複数のゲート線と、
複数のソース線と、
各画素が、各ゲート線及び各ソース線により特定される複数の画素と、
前記複数のゲート線を走査するためのゲートドライバと、
前記複数のソース線を駆動するための上記のいずれか記載のソースドライバを含む電気光学装置に係する。

【0027】

また本発明は、
上記のいずれか記載のソースドライバを含む電気光学装置に係する。

【0028】

上記のいずれかの発明によれば、小規模且つ低消費電力で極性反転駆動を実現して低消費電力化を図る電気光学装置を提供できる。

【0029】

また本発明は、
上記記載の電気光学装置と、
前記電気光学装置に光を入射するための光源と、
前記電気光学装置から出射される光を投写するための投写手段とを含む投写型表示装置に係する。

【0030】

また本発明は、
上記のいずれか記載のソースドライバを含む投写型表示装置に係する。

【0031】

上記のいずれかの発明によれば、小規模且つ低消費電力で極性反転駆動を実現して低消費電力化を図る投写型表示装置を提供できる。

【0032】

また本発明は、
上記記載の電気光学装置を含む電子機器に係する。

【0033】

また本発明は、
上記記載の電気光学装置と、
前記電気光学装置に対して階調データを供給する手段とを含む電子機器に係する。

【0034】

また本発明は、
上記のいずれか記載のソースドライバを含む電子機器に係する。

【0035】

上記のいずれかの発明によれば、小規模且つ低消費電力で極性反転駆動を実現して低消費電力化を図る電子機器を提供できる。

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0037】

1. 液晶装置

図1に、本実施形態におけるアクティブマトリクス型の液晶装置の構成の概要を示す。

【0038】

10

20

30

40

50

液晶装置 10 は、液晶表示 (Liquid Crystal Display: LCD) パネル (広義には表示パネル、更に広義には電気光学装置) 20 を含む。LCD パネル 20 は、例えばガラス基板上に形成される。このガラス基板上には、Y 方向に複数配列されそれぞれ X 方向に伸びるゲート線 (走査線) $GL1 \sim GLM$ (M は 2 以上の整数) と、X 方向に複数配列されそれぞれ Y 方向に伸びるソース線 (データ線) $SL1 \sim SLN$ (N は 2 以上の整数) とが配置されている。また、ゲート線 GLm ($1 \leq m \leq M$ 、 m は整数、以下同様。) とソース線 SLn ($1 \leq n \leq N$ 、 n は整数、以下同様。) との交差位置に対応して、画素領域 (画素) が設けられ、該画素領域に薄膜トランジスタ (Thin Film Transistor: 以下、TFT と略す。) $22mn$ が配置されている。

【0039】

TFT $22mn$ のゲートは、ゲート線 GLm に接続されている。TFT $22mn$ のソースは、ソース線 SLn に接続されている。TFT $22mn$ のドレインは、画素電極 $26mn$ に接続されている。画素電極 $26mn$ と、これに対向する対向電極 $28mn$ との間に液晶が封入され、液晶容量 (広義には液晶素子) $24mn$ が形成される。画素電極 $26mn$ と対向電極 $28mn$ との間の印加電圧に応じて画素の透過率が変化している。対向電極 $28mn$ には、対向電極電圧 V_{com} が供給される。

【0040】

このような LCD パネル 20 は、例えば画素電極及び TFT が形成された第 1 の基板と、対向電極が形成された第 2 の基板とを貼り合わせ、両基板の間に電気光学材料としての液晶を封入させることで形成される。

【0041】

液晶装置 10 は、ソースドライバ (広義には表示ドライバ、更に広義には駆動回路) 30 を含む。ソースドライバ 30 は、階調データに基づいて、LCD パネル 20 のソース線 $SL1 \sim SLN$ を駆動する。

【0042】

液晶装置 10 は、ゲートドライバ (広義には走査ドライバ) 32 を含むことができる。ゲートドライバ 32 は、一垂直走査期間内に、LCD パネル 20 のゲート線 $GL1 \sim GLM$ を走査する。

【0043】

液晶装置 10 は、電源回路 100 を含むことができる。電源回路 100 は、ソース線の駆動に必要な電圧を生成し、これらをソースドライバ 30 に対して供給する。電源回路 100 は、例えばソースドライバ 30 のソース線の駆動に必要な電源電圧 V_{DDH} 、 V_{SSH} や、ソースドライバ 30 のロジック部の電圧を生成する。

【0044】

また電源回路 100 は、ゲート線の走査に必要な電圧を生成し、これをゲートドライバ 32 に対して供給する。

【0045】

更に電源回路 100 は、対向電極電圧 V_{com} を生成する。電源回路 100 は、ソースドライバ 30 によって生成された極性反転信号 POL のタイミングに合わせて、高電位側電圧 V_{COMH} と低電位側電圧 V_{COML} とを周期的に繰り返す対向電極電圧 V_{com} を、LCD パネル 20 の対向電極に出力する。

【0046】

液晶装置 10 は、表示コントローラ 38 を含むことができる。表示コントローラ 38 は、図示しない中央処理装置 (Central Processing Unit: 以下、CPU と略す。) 等のホストにより設定された内容に従って、ソースドライバ 30、ゲートドライバ 32、電源回路 100 を制御する。例えば、表示コントローラ 38 は、ソースドライバ 30 及びゲートドライバ 32 に対し、動作モードの設定、内部で生成した垂直同期信号や水平同期信号の供給を行う。ここで、表示コントローラ 38 又はホストは、階調データをソースドライバ 30 に供給できる。

【0047】

10

20

30

40

50

なお図 1 では、液晶装置 10 に電源回路 100 又は表示コントローラ 38 を含めて構成するようにしているが、これらのうち少なくとも 1 つを液晶装置 10 の外部に設けて構成するようにしてもよい。或いは、液晶装置 10 に、ホストを含めるように構成することも可能である。

【0048】

また、ソースドライバ 30 は、ゲートドライバ 32 及び電源回路 100 のうち少なくとも 1 つを内蔵してもよい。

【0049】

更にまた、ソースドライバ 30、ゲートドライバ 32、表示コントローラ 38 及び電源回路 100 の一部又は全部を LCD パネル 20 上に形成してもよい。例えば図 2 では、LCD パネル 20 上に、ソースドライバ 30 及びゲートドライバ 32 が形成されている。このように LCD パネル 20 は、複数のソース線と、複数のゲート線と、複数のゲート線の各ゲート線及び複数のソース線の各ソース線とに接続された複数のスイッチ素子と、複数のソース線を駆動する表示ドライバとを含むように構成することができる。LCD パネル 20 の画素形成領域 80 に、複数の画素が形成されている。

10

【0050】

1.1 ゲートドライバ

図 3 に、図 1 又は図 2 のゲートドライバ 32 の構成例を示す。

【0051】

ゲートドライバ 32 は、シフトレジスタ 40、レベルシフタ 42、出力バッファ 44 を含む。

20

【0052】

シフトレジスタ 40 は、各ゲート線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 40 は、クロック信号 CPV に同期してスタートパルス信号 STV をフリップフロップに保持すると、順次クロック信号 CPV に同期して隣接するフリップフロップにスタートパルス信号 STV をシフトする。ここで入力されるクロック信号 CPV は水平同期信号であり、スタートパルス信号 STV は垂直同期信号である。

【0053】

レベルシフタ 42 は、シフトレジスタ 40 からの電圧のレベルを、LCD パネル 20 の液晶素子と TFT のトランジスタ能力とに応じた電圧のレベルにシフトする。この電圧レベルとしては、例えば 20V ~ 50V の高い電圧レベルが必要になる。

30

【0054】

出力バッファ 44 は、レベルシフタ 42 によってシフトされた走査電圧をバッファリングしてゲート線に出力し、ゲート線を駆動する。

【0055】

2. ソースドライバ

2.1 構成の概要

図 4 に、図 1 又は図 2 のソースドライバ 30 の構成例のブロック図を示す。

【0056】

ソースドライバ 30 は、変換データ生成回路 90、I/O バッファ 50、表示メモリ 52、ラインラッチ 54、階調電圧発生回路（広義には基準電圧発生回路）56、DAC（Digital/Analog Converter）58（広義には階調電圧選択回路）、ソース線駆動回路（ソース線駆動部）60 を含む。

40

【0057】

ソースドライバ 30 には、例えば表示コントローラ 38 から RGB の各色成分のビット数が K（K は 2 以上の整数）の階調データ D が入力される。この階調データ D は、ドットクロック信号 DCLK に同期して入力され、I/O バッファ 50 においてバッファリングされる。ドットクロック信号 DCLK は、表示コントローラ 38 から供給される。

【0058】

50

I/Oバッファ50は、表示コントローラ38又は図示しないホストによってアクセスされる。I/Oバッファ50にバッファリングされた階調データは、変換データ生成回路90により変換階調データ(広義には変換データ)に変換されてから表示メモリ52(階調データメモリ、フレームメモリ、フレームバッファ。広義にはバッファ)に書き込まれる。

【0059】

変換データ生成回路90は、極性反転駆動の正極性の期間(極性反転信号POLがHレベルの期間)と負極性の期間(極性反転信号POLがLレベルの期間)とで階調データを全ビット反転しなくても、各極性の期間において各階調データに対応した駆動信号を出力できるように、階調データを変換した変換階調データを生成する。より具体的には、ソースドライバ30の各ソース出力が、K(Kは2以上の整数)ビットの階調データに対応した駆動信号を出力する場合、変換データ生成回路90は、階調データの最上位ビット(Most Significant Bit: MSB)のデータが「1」(広義には、第1のデータ)のとき、変換前後の下位(K-L)(K>L、Lは正の整数)ビットのデータの符号語間距離が(K-L)以下となるように階調データの下位(K-L)ビットのデータを変換した変換階調データを生成する。Lは、階調データの上位ビット数といえることができる。

10

【0060】

ここで、階調データ又は変換階調データ(変換データ)をビット列として表現した場合に 2^m 種類の符号語を表現でき、符号語間距離(或いはハミング距離)は、2つのデータ間で互いに異なる数値のビット数を意味する。例えば、mが6であるものとする、データ「000000」とデータ「000001」との間の符号語間距離は「1」であり、データ「010101」とデータ「101010」との間の符号語間距離は「6」である。

20

【0061】

なお、変換データ生成回路90は、階調データのMSBのデータが「0」(広義には、第2のデータ)のとき、該階調データをそのまま変換階調データとして出力する。以上のように生成された変換階調データが、表示メモリ52に格納される。

【0062】

また、表示メモリ52から読み出された変換階調データは、変換データ生成回路90にて入力時と同じデータに逆変換された後、I/Oバッファ50でバッファリングされ、表示コントローラ38等に対して出力されるようになっている。なお、表示メモリ52から読み出された変換階調データは、例えば変換データ生成回路90において変換前の階調データに復元されてI/Oバッファ50でバッファリングされた後に、表示コントローラ38等に対して出力されてもよい。

30

【0063】

表示メモリ52は、各メモリセルが各ソース線に接続される各出力線に対応して設けられた複数のメモリセルを含む。各メモリセルは、ロウアドレス及びカラムアドレスによって特定される。また1走査ライン分の各メモリセルは、ラインアドレスによって特定される。

【0064】

アドレス制御回路62は、表示メモリ52内のメモリセルを特定するためのロウアドレス、カラムアドレス及びラインアドレスを生成する。アドレス制御回路62は、変換階調データを表示メモリ52に書き込む際には、ロウアドレス及びカラムアドレスを生成する。即ち、I/Oバッファ50にバッファリングされた変換階調データが、ロウアドレス及びカラムアドレスによって特定される表示メモリ52のメモリセルに書き込まれる。

40

【0065】

ロウアドレスデコーダ64は、ロウアドレスをデコードし、該ロウアドレスに対応した表示メモリ52のメモリセルを選択する。カラムアドレスデコーダ66は、カラムアドレスをデコードし、該カラムアドレスに対応した表示メモリ52のメモリセルを選択する。

【0066】

変換階調データを表示メモリ52から読み出してラインラッチ54に出力する際には、

50

アドレス制御回路 6 2 は、ラインアドレスを生成する。即ち、ラインアドレスデコーダ 6 8 は、ラインアドレスをデコードし、該ラインアドレスに対応した表示メモリ 5 2 のメモリセルを選択する。そして、ラインアドレスによって特定されるメモリセルから読み出された 1 水平走査分の変換階調データがラインラッチ 5 4 に出力される。

【 0 0 6 7 】

アドレス制御回路 6 2 は、変換階調データを表示メモリ 5 2 から読み出して I / O バッファ 5 0 に出力する際には、ロウアドレス及びカラムアドレスを生成する。即ち、ロウアドレス及びカラムアドレスによって特定される表示メモリ 5 2 のメモリセルに保持された変換階調データが I / O バッファ 5 0 に読み出される。I / O バッファ 5 0 に読み出された変換階調データは、表示コントローラ 3 8 又は図示しないホストにより取り出される。

10

【 0 0 6 8 】

従って、図 4 において、ロウアドレスデコーダ 6 4、カラムアドレスデコーダ 6 6 及びアドレス制御回路 6 2 が表示メモリ 5 2 への変換階調データの書き込み制御を行う書き込み制御回路として機能する。一方、図 4 において、ラインアドレスデコーダ 6 8、カラムアドレスデコーダ 6 6 及びアドレス制御回路 6 2 が表示メモリ 5 2 からの変換階調データの読み出し制御を行う読み出し制御回路として機能する。

【 0 0 6 9 】

ラインラッチ 5 4 は、表示メモリ 5 2 から読み出された 1 水平走査分の変換階調データを、水平同期信号 H S Y N C の変化タイミングでラッチする。ラインラッチ 5 4 は、各レジスタが 1 ドット分の変換階調データを保持する複数のレジスタを含む。ラインラッチ 5 4 の複数のレジスタの各レジスタには、表示メモリ 5 2 から読み出された 1 ドット分の変換階調データが取り込まれる。

20

【 0 0 7 0 】

階調電圧発生回路 5 6 は、各階調電圧（基準電圧）が各変換階調データに対応する複数の階調電圧（広義には階調信号）を生成する。より具体的には、階調電圧発生回路 5 6 は、高電位側電源電圧 V D D H と低電位側電源電圧 V S S H とに基づいて、各階調電圧が各変換階調データに対応する複数の階調電圧を生成する。このような階調電圧発生回路 5 6 は、両端に高電位側電源電圧 V D D H と低電位側電源電圧 V S S H が供給された抵抗回路（ラダー抵抗回路）を有し、該抵抗回路の複数の分割ノードの電圧を複数の階調電圧として出力する。

30

【 0 0 7 1 】

D A C 5 8 は、ラインラッチ 5 4 から出力される変換階調データに対応した階調電圧を、ソース線駆動回路 6 0 の出力である出力線ごとに生成する。より具体的には、D A C 5 8 は、階調電圧発生回路 5 6 によって生成された複数の階調電圧の中から、ラインラッチ 5 4 から出力されたソース線駆動回路 6 0 の 1 出力線分の変換階調データに対応した階調電圧を選択し、選択した階調電圧を出力する。

【 0 0 7 2 】

ソース線駆動回路 6 0 は、各出力線が L C D パネル 2 0 の各ソース線に接続される複数の出力線を駆動する。より具体的には、ソース線駆動回路 6 0 は、D A C 5 8 の電圧選択回路によって出力線毎に出力された階調電圧に基づいて、各出力線を駆動する。更に具体的には、ソース線駆動回路 6 0 は、正極性（電気光学素子に印可される信号の極性が第 1 の極性）の駆動期間では、変換階調データに対応した階調電圧（階調信号）に基づいてソース線を駆動する。そして、ソース線駆動回路 6 0 は、負極性（電気光学素子に印可される信号の極性が第 2 の極性）の駆動期間では、変換前後の上位 L ビットの符号語間距離が L 以下となるように変換階調データの上位 L ビットを変換したデータに対応した階調信号に基づいてソース線を駆動する。

40

【 0 0 7 3 】

このようなソース線駆動回路 6 0 は、出力線毎に設けられた出力回路を含む。各出力回路は、各電圧選択回路からの階調電圧に基づいてソース線を駆動する。各出力回路は、ボルテージフォロワ回路であり、このボルテージフォロワ回路は、ボルテージフォロワ接続

50

された演算増幅器等により構成できる。

【0074】

2.2 本実施形態の駆動方法の説明

次に、本実施形態による階調データの変換処理と、該変換処理により生成された変換階調データに基づくLCDパネル20の駆動方法について説明する。

【0075】

図5に、本実施形態における変換データ生成回路90の動作説明図を示す。

【0076】

図5では、Kビットの階調データのうち上位Lビットのデータを極性反転毎に変換し、Kビットの階調データのうち下位(K-L)ビットのデータを変換データ生成回路90により変換する。例えばLが「1」の場合には、上位Lビットのデータは正極性の期間と負極性の期間とで互いにビット反転させる。これに対して、下位(K-L)ビットのデータは、正極性の期間と負極性の期間とで同じデータが用いられる。

10

【0077】

こうすることで、各極性の期間で変換階調データに基づいて1つの階調電圧を選択するデコーダとして機能するDAC58では、極性反転駆動で行われていた全ビット反転の場合に比べて、正極性の期間と負極性の期間とで同じ論理状態のノード数を増やすことができる。即ち、本実施形態では、図5のように変換階調データを生成することで、DAC58では、少なくとも下位(K-L)ビットのデータにより選択される信号経路が、正極性の期間と負極性の期間とで同一経路とすることができる。この結果、本実施形態によれば、ノードの電荷の充放電に伴う消費電流を削減できるようになる。

20

【0078】

図6に、本実施形態においてKが「4」、Lが「1」の場合の変換データ生成回路90の動作説明図を示す。

【0079】

図6では、階調データにより表される階調値(10進数表示)に対して、正極性用の変換階調データ(2進数表示)と負極性用の変換階調データ(2進数表示)とを示している。また、図6では、極性反転駆動で行われていた全ビット反転型の階調データ(正極性用、負極性用)を、比較例として示している。

【0080】

極性反転駆動の際に行われる全ビット反転型では、正極性の期間と負極性の期間とで階調データの全ビットを互いにビット反転させている。正極性用の階調データは、階調値の2進数表示であり、負極性用の階調データは、正極性用の階調データの各ビットを反転させたデータである。そのため、正極性の期間の階調データと負極性の期間の階調データとの間の符号語間距離は「K」である。

30

【0081】

これに対して、本実施形態の変換データ生成回路90は、階調データのMSBのデータが「0」(広義には、第2のデータ)のとき、該階調データをそのまま変換階調データとして出力する。その一方、変換データ生成回路90は、階調データのMSBのデータが「1」(広義には、第1のデータ)のとき、変換前後の下位3(=4-1)ビットのデータの符号語間距離が3(=4-1)となるように階調データの下位3(=4-1)ビットのデータを変換した変換階調データを生成する。MSBが「1」で、例えば下位3ビットのデータが「000」のとき変換階調データの下位3ビットのデータが「111」、下位3ビットのデータが「001」のとき変換階調データの下位3ビットのデータが「110」、・・・、下位3ビットのデータが「111」のとき変換階調データの下位3ビットのデータが「000」となる。そして、ソースドライバ30は、正極性の期間では、変換階調データに対応した階調信号に基づいてソース線を駆動する。

40

【0082】

またソースドライバ30は、負極性の期間では、変換階調データに対して変換前後の上位1(=L)ビット(MSB)の符号語間距離が1となるように変換階調データの上位1

50

ビット (MSB) を変換したデータに対応した階調信号に基づいてソース線を駆動する。

【0083】

1ビットのデータの変換前後の符号語間距離を1とするためにはビット反転が必要となるため、本実施形態において、負極性用の変換階調データは、上位1ビット (MSB) が「0」であろうと「1」であろうと、上位1ビット (MSB) のビット反転を行うだけでよい。

【0084】

即ち、本実施形態では、正極性の駆動期間では、表示RAM52 (バッファ) から読み出した変換階調データに対応した階調信号に基づいてソース線を駆動し、負極性の駆動期間では、表示RAM52 (バッファ) から読み出したデータに対して変換階調データの上位Lビットを変換したデータに対応した階調信号に基づいてソース線を駆動することで、正極性及び負極性の駆動期間において、変換階調データの上位Lビットのデータの変換回数を変換階調データの下位 (K-L) ビットのデータの変換回数より少なくする。

10

【0085】

これにより、表示RAM52に格納する前に階調データを変換階調データに変換し、該変換階調データを表示RAM52に格納することで、極性反転駆動時にはMSBのみをビット反転させるだけで済む。即ち、全ビット反転型と比較して極性反転駆動時に行われるビット反転回路を削減できる上に、下位の3ビットのデータが固定されるため、DACにおける電荷の充放電を削減できる。

【0086】

ここで、全ビット反転型では、上述のように正極性の期間と負極性の期間とで符号語間距離が「K」であるため、DAC58では、正極性の期間で選択される信号経路と負極性の期間で選択される信号経路とが異なる。

20

【0087】

図7に、いわゆるトーナメント方式で構成されたDACにおいて、全ビット反転型で生成された階調データに基づいて選択される信号経路の一例を示す。

【0088】

図7のDACは、4 (= K) ビットの階調データに対応して階調電圧V0 ~ V15のいずれか1つを選択電圧VPとして出力するものとする。4ビットの階調データが入力されるトーナメント方式のDACでは、2段で構成される複数の4入力1出力セレクタを含む。

30

【0089】

初段は、4入力1出力セレクタSEL4-1 ~ SEL4-4から構成され、各4入力1出力セレクタは同一の構成を有し、それぞれが階調データの下位2ビットのデータに基づいて1つを選択電圧を出力する。各4入力1出力セレクタの選択制御信号は、4ビットの階調データと極性反転信号POLが入力されるプリデコーダPD1によって生成される。4入力1出力セレクタSEL4-1の4入力として階調電圧V0 ~ V3が順番に入力され、4入力1出力セレクタSEL4-2の4入力として階調電圧V4 ~ V7が順番に入力され、4入力1出力セレクタSEL4-3の4入力として階調電圧V8 ~ V11が順番に入力され、4入力1出力セレクタSEL4-4の4入力として階調電圧V12 ~ V15が順番に入力される。

40

【0090】

後段は、4入力1出力セレクタSEL4-5から構成され、初段の4入力1出力セレクタと同一の構成を有し、階調データの上位2ビットのデータに基づいて、初段の4入力1出力セレクタSEL4-1 ~ SEL4-4の各選択出力のいずれかを選択する。4入力1出力セレクタSEL4-5の選択制御信号は、プリデコーダPD1によって生成される。

【0091】

図7では、階調データのビット数が「4」であるものとして示すが、階調データのビット数が「6」になると、トーナメント方式で構成されるDACは3段構成となる。

【0092】

50

全ビット反転型では、階調データが「0001」のとき正極性の期間では例えば信号経路PS1が選択され、負極性の期間では信号経路PS2が選択される。即ち、正極性の期間では階調電圧V1が選択され、負極性の期間ではV14が選択される。従って、符号語間距離が「4」(=K)の場合、DACでは、正極性の期間で選択される信号経路と負極性の期間で選択される信号経路とが異なる。そのため、各信号経路の容量性のノードにおいて電荷の充放電が繰り返され、消費電流を増大させていた。

【0093】

これに対して、本実施形態では、図5のように変換階調データを生成することで、DAC58では、少なくとも下位3(=4-1)ビットのデータにより選択される信号経路が、正極性の期間と負極性の期間とで同一経路とすることができる。

10

【0094】

図8に、いわゆるトーナメント方式で構成されたDAC58において、本実施形態の変換階調データに基づいて選択される信号経路の一例を示す。

【0095】

図8において、図7と同一部分には同一符号を付し、適宜説明を省略する。

【0096】

図8のDAC58は、4(=K)ビットの階調データに対応して階調電圧V0~V15のいずれか1つを選択電圧VPとして出力するものとする。4ビットの階調データが入力されるトーナメント方式のDAC58では、2段で構成される複数の4入力1出力セクタを含む。

20

【0097】

初段は、4入力1出力セクタSEL4-1~SEL4-4から構成され、各4入力1出力セクタは同一の構成を有し、それぞれが階調データの下位2ビットのデータに基づいて1つの選択電圧を出力する。各4入力1出力セクタの選択制御信号は、4ビットの変換階調データと極性反転信号POLが入力されるプリデコーダPD2によって生成される。4入力1出力セクタSEL4-1の4入力として階調電圧V0~V3が順番に入力され、4入力1出力セクタSEL4-2の4入力として階調電圧V4~V7が順番に入力される。また、図7と異なり、4入力1出力セクタSEL4-3の4入力として階調電圧V15~V12が順番に入力され、4入力1出力セクタSEL4-4の4入力として階調電圧V11~V8が順番に入力される。

30

【0098】

後段は、4入力1出力セクタSEL4-5から構成され、初段の4入力1出力セクタと同一の構成を有し、階調データの上位2ビットのデータに基づいて、初段の4入力1出力セクタSEL4-1~SEL4-4の各選択出力のいずれかを選択する。4入力1出力セクタSEL4-5の選択制御信号は、プリデコーダPD2によって生成される。

【0099】

図8では、階調データのビット数が「4」であるものとして示すが、階調データのビット数が「6」になると、トーナメント方式で構成されるDAC58は3段構成となる。

【0100】

本実施形態では、変換階調データが「0001」のとき正極性の期間では例えば信号経路PS1が選択され、負極性の期間では信号経路PS3が選択される。即ち、正極性の期間では階調電圧V1が選択され、負極性の期間ではV14が選択される。従って、符号語間距離が「4」(=K)の場合、DAC58では、初段のすべての4入力1出力セクタSEL4-1~SEL4-4において、正極性の期間で選択される信号経路と負極性の期間で選択される信号経路とが同一となる。従って、同じ階調を表示する限り、正極性の期間と負極性の期間では、初段の4入力1出力セクタの各ノードにおける電荷の充放電が省略され、全ビット反転型に比べて消費電流を削減できるようになる。極性反転が行われるたびに、1ソース出力当たりでこのような消費電流の削減が行われるため、ソースドライバ30全体の消費電流の削減量は著しい。

40

【0101】

50

なお、図 8 では D A C 5 8 がトーナメント方式であるものとして説明したが、いわゆるフルデコード方式であってもよい。フルデコードの入力対象のデータの符号語間距離が「K」より小さくなっている限り、全ビット反転型と比較して消費電流を削減できることは当業者にとっても明らかである。

【 0 1 0 2 】

ところで、図 6 ~ 図 8 では、L が「 1 」であるものとして説明したが、L が 2 L K であってもよい。

【 0 1 0 3 】

図 9 に、本実施形態において K が「 4 」、L が「 2 」の場合の変換データ生成回路 9 0 の動作説明図を示す。

【 0 1 0 4 】

図 9 では、階調データにより表される階調値（10 進数表示）に対して、正極性用の変換階調データ（2 進数表示）と負極性用の変換階調データ（2 進数表示）とを示している。また、図 9 では、極性反転駆動で行われていた全ビット反転型の階調データ（正極性用、負極性用）を、比較例として示している。

【 0 1 0 5 】

本実施形態の変換データ生成回路 9 0 は、階調データの M S B のデータが「 0 」(広義には、第 2 のデータ)のとき、該階調データをそのまま変換階調データとして出力する。その一方、変換データ生成回路 9 0 は、階調データの M S B のデータが「 1 」(広義には、第 1 のデータ)のとき、変換前後の下位 2 (= 4 - 2) ビットのデータの符号語間距離が 2 (= (4 - 2) 3) となるように階調データの下位 2 (= 4 - 2) ビットのデータを変換した変換階調データを生成する。M S B が「 1 」で、例えば下位 2 ビットのデータが「 0 0 」のとき変換階調データの下位 3 ビットのデータが「 1 1」、下位 2 ビットのデータが「 0 1 」のとき変換階調データの下位 2 ビットのデータが「 1 0」、・・・、下位 2 ビットのデータが「 1 1 」のとき変換階調データの下位 2 ビットのデータが「 0 0 」となる。

【 0 1 0 6 】

またソースドライバ 3 0 は、負極性の期間では、変換階調データに対して変換前後の上位 2 (= L) ビット (M S B) の符号語間距離が 2 となるように変換階調データの上位 2 ビット (M S B) を変換したデータに対応した階調信号に基づいてソース線を駆動する。ここで、符号語間距離は「 2 」に限定されるものではなく、ソースドライバ 3 0 は、符号語間距離が 1 となるように変換階調データの上位 2 ビット (M S B) を変換したデータに対応した階調信号に基づいてソース線を駆動してもよい。

【 0 1 0 7 】

2 ビットのデータの変換前後の符号語間距離を 1 とするためにはビット反転が必要となるため、本実施形態において、負極性用の変換階調データは、上位 2 ビットのビット反転を行うだけでよい。

【 0 1 0 8 】

L が「 2 」の場合でも、図 8 と同様に D A C 5 8 をトーナメント方式で構成できる。例えば、図 8 と異なり、4 入力 1 出力セクタ S E L 4 - 3 の 4 入力として階調電圧 V 1 1 ~ V 8 が順番に入力され、4 入力 1 出力セクタ S E L 4 - 4 の 4 入力として階調電圧 V 1 5 ~ V 1 2 が順番に入力される。

【 0 1 0 9 】

こうすることで、初段の 4 入力 1 出力セクタのうち少なくとも 1 つは正極性の期間でも負極性の期間でも同一経路の選択状態を維持できる。従って、同じ階調を表示する限り、全ビット反転型と比較して、初段の 4 入力 1 出力セクタの各ノードにおける電荷の充放電量を削減できるので、消費電流を削減できるようになる。

【 0 1 1 0 】

但し、本実施形態では、L が「 1 」のときに符号語間距離が最小となるので、正極性の期間と負極性の期間とで電荷の充放電が行われるノード数を最小にでき、低消費電力化の

10

20

30

40

50

効果が最も高く、Lが「1」であることが望ましい。

【0111】

なお、図6～図9では、Kが「4」であるものとして説明したが、Kは「4」でなくてもよい。

【0112】

2.3 構成例

次に、図4のソースドライバ30の要部の構成例について説明する。以下では、RGBの各色成分の階調データのビット数が「6」(=K)、上位ビットのビット数が「1」(=L)であるものとする。

【0113】

2.3.1 変換データ生成回路

図10に、図4の変換データ生成回路90の構成の概要を示す。

【0114】

変換データ生成回路90は、R成分用変換データ生成回路90R、G成分用変換データ生成回路90G、B成分用変換データ生成回路90Bを含み、各変換データ生成回路は同一構成を有している。

【0115】

R成分用変換データ生成回路90RにはR成分用の6ビットの階調データ $DR < 5 : 0 >$ が入力され、R成分用変換データ生成回路90Rは6ビットの変換階調データ $DR O < 5 : 0 >$ を出力する。G成分用変換データ生成回路90GにはG成分用の6ビットの階調データ $DG < 5 : 0 >$ が入力され、G成分用変換データ生成回路90Gは6ビットの変換階調データ $DG O < 5 : 0 >$ を出力する。B成分用変換データ生成回路90BにはB成分用の6ビットの階調データ $DB < 5 : 0 >$ が入力され、B成分用変換データ生成回路90Bは6ビットの変換階調データ $DB O < 5 : 0 >$ を出力する。即ち、変換データ生成回路90は、色成分毎に階調データを変換階調データに変換する。

【0116】

図11に、図10のR成分用変換データ生成回路90Rの構成例の回路図を示す。

【0117】

図11では、R成分用変換データ生成回路90Rの構成例を示すが、G成分用変換データ生成回路90G、B成分用変換データ生成回路90Bも同様である。

【0118】

R成分用変換データ生成回路90Rでは、R成分用の階調データ $DR < 5 : 0 >$ のMSBのデータである $DR < 5 >$ が、 $DR < 4 : 0 >$ のビット毎に設けられたEXOR(Exclusive OR: 排他的論理和)回路に入力される。これにより、 $DR < 5 >$ が「0」のとき $DR < 4 : 0 >$ が変換階調データ $DR O < 4 : 0 >$ として出力され、 $DR < 5 >$ が「1」のとき $DR < 4 : 0 >$ のビット反転データが変換階調データ $DR O < 4 : 0 >$ として出力される。また、 $DR < 5 >$ は、そのまま変換階調データ $DR O < 5 >$ として出力される。

【0119】

このように、図6の正極性用の変換階調データが生成され、表示RAM52に格納される。

【0120】

2.3.2 DAC

図4のDAC58は、ソース出力毎にデコーダを有し、階調電圧の選択経路のインピーダンスの低減と効率的なレイアウト配置とを目的として、以下のようなトーナメント方式により構成できる。

【0121】

図12に、図4のDAC58を構成するデコーダの構成例を示す。

【0122】

図12のデコーダは、 $(a + b + c)$ (a、b、cは正の整数)ビットの変換階調データ(デジタルデータ)の上位aビットのデータに基づいて、該変換階調データの低位(

10

20

30

40

50

b + c) ビットのデータに対応して選択された複数の階調電圧(生成電圧)のいずれかの階調電圧が供給される階調電圧信号線(生成電圧信号線)と出力回路の入力とを電氣的に接続する。以下では、aが2、bが2、cが2であるものとして説明する。

【0123】

デコーダは、p型セクタSEL_pと、n型セクタSEL_nとを含む。p型セクタSEL_pは、p型MOS(Metal Oxide Semiconductor)トランジスタのみのトランスミッションゲートにより構成される。n型セクタSEL_pは、n型MOSトランジスタのみのトランスミッションゲートにより構成される。

【0124】

p型を第1導電型とするとn型を第2導電型ということができ、n型を第1導電型とするとp型を第2導電型とすることができる。以下でも同様である。

【0125】

そして、p型セクタSEL_pとn型セクタSEL_nとは、相補的な関係にあるといえることができる。即ち、n型MOSトランジスタのみのトランスミッションゲートで生じるn型MOSトランジスタの閾値電圧分の電圧降下を、p型MOSトランジスタのみのトランスミッションゲートの出力で補う。またp型MOSトランジスタのみのトランスミッションゲートで生じるp型MOSトランジスタの閾値電圧分の電圧降下を、n型MOSトランジスタのみのトランスミッションゲートの出力で補う。

【0126】

このようなp型セクタSEL_pは、p型の第1のセクタSEL_{1-1p}を含む。n型セクタSEL_nは、n型の第1のセクタSEL_{1-1n}を含む。

【0127】

p型の第1のセクタSEL_{1-1p}は、各p型MOSトランジスタのゲートに変換階調データのaビットのデータに対応したゲート信号が印加され、該各p型MOSトランジスタのドレイン同士が電氣的に接続される複数のp型MOSトランジスタを有する。図12では、aが2の場合を示し、各p型MOSトランジスタのゲートに、ゲート信号XS₉~XS₁₂が供給されている。

【0128】

n型の第1のセクタSEL_{1-1n}は、各n型MOSトランジスタのゲートに変換階調データのaビットのデータに対応したゲート信号が印加され、該各n型MOSトランジスタのドレイン同士が電氣的に接続される複数のn型MOSトランジスタを有する。図12では、各n型MOSトランジスタのゲートに、ゲート信号S₉~S₁₂が供給されている。

【0129】

そしてp型の第1のセクタSEL_{1-1p}を構成するp型MOSトランジスタのドレイン同士の接続ノードと、n型の第1のセクタSEL_{1-1n}を構成するn型MOSトランジスタのドレイン同士の接続ノードとが電氣的に接続される。

【0130】

デコーダでは、各第1のセクタSEL_{1-1p}、SEL_{1-1n}を構成する複数のMOSトランジスタの各MOSトランジスタのソースに、変換階調データの(b+c)ビットのデータに対応して選択される複数の階調電圧のいずれかの階調電圧が供給される。図12では、変換階調データの下位4ビットに対応して選択される複数の階調電圧V₀~V₆₃のうち4つの階調電圧が、各第1のセクタSEL_{1-1p}、SEL_{1-1n}に入力される。

【0131】

本実施形態では、各MOSトランジスタのゲート信号(図12ではS₉~S₁₂、XS₉~XS₁₂)がプリデコーダによって生成される。

【0132】

以上のような構成により、デコーダは、各第1のセクタSEL_{1-1p}、SEL_{1-1n}により選択された階調電圧の電氣的な経路が通過するトランジスタ数を削減する。

10

20

30

40

50

【0133】

以下、図12に示すデコーダの詳細な構成例について説明する。

【0134】

まず、プリデコーダについて説明する。

【0135】

図13に、プリデコーダの構成例を示す。

【0136】

このプリデコーダは、各デコーダに設けられる。6ビットの変換階調データ $DO < 5 >$ ~ $DO < 0 >$ においては、上位ビット側が $DO < 5 >$ で、下位ビット側が $DO < 0 >$ である。変換階調データの1ビットを $DO < x >$ ($0 \leq x \leq 5$ 、 x は整数)とすると $XDO < x >$ は、該 $DO < x >$ の反転データである。

10

【0137】

このプリデコーダは、負極性(第2の極性)の駆動期間において変換階調データの最上位ビットのみを反転する最上位ビット反転回路 $MINV$ を含む。最上位ビット反転回路 $MINV$ は、極性反転信号 POL がLレベルのとき、変換階調データ $DO < 5 : 0 >$ のうち変換階調データ $DO < 5 >$ のみを論理反転して、変換階調データ $DOI < 5 >$ を出力する。

【0138】

このプリデコーダは、ゲート信号 $S1 \sim S12$ を生成する。ゲート信号 $S9 \sim S12$ は、変換階調データの上位2($a = 2$)ビットのデータに基づいて生成される。具体的には、ゲート信号 $S9 \sim S12$ は、最上位ビット反転回路の出力データ $DOI < 5 >$ 、変換階調データ $DO < 4 >$ と、その反転データ $XDOI < 5 >$ 、 $XD < 4 >$ とに基づいて生成される。

20

【0139】

変換階調データ $DO < 5 >$ ($DOI < 5 >$)、 $DO < 4 >$ に対して、変換階調データ $DO < 3 >$ ~ $DO < 0 >$ を変換階調データの下位4ビットのデータとすることができる。本実施形態では、該下位4ビットを、更に中位2ビットと該中位2ビットに対する下位2ビットとに分割している。

【0140】

ゲート信号 $S5 \sim S8$ は、変換階調データの中位2($b = 2$)ビットのデータに基づいて生成される。具体的には、ゲート信号 $S5 \sim S8$ は、変換階調データの中位2ビットのデータ $DO < 3 >$ 、 $DO < 2 >$ と、その反転データ $XDO < 3 >$ 、 $XDO < 2 >$ とに基づいて生成される。

30

【0141】

ゲート信号 $S1 \sim S4$ は、変換階調データの下位2($c = 2$)ビットのデータに基づいて生成される。具体的には、ゲート信号 $S1 \sim S4$ は、変換階調データの下位2ビットのデータ $DO < 1 >$ 、 $DO < 0 >$ と、その反転データ $XDO < 1 >$ 、 $XDO < 0 >$ とに基づいて生成される。

【0142】

ゲート信号 $XS1 \sim XS12$ は、ゲート信号 $S1 \sim S12$ をそれぞれ反転させた信号であり、図13に示すプリデコーダで生成するようにしてもよい。

40

【0143】

図14に、図12のp型セクタ $SELp$ の構成例を示す。

【0144】

図14に示すように、p型の第1のセクタ $SEL1 - 1p$ は、各p型MOSトランジスタのゲートに変換階調データの上位2($= a$)ビットのデータに対応したゲート信号 $XS9 \sim XS12$ が印加され、該各p型MOSトランジスタのドレイン同士が電氣的に接続される複数のp型MOSトランジスタを有する。各p型MOSトランジスタのドレイン同士の接続ノードの電圧が、階調電圧 VP としてソース線駆動回路の出力回路を構成する演算増幅器の入力電圧となる。

50

【 0 1 4 5 】

p型セクタSEL pは、更に4 ($= 2^2$)個のp型の第2のセクタSEL 4 - 1 p ~ SEL 4 - 4 pを含む。各第2のセクタの構成は同一で、p型の第1のセクタSEL 1 - 1 pの構成と同一である。

【 0 1 4 6 】

p型の第2のセクタSEL 4 - 1 p ~ SEL 4 - 4 pのそれぞれは、各p型MOSトランジスタのゲートに変換階調データの中位2 ($= b$)ビットのデータに対応したゲート信号XS 5 ~ XS 8が印加され、該各p型MOSトランジスタのドレイン同士が電氣的に接続される複数のp型MOSトランジスタを有する。そして、各p型MOSトランジスタのドレイン同士が電氣的に接続されるノードが、p型の第1のセクタSEL 1 - 1 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。

10

【 0 1 4 7 】

p型セクタSEL pは、更に16 ($= 2^2 + 2^2$)個のp型の第3のセクタSEL 16 - 1 p ~ SEL 16 - 16 pを含む。各第3のセクタの構成は同一で、p型の第1のセクタSEL 1 - 1 pの構成と同一である。

【 0 1 4 8 】

p型の第3のセクタSEL 16 - 1 p ~ SEL 16 - 16 pのそれぞれは、各p型MOSトランジスタのゲートに変換階調データの下位2 ($= c$)ビットのデータに対応したゲート信号XS 1 ~ XS 4が印加され、該各p型MOSトランジスタのドレイン同士が電氣的に接続される複数のp型MOSトランジスタを有する。そして、各p型MOSトランジスタのドレイン同士が電氣的に接続されるノードが、p型の第2のセクタSEL 4 - 1 p ~ SEL 4 - 4 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。

20

【 0 1 4 9 】

より具体的には、p型の第3のセクタSEL 16 - 1 p ~ SEL 16 - 4 pの該ノードが、p型の第2のセクタSEL 4 - 1 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。p型の第3のセクタSEL 16 - 5 p ~ SEL 16 - 8 pの該ノードが、p型の第2のセクタSEL 4 - 2 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。p型の第3のセクタSEL 16 - 9 p ~ SEL 16 - 12 pの該ノードが、p型の第2のセクタSEL 4 - 3 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。p型の第3のセクタSEL 16 - 13 p ~ SEL 16 - 16 pの該ノードが、p型の第2のセクタSEL 4 - 4 pを構成するp型MOSトランジスタのソースのいずれかに電氣的に接続される。

30

【 0 1 5 0 】

またp型の第3のセクタSEL 16 - 1 pを構成する各p型MOSトランジスタのソースに、階調電圧V 0 ~ V 3それぞれが供給される。p型の第3のセクタSEL 16 - 2 pを構成する各p型MOSトランジスタのソースに、階調電圧V 4 ~ V 7それぞれが供給される。他のp型の第3のセクタを構成する各p型MOSトランジスタのソースにも同様に、図14に示す階調電圧が供給される。

【 0 1 5 1 】

図15に、図14の各p型の第3のセクタに供給される階調電圧の説明図を示す。

40

【 0 1 5 2 】

図14のp型の第3のセクタSEL 16 - 1 p ~ SEL 16 - 16 pは、それぞれ同一の構成を有している。そこで、p型の第3のセクタSEL 16 - 1 pには、階調電位の高い順(又は低い順)に階調電圧V 0 ~ V 3がセクタの各入力端子に供給され、p型の第3のセクタSEL 16 - 2 pには、階調電位の高い順(又は低い順)に階調電圧V 4 ~ V 7がセクタの各入力端子に供給される。p型の第3のセクタSEL 16 - 3 p ~ SEL 16 - 8 pも同様である。

【 0 1 5 3 】

これに対して、p型の第3のセクタSEL 16 - 9 pには、p型の第3のセクタS

50

SEL16-1p ~ SEL16-8pとは逆の順序で、階調電位の低い順（又は高い順）に階調電圧V63 ~ V60がセクタの各入力端子に供給され、p型の第3のセクタSEL16-10pには、階調電位の低い順（又は高い順）に階調電圧V59 ~ V56がセクタの各入力端子に供給される。p型の第3のセクタSEL16-11p ~ SEL16-16pも同様である。このように、全ビット反転型に対応したトーナメント方式のDACでは、p型の第3のセクタSEL16-1p ~ SEL16-16pまで電位の高い順又は低い順に同じ順序で階調電圧が供給されるのに対し、図14では図6の変換階調データに合わせて、p型の第3のセクタSEL16-1p ~ SEL16-8pとp型の第3のセクタSEL16-9p ~ SEL16-16pとの電位の順序が逆となっている。

【0154】

図16に、図12のn型セクタSELnの構成例を示す。

【0155】

図16に示すように、n型の第1のセクタSEL1-1nは、各n型MOSトランジスタのゲートに変換階調データの上位2（=a）ビットのデータに対応したゲート信号S9 ~ S12が印加され、該各n型MOSトランジスタのドレイン同士が電氣的に接続される複数のn型MOSトランジスタを有する。各n型MOSトランジスタのドレイン同士の接続ノードの電圧が、階調電圧VPとしてソース線駆動回路の出力回路を構成する演算増幅器の入力電圧となる。

【0156】

n型セクタSELnは、更に4（=2²）個のn型の第2のセクタSEL4-1n ~ SEL4-4nを含む。各第2のセクタの構成は同一で、n型の第1のセクタSEL1-1nの構成と同一である。

【0157】

n型の第2のセクタSEL4-1n ~ SEL4-4nのそれぞれは、各n型MOSトランジスタのゲートに変換階調データの2（=b）ビットのデータに対応したゲート信号S5 ~ S8が印加され、該各n型MOSトランジスタのドレイン同士が電氣的に接続される複数のn型MOSトランジスタを有する。そして、各n型MOSトランジスタのドレイン同士が電氣的に接続されるノードが、n型の第1のセクタSEL1-1nを構成するn型MOSトランジスタのソースのいずれかに電氣的に接続される。

【0158】

n型セクタSELnは、更に16（=2²+2²）個のn型の第3のセクタSEL16-1n ~ SEL16-16nを含む。各第3のセクタの構成は同一で、n型の第1のセクタSEL1-1nの構成と同一である。

【0159】

n型の第3のセクタSEL16-1n ~ SEL16-16nのそれぞれは、各n型MOSトランジスタのゲートに変換階調データの下位2（=c）ビットのデータに対応したゲート信号S1 ~ S4が印加され、該各n型MOSトランジスタのドレイン同士が電氣的に接続される複数のn型MOSトランジスタを有する。そして、各n型MOSトランジスタのドレイン同士が電氣的に接続されるノードが、n型の第2のセクタSEL4-1n ~ SEL4-4nを構成するn型MOSトランジスタのソースのいずれかに電氣的に接続される。

【0160】

より具体的には、n型の第3のセクタSEL16-1n ~ SEL16-4nの該ノードが、n型の第2のセクタSEL4-1nを構成するn型MOSトランジスタのソースのいずれかに電氣的に接続される。n型の第3のセクタSEL16-5n ~ SEL16-8nの該ノードが、n型の第2のセクタSEL4-2nを構成するn型MOSトランジスタのソースのいずれかに電氣的に接続される。n型の第3のセクタSEL16-9n ~ SEL16-12nの該ノードが、n型の第2のセクタSEL4-3nを構成するn型MOSトランジスタのソースのいずれかに電氣的に接続される。n型の第3のセクタSEL16-13n ~ SEL16-16nの該ノードが、n型の第2のセクタSEL

10

20

30

40

50

4 - 4 n を構成する n 型 MOS トランジスタのソースのいずれかに電氣的に接続される。

【 0 1 6 1 】

また n 型の第 3 のセクタ S E L 1 6 - 1 n を構成する各 n 型 MOS トランジスタのソースに、階調電圧 V 0 ~ V 3 それぞれが供給される。n 型の第 3 のセクタ S E L 1 6 - 2 n を構成する各 n 型 MOS トランジスタのソースに、階調電圧 V 4 ~ V 7 それぞれが供給される。他の n 型の第 3 のセクタを構成する各 n 型 MOS トランジスタのソースにも同様に、図 1 6 に示す階調電圧が供給される。

【 0 1 6 2 】

図 1 7 に、図 1 6 の各 n 型の第 3 のセクタに供給される階調電圧の説明図を示す。

【 0 1 6 3 】

図 1 6 の n 型の第 3 のセクタ S E L 1 6 - 1 n ~ S E L 1 6 - 1 6 n は、それぞれ同一の構成を有している。そこで、n 型の第 3 のセクタ S E L 1 6 - 1 n には、階調電位の高い順（又は低い順）に階調電圧 V 0 ~ V 3 がセクタの各入力端子に供給され、n 型の第 3 のセクタ S E L 1 6 - 2 n には、階調電圧の高い順（又は低い順）に階調電圧 V 4 ~ V 7 がセクタの各入力端子に供給される。n 型の第 3 のセクタ S E L 1 6 - 3 n ~ S E L 1 6 - 8 n も同様である。

【 0 1 6 4 】

これに対して、n 型の第 3 のセクタ S E L 1 6 - 9 n には、n 型の第 3 のセクタ S E L 1 6 - 1 n ~ S E L 1 6 - 8 n とは逆の順序で、階調電位の低い順（又は高い順）に階調電圧 V 6 3 ~ V 6 0 がセクタの各入力端子に供給され、n 型の第 3 のセクタ S E L 1 6 - 1 0 n には、階調電圧の低い順（又は高い順）に階調電圧 V 5 9 ~ V 5 6 がセクタの各入力端子に供給される。n 型の第 3 のセクタ S E L 1 6 - 1 1 n ~ S E L 1 6 - 1 6 n も同様である。このように、全ビット反転型に対応したトーナメント方式の D A C では、n 型の第 3 のセクタ S E L 1 6 - 1 n ~ S E L 1 6 - 1 6 n まで電位の高い順又は低い順に同じ順序で階調電圧が供給されるのに対し、図 1 6 では図 6 の変換階調データに合わせて、n 型の第 3 のセクタ S E L 1 6 - 1 n ~ S E L 1 6 - 8 n と n 型の第 3 のセクタ S E L 1 6 - 9 n ~ S E L 1 6 - 1 6 n との電位の順序が逆となっている。

【 0 1 6 5 】

図 1 8 に、本実施形態と全ビット反転型の階調電圧の供給例の比較図を示す。

【 0 1 6 6 】

図 1 8 に示すように全ビット反転型でトーナメント方式の D A C を構成する場合、電位の低い順（又は高い順）に階調電圧 V 0 ~ V 6 3 を図 1 4 又は図 1 6 に示す各セクタの入力端子に入力させる。これに対して、本実施形態では、階調電圧 V 3 2 ~ V 6 3 の配線を変更して、入力するセクタを変更すると共に、電位の高い順（又は低い順）に階調電圧を供給すればよい。

【 0 1 6 7 】

このように、少ない設計変更で、低消費電力を大幅に削減できる D A C を提供でき、この D A C を含むソースドライバ 3 0 の低コスト化に寄与できるようになる。

【 0 1 6 8 】

3 . 電子機器

次に、本実施形態における液晶装置 1 0 （ソースドライバ 3 0 ）が適用される電子機器について説明する。

【 0 1 6 9 】

3 . 1 投写型表示装置

上述の液晶装置 1 0 を用いて構成される電子機器として、投写型表示装置がある。

【 0 1 7 0 】

図 1 9 に、本実施形態における液晶装置 1 0 が適用された投写型表示装置の構成例のブロック図を示す。

【 0 1 7 1 】

投写型表示装置 7 0 0 は、表示情報出力源 7 1 0 、表示情報処理回路 7 2 0 、表示駆動

10

20

30

40

50

回路 730 (表示ドライバ)、液晶パネル 740、クロック発生回路 750 及び電源回路 760 を含んで構成される。表示情報出力源 710 は、ROM (Read Only Memory) 及び RAM (Random Access Memory)、光ディスク装置等のメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路 750 からのクロック信号に基づいて、所定フォーマットの画像信号等の表示情報を表示情報処理回路 720 に出力する。表示情報処理回路 720 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、或いはクランプ回路等を含むことができる。表示駆動回路 730 は、ゲートドライバ及びソースドライバを含んで構成され、液晶パネル 740 を駆動する。電源回路 760 は、上述の各回路に電力を供給する。

【0172】

図 20 に、投写型表示装置の要部の概略構成図を示す。

【0173】

投写型表示装置は、光源 810、ダイクロイックミラー 813、814、反射ミラー 815、816、817、入射レンズ 818、リレーレンズ 819、出射レンズ 820、液晶光変調装置 822、823、824、クロスダイクロイックプリズム 825、投写レンズ 826 を含む。光源 810 は、メタルハライド等のランプ 811 とランプの光を反射するリフレクタ 812 とを含む。青色光・緑色光反射のダイクロイックミラー 813 は、光源 810 からの光束のうち赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー 817 で反射されて、赤色光用液晶光変調装置 822 に入射される。一方、ダイクロイックミラー 813 で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー 814 によって反射され、緑色光用液晶光変調装置 823 に入射される。一方、青色光は第 2 のダイクロイックミラー 814 も透過する。青色光に対しては、長い光路により光損失を防ぐため、入射レンズ 818、リレーレンズ 819、出射レンズ 820 を含むリレーレンズ系からなる導光手段 821 が設けられ、これを介して青色光が青色光用液晶光変調装置 824 に入射される。各光変調回路により変調された 3 つの色光はクロスダイクロイックプリズム 825 に入射する。このプリズムは、4 つの直角プリズムが貼り合わされ、その内面に赤色光を反射する誘電体多層膜と青色光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって 3 つの色光が合成されて、カラー画像を表す光が形成される。以上のように、投写型表示装置の投写手段が構成される。この投写手段によって合成された光は、投写光学系である投写レンズ 826 によってスクリーン 827 に投写され、画像が拡大されて表示される。

【0174】

3.2 携帯電話機

また上述の液晶装置 10 を用いて構成される電子機器として、携帯電話機がある。

【0175】

図 21 に、本実施形態における液晶装置 10 が適用された携帯電話機の構成例のブロック図を示す。図 21 において、図 1 又は図 2 と同一部分には同一符号を付し、適宜説明を省略する。

【0176】

携帯電話機 900 は、カメラモジュール 910 を含む。カメラモジュール 910 は、CCD カメラを含み、CCD カメラで撮像した画像のデータを、YUV フォーマットで表示コントローラ 38 に供給する。

【0177】

携帯電話機 900 は、LCD パネル 20 を含む。LCD パネル 20 は、ソースドライバ 30 及びゲートドライバ 32 によって駆動される。LCD パネル 20 は、複数のゲート線、複数のソース線、複数の画素を含む。

【0178】

表示コントローラ 38 は、ソースドライバ 30 及びゲートドライバ 32 に接続され、ソースドライバ 30 に対して RGB フォーマットの階調データを供給する。

【0179】

10

20

30

40

50

電源回路 100 は、ソースドライバ 30 及びゲートドライバ 32 に接続され、各ドライバに対して、駆動用の電源電圧を供給する。また LCD パネル 20 の対向電極に、対向電極電圧 V_{com} を供給する。

【0180】

ホスト 940 は、表示コントローラ 38 に接続される。ホスト 940 は、表示コントローラ 38 を制御する。またホスト 940 は、アンテナ 960 を介して受信された階調データを、変復調部 950 で復調した後、表示コントローラ 38 に供給できる。表示コントローラ 38 は、この階調データに基づき、ソースドライバ 30 及びゲートドライバ 32 により LCD パネル 20 に表示させる。

【0181】

ホスト 940 は、カメラモジュール 910 で生成された階調データを変復調部 950 で変調した後、アンテナ 960 を介して他の通信装置への送信を指示できる。

【0182】

ホスト 940 は、操作入力部 970 からの操作情報に基づいて階調データの送受信処理、カメラモジュール 910 の撮像、LCD パネル 20 の表示処理を行う。

【0183】

図 21 では、ホスト 940 又は表示コントローラ 38 が、階調データを供給する手段とすることができる。

【0184】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。

【0185】

また本実施形態では、ソースドライバ 30 が変換データ生成回路 90 を含むものとして説明したが、これに限定されるものではなく、ホスト（図示せず）又は表示コントローラ 38 が変換データ生成回路 90 を含んでもよい。

【0186】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【0187】

【図 1】本実施形態における液晶装置の構成の概要を示す図。

【図 2】本実施形態における液晶装置の他の構成の概要を示す図。

【図 3】図 1 又は図 2 のゲートドライバの構成例のブロック図。

【図 4】図 1 又は図 2 のソースドライバの構成例のブロック図。

【図 5】本実施形態における変換データ生成回路の動作説明図。

【図 6】本実施形態において K が「4」、L が「1」の場合の変換データ生成回路の動作説明図。

【図 7】全ビット反転型で生成された階調データに基づいて選択される信号経路の一例を示す図。

【図 8】本実施形態の変換階調データに基づいて選択される信号経路の一例を示す図。

【図 9】本実施形態において K が「4」、L が「2」の場合の変換データ生成回路の動作説明図。

【図 10】図 4 の変換データ生成回路の構成の概要を示す図。

【図 11】図 10 の R 成分用変換データ生成回路の構成例の回路図。

【図 12】図 4 の DAC を構成するデコーダの構成例を示す図。

【図 13】プリデコーダの構成例の回路図。

【図 14】図 12 の p 型セレクタの構成例を示す図。

10

20

30

40

50

- 【図 15】図 14 の各 p 型の第 3 のセクタに供給される階調電圧の説明図。
 【図 16】図 12 の n 型セクタの構成例を示す図。
 【図 17】図 16 の各 n 型の第 3 のセクタに供給される階調電圧の説明図。
 【図 18】本実施形態と全ビット反転型の階調電圧の供給例の比較図。
 【図 19】本実施形態における液晶装置が適用された投写型表示装置の構成例のブロック図。
 【図 20】投写型表示装置の要部の概略構成図。
 【図 21】本実施形態における液晶装置が適用された携帯電話機の構成例のブロック図。
 【符号の説明】

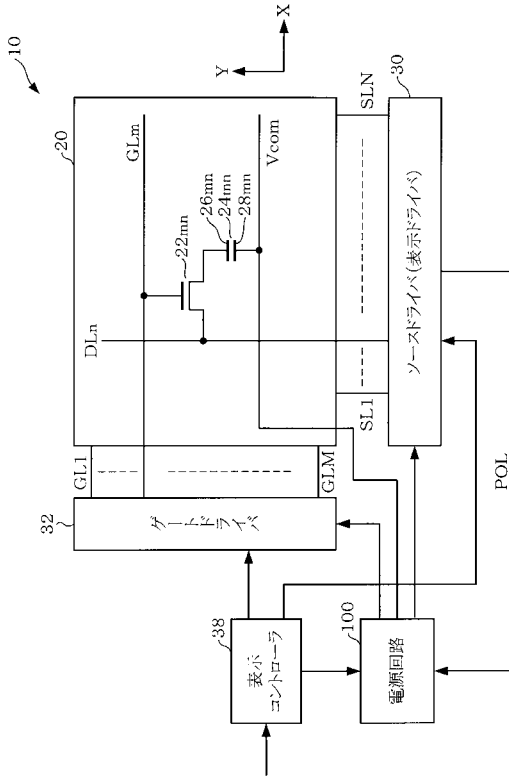
【0188】

10

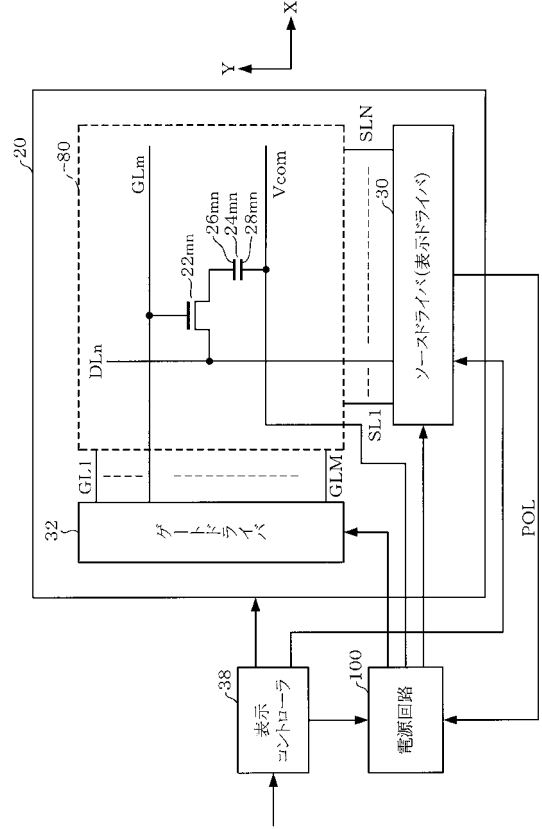
- 10 液晶装置、 20 LCD パネル、 30 ソースドライバ、
 32 ゲートドライバ、 38 表示コントローラ、 50 I/O バッファ、
 52 表示メモリ、 54 ラインラッチ、 56 階調電圧発生回路、
 58 DAC、 60 ソース線駆動回路、 62 アドレス制御回路、
 64 ロウアドレスデコーダ、 66 カラムアドレスデコーダ、
 68 ラインアドレスデコーダ、 90 変換データ生成回路、
 90B B成分用変換データ生成回路、 90G G成分用変換データ生成回路、
 90R R成分用変換データ生成回路、 100、760 電源回路、
 700 投写型表示装置、 710 表示情報出力源、 720 表示情報処理装置、
 730 表示駆動回路、 740 液晶パネル、 750 クロック発生回路、
 810 光源、 813、814 ダイクロイックミラー、
 815、816、817 反射ミラー、 818 入射レンズ、
 819 リレーレンズ、 820 出射レンズ、
 822、823、824 液晶光変調装置、 825 クロスダイクロイックプリズム、
 826 投写レンズ、 900 携帯電話機、 910 カメラモジュール、
 940 ホスト、 950 変復調部、 960 アンテナ、 970 操作入力部

20

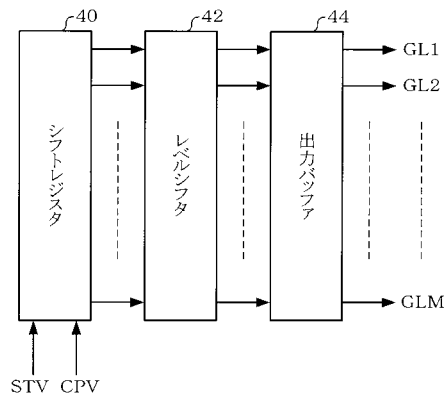
【図 1】



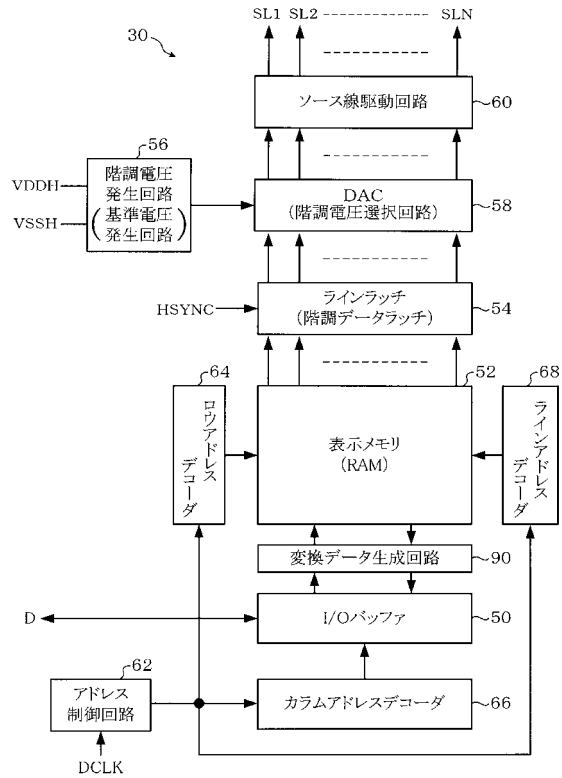
【図 2】



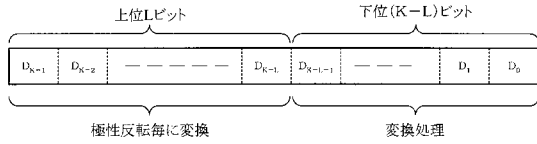
【図 3】



【図 4】



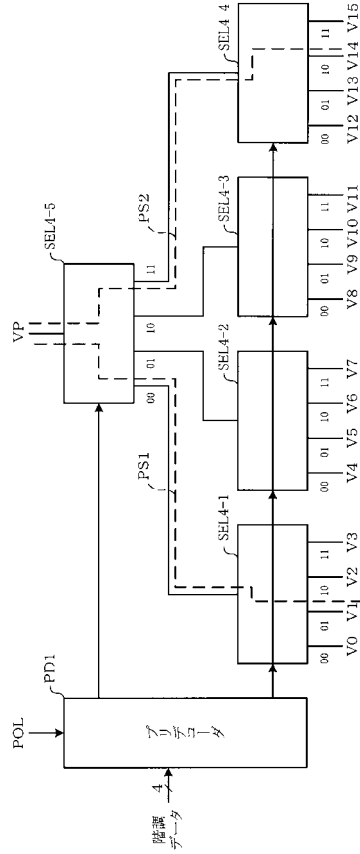
【 図 5 】



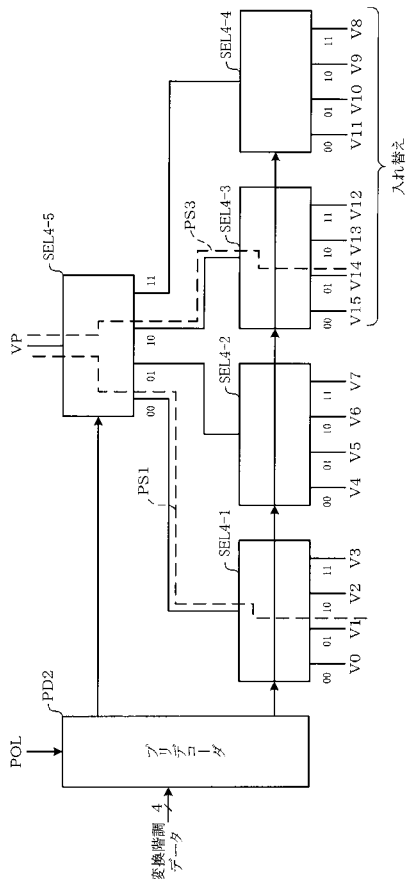
【 図 6 】

階調データ	全ビット反転型		データ変換型	
	正極性用	負極性用	正極性用	負極性用
0	0000	1111	0000	1000
1	0001	1110	0001	1001
2	0010	1101	0010	1010
3	0011	1100	0011	1100
4	0100	1011	0100	1101
5	0101	1010	0101	1110
6	0110	1001	0110	1110
7	0111	1000	0111	1111
8	1000	0111	1111	0111
9	1001	0110	1110	0110
10	1010	0101	1110	0101
11	1011	0100	1101	0100
12	1100	0011	1100	0011
13	1101	0010	1010	0010
14	1110	0001	1001	0001
15	1111	0000	1000	0000

【 図 7 】



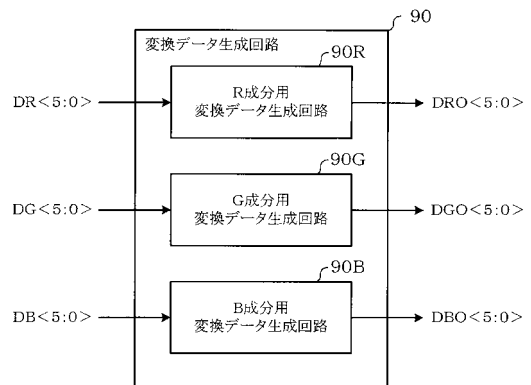
【 図 8 】



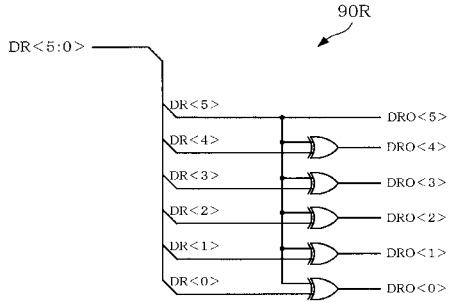
【 図 9 】

階調データ	全ビット反転型		データ変換型	
	正極性用	負極性用	正極性用	負極性用
0	0000	1111	0000	1100
1	0001	1110	0001	1101
2	0010	1101	0010	1110
3	0011	1100	0011	1111
4	0100	1011	0100	1000
5	0101	1010	0101	1001
6	0110	1001	0110	1010
7	0111	1000	0111	1011
8	1000	0111	1011	0111
9	1001	0110	1010	0110
10	1010	0101	1001	0101
11	1011	0100	1000	0100
12	1100	0011	1111	0011
13	1101	0010	1110	0010
14	1110	0001	1101	0001
15	1111	0000	1100	0000

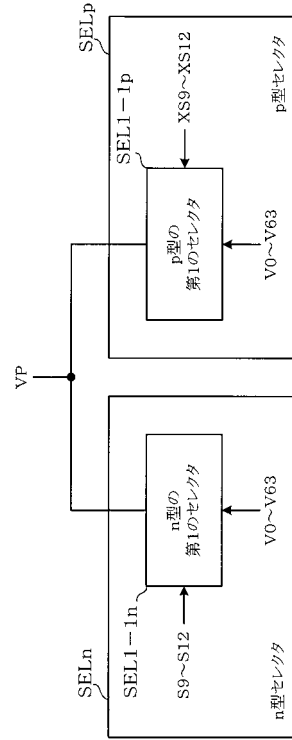
【 図 10 】



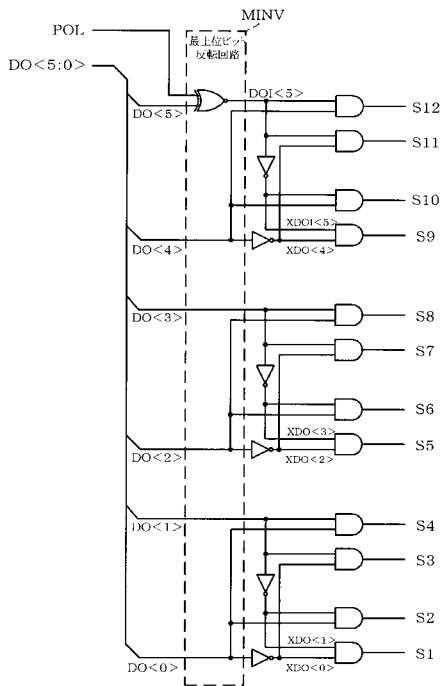
【 図 1 1 】



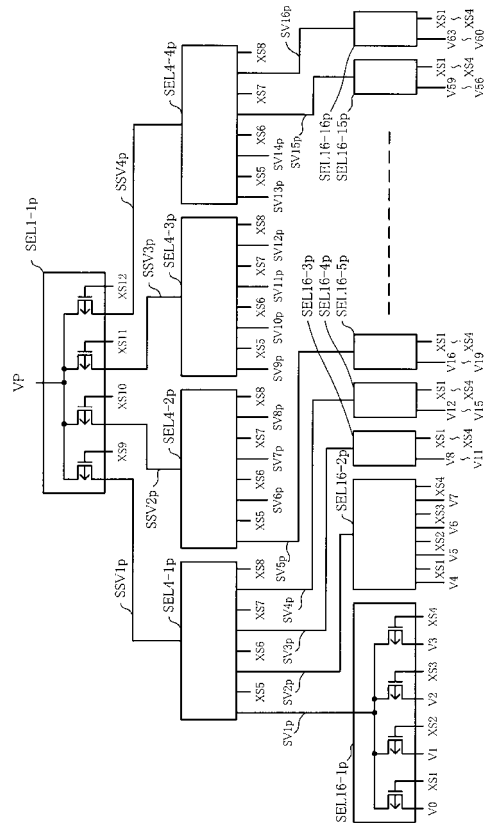
【 図 1 2 】



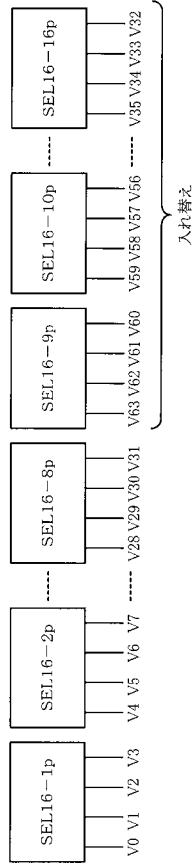
【 図 1 3 】



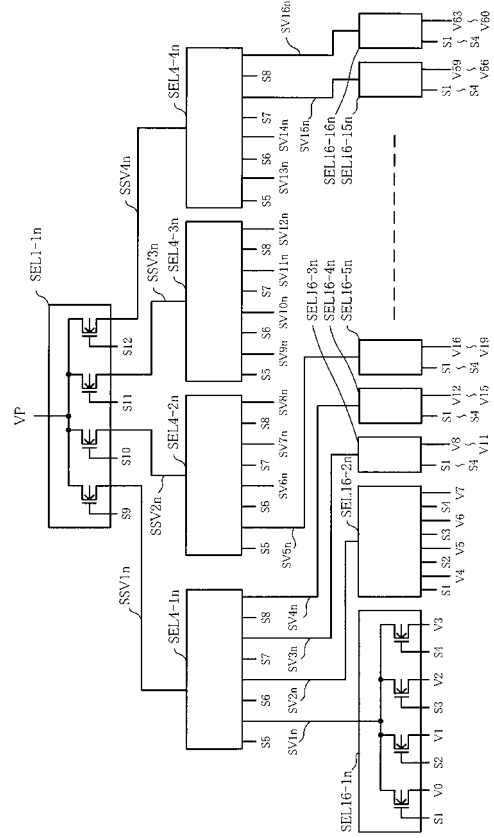
【 図 1 4 】



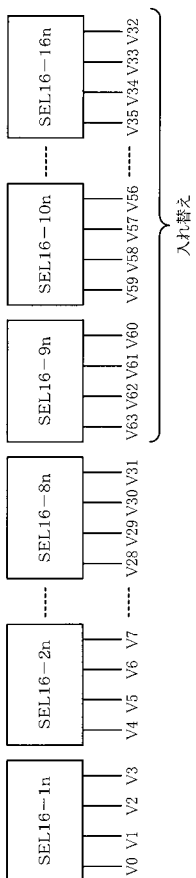
【図 15】



【図 16】



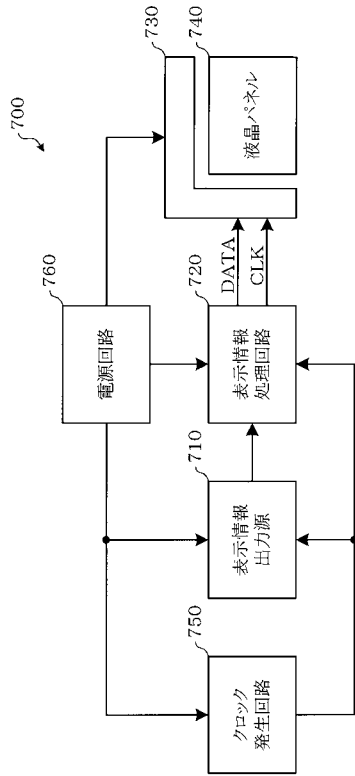
【図 17】



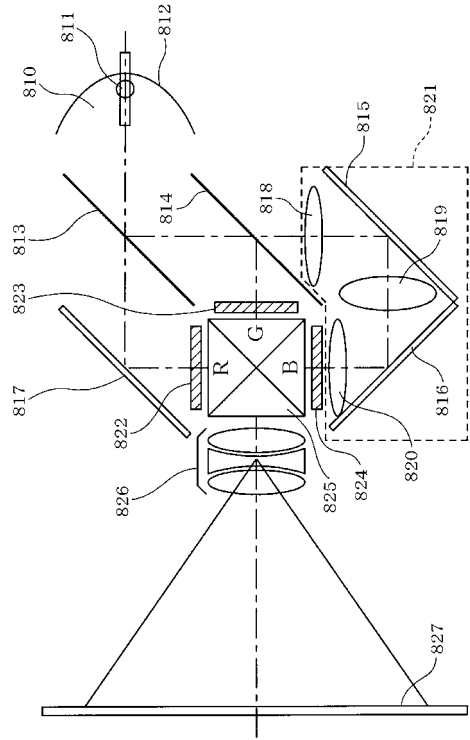
【図 18】

全ビット反転型	V0, V1, V2, V3, ..., V30, V31, V32, V33, ..., V62, V63
新方式	V0, V1, V2, V3, ..., V30, V31, (V63, V62, ..., V33, V32)

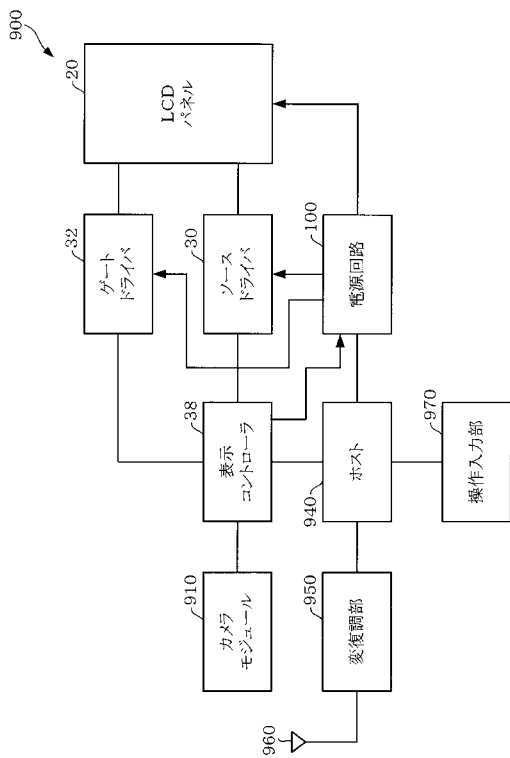
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 8 0 C
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5

F ターム(参考)	2H093	NA16	NA31	NA43	NA51	NC03	NC09	NC11	NC24	NC28	NC34
		ND39	ND49	NE06							
	5C006	AA22	AC26	AF02	AF03	AF45	AF53	AF83	AF85	BB16	BC12
		BC16	BF01	BF24	BF43	EC11	FA01	FA41	FA47		
	5C080	AA10	BB05	CC03	DD22	DD26	EE29	FF11	GG09	GG11	GG12
		JJ02	JJ03	JJ06	KK43						