

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-294751
(P2008-294751A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int.Cl. F I テーマコード(参考)
H03M 1/10 (2006.01) H03M 1/10 A 5J022

審査請求 有 請求項の数 2 O L (全 8 頁)

(21) 出願番号	特願2007-138186 (P2007-138186)	(71) 出願人	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22) 出願日	平成19年5月24日(2007.5.24)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100092657 弁理士 寺崎 史朗
		(74) 代理人	100110582 弁理士 柴田 昌聰
		(74) 代理人	100124800 弁理士 諏澤 勇司
		(72) 発明者	岩館 弘剛 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内
		Fターム(参考)	5J022 AA01 AC04 BA03 CB01 CB06 CB07 CD02 CF08

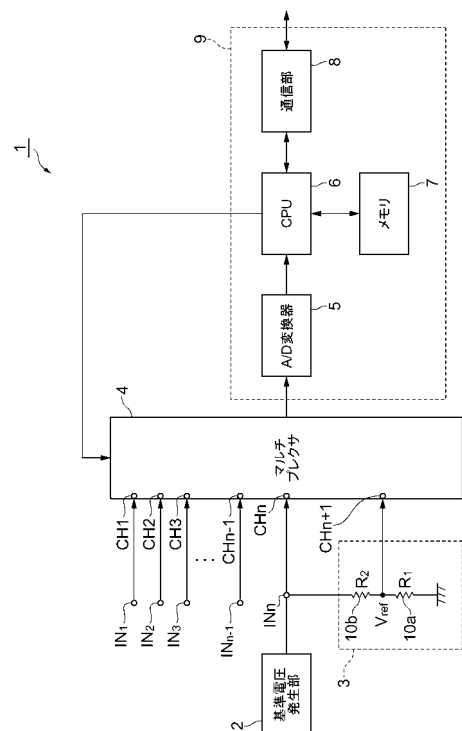
(54) 【発明の名称】 A/D変換回路

(57) 【要約】

【課題】電源電圧に対して逆極性のオフセットが発生していた場合でも正確なオフセット誤差を検出して補正すること。

【解決手段】このA/D変換回路1は、入力電圧 V_1, \dots, V_{n-1} をそれぞれ入力する入力端子 IN_1, \dots, IN_{n-1} と、基準電圧 V_0 を分圧抵抗によって分圧した基準電圧 V_{ref} を生成する基準電圧入力部3と、入力電圧 V_1, \dots, V_{n-1} 及び基準電圧 V_0, V_{ref} が入力されて、それらの電圧信号のうちからいずれかを選択して出力するマルチプレクサ4と、マルチプレクサ4によって出力された電圧信号をA/D変換してデジタル値を生成する信号処理部9とを備え、信号処理部9は、基準電圧 V_0, V_{ref} をもとに得られたデジタル値と分圧抵抗の比とに基づいてオフセット誤差を算出した後、オフセット誤差に基づいて入力電圧 V_1, \dots, V_{n-1} に対応するデジタル値を補正する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 ~ 第 N の入力電圧 (N は 2 以上の整数) をそれぞれ入力する第 1 ~ 第 N の入力端子と、

前記第 N の入力電圧を分圧抵抗によって分圧して、第 1 基準電圧を生成する基準電圧入力部と、

前記第 1 ~ 第 N の入力電圧及び前記第 1 基準電圧が入力されて、前記第 1 ~ 第 N の入力電圧及び前記第 1 基準電圧のうちからいずれかを選択して出力する選択回路と、

前記選択回路によって出力された前記第 1 ~ 第 N の入力電圧及び前記第 1 基準電圧をアナログ / デジタル変換する信号処理部とを備え、

前記信号処理部は、前記第 N の入力電圧及び前記第 1 基準電圧をもとに得られたデジタル値と前記分圧抵抗の比に基づいてオフセット誤差を算出し、前記オフセット誤差に基づいて前記第 1 ~ 第 N - 1 の入力電圧に対応するデジタル値を補正する、

ことを特徴とする A / D 変換回路。

【請求項 2】

第 2 基準電圧を発生させて前記第 2 基準電圧を前記第 N の入力端子に入力する基準電圧発生部をさらに備え、

前記信号処理部は、前記第 2 基準電圧と、前記分圧抵抗の比に基づいて利得誤差をさらに算出し、前記利得誤差及び前記オフセット誤差に基づいて、前記第 1 ~ 第 N - 1 の入力電圧に対応する前記デジタル値を補正する、

ことを特徴とする請求項 1 記載の A / D 変換回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、入力電圧をデジタル値に変換する A / D 変換回路に関するものである。

【背景技術】**【0002】**

従来から、制御用マイクロコンピュータ (以下、「マイコン」という) 等には入力アナログ電圧をアナログ / デジタル変換する A / D 変換器が内蔵されている。この種の A / D 変換器としては、下記非特許文献 1 に記載のように、2 つの基準電圧の間の大きさの入力アナログ電圧をアナログ / デジタル変換し、この基準電圧を適当に設定することで負方向のオフセットの補償を可能にする A / D 変換器が知られている。このマイコンには、8bit ~ 12bit の A / D 変換器が 1 ~ 数個内蔵されており、マルチプレクサを介して複数のアナログ入力が A / D 変換器に選択的に入力され、A / D 変換器によりアナログ入力がデジタル値に変換される。A / D 変換器は、グランド電圧 ~ 最大入力電圧の間のアナログ信号を A / D 変換器の持つ分解能でデジタル値に変換する。最大入力電圧は固定であるのが一般的なため、マルチプレクサの後段に可変利得増幅器を内蔵し、この可変利得増幅器の利得を変更することにより、個々のアナログ信号に対してその分解能を効率的に発揮するように A / D 変換器の入力強度を調整する。

【0003】

また、下記特許文献 1 には、セレクタに入力されたアナログ入力信号をアナログ / デジタル変換する際に、A / D 変換器によって変換されたグランドレベル信号及び基準電圧信号のデータから補正值を算出し、その補正值を用いて誤差補正を行う A / D 変換回路が開示されている。

【特許文献 1】特開 2005 - 244771 号公報

【非特許文献 1】“MSP430x4xx Family User's Guide, Mixed Signal Products SLAU056 F”, テキサスインスツルメンツ社, 2006 年

【発明の開示】**【発明が解決しようとする課題】**

【0004】

上述した従来のA/D変換器は、制御用マイコン全体として負電源を供給することはまれであるので、結果として負方向のオフセット誤差は補正が困難である。また、上記特許文献1記載のA/D変換回路では、単一電源で動作する際にグラウンドレベル信号からオフセット誤差を正確に検出することは困難であった。すなわち、オフセット誤差には、プラスとマイナスのオフセットがあるが、単一電源の場合にグラウンドを基準とすると、電源電圧の極性と反対のオフセットは検出できない。例えば、プラス電源で動作している場合にマイナスのオフセットが存在しても、グラウンドと接続されたA/D変換器の出力値はオフセットの大きさによらず“0”しか出力できない。逆に、マイナス電源で動作している場合にプラスのオフセットが存在しても、グラウンドと接続されたA/D変換器の出力値はオフセットの大きさによらず、やはり“0”しか出力できない。

10

【0005】

そこで、本発明は、かかる課題に鑑みて為されたものであり、電源電圧に対して逆極性のオフセットが発生していた場合でも正確なオフセット誤差を検出して補正できるA/D変換回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため、本発明のA/D変換回路は、第1～第Nの入力電圧（Nは2以上の整数）をそれぞれ入力する第1～第Nの入力端子と、第Nの入力電圧を分圧抵抗によって分圧して、第1基準電圧を生成する基準電圧入力部と、第1～第Nの入力電圧及び第1基準電圧が入力されて、第1～第Nの入力電圧及び第1基準電圧のうちからいずれかを選択して出力する選択回路と、選択回路によって出力された第1～第Nの入力電圧及び第1基準電圧をアナログ/デジタル変換する信号処理部とを備え、信号処理部は、第Nの入力電圧及び第1基準電圧をもとに得られたデジタル値と分圧抵抗の比に基づいてオフセット誤差を算出し、オフセット誤差に基づいて第1～第N-1の入力電圧に対応するデジタル値を補正する。

20

【0007】

このようなA/D変換回路によれば、選択回路には第1～第Nの入力端子から第1～第Nの入力電圧と第Nの入力電圧を既知の抵抗で抵抗分圧した第1基準電圧とが入力され、それらの電圧のうちいずれかが信号処理部に選択的に出力された後、信号処理部によってそれらの電圧がデジタル値に変換される。その際、信号処理部は、電源電圧と同一極性の有限値をもつ第Nの入力電圧及び第1基準電圧をアナログ/デジタル変換した結果と、第1基準電圧の分圧比に基づいてオフセット誤差を算出して、そのオフセット誤差によって第1～第N-1の入力電圧に対するデジタル値を補正するので、電源電圧と逆極性のオフセットが生じていてもA/D変換器におけるオフセット誤差を正確に検出してデジタル値を補正することができる。

30

【0008】

第2基準電圧を発生させて第2基準電圧を第Nの入力端子に入力する基準電圧発生部をさらに備え、信号処理部は、第2基準電圧と、分圧抵抗の比に基づいて利得誤差をさらに算出し、利得誤差及びオフセット誤差に基づいて、第1～第N-1の入力電圧に対応するデジタル値を補正することが好ましい。

40

【0009】

この場合、選択回路に第Nの入力端子を介して既知の電圧である第2基準電圧が入力されることにより、信号処理部にその第2基準電圧と第2基準電圧を既知の抵抗で抵抗分圧した第1基準電圧とが選択的に入力される。そして、信号処理部は、まず、第2基準電圧値と第2基準電圧及び第1基準電圧をアナログ/デジタル変換した結果とに基づいて、オフセット誤差及び利得誤差を算出した後に、第1～第N-1の入力電圧に対するデジタル値を補正するので、A/D変換器において利得誤差が生じていてもデジタル値を正確に導出することができる。

【発明の効果】

50

【0010】

本発明のA/D変換回路によれば、電源電圧に対して逆極性のオフセットが発生していた場合でも正確なオフセット誤差を検出して補正することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しつつ本発明に係るA/D変換回路の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。

【0012】

[第1実施形態]

10

図1は、本発明の第1実施形態にかかるA/D変換回路1の構成を示すブロック図である。同図に示すA/D変換回路1は、制御用マイクロコンピュータ(以下、「マイコン」という)やパーソナルコンピュータ等に内蔵され、外部から入力された電圧の大きさを検出して、その電圧の大きさを示すデジタル値を生成する回路である。A/D変換回路1は、N個(Nは2以上の整数)の入力端子 $I N_1 \sim I N_n$ と、基準電圧発生部2と、基準電圧入力部3と、マルチプレクサ(選択回路)4と、A/D変換器5、CPU(中央処理装置)6、メモリ7、及び通信部8によって構成される信号処理部9とを備えている。

【0013】

入力端子 $I N_1, \dots, I N_{n-1}$ には、それぞれ、外部から複数種類のアナログ電圧値の入力電圧 V_1, \dots, V_{n-1} が入力され、この入力端子 $I N_1, \dots, I N_{n-1}$ がマルチプレクサ4の入力ポート $C H_1, \dots, C H_{n-1}$ にそれぞれ接続されることにより、マルチプレクサ4に入力電圧 V_1, \dots, V_{n-1} が入力される。また、入力端子 $I N_n$ には、基準電圧発生部2が接続され、基準電圧発生部2により既知の基準電圧(第2基準電圧) V_0 が生成されて入力端子 $I N_n$ に入力される。この入力端子 $I N_n$ にマルチプレクサ4の入力ポート $C H_n$ に接続されることにより、マルチプレクサ4に基準電圧 V_0 が併せて入力される。

20

【0014】

基準電圧入力部3は、入力端子 $I N_n$ とグランドとの間に直列に接続された2つの分圧抵抗 $10a, 10b$ から構成されている。そして、この分圧抵抗 $10a$ と分圧抵抗 $10b$ との間の接続点にはマルチプレクサ4の入力ポート $C H_{n+1}$ が接続されることにより、基準電圧 V_0 を分圧抵抗 $10a, 10b$ によって抵抗分圧した基準電圧(第1基準電圧) V_{ref} が、マルチプレクサ4に併せて入力される。

30

【0015】

マルチプレクサ4は、入力電圧 V_1, \dots, V_{n-1} 、及び基準電圧 V_0, V_{ref} のうちから何れかを選択して信号処理部9のA/D変換器5に出力する機能を有する選択回路である。このマルチプレクサ4は、信号処理部9のCPU6の制御信号に応じて、A/D変換器5に選択的に電圧信号を出力する。

【0016】

A/D変換器5は、マルチプレクサ4から出力された入力電圧 V_1, \dots, V_{n-1} 、及び基準電圧 V_0, V_{ref} のいずれかの電圧信号のアナログ電圧値を検出し、そのアナログ電圧値をアナログ/デジタル変換(A/D変換)してデジタル値を生成し、そのデジタル値をCPU6に出力する。例えば、A/D変換器5は、グランド電圧から所定の最大入力電圧までの大きさの電圧値を、処理可能な最大ビット数に対応した分解能でデジタル値に変換する。なお、A/D変換器5においては一般にオフセット誤差及び利得誤差が発生するため、A/D変換器5において入力電圧 V_k (k は、1以上 $n-1$ 以下の整数)をもとに生成されたデジタル値 V_{ADk} は、下記式(1)；

40

$$V_{ADk} = (1 + A) \times V_k + B \quad \dots (1)$$

によって与えられる。ここで、 A は、A/D変換器5における利得誤差、 B は、A/D変換器5におけるオフセット誤差である。

【0017】

50

CPU6は、A/D変換器5から出力されたデジタル値 V_{ADk} を補正する処理を行い、補正後のデジタル値 V_{ADk} をメモリ7に格納する。このデジタル値 V_{ADk} は、A/D変換回路1を内蔵するマイコン等において後続する処理に利用される。また、CPU6は、補正後のデジタル値 V_{ADk} を、通信部8を介して外部に送信することもできる。以下、CPU6による補正機能を詳細に説明する。

【0018】

CPU6は、まず、マルチプレクサ4を切替制御することによりマルチプレクサ4の出力から基準電圧 V_0 、 V_{ref} を順次出力させ、A/D変換器5によって基準電圧 V_0 、 V_{ref} をAD変換させることにより、それぞれの電圧値に対応するデジタル値 V_{AD0} 、 V_{ADref} を取得する。このとき得られるデジタル値 V_{AD0} 、 V_{ADref} は、式(1)に基づいて下記式(2)及び(3)によって表される。

$$V_{AD0} = (1 + A) \times V_0 + B \quad \dots (2)$$

$$V_{ADref} = (1 + A) \times V_{ref} + B \quad \dots (3)$$

ここで、分圧抵抗 $10a$ 、 $10b$ の既知の抵抗値を R_1 、 R_2 とすると、基準電圧 V_0 と基準電圧 V_{ref} との関係は、下記式(4)；

$$V_{ref} = R_1 / (R_1 + R_2) \times V_0 \quad \dots (4)$$

によって表される。

【0019】

そこで、CPU6は、式(2)、(3)、(4)の関係に基づいて、利得誤差Aを下記式(5)；

$$A = \{ (R_1 + R_2) / R_2 \} \times \{ (V_{AD0} - V_{ADref}) / V_0 \} - 1 \quad \dots (5)$$

により算出することができる。このとき、抵抗値 R_1 、 R_2 及び電圧値 V_0 は予めメモリ7に記憶されており、CPU6は、メモリ7から読み出した値から特定される分圧抵抗比 R_1 / R_2 及び電圧値 V_0 と、A/D変換器5から出力されたデジタル値 V_{AD0} 、 V_{ADref} とに基づいて利得誤差Aを算出する。なお、メモリ7には、抵抗値 R_1 、 R_2 の代わりに分圧抵抗比 R_1 / R_2 を記憶しておいてもよい。

【0020】

さらに、CPU6は、式(2)、(5)の関係に基づいて、オフセット誤差Bを下記式(6)；

$$B = \{ (R_1 + R_2) / R_2 \} \times V_{ADref} - R_1 / R_2 \times V_{AD0} \quad \dots (6)$$

により算出する。つまり、CPU6は、メモリ7から読み出した値から特定される分圧抵抗比 R_1 / R_2 と、A/D変換器5から出力されたデジタル値 V_{AD0} 、 V_{ADref} とに基づいてオフセット誤差Bを算出する。

【0021】

そして、CPU6は、上述のようにして算出した利得誤差A及びオフセット誤差Bを較正情報としてメモリ7に記憶した後に、順次マルチプレクサ4を切替制御することによって入力電圧 $V_1 \sim V_{n-1}$ をA/D変換器5に出力させて、入力電圧 $V_1 \sim V_{n-1}$ をA/D変換器5によってAD変換する。さらに、CPU6は、A/D変換器5から出力された入力電圧 V_1, \dots, V_{n-1} に対応するデジタル値 V_{ADk} ($k = 1, \dots, n - 1$)を、メモリ7から読み出した較正情報を利用して、下記式(7)；

$$AV_{ADk} = V_{ADk} / (1 + A) - B \quad \dots (7)$$

に基づいて補正して補正值 AV_{ADk} を得る。この補正值 AV_{ADk} は、マルチプレクサ4及びA/D変換器5のオフセット及び利得が補償された値として得られる。CPU6は、算出した補正值 AV_{ADk} をメモリ7に格納する。

【0022】

ここで、CPU6により実行される補正処理の意義について説明すると、一般に入力電圧 V_k とAD変換後のデジタル値 V_{ADk} との関係は、オフセット誤差を D_{off} とすると、図2のような関係となる。理想的なAD変換が行われればAD変換特性は原点を通る直線 G_1 の関係で表される。しかしながら、実際にはデジタル値 V_{ADk} にはプラス又は

10

20

30

40

50

マイナスのオフセットが存在するので、A/D変換特性は直線 G_2 、 G_3 のような特性となり、A/D変換後のデジタル値から実際の入力アナログ値を算出する際にはこのオフセットを補正する必要がある。このとき、2つの既知の電圧値 V_0 、 V_{ref} の2点のアナログ値を変換して、それぞれデジタル値 V_{AD0} 、 V_{ADref} が得られたとすると、これらのデジタル値を用いてオフセット B を算出することができる。そして、アナログ値 V_k を変換してデジタル値 V_{ADk} が得られた場合は、真のデジタル値は $V_{ADk} - B$ で与えられる。

【0023】

なお、基準電圧入力部3における分圧抵抗10aと分圧抵抗10bとによる分圧比は、 V_{ref} が約 $1/2 \times V_0$ になるように設定されることが好適である。 V_{ref} をグランド電位に近い値にすることは V_{ref} に関して量子化誤差の影響が大きくなるので好ましくない。これは、基準電圧 V_0 をA/D変換器5のフルスケールに近い値に設定し、基準電圧 V_{ref} をその半分程度の大きさに設定することにより、図2の補正直線の算出に際して量子化誤差の影響を低減することができるためである。

10

【0024】

以上説明したA/D変換回路1によれば、マルチプレクサ4には入力端子 IN_1, \dots, IN_n から入力電圧 V_1, \dots, V_{n-1} 及び基準電圧 V_0 と、基準電圧 V_0 を既知の抵抗で抵抗分圧した基準電圧 V_{ref} とが入力され、それらの電圧のうちの一つが信号処理部9に選択的に出力された後、A/D変換器5によってそれらの電圧がデジタル値に変換される。その際、CPU6は、電源電圧と同一極性の有限値をもつ基準電圧 V_0 、 V_{ref} をA/D変換した結果と、基準電圧 V_{ref} の分圧比とに基づいてオフセット誤差を算出して、そのオフセット誤差によって入力電圧 V_1, \dots, V_{n-1} に対するデジタル値を補正するので、電源電圧と逆極性のオフセットが生じていてもA/D変換器5におけるオフセット誤差を正確に検出してデジタル値を補正することができる。

20

【0025】

また、マルチプレクサ4には入力端子 IN_n を介して既知の電圧である基準電圧 V_0 が入力され、信号処理部9にその基準電圧 V_0 と基準電圧 V_0 を既知の抵抗で抵抗分圧した基準電圧 V_{ref} とが選択的に入力され、CPU6が、基準電圧値 V_0 と基準電圧 V_0 、 V_{ref} をA/D変換した結果とに基づいて、オフセット誤差及び利得誤差を算出した後に、入力電圧 V_1, \dots, V_{n-1} に対するデジタル値を補正するので、A/D変換器5において利得誤差が生じていてもデジタル値を正確に導出することができる。

30

【0026】

[第2実施形態]

次に、本発明の第2実施形態について説明する。

【0027】

図3は、本発明の第2実施形態であるA/D変換回路101の構成を示すブロック図である。第2実施形態にかかるA/D変換回路101は、基準電圧発生部2(図1参照)を備えない点、及び信号処理部109における補正機能において利得誤差を算出しない点が第1実施形態と相違する。なお、A/D変換回路101の構成は、A/D変換器5における利得誤差が十分に小さいと想定される場合に採用可能な構成である。

40

【0028】

具体的には、入力端子 IN_1, \dots, IN_n には、それぞれ、外部から複数種類の電圧値の入力電圧 V_1, \dots, V_n が入力され、この入力端子 IN_1, \dots, IN_n がマルチプレクサ4の入力ポート CH_1, \dots, CH_n にそれぞれ接続されることにより、マルチプレクサ4に入力電圧 V_1, \dots, V_n が入力される。また、基準電圧入力部3の分圧抵抗10aと分圧抵抗10bとの間の接続点にはマルチプレクサ4の入力ポート CH_{n+1} が接続されることにより、入力電圧 V_n を分圧抵抗10a、10bによって抵抗分圧した基準電圧(第1基準電圧) V_{ref} が、マルチプレクサ4に併せて入力される。マルチプレクサ4は、入力ポート CH_1, \dots, CH_{n+1} から入力された入力電圧 V_1, \dots, V_n 及び基準電圧 V_{ref} のうちの一つのアナログ電圧信号を信号処理部109のA/D変換器5に

50

選択的に出力する。

【0029】

A/D変換器5は、入力電圧 V_1, \dots, V_n 及び基準電圧 V_{ref} をAD変換してデジタル値 $V_{AD1}, \dots, V_{ADn}, V_{ADref}$ を生成し、CPU106に出力する。これに対して、CPU106は、以下のようにしてデジタル値 V_{AD1}, \dots, V_{ADn} を補正する。

【0030】

すなわち、CPU106は、まず、マルチプレクサ4を切換制御することによりマルチプレクサ4から入力電圧 V_n 及び基準電圧 V_{ref} を順次出力させ、A/D変換器5によって入力電圧 V_n 及び基準電圧 V_{ref} をAD変換させることにより、それぞれの電圧値に対応するデジタル値 V_{ADn}, V_{ADref} を取得する。このとき得られるデジタル値 V_{ADn}, V_{ADref} は、下記式(8)及び(9)によって表される。

$$V_{ADn} = V_n + B \quad \dots (8)$$

$$V_{ADref} = V_{ref} + B \quad \dots (9)$$

ここで、分圧抵抗10a, 10bの既知の抵抗値を R_1, R_2 とすると、入力電圧 V_n と基準電圧 V_{ref} との関係は、下記式(10)；

$$V_{ref} = R_1 / (R_1 + R_2) \times V_n \quad \dots (10)$$

によって表される。

【0031】

そこで、CPU106は、式(8), (9), (10)の関係に基づいて、オフセット誤差Bを下記式(11)；

$$B = \{ (R_1 + R_2) / R_2 \} \times V_{ADref} - R_1 / R_2 \times V_{ADn} \quad \dots (11)$$

により算出する。つまり、CPU106は、メモリ7から読み出した値から特定される分圧抵抗比 R_1 / R_2 と、A/D変換器5から出力されたデジタル値 V_{ADn}, V_{ADref} とに基づいてオフセット誤差Bを算出する。

【0032】

そして、CPU106は、上述のようにして算出したオフセット誤差Bを較正情報としてメモリ7に記憶した後に、A/D変換器5から出力された入力電圧 V_1, \dots, V_n に対応するデジタル値 V_{ADk} ($k = 1, \dots, n$)を、メモリ7から読み出した較正情報を利用して、下記式(12)；

$$AV_{ADk} = V_{ADk} - B \quad \dots (12)$$

によって補正して補正值 AV_{ADk} を得る。

【0033】

以上説明したA/D変換回路101によっても、電源電圧と逆極性のオフセットが生じていてもA/D変換器5におけるオフセット誤差を正確に検出してデジタル値を補正することができる。特に、A/D変換回路101においては、基準電圧発生部が必要ないので回路構成がより簡略化される。

【図面の簡単な説明】

【0034】

【図1】本発明の第1実施形態にかかるA/D変換回路の構成を示すブロック図である。

【図2】図1のA/D変換器におけるAD変換特性を示すグラフである。

【図3】本発明の第2実施形態にかかるA/D変換回路の構成を示すブロック図である。

【符号の説明】

【0035】

IN₁, ..., IN_n ... 入力端子、1, 101 ... A/D変換回路、2 ... 基準電圧発生部、3 ... 基準電圧入力部、4 ... マルチプレクサ(選択回路)、5 ... A/D変換器、9, 109 ... 信号処理部、10a, 10b ... 分圧抵抗。

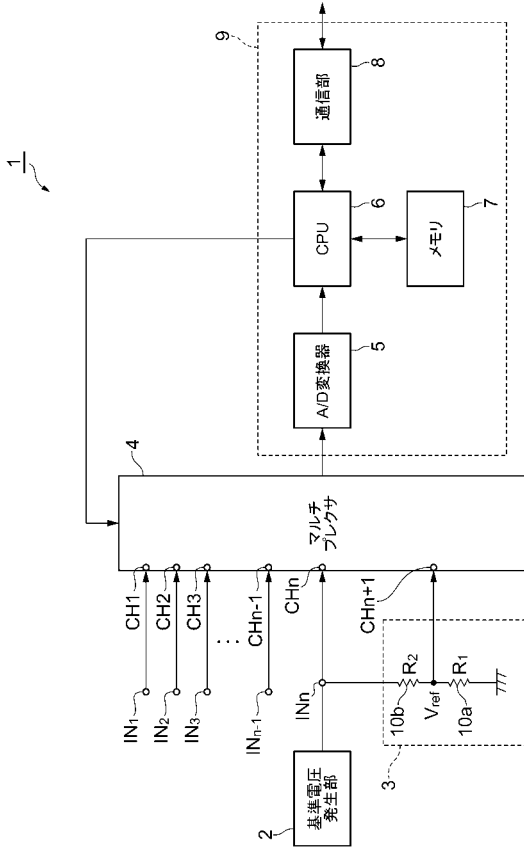
10

20

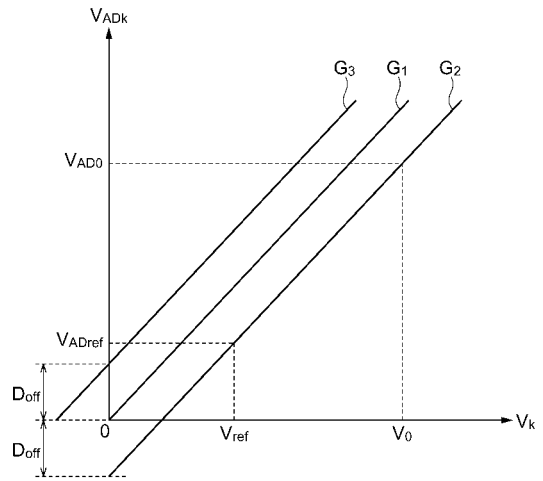
30

40

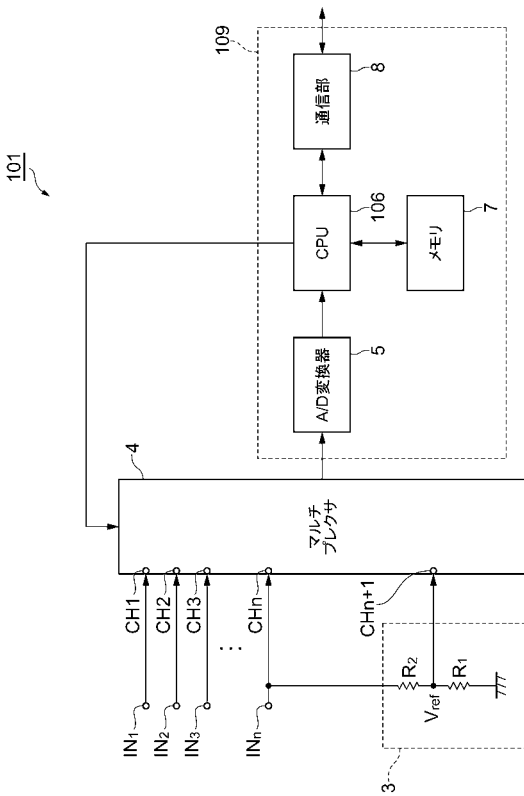
【 図 1 】



【 図 2 】



【 図 3 】



101