

# (12) 发明专利申请

(10) 申请公布号 CN 103021848 A

(43) 申请公布日 2013. 04. 03

(21) 申请号 201110279693. 9

(22) 申请日 2011. 09. 20

(71) 申请人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

(72) 发明人 卞剑涛 薛忠营 狄增峰 张苗

(74) 专利代理机构 上海光华专利事务所 31219  
代理人 李仪萍

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 29/165(2006. 01)

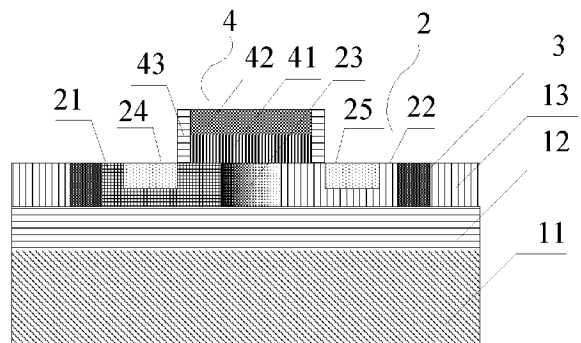
权利要求书 2 页 说明书 5 页 附图 4 页

## (54) 发明名称

一种锗硅异质结隧穿场效应晶体管及其制备方法

## (57) 摘要

本发明提供一种锗硅异质结隧穿场效应晶体管及其制备方法, 在 SiGe 或 Ge 区制作器件的源区, Si 区制作器件的漏区, 获得高 ON 电流的同时保证了低 OFF 电流, 采用局部锗氧化浓缩技术实现局部高锗组份的 SGOI 或 GOI, 在局部高锗组份的 SGOI 或 GOI 中, 锗组份从 50%~100% 可控, 并且, 薄膜厚度可控制在 5~20nm, 易于器件工艺实现。SiGe 或 Ge 与 Si 在氧化浓缩过程中, 它们之间形成了一个锗组份渐变的锗硅异质结结构, 消除缺陷的产生。本发明的制备方法工艺简单, 与 CMOS 工艺兼容, 适用于大规模的工业生产。



1. 一种锗硅异质结隧穿场效应晶体管的制备方法,其特征在于,至少包括以下步骤:

步骤一,提供一具有顶层硅、埋氧层和背衬底的 SOI 衬底,在所述顶层硅上依次形成 SiGe 层及表面硅层,然后依据预设宽度刻蚀掉所述 SiGe 层及表面硅层的周侧部分,以在所述顶层硅表面形成由所述 SiGe 层及表面硅层堆叠的凸台结构;

步骤二,在所述凸台结构的整个表面形成 SiO<sub>2</sub> 层,然后在所述 SiO<sub>2</sub> 层的表面形成 Si<sub>3</sub>N<sub>4</sub> 层,最后刻蚀以去除所述凸台结构顶部的 Si<sub>3</sub>N<sub>4</sub>;

步骤三,对所述凸台结构进行氧化退火,以氧化所述表面硅层并逐渐氧化所述 SiGe 层及所述顶层硅,使所述 SiGe 层的 Ge 向所述顶层硅纵向扩散并逐渐浓缩,并在所述顶层硅内横向扩散形成 Ge 组分渐变的 Ge/Si 异质结结构,以制备出 SiGe 或 Ge 区;

步骤四,去除所述 Si<sub>3</sub>N<sub>4</sub> 层与 SiO<sub>2</sub> 层并对所述顶层硅与所述 SiGe 或 Ge 区表面进行抛光,然后在预定的位置制作隔离槽,以形成制备器件所用的 SiGe 或 Ge 区及 Si 区;

步骤五,制作栅极、采用自对准工艺制作源区及漏区,其中,所述源区位于所述 SiGe 或 Ge 区,所述漏区位于所述 Si 区,所述栅极下同时包括部分 SiGe 或 Ge 区及部分 Si 区。

2. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:采用化学气相沉积法外延生长所述 SiGe 层及表面硅层。

3. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述顶层硅的厚度为 20 ~ 30nm,所述表面硅层的厚度为 20 ~ 30nm。

4. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述 SiGe 层的厚度为 20 ~ 50nm。

5. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述 SiGe 层的 Ge 组份为 10% ~ 25%。

6. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述步骤三中在 O<sub>2</sub> 气氛中进行氧化和 N<sub>2</sub> 气氛中进行退火。

7. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述步骤三中所述凸台结构层先进行第一氧化退火阶段,至所述顶层硅中 Ge 组份达 50%时,再接着进行第二氧化退火阶段。

8. 根据权利要求 7 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述第一氧化退火阶段在 1005 ~ 1100℃ 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时,所述第二氧化退火阶段在 900 ~ 950℃ 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时。

9. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述步骤四中,采用热磷酸刻蚀以去除所述 Si<sub>3</sub>N<sub>4</sub> 层,采用 HF 刻蚀以去除所述 SiO<sub>2</sub> 层,采用机械化学法进行抛光。

10. 根据权利要求 1 所述的锗硅异质结隧穿场效应晶体管的制备方法,其特征在于:所述步骤五还包括在栅极周侧制作侧墙结构的步骤。

11. 一种锗硅异质结隧穿场效应晶体管,其特征在于,所述晶体管至少包括:

SOI 衬底,具有顶层硅、埋氧层和背衬底;

栅极,凸设于所述顶层硅的上表面;

有源区,位于所述栅电极下方并形成于所述顶层硅中,所述有源区包括具有源区的

SiGe 或 Ge 区,以及具有漏区的 Si 区,且所述 SiGe 或 Ge 区与 Si 区相接部形成一 Ge 组分渐变的 Ge/Si 异质结结构;以及

隔离槽,位于所述有源区的周侧用以将所述有源区隔离。

12. 根据权利要求 11 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述栅极包括结合在所述顶层硅上的栅绝缘层、结合在所述栅绝缘层上的栅电极及设置于所述栅绝缘层与栅电极周侧的侧墙结构。

13. 根据权利要求 11 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述源区为 P 型掺杂区,所述漏区为 N 型掺杂区。

14. 根据权利要求 11 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述源区为 N 型掺杂区,所述漏区为 P 型掺杂区。

15. 根据权利要求 13 或 14 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述 P 型掺杂区的掺杂元素为 B 或  $\text{BF}_2$ ,所述 N 型掺杂区的掺杂元素为 P、As 或 Sb。

16. 根据权利要求 11 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述 SiGe 或 Ge 区 Ge 的组份为 50%~100%。

17. 根据权利要求 11 所述的锗硅异质结隧穿场效应晶体管,其特征在于:所述 SiGe 或 Ge 区的厚度为 5~20nm。

## 一种锗硅异质结隧穿场效应晶体管及其制备方法

### 技术领域

[0001] 本发明涉及一种晶体管及其制备方法,特别是涉及一种锗硅异质结隧穿场效应晶体管及其制备方法。

### 背景技术

[0002] 近年来,以硅集成电路为核心的微电子技术得到了迅速的发展,集成电路芯片的发展基本上遵循摩尔定律,即半导体芯片集成度以每 18 个月翻一番的速度增长。在过去一段时间里,微电子技术的进步是以不断优化材料、工艺和流程的成本效益为基础的。然而,随着微电子技术的发展,常规的硅基 CMOS 晶体管按比例缩小已变得越来越困难。而且,现今利用 MOSFET 制造的大多数电子产品,出现以下主要问题:第一,由于 MOSFET 沟道缩短导致漏电变大,即使关机或待机中也会不断消耗电力。IBM 引用欧盟的报告指出,10%的家庭和办公室电力都是浪费在电子产品的待机状态。第二,传统 MOSFET 受物理机制的限制,其亚阈值摆幅较高。

[0003] 解决以上问题的方案之一就是采用隧穿场效应晶体管 (Tunnel FET:TFET) 结构,与传统的 MOSFET 相比,由于工作原理不同,可进一步缩小电路的尺寸,具有低漏电流、低亚阈值摆幅、低功耗等优异特性,但硅基隧穿场效应晶体管的 ON 电流偏小,虽然采用窄禁带材料(如 Ge, SiGe 等)可提高 ON 电流,但会导致 OFF 电流增加。

[0004] 采用锗硅异质结隧穿场效应晶体管,在增加 ON 电流的同时保持小的 OFF 电流。但锗硅异质结的主要是通过外延技术制备,在高锗组份情况下,由于 Ge 和 Si 之间 4.2% 的晶格失配的限制,材料生长超过其临界厚度时就会产生大量的缺陷,导致器件漏电增加。而且,器件对薄膜厚度也有一定要求,太薄了器件工艺很难实现。因此,需要一种可行的办法实现高质量锗硅异质结结构、又具有一定薄膜厚度的方法,以实现高性能的锗硅异质结 TFET。

### 发明内容

[0005] 鉴于以上所述现状和现有技术的缺点,本发明的目的在于提供一种锗硅异质结隧穿场效应晶体管及其制备方法,以克服现有技术中锗硅异质结的缺陷及厚度等问题,达到能够实现高性能 TFET 的目的。

[0006] 为实现上述目的及其他相关目的,本发明提供一种锗硅异质结隧穿场效应晶体管的制备方法,所述方法至少包括以下步骤:步骤一,提供一具有顶层硅、埋氧层和背衬底的 SOI 衬底,在所述顶层硅上依次形成 SiGe 层及表面硅层,然后依据预设宽度刻蚀掉所述 SiGe 层及表面硅层的周侧部分,以在所述顶层硅表面形成由所述 SiGe 层及表面硅层堆叠的凸台结构;步骤二,在所述凸台结构的整个表面形成  $\text{SiO}_2$  层,然后在所述  $\text{SiO}_2$  层的表面形成  $\text{Si}_3\text{N}_4$  层,最后刻蚀以去除所述凸台结构顶部的  $\text{Si}_3\text{N}_4$ ;步骤三,对所述凸台结构进行氧化退火,以氧化所述表面硅层并逐渐氧化所述 SiGe 层及所述顶层硅,使所述 SiGe 层的 Ge 向所述顶层硅纵向扩散并逐渐浓缩,并在所述顶层硅内横向扩散形成 Ge 组分渐变的 Ge/Si

异质结结构,以制备出 SiGe 或 Ge 区;步骤四,去除所述  $\text{Si}_3\text{N}_4$  层与  $\text{SiO}_2$  层并对所述顶层硅与所述 SiGe 或 Ge 区表面进行抛光,然后在预定的位置制作隔离槽,以形成制备器件所用的 SiGe 或 Ge 区及 Si 区;步骤五,制作栅极、采用自对准工艺源区及漏区,其中,所述源区位于所述 SiGe 或 Ge 区,所述漏区位于所述 Si 区,所述栅极下同时包括部分 SiGe 或 Ge 区及部分 Si 区。

[0007] 在本发明的制备方法中,优先地采用化学气相沉积法制作所述 SiGe 层及表面硅层。

[0008] 在本发明的制备方法中,所述顶层硅的厚度为 20 ~ 30nm,所述表面硅层的厚度为 20 ~ 30nm。

[0009] 在本发明的制备方法中,所述 SiGe 层的厚度为 20 ~ 50nm。

[0010] 在本发明的制备方法中,所述 SiGe 层的 Ge 组份为 10% ~ 25%。

[0011] 在本发明的制备方法中,所述步骤三中在  $\text{O}_2$  气氛中进行氧化和  $\text{N}_2$  气氛中进行退火。

[0012] 在本发明的制备方法中,所述步骤三中所述凸台结构层先进行第一氧化退火阶段,至所述顶层硅中 Ge 组份达 50%时,再接着进行第二氧化退火阶段。

[0013] 在本发明的制备方法中,所述第一氧化退火阶段在 1005 ~ 1100°C 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时,所述第二氧化退火阶段在 900 ~ 950°C 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时。

[0014] 在本发明的制备方法中,所述步骤四中,采用热磷酸刻蚀以去除所述  $\text{Si}_3\text{N}_4$  层,采用 HF 刻蚀以去除所述  $\text{SiO}_2$  层,采用机械化学法进行抛光。

[0015] 在本发明的制备方法中,所述步骤五还包括在栅极周侧制作侧墙结构的步骤。

[0016] 此外,本发明还提供了一种锗硅异质结隧穿场效应晶体管,其至少包括:SOI 衬底,具有顶层硅、埋氧层和背衬底;栅极,凸设于所述顶层硅的上表面;有源区,位于所述栅电极下方并形成于所述顶层硅中,所述有源区包括具有源区的 SiGe 或 Ge 区,以及具有漏区的 Si 区,且所述 SiGe 或 Ge 区与 Si 区相接部形成一 Ge 组分渐变的 Ge/Si 异质结结构;以及隔离槽,位于所述有源区的周侧用以将所述有源区隔离。

[0017] 在本发明的晶体管中,所述栅极包括结合在所述顶层硅上的栅绝缘层、结合在所述栅绝缘层上的栅电极及设置于所述栅绝缘层与栅电极周侧的侧墙结构。

[0018] 在本发明的晶体管中,所述源区为 P 型掺杂区,所述漏区为 N 型掺杂区。

[0019] 在本发明的晶体管中,所述源区为 N 型掺杂区,所述漏区为 P 型掺杂区。

[0020] 如以上两晶体管所述,所述 P 型掺杂区的掺杂元素为 B 或  $\text{BF}_2$ ,所述 N 型掺杂区的掺杂元素为 P、As 或 Sb。

[0021] 在本发明的晶体管中,所述 SiGe 或 Ge 区 Ge 的组份为 50% ~ 100%。

[0022] 在本发明的晶体管中,所述 SiGe 或 Ge 区的厚度为 5 ~ 20nm。

[0023] 如上所述,本发明实现了一种平面型锗硅异质结结构隧穿场效应晶体管,在 SiGe(或 Ge)区制作器件的源区,Si 区制作器件的漏区,获得高 ON 电流的同时保证了低 OFF 电流。采用局部锗氧化浓缩技术实现局部高锗组份的 SGOI 或 GOI,在局部高锗组份的 SGOI 或 GOI 中,锗组份从 50% ~ 100%可控,并且,薄膜厚度可控制在 5 ~ 20nm,易于器件工艺实现。SiGe(或 Ge)与 Si 在氧化浓缩过程中,它们之间形成了一个锗组份渐变的锗硅异质结

结构,消除缺陷的产生。本发明的制备方法工艺简单,与 CMOS 工艺兼容,适用于大规模的工业生产。

## 附图说明

[0024] 图 1a ~图 5 显示为本发明制备方法各步骤所呈现的结构示意图。

## 具体实施方式

[0025] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在不背离本发明的精神下进行各种修饰或改变。

[0026] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0027] 如图 1a ~图 5 所示,本发明提供一种锗硅异质结隧穿场效应晶体管的制备方法,其至少包括以下步骤:

[0028] 请参阅图 1a ~图 1b,如图所示,首先进行步骤一,提供一具有顶层硅 13、埋氧层 12 和背衬底 11 的 SOI 衬底 1,具体地,可提供一具有顶层硅、 $\text{SiO}_2$  埋氧层和硅基底的 SOI 衬底 1,在所述顶层硅上采用化学气相沉积法依次生长 SiGe 层 28 及表面硅层 29,当然,也可采用分子束外延依次形成 SiGe 层 28 及表面硅层 29,然后依据预设宽度刻蚀掉所述 SiGe 层 28 及表面硅层 29 的周侧部分,具体地,可采用干法或者湿法刻蚀法刻蚀掉所述 SiGe 层 28 及表面硅层 29 的周侧部分,以在所述顶层硅表面形成由所述 SiGe 层 28 及表面硅层 29 堆叠的凸台结构。

[0029] 作为本发明实施例的一个优选方案,所述顶层硅 13 的厚度可选 20 ~ 30nm,所述表面硅层 29 的厚度可选 20 ~ 30nm,所述 SiGe 层 28 的厚度可选 20 ~ 50nm,所述 SiGe 层 28 中 Ge 组份为 10% ~ 25%。

[0030] 请参阅图 2,如图所示,接着进行步骤二,在所述凸台结构的整个表面形成  $\text{SiO}_2$  层 26,然后在所述  $\text{SiO}_2$  层 26 的表面形成  $\text{Si}_3\text{N}_4$  层 27,在具体的实施过程中,采用氧化或者化学气相沉积的方式以形成所述  $\text{SiO}_2$  层 26,采用化学气相沉积法形成所述  $\text{Si}_3\text{N}_4$  层 27,最后刻蚀以去除所述凸台结构顶部的  $\text{Si}_3\text{N}_4$ 。

[0031] 请参阅图 3,如图所示,然后进行步骤三,对所述凸台结构进行氧化退火,以氧化所述表面硅层 29 并逐渐氧化所述 SiGe 层 28 及所述顶层硅 13,使所述 SiGe 层 28 的 Ge 向所述顶层硅 13 纵向扩散并逐渐浓缩,并在所述顶层硅内 13 横向扩散形成 Ge 组分渐变的 Ge/Si 异质结结构 23,以制备出 SiGe 或 Ge 区 21;

[0032] 作为本实施例的一个优选方案为,将所述凸台结构置于  $\text{O}_2$  气氛中进行氧化和  $\text{N}_2$  气氛中首先进行第一氧化退火阶段,具体地,在 1005 ~ 1100℃ 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时,直到所述顶层硅 13 中 Ge 组份达 50%,然后进行第二氧化退火阶段,在 900 ~ 950℃ 中氧化和退火若干次,每次氧化和退火时间为 0.5 ~ 1 小时,以

使 Ge 浓度在所述底层硅 13 中逐渐升高,并与所述顶层硅 13 横向相互扩散以形成 Ge 组份渐变的 Ge/Si 异质结结构 23。具体的过程为,在氧化退火过程中,所述表面硅层 26 被氧化成  $\text{SiO}_2$ ,并且所述 SiGe 层 28 中的 Si 也被逐渐氧化为  $\text{SiO}_2$ ,所述 SiGe 层 28 由于被氧化使得 Ge 浓度逐渐升高并向所述顶层硅 13 纵向扩散,同时,所述顶层硅 13 也向 SiGe 层 28 扩散而逐渐被氧化也使得所述 Ge 在所述顶层硅 13 中的浓度逐渐提高,并横向扩散形成 Ge 组份渐变的 Ge/Si 异质结结构 23。

[0033] 请参阅图 4a ~ 图 4b,如图所示,进行步骤四,去除所述  $\text{Si}_3\text{N}_4$  层 27 与  $\text{SiO}_2$  层 26 并对所述顶层硅 13 与所述 SiGe 或 Ge 区 21 表面进行抛光,然后在预定的位置制作隔离槽 3,以形成 SiGe 或 Ge 区 21 及 Si 区 22 作为器件的有源区。

[0034] 在具体的实施过程中,采用热磷酸刻蚀以去除所述  $\text{Si}_3\text{N}_4$  层 27,采用 HF 刻蚀以去除所述  $\text{SiO}_2$  层 26,当然,也可以采用反应离子刻蚀法等对所述  $\text{Si}_3\text{N}_4$  层 27 及  $\text{SiO}_2$  层 26 进行刻蚀,采用机械化学法对所述顶层硅 13 与所述 SiGe 或 Ge 区 21 表面进行抛光。

[0035] 需要说明的是,所述隔离槽 3 优选 STI 隔离槽,其制作方法为,利用干法或湿法刻蚀法于所述顶层硅 13 中刻蚀出两个沟槽,然后于所述沟槽内采用化学气相沉积法等沉积  $\text{SiO}_2$  作为隔离填充介质以完成所述 STI 隔离槽的制备。

[0036] 步骤五,制作栅极 4、采用自对准工艺制作源区 24 及漏区 25,其中,所述源区 24 位于所述 SiGe 或 Ge 区 21,所述漏区 25 位于所述 Si 区 22,所述栅极 4 下同时包括部分 SiGe 或 Ge 区 21 及部分 Si 区 22。

[0037] 具体的实施过程为,于所述顶层硅 13、SiGe 或 Ge 区 21、Si 区 22 及隔离槽 3 表面形成栅绝缘层 41 和栅电极层 42,根据预设栅极 4 的位置和大小刻蚀制备所述栅极 4,并在栅极 4 周侧制作侧墙结构 43,所述侧墙结构 43 可为  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$  等然后采用自对准工艺对所述源区 24 与漏区 25 进行离子注入,在一优选实施方案中,对所述源区 24 采用 B 或  $\text{BF}_2$  进行 P 型掺杂,对所述漏区 25 采用 P、As 或 Sb 进行 N 型掺杂,当然,也可对所述源区 24 采用 P、As 或 Sb 进行 N 型掺杂,对所述漏区 25 采用 B 或  $\text{BF}_2$  进行 P 型掺杂,最后制作源区、漏区和栅极的电极引出,以完成所述锗硅异质结隧穿场效应晶体管的制备。

[0038] 如图 5 所示,本发明还提供了一种锗硅异质结隧穿场效应晶体管,所述晶体管至少包括:SOI 衬底 1,具有顶层硅 11、埋氧层 12 和背衬底 13,具体地,所述埋氧层材质为  $\text{SiO}_2$ ,所述背衬底的材质为 Si;栅极 4,凸设于所述顶层硅 13 和 SiGe 或 Ge 区 21 的上表面,具体地,所述栅极包括结合在所述顶层硅 13 和 SiGe 或 Ge 区 21 上的栅绝缘层 41、结合在所述栅绝缘层 41 上的栅电极 42 及设置于所述栅绝缘层 41 与栅金属电极 42 周侧的侧墙结构 43,所述栅绝缘层 41 为  $\text{SiO}_2$  层或  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{SiON}$  等 H-K 绝缘介质层,所述栅电极 42 的材质可为 NiSi、TaN、TiN 等,所述侧墙结构 43 为  $\text{SiO}_2$  层,也可为  $\text{Si}_3\text{N}_4$  层等;有源区 2,位于所述栅极 4 下方并形成于所述顶层硅 13 中,所述有源区 2 包括具有源区 24 的 SiGe 或 Ge 区 21,以及具有漏区 25 的 Si 区 22,且所述 SiGe 或 Ge 区 21 与 Si 区 22 相接部形成一 Ge 组分渐变的 Ge/Si 异质结结构 23;以及隔离槽 3,位于所述有源区 2 的周侧用以将所述有源区 2 隔开,以实现器件间的隔离,优选地,所述隔离槽 3 为 STI 隔离槽,并采用  $\text{SiO}_2$  作为所述 STI 隔离槽的隔离填充介质。

[0039] 在本发明的实施例中,一个实施方案为,所述源区 24 为 P 型掺杂区,则所述漏区 25 为 N 型掺杂区,可采用的另一各实施方案为,所述源区 24 为 N 型掺杂区,所述漏区 25 为 P

型掺杂区。对此两实施方案,需要说明的是,所述P型掺杂区的掺杂元素为B或BF<sub>2</sub>,所述N型掺杂区的掺杂元素为P、As或Sb,其中,N型和P型掺杂均通过离子注入并快速退火或激光退火实现。

[0040] 作为被实施例的一个优选方案,所述SiGe或Ge区21中Ge的含量为50%~100%,所述SiGe或Ge区21的厚度为5~20nm。

[0041] 综上所述,本发明实现了一种平面型锗硅异质结结构隧穿场效应晶体管,在SiGe(或Ge)区制作器件的源区,Si区制作器件的漏区,获得高ON电流的同时保证了低OFF电流。采用局部锗氧化浓缩技术实现局部高锗组份的SGOI或GOI,在局部高锗组份的SGOI或GOI中,锗组份从50%~100%可控,并且,薄膜厚度可控制在5~20nm,易于器件工艺实现。SiGe(或Ge)与Si在氧化浓缩过程中,它们之间形成了一个锗组份渐变的锗硅异质结结构,消除缺陷的产生。本发明的制备方法工艺简单,与CMOS工艺兼容,适用于大规模的工业生产。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0042] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。



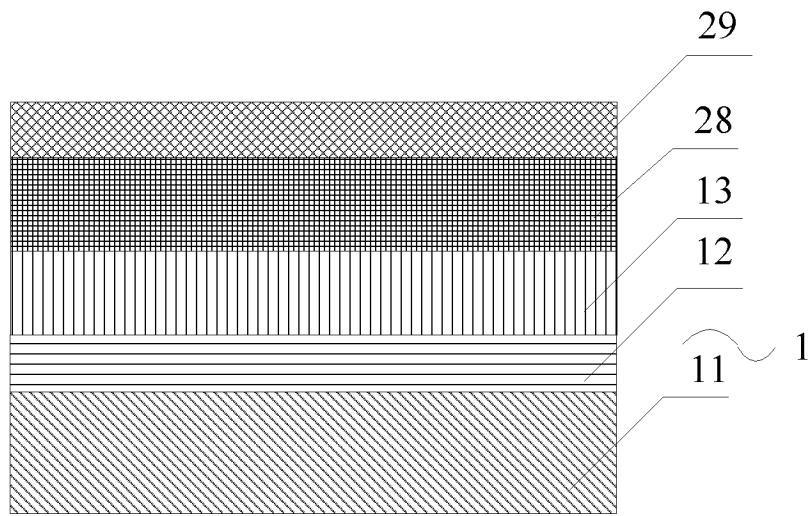


图 1a

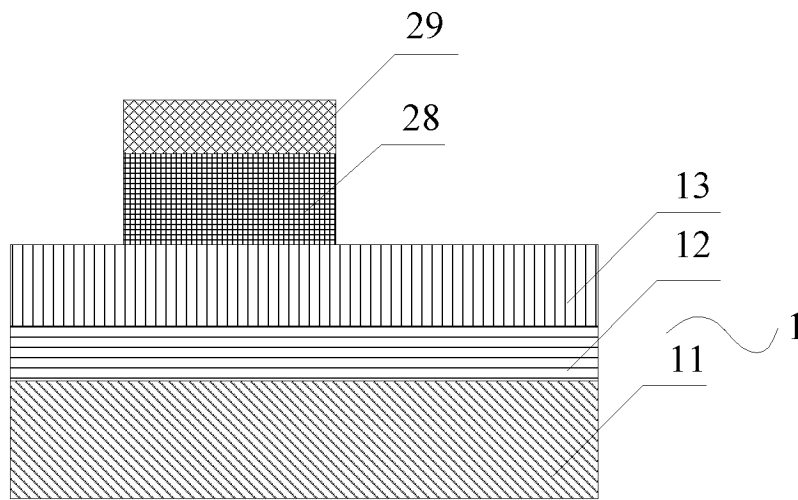


图 1b

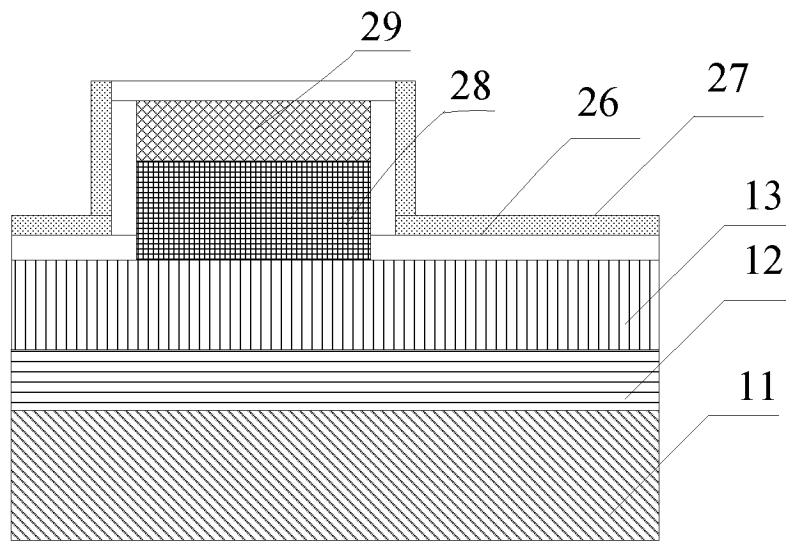


图 2

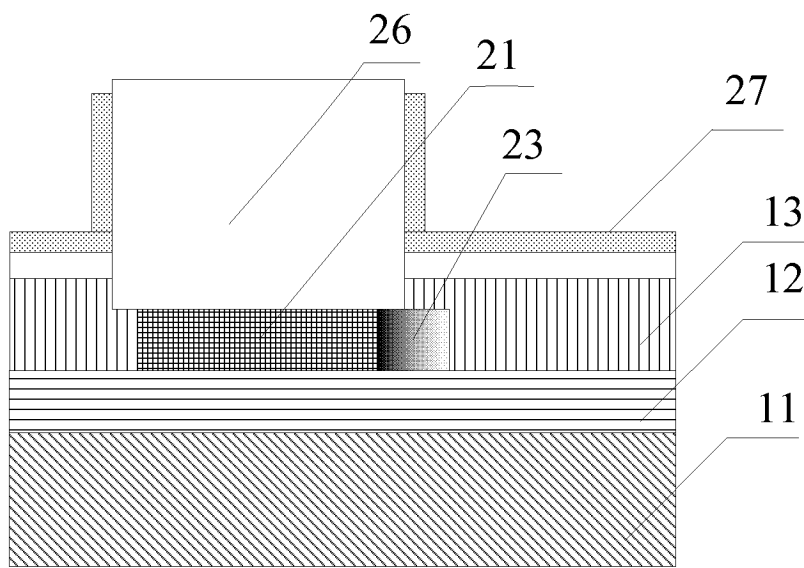


图 3

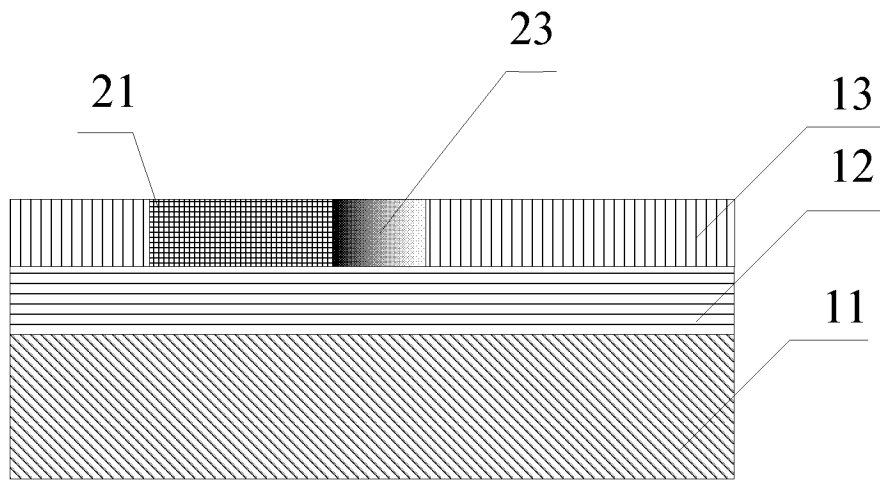


图 4a

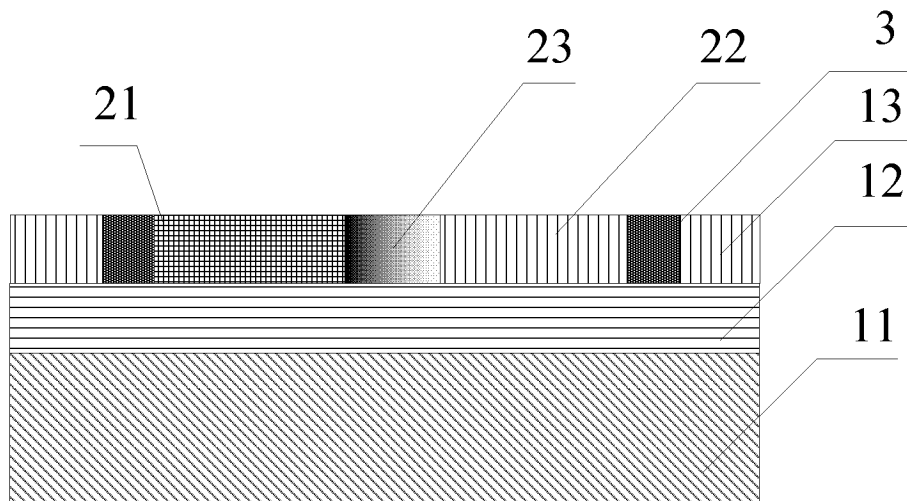


图 4b

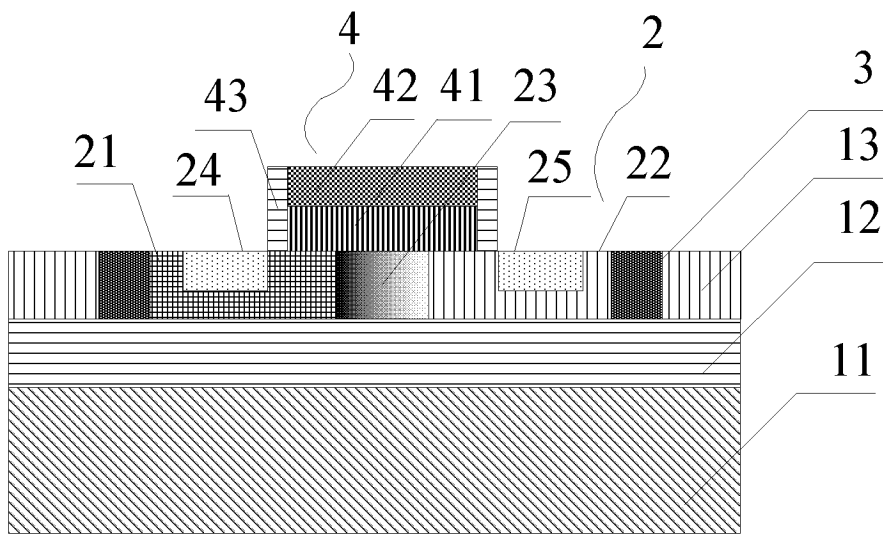


图 5