



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월20일
 (11) 등록번호 10-1174776
 (24) 등록일자 2012년08월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0095981

(22) 출원일자 2005년10월12일

심사청구일자 2010년09월24일

(65) 공개번호 10-2007-0040523

(43) 공개일자 2007년04월17일

(56) 선행기술조사문헌

KR1019990077818 A

KR100490924 B1

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이혜선

서울특별시 강서구 강서로 348, 우장산현대타운
 130동 1703호 (내발산동)

오재영

경기도 의왕시 내손1동 포일아파트 101-210

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 21 항

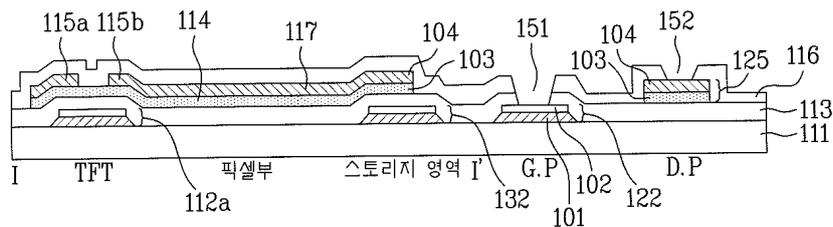
심사관 : 신창우

(54) 발명의 명칭 TFT 어레이 기판 및 그 제조방법

(57) 요약

본 발명은 투명 반도체막을 TFT에 적용함으로써 개구율을 향상시키고 3마스크로 박막트랜지스터 어레이 기판을 형성함으로써 공정 시간 및 공정 단가를 절감하고자 하는 TFT 어레이 기판 및 그 제조방법에 관한 것으로서, 특히 수직 교차되어 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 두 배선의 교차 지점에 형성되고 투명한 반도체막을 포함하는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극으로부터 일체형으로 연장형성되는 화소전극과, 상기 박막트랜지스터를 포함한 전면에 형성된 보호막과, 상기 게이트배선으로부터 연장형성되는 게이트 패드전극과, 상기 데이터 배선으로부터 연장형성되는 데이터 패드전극을 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

수직 교차되어 단위 화소를 정의하는 게이트 배선 및 데이터 배선과,
 상기 두 배선의 교차 지점에 형성되고 투명한 반도체막을 포함하는 박막트랜지스터와,
 상기 박막 트랜지스터의 드레인 전극으로부터 일체형으로 연장형성되는 화소전극과,
 상기 박막트랜지스터를 포함한 전면에 형성된 보호막과,
 상기 게이트배선으로부터 연장형성되는 게이트 패드전극과,
 상기 데이터 배선으로부터 연장형성되는 데이터 패드전극을 포함하여 구성되며,
 상기 데이터 배선, 박막트랜지스터의 소스/드레인 전극, 화소전극 및 데이터 패드전극은 투명 반도체막과 투명 도전막의 적층막으로 동일층에 구비되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 2

제 1 항에 있어서,
 상기 투명 반도체막은 AZO 또는 ZnO로 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 3

제 1 항에 있어서,
 상기 게이트 배선, 상기 박막트랜지스터의 게이트 전극 및 게이트 패드전극은 금속층 및 투명도전층의 적층막으로 동일층에 구비되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 4

제 3 항에 있어서,
 상기 금속층은 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag) 또는 은 합금으로 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 5

제 3 항에 있어서,
 상기 투명도전층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO 또는 ZnO로 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서,
 상기 투명도전막은 AZO, ZnO 또는 S-ITO(Super-Indium Tin Oxide)로 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 9

제 1 항에 있어서,

상기 화소전극은 단위 화소의 전면에 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 화소전극에 평행하여 횡전계를 형성하는 공통전극이 더 구비되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 11

제 1 항에 있어서,

상기 게이트 패드전극 및 데이터 패드전극은 상부의 게이트 절연막 또는 보호막이 선택적으로 제거되어 외부로 노출되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 12

기판 상에 금속층 및 제 1 투명도전층을 적층하고 제 1 마스크에 의한 포토식각기술로 게이트 배선, 게이트 전극 및 게이트 패드전극을 형성하는 단계와,

상기 게이트 전극을 포함한 전면에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막을 포함한 전면에 투명반도체층과 제 2 투명도전층을 적층하고 제 2 마스크에 의한 포토식각 기술로 반도체층, 데이터 배선, 소스/드레인 전극, 데이터 패드 전극 및 화소전극을 형성하는 단계와,

상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계와,

상기 게이트 패드전극 및 데이터 패드전극 상부의 게이트 절연막 및 보호막을 제 3 마스크에 의한 포토식각기술로 제거하여 외부로 노출시키는 단계를 포함하여 이루어지는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 13

제 12 항에 있어서,

상기 금속층은 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag) 또는 은 합금으로 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 14

제 12 항에 있어서,

상기 제 1 투명도전층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO 또는 ZnO로 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 15

제 12 항에 있어서,

상기 투명 반도체막은 AZO 또는 ZnO로 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 16

제 12 항에 있어서,

상기 투명도전층은 AZO, ZnO 또는 S-ITO(Super-Indium Tin Oxide)로 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 17

제 12 항에 있어서,

상기 투명 반도체막은 스퍼터링(sputtering), 화학증기증착(CVD:chemical vapor deposition) 또는 PLD 방법으

로 증착하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 18

제 12 항에 있어서,

상기 제 2 마스크에 의한 포토식각기술에서 상기 투명 반도체막은 HNO₃(0.5%) 용액에 의해 습식식각(wet etching)하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 19

제 12 항에 있어서,

상기 제 2 마스크는 회절노광마스크인 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 20

제 19 항에 있어서,

상기 게이트 절연막을 포함한 전면에 투명반도체층과 투명도전층을 적층하고 제 2 마스크에 의한 포토식각기술로 반도체층, 데이터 배선, 소스/드레인 전극, 데이터 패드 전극 및 화소전극을 형성하는 단계는,

상기 투명도전층 상에 이중단차의 포토레지스트를 형성하는 단계와,

상기 포토레지스트를 마스크로 하여 상기 투명반도체층 및 투명도전층을 일괄식각하여 반도체층, 데이터 배선, 소스/드레인 전극, 데이터 패드 전극 및 화소전극을 형성하는 단계와,

상기 포토레지스트를 에칭하여 낮은 단차의 포토레지스트를 제거하는 단계와,

상기 제 1 포토레지스트를 마스크로 하여 상기 반도체층 상부의 투명도전막을 식각하여 상기 소스/드레인 전극을 분리형성하고 채널층을 정의하는 단계와,

상기 포토레지스트를 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 21

제 12 항에 있어서,

상기 화소전극은 서브-픽셀 내부 전체에 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 22

제 12 항에 있어서,

상기 화소전극은 서브-픽셀 내부에 복수개 형성되고, 상기 화소전극에 평행하는 공통전극을 더 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 23

제 12 항에 있어서,

상기 게이트 배선과 평행하는 공통배선과,

상기 공통배선으로부터 분기되어 서로 평행하는 복수개의 공통전극을 더 포함하며,

상기 공통배선과 공통전극은 상기 게이트 배선과 동시에 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 투명 반도체막을 TFT에 적용함으로써 개구율을 향상시키고 3마스크로 박막트랜지스터 어레이 기판을 형성함으로써 공정 시간 및 공정 단가를 절감하고자 하는 TFT 어레이 기판 및 그 제조방법에 관한 것이다.
- [0019] 액정표시소자는 콘트라스트(contrast) 비가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 적다는 특징 때문에 평판 디스플레이 중에서도 그 비중이 증대되고 있다.
- [0020] 이러한 액정표시소자는 동작 수행을 위해 기판에 구동소자 또는 배선 등의 여러 패턴들을 형성하는데, 패턴을 형성하기 위해 사용되는 기술 중 일반적인 것이 포토식각기술(photolithography)이다.
- [0021] 상기 포토식각기술은 패턴이 형성될 기판 상의 필름층에 자외선으로 감광하는 재료인 포토 레지스트를 코팅하고, 노광 마스크에 형성된 패턴을 포토 레지스트 위에 그대로 노광하여 현상하고, 이와 같이 패턴닝된 포토 레지스트를 마스크로 활용하여 상기 필름층을 식각한 후 포토 레지스트를 스트립핑하는 일련의 복잡한 과정으로 이루어진다.
- [0022] 종래기술에 의한 액정표시소자용 TFT 어레이 기판은 기판 상에 게이트 배선층, 게이트 절연막, 반도체층, 데이터 배선층, 보호막, 화소전극을 형성하기 위해서 통상, 5~7마스크 기술을 사용하고 있는데, 이와같이 마스크를 이용하는 포토식각기술의 횟수가 많아지면 공정 오류의 확률이 증가한다.
- [0023] 이와같은 문제점을 극복하고자 최근, 포토리소그래피 공정의 횟수를 최소한으로 줄여 생산성을 높이고 공정 마진을 확보하고자 "저마스크 기술"에 대한 연구가 활발하게 진행되고 있다.
- [0024] 이하, 첨부된 도면을 참조하여 종래 기술에 따른 TFT 어레이 기판의 제조방법을 설명하면 다음과 같다.
- [0025] 도 1a 내지 도 1e는 종래 기술에 의한 TFT 어레이 기판의 공정단면도이다.
- [0026] 종래 기술에 의한 액정표시소자용 TFT 어레이 기판을 형성하기 위해서는 먼저, 도 1a에서와 같이, 기판(11) 상에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr) 등의 저저항 금속 물질을 증착한 후, 제 1 마스크를 이용한 포토식각기술을 적용하여 복수개의 게이트 배선(도시하지 않음), 게이트 전극(12a) 및 게이트 패드(22)를 형성한다.
- [0027] 상기 포토식각기술은 다음과 같이 진행된다.
- [0028] 즉, 내열성이 우수하고 투명한 유기기판 상에 저항이 낮은 금속을 고온에서 증착하고 그 위에 포토레지스트(photoresist)를 도포한 후, 상기 포토레지스트 상부에 패턴층이 구비된 제 1 마스크를 위치시켜 빛을 선택적으로 조사함으로써 제 1 마스크의 패턴층과 동일한 패턴을 상기 포토레지스트 상에 형성시킨다.
- [0029] 다음, 현상액을 이용하여 빛을 받은 부분의 포토레지스트를 제거하여 포토레지스트를 패턴닝한다. 상기 패턴닝된 포토레지스트로부터 노출된 부분의 금속을 선택적으로 식각하여 원하는 패턴을 얻는 것이다.
- [0030] 다음, 도 1b에 도시된 바와 같이, 상기 게이트 전극(12a)을 포함한 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기물질을 고온에서 증착하여 게이트 절연막(13)을 형성한다.
- [0031] 이어서, 상기 게이트 절연막(13) 위에 아몰퍼스 실리콘을 증착하고, 제 2 마스크를 이용한 사진식각기술로 패턴닝하여 상기 게이트 전극(12a)에 오버랩되도록 상기 게이트 절연막(13) 상에 섬(island) 모양의 반도체층(14)을 형성한다.
- [0032] 계속해서, 도 1c에 도시된 바와 같이, 상기 반도체층(14)을 포함한 전면에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr) 등의 저저항 금속 물질을 증착하고 제 3 마스크를 이용한 포토식각기술로 패턴닝하여 데이터 배선층을 형성한다.
- [0033] 상기 데이터 배선층은 상기 게이트 배선과 교차하여 단위 화소영역을 정의하는 데이터 배선(도시하지 않음)과, 상기 반도체층(14)의 가장자리에 오버랩되는 소스 전극(15a) 및 드레인 전극(15b)과, 패드부 영역의 데이터 패드(25)를 포함한다.
- [0034] 상기에서와 같이 적층된 게이트전극(12a), 게이트 절연막(13), 반도체층(14) 및 소스/드레인 전극(15a, 15b)은 단위 픽셀에 인가되는 전압의 온/오프를 제어하는 박막트랜지스터를 이룬다.
- [0035] 다음, 도 1d에 도시된 바와 같이, 상기 드레인 전극(15b)을 포함한 전면에 BCB 등의 유기절연물질 또는 SiNx의

무기절연물질을 도포하여 보호막(16)을 형성한다. 그리고, 제 4 마스크를 이용한 포토식각기술로 상기 보호막(16)의 일부를 제거하여 상기 드레인 전극(15b)이 노출되는 콘택홀(71)과 상기 게이트 패드(22)가 노출되는 제 1 패드오픈영역(81a)과 상기 데이터 패드(25)가 노출되는 제 2 패드오픈영역(81b)을 형성한다.

[0036] 다음, 도 1e에 도시된 바와 같이, 상기 보호막(16)을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zin Oxide)와 같은 투명도전물질을 증착하고 제 5 마스크를 이용한 포토식각기술을 적용하여 상기 드레인 전극(15b)에 전기적으로 연결되도록 화소영역에 화소전극(17)을 형성함으로써 TFT 어레이 기판을 완성한다. 이와 동시에 제 1, 제 2 패드오픈영역을 커버하여 게이트 패드 및 데이터 패드의 산화를 방지하는 투명도전막(27)을 동시에 형성한다.

발명이 이루고자 하는 기술적 과제

[0037] 종래 기술에 의한 액정표시소자용 TFT 어레이 기판은 게이트 배선층, 반도체층, 데이터 배선층, 보호막의 콘택홀, 화소전극을 형성하기 위해서, 최소한 총 5번의 노광마스크를 사용하는데, 이와 같이 노광마스크의 사용횟수가 많아지면 공정이 복잡해지고 공정 시간 및 공정 비용이 많이 소요되므로 공정효율이 크게 떨어진다.

[0038] 본 발명은 상기와 같은 문제점을 해결하기 위해, 투명 반도체막을 TFT에 적용함으로써 개구율을 향상시키고 노광마스크를 총 3회 사용하여 박막트랜지스터 어레이 기판을 형성함으로써 공정 시간 및 공정 단가를 절감하고자 하는 TFT 어레이 기판 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

[0039] 상기와 같은 목적을 달성하기 위한 본 발명의 TFT 어레이 기판은 수직 교차되어 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 두 배선의 교차 지점에 형성되고 투명한 반도체막을 포함하는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극으로부터 일체형으로 연장형성되는 화소전극과, 상기 박막트랜지스터를 포함한 전면에 형성된 보호막과, 상기 게이트배선으로부터 연장형성되는 게이트 패드전극과, 상기 데이터 배선으로부터 연장형성되는 데이터 패드전극을 포함하여 구성되는 것을 특징으로 한다.

[0040] 한편, 본 발명의 다른 목적을 달성하기 위한 TFT 어레이 기판의 제조방법은 기판 상에 금속층 및 제 1 투명도전층을 적층하고 제 1 마스크에 의한 포토식각기술로 게이트 배선, 게이트 전극 및 게이트 패드전극을 형성하는 단계와, 상기 게이트 전극을 포함한 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막을 포함한 전면에 투명반도체층과 제 2 투명도전층을 적층하고 제 2 마스크에 의한 포토식각기술로 반도체층, 데이터 배선, 소스/드레인 전극, 데이터 패드 전극 및 화소전극을 형성하는 단계와, 상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계와, 상기 게이트 패드전극 및 데이터 패드전극 상부의 게이트 절연막 및 보호막을 제 3 마스크에 의한 포토식각기술로 제거하여 외부로 노출시키는 단계를 포함하여 이루어지는 것을 특징으로 한다.

[0041] 즉, 본 발명에 의한 액정표시소자용 TFT 어레이 기판은 AZO, ZnO 등의 투명 반도체막을 사용하여 투명 TFT를 형성하고 총 3번의 마스크를 사용하여 기판 상의 패턴을 완성함으로써 마스크의 사용 횟수를 줄여 제조원가를 절감하고 공정 시간을 줄이는 것을 특징으로 한다.

[0042] 이하, 첨부된 도면을 통해 본 발명의 실시예에 의한 TFT 어레이 기판 그 제조방법을 살펴보면 다음과 같다.

[0043] 제 1 실시예

[0044] 도 2는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 평면도이고, 도 3은 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 단면도이며, 도 4a 내지 도 4d는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 공정단면도이다.

[0045] 본 발명에 의한 액정표시소자용 TFT 어레이 기판은, 도 2 및 도 3에 도시된 바와 같이, 화소전극(117) 및 박막트랜지스터(TFT)가 형성되어 있는 액티브 영역과, 게이트 패드(G.P,122) 및 데이터 패드(D.P,125)가 각각 형성되어 있는 패드부 영역으로 구분된다.

[0046] 구체적으로, 상기 액티브 영역에는, 수직 교차되어 단위 화소를 정의하는 게이트 배선(112) 및 데이터 배선(115)과, 상기 두 배선의 교차 지점에서 게이트 전극(112a), 게이트 절연막(113), 반도체층(114), 소스/드레인 전극(115a,115b)이 차례로 적층되는 박막트랜지스터(TFT)와, 상기 박막트랜지스터를 포함한 전면에 형성된 보호막(116)과, 상기 드레인 전극(115b)으로부터 일체형으로 연장형성되고 단위 화소의 전면에 형성되는 화소전극(117)과, 상기 게이트 배선(112)에 평행하는 스토리지 전극(132)이 형성되어 있다.

- [0047] 이때, 상기 스토리지 전극(132) 상부에는 상기 게이트 절연막(113) 및 보호막(116)을 사이에 두고 화소전극(117)이 오버랩되어 스토리지 커패시터(storage capacitor)를 구성한다.
- [0048] 그리고, 패드부 영역에는 상기 게이트 배선(112)에서 연장 형성되어 외부로부터 주사신호를 전달하는 게이트 패드(122)와, 상기 데이터 배선(115)에서 연장 형성되어 비디오 신호를 전달하는 데이터 패드(125)가 구비되는데, 상기 게이트 패드(122) 상부에는 게이트 절연막(113)을 제거한 제 1 콘택홀(151)이 형성되고, 상기 데이터 패드(125) 상부에는 게이트 절연막(113) 및 보호막(116)을 제거한 제 2 콘택홀(152)이 형성되어 이후 외부구동회로에 접속된다.
- [0049] 이 때, 상기 게이트 배선(112), 게이트 전극(112a), 스토리지 전극(132) 및 게이트 패드(122)는 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층(101)과, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO, ZnO 등의 제 1 투명도전막(102)을 차례로 증착한 후 동시에 패터닝하여 형성한다.
- [0050] 그리고, 상기 데이터 배선(115), 소스/드레인 전극(115a,115b), 화소전극(117) 및 데이터 패드전극(125)은 AZO, ZnO 등의 투명 반도체막(103)과 AZO, ZnO, S-ITO(Super-Indium Tin Oxide) 등의 제 2 투명도전막(104)을 차례로 증착한 후 동시에 패터닝하여 형성한다.
- [0051] 도시하지는 않았으나, 상기와 같이 화소전극과 박막트랜지스터가 형성되어 있는 TFT 어레이 기판은 공통전극과 컬러필터층이 형성되어 있는 대향기판과 대향합착된 후 두 기판 사이에 액정이 충전되어 액정표시소자가 완성된다.
- [0052] 상기 액정표시소자의 TFT 어레이 기판을 형성하기 위해서는 먼저, 도 4a에 도시된 바와 같이, 투명하고 내열성이 우수한 기판(111) 상에 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층(101)과, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO, ZnO 등의 제 1 투명도전막(102)을 차례로 형성하고 제 1 노광마스크를 이용한 포토식각공정으로 패터닝하여 게이트 배선(도 2의 112)과, TFT영역의 게이트 전극(112a)과, 스토리지 영역의 스토리지 전극(132)과, 게이트 패드부 영역(G.P)의 게이트 패드전극(122)을 형성한다.
- [0053] 그리고, 도 4b에 도시된 바와 같이, 상기 게이트 전극(112a)을 포함한 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기물질을 고온에서 증착하여 게이트 절연막(113)을 형성한다.
- [0054] 이어서, 상기 게이트 절연막(113) 위에 AZO, ZnO 등의 투명 반도체막(103)과 AZO, ZnO, S-ITO(Super-Indium Tin Oxide) 등의 제 2 투명도전막(104)을 차례로 증착한다.
- [0055] 상기 AZO, ZnO 등의 투명 반도체막(103)은 스퍼터링(sputtering), 화학증기증착(CVD: chemical vapor deposition), PLD 등의 방법에 의해 증착하고, 결정성을 가진 상태로 상온~600 °C에서 증착한다.
- [0056] 일례로, RF 스퍼터에 의해 ZnO를 증착하는 방법으로, ZnO 타겟(target)을 사용하며, Ar+O₂ 가스를 주입하며 증착한다 이때, O₂ 가스의 유량비에 따라 증착된 ZnO 박막의 비저항이 다르게 되며, 반도체층으로서 반도체 특성을 가지는 공정 조건에서 TFT를 제작하게 된다.
- [0057] 한편, AZO, ZnO 등의 투명 반도체막의 경우, 증착 조건에 따라 부도체, 반도체에서 도체까지 다양한 특성을 가지고 있는바, 최근 AZO, ZnO 등의 반도체특성을 이용하여 TFT를 제작하는 연구가 계속되고 있다.
- [0058] 구체적으로, ZnO TFT는 폴리결정상(polycrystalline phase)을 가지고 있고, 상온에서 제작된 TFT의 경우에도 a-Si TFT에 비해 우수한 TFT 특성을 가지고 있는 것으로 알려져 있다. 게다가 캐리어(carrier)의 이동에 의한 반도체층의 디그레이데이션(degradation)이 거의 없다는 장점을 가지고 있다. 이러한 면에서 ZnO TFT는 a-Si를 대체할 수 있는 물질의 후보로서 생각되고 있다. 그리고, ZnO가 반도체 특성을 갖는 상태일 경우, 밴드갭(bandgap)이 3.3 eV이하로서, 이는 가시광선(visible light)에 비하여 에너지 갭(energy gap)이 큰 상태이며, 따라서 a-Si TFT와 같은 포토커런트(photo current) 문제가 발생하지 않는다. 그리고, TFT의 반도체층이 투명하므로 백라이트(backlight)나 기타 다른 빛으로부터 TFT를 차단할 필요가 없어 개구율이 향상 되고, 투명하기 때문에 투명 전극 물질과 조합하여 투명 TFT를 만들 수 있다.
- [0059] 그리고, 상기 제 2 투명도전막(104) 상부 전면에 스핀(spin)법, 롤 코팅(roll coating)법 등으로 UV 경화성 수

지(Ultraviolet curable resin)인 포토 레지스트(Photo resist)(108)를 도포한 후, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 제 2 노광마스크(도시하지 않음)를 씌워서 UV 또는 x-선 파장에 노출시켜 노광시킨 뒤, 노광된 포토 레지스트를 현상하여 2중 단차의 포토레지스트 패턴을 형성한다.

[0060] 여기서, 상기 제 2 노광마스크는 회절노광마스크로서 투명기관 상에 금속재질의 차광층 및 반투명층이 형성되어, 투명영역, 반투명 영역, 차광영역의 3영역으로 분할되는데, 투명영역에는 광투과율이 100%이고, 차광영역은 광투과율이 0%이며, 반투명 영역은 광투과율이 0%~100%이다.

[0061] 따라서, 회절 노광된 상기 포토 레지스트(108)의 잔존 두께도 3영역으로 구분되는데, 회절노광 마스크의 투명영역의 위치에 상응하여 포토레지스트가 완전노광되어 이후 현상공정에서 제거되는 부분과, 회절노광 마스크의 차광 영역의 위치에 상응하여 포토레지스트가 완전 비노광되어 전혀 제거되지 않는 부분과, 회절노광 마스크의 반투명 영역의 위치에 상응하여 회절노광되어 중간단차를 가지는 부분으로 구분된다. 다만, 노광된 부위가 식각되는 포토레지스트는 포지티브 포토레지스트에 한하며, 네가티브 포토레지스트는 노광되지 않은 부위가 식각된다.

[0062] 즉, 회절노광된 포토레지스트(108)는 이중단차를 가지는데, 데이터 배선이 형성될 영역과 서브-픽셀 영역내의 화소전극이 형성될 영역과 데이터 패드(D.P)가 형성될 영역의 포토레지스트(108)는 완전히 남기고, TFT영역의 채널층에 해당하는 포토레지스트는 중간단차로 형성하고, 그 외 부분의 포토레지스트는 완전 제거한다.

[0063] 다음, 상기 포토레지스트(108)를 마스크로 하여 그 사이로 노출된 제 2 투명도전막(104) 및 투명반도체막(103)을 식각하여 데이터 배선(도 2의 115)과, TFT영역의 반도체층(114)과, 픽셀부의 화소전극(117)과, 데이터 패드부(D.P)의 데이터 패드전극(125)을 형성한다. 이때, 상기 화소전극(117)은 하부의 스토리지 전극(132)에 오버랩되어 그 사이에 개재된 게이트 절연막(113)과 함께, 스토리지 커패시터를 구성한다.

[0064] 이때, 투명반도체막(103)은 HNO₃ (0.5%) 용액에 의한 습식식각(wet etching)으로 식각하며, 상기 제 2 투명도전막과 투명반도체막을 동시에 식각할 수 있다.

[0065] 이후, 상기 포토레지스트(108)를 에싱하여 TFT 영역 채널부의 낮은 단차의 포토레지스트는 완전히 제거하고, 데이터 배선이 형성될 영역과 서브-픽셀 영역내부의 픽셀부와 데이터 패드부(D.P)의 포토레지스트는 남겨둔다.

[0066] 그리고, 도 4c에 도시된 바와 같이, TFT 영역 채널부의 제 2 투명도전막(104)을 선택적으로 식각하여 반도체층(114) 상부의 제 2 투명도전막(104)을 분리시켜 소스/드레인 전극(115a,115b)을 형성하여 반도체층의 채널부를 정의하고, 남아있는 포토레지스트(108)를 전부 스트립해낸다.

[0067] 이로써, 1회의 회절노광으로 데이터 배선, 소스/드레인 전극(115a,115b), 데이터 패드전극(125), 반도체층(114), 화소전극(117)을 형성한다. 상기 데이터 배선은 게이트 배선에 수직교차하여 서브-픽셀을 정의하고, 상기 반도체층(114)과 소스/드레인 전극(115a,115b)은 게이트 전극 상부에 차례로 오버랩되어 박막트랜지스터를 구성한다.

[0068] 다만, 상기 반도체층 물질인 투명반도체층막(103)과, 데이터 배선층 물질인 제 2 투명도전막(104)이 동시에 패터닝되므로, 데이터 배선, 화소전극(117) 및 데이터 패드전극(125)은 투명반도체층막(103) 및 제 2 투명도전막(104)의 이중층으로 형성된다.

[0069] 계속하여, 도 4d에 도시된 바와 같이, 상기 소스/드레인 전극(115a,115b)을 포함한 전면에 BCB(Benzocyclobutene), 아크릴계 물질과 같은 유기 절연물질 또는 실리콘 질화물, 실리콘 산화물과 같은 무기 절연물질을 증착하여 보호막(116)을 형성하고, 제 3 노광마스크를 이용한 포토식각공정으로 게이트 패드전극(122) 및 데이터 패드전극(125)을 외부로 오픈시키기 위한 제 1, 제 2 콘택홀(151,152)을 각각 형성한다. 상기 제 1, 제 2 콘택홀(151,152)을 통해 외부 구동회로가 연결되어 각종 신호를 패널에 제공한다.

[0070] 상기 제 1 콘택홀(151)은 게이트 패드전극(122) 상부의 보호막(116) 및 게이트 절연막(113)을 선택적으로 식각하여 형성하고, 상기 제 2 콘택홀(152)은 데이터 패드전극(125) 상부의 보호막(116)을 식각하여 형성한다. 이때, 이중층으로 형성되는 게이트 패드전극(122) 및 데이터 패드전극(125)은, 상부층으로 제 1, 제 2 투명도전막(102, 104)을 각각 포함하므로 외부로 노출되더라도 산화될 염려가 없다.

[0071] 이상에서와 같이 형성된 본 발명에 의한 TFT 어레이 기관은 총 3번의 노광마스크를 사용하여 완성하므로 저마스크 기술로서 유용하다.

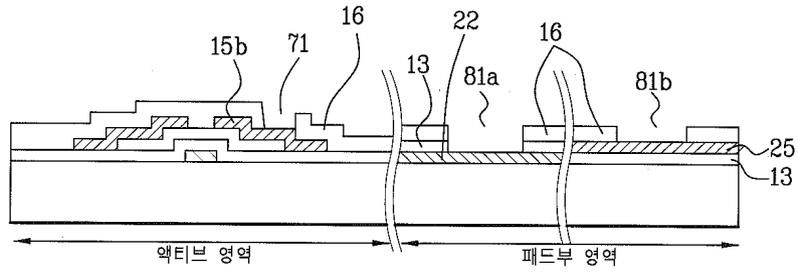
[0072] 제 2 실시예

- [0073] 상기 제 1 실시예에서는 TN 모드 TFT 어레이 기관의 제조방법에 한정하여 설명하였으나, IPS 모드 TFT 어레이 기관의 제조방법에도 본 발명에 의한 기술적 사상을 적용할 수 있는바, 이하에서는 IPS 모드 TFT 어레이 기관의 제조방법에 대해 구체적으로 살펴보기로 한다.
- [0074] 도 5는 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 평면도이고, 도 6은 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 단면도이며, 도 7a 내지 도 7d는 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 공정단면도이다.
- [0075] 본 발명에 의한 횡전계방식 액정표시소자용 TFT 어레이 기관은, 도 5 및 도 6에 도시된 바와 같이, 공통전극(524), 화소전극(517) 및 박막트랜지스터(TFT)가 형성되어 있는 액티브 영역과, 게이트 패드(G.P, 522) 및 데이터 패드(D.P, 525)가 각각 형성되어 있는 패드부 영역으로 구분된다.
- [0076] 구체적으로, 상기 액티브 영역에는, 수직 교차되어 단위 화소를 정의하는 게이트 배선(512) 및 데이터 배선(515)과, 상기 게이트 배선(512)에 평행하며 Vcom 신호를 전달하는 공통배선(532)과, 상기 두 배선의 교차 지점에서 게이트 전극(512a), 게이트 절연막(513), 반도체층(514), 소스/드레인 전극(515a, 515b)이 차례로 적층되는 박막트랜지스터(TFT)와, 상기 박막트랜지스터를 포함한 전면에 형성된 보호막(516)과, 상기 드레인 전극(515b)으로 연장되어 일체형으로 형성되는 화소전극(517)과, 상기 공통배선으로부터 분기되고 상기 화소전극(517)과 평행하여 횡전계를 발생시키는 공통전극(524)이 형성되어 있다.
- [0077] 이때, 상기 공통배선(532)은 게이트 절연막(513)을 사이에 두고 상부의 드레인 전극(515b) 또는 화소전극(517)에 오버랩되어 스토리지 커패시터(storage capacitor)를 구성한다.
- [0078] 그리고, 패드부 영역에는 상기 게이트 배선(512)에서 연장 형성되어 외부로부터 주사신호를 전달하는 게이트 패드(522)와, 상기 데이터 배선(515)에서 연장 형성되어 비디오 신호를 전달하는 데이터 패드(525)가 구비되는데, 상기 게이트 패드(522) 상부에는 게이트 절연막(513)을 제거한 제 1 콘택홀(551)이 형성되고, 상기 데이터 패드(525) 상부에는 게이트 절연막(513) 및 보호막(516)을 제거한 제 2 콘택홀(552)이 형성되어 외부구동회로에 접속된다.
- [0079] 이 때, 상기 게이트 배선(512), 게이트 전극(512a), 공통배선(532), 공통전극(524) 및 게이트 패드(522)는 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층과, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO, ZnO 등의 제 1 투명도전막을 차례로 증착한 후 동시에 패터닝하여 형성한다.
- [0080] 그리고, 상기 데이터 배선(515), 소스/드레인 전극(515a,515b), 화소전극(517) 및 데이터 패드전극(535)은 AZO, ZnO 등의 투명 반도체막(503)과 AZO, ZnO, S-ITO(Super-Indium Tin Oxide) 등의 제 2 투명도전막(504)을 차례로 증착한 후 동시에 패터닝하여 형성한다. 이때, 상기 소스전극(515a)과 드레인 전극(515b) 사이의 반도체층은 상기 투명 반도체막으로 형성된다.
- [0081] 도시하지는 않았으나, 상기와 같이 공통전극, 화소전극 및 박막트랜지스터가 형성되어 있는 TFT 어레이 기관에는 컬러필터층이 형성되어 있는 대향기관을 대향합착한 후 그 사이에 액정을 충전하여 액정표시소자를 완성한다.
- [0082] 상기 횡전계방식 액정표시소자의 TFT 어레이 기관을 형성하기 위해서는 먼저, 도 7a에 도시된 바와 같이, 투명하고 내열성이 우수한 기관(511) 상에 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층(501)과, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO, ZnO 등의 제 1 투명도전막(502)을 차례로 형성하고 제 1 노광마스크를 이용한 포토식각공정으로 패터닝하여 게이트 배선(도 5의 512)과, 상기 게이트 배선으로부터 분기되는 TFT영역의 게이트 전극(512a)과, 상기 게이트 배선에 평행하는 공통배선(도 5의 525)과, 상기 공통배선으로부터 분기되어 서로 평행하는 복수개의 공통전극(524)과, 게이트 패드부 영역(G.P)의 게이트 패드전극(522)을 형성한다. 이때, 삭이 공통배선의 일부영역이 스토리지 커패시터의 하부전극 역할을 하게 된다.
- [0083] 그리고, 도 7b에 도시된 바와 같이, 상기 게이트 전극(512a)을 포함한 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기물질을 고온에서 증착하여 게이트 절연막(513)을 형성한다.
- [0084] 이어서, 상기 게이트 절연막(513) 위에 AZO, ZnO 등의 투명 반도체막(503)과 AZO, ZnO, S-ITO(Super-Indium

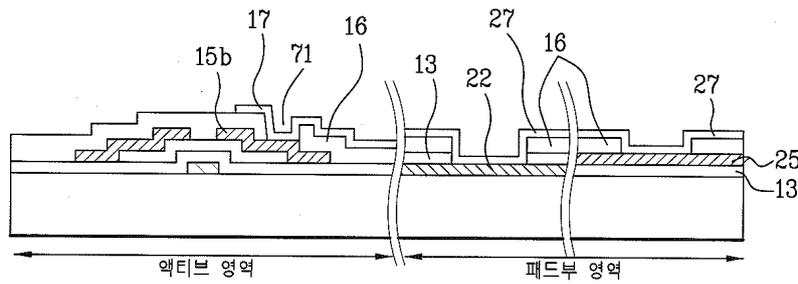
Tin Oxide) 등의 제 2 투명도전막(504)을 차례로 증착한다.

- [0085] 상기 AZO, ZnO 등의 투명 반도체막(503)은 스퍼터링(sputtering), 화학증기증착(CVD:chemical vapor deposition), PLD 등의 방법에 의해 증착하고, 결정성을 가진 상태로 상온~600 ° C에서 증착한다.
- [0086] 일례로, RF 스퍼터에 의해 ZnO를 증착하는 방법으로, ZnO 타겟(target)을 사용하며, Ar+O₂ 가스를 주입하며 증착한다 이때, O₂ 가스의 유량비에 따라 증착된 ZnO 박막의 비저항이 다르게 되며, 반도체층으로서 반도체 특성을 가지는 공정 조건에서 TFT를 제작하게 된다.
- [0087] 한편, AZO, ZnO 등의 투명 반도체막의 경우, 증착 조건에 따라 부도체, 반도체에서 도체까지 다양한 특성을 가지고 있는바, 최근 AZO, ZnO 등의 반도체특성을 이용하여 TFT를 제작하는 연구가 계속되고 있다.
- [0088] 구체적으로, ZnO TFT는 폴리결정상(polycrystalline phase)을 가지고 있고, 상온에서 제작된 TFT의 경우에도 a-Si TFT에 비해 우수한 TFT 특성을 가지고 있는 것으로 알려져 있다. 게다가 캐리어(carrier)의 이동에 의한 반도체층의 디그레이데이션(degradation)이 거의 없다는 장점을 가지고 있다. 이러한 면에서 ZnO TFT는 a-Si를 대체할 수 있는 물질의 후보로서 생각되고 있다. 그리고, ZnO가 반도체 특성을 갖는 상태일 경우 밴드갭(band gap)이 3.3 eV이하로서, 이는 가시광선(visible light)에 비하여 에너지 갭(energy gap)이 큰 상태이며, 따라서 a-Si TFT와 같은 포토커런트(photo current) 문제가 발생하지 않는다. 또한, TFT의 반도체층이 투명하므로 백라이트(backlight)나 기타 다른 빛으로부터 TFT를 차단할 필요가 없어 개구율이 향상 되고, 투명하기 때문에 투명 전극 물질과 조합하여 투명 TFT를 만들 수 있다.
- [0089] 그리고, 상기 제 2 투명도전막(504) 상부 전면에 스핀(spin)법, 롤 코팅(roll coating)법 등으로 UV 경화성 수지(Ultraviolet curable resin)인 포토 레지스트(Photo resist)(508)를 도포한 후, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 제 2 노광마스크(도시하지 않음)를 씌워서 UV 또는 x-선 파장에 노출시켜 노광시킨 뒤, 노광된 포토 레지스트를 현상하여 2중 단차의 포토레지스트 패턴을 형성한다.
- [0090] 여기서, 상기 제 2 노광마스크는 회절노광마스크로서 투명기관 상에 금속재질의 차광층 및 반투명층이 형성되어, 투명영역, 반투명 영역, 차광영역의 3영역으로 분할되는데, 투명영역에는 광투과율이 100%이고, 차광영역은 광투과율이 0%이며, 반투명 영역은 광투과율이 0%~100%이다.
- [0091] 따라서, 회절 노광된 상기 포토 레지스트(508)의 잔존 두께도 3영역으로 구분되는데, 회절노광 마스크의 투명 영역의 위치에 상응하여 포토레지스트가 완전노광되어 제거되는 부분과, 회절노광 마스크의 차광 영역의 위치에 상응하여 포토레지스트가 완전 비노광되어 전혀 제거되지 않는 부분과, 회절노광 마스크의 반투명 영역의 위치에 상응하여 회절노광되어 중간단차를 가지는 부분으로 구분된다. 다만, 노광된 부위가 식각되는 포토레지스트는 포지티브 포토레지스트에 한하며, 네가티브 포토레지스트는 노광되지 않은 부위가 식각된다.
- [0092] 즉, 회절노광된 포토레지스트(508)는 이중단차를 가지는데, 데이터 배선이 형성될 영역과 서브-픽셀 영역내의 화소전극이 형성될 영역과 데이터 패드(D.P)가 형성될 영역의 포토레지스트(508)는 완전히 남기고, TFT영역의 채널층에 해당하는 포토레지스트는 중간단차로 형성하고, 그 외 부분의 포토레지스트는 완전 제거한다.
- [0093] 다음, 상기 포토레지스트(508)를 마스크로 하여 그 사이로 노출된 제 2 투명도전막(504) 및 투명반도체막(503)을 식각하여 데이터 배선(도 5의 515)과, TFT영역의 반도체층(514) 및 소스/드레인 전극(515a, 515b)과, 픽셀부의 화소전극(517)과, 데이터 패드부(D.P)의 데이터 패드전극(525)을 형성한다. 이때, 상기 드레인 전극과 화소전극(517)은 일체형으로 연결되며, 상기 드레인 전극(515b) 또는 화소전극(517)이 공통배선(532) 상부로 연장 형성되어 스토리지 커패시터를 구성한다.
- [0094] 이때, 투명반도체막(503)은 HNO₃(0.5%) 용액에 의한 습식식각(wet etching)으로 식각하며, 상기 제 2 투명도전막과 투명반도체막을 동시에 식각할 수 있다.
- [0095] 이후, 상기 포토레지스트(508)를 에칭하여 TFT 영역 채널부의 낮은 단차의 포토레지스트는 완전히 제거하고, 데이터 배선이 형성될 영역과 서브-픽셀 영역내부의 픽셀부와 데이터 패드부(D.P)의 포토레지스트는 남겨둔다.
- [0096] 그리고, TFT 영역 채널부의 제 2 투명도전막(504)을 선택적으로 식각하여 반도체층(514) 상부의 제 2 투명도전막(504)을 분리시켜 소스/드레인 전극(515a, 515b)을 형성하여 반도체층의 채널부를 정의하고, 남아있는 포토레지스트(508)를 전부 스트립해낸다.
- [0097] 이로써, 1회의 회절노광으로, 도 7c에 도시된 바와 같이, 데이터 배선, 소스/드레인 전극(515a, 515b), 데이터 패드전극(525), 반도체층(514), 화소전극(517)을 형성한다. 상기 데이터 배선은 게이트 배선에 수직교차하여 서

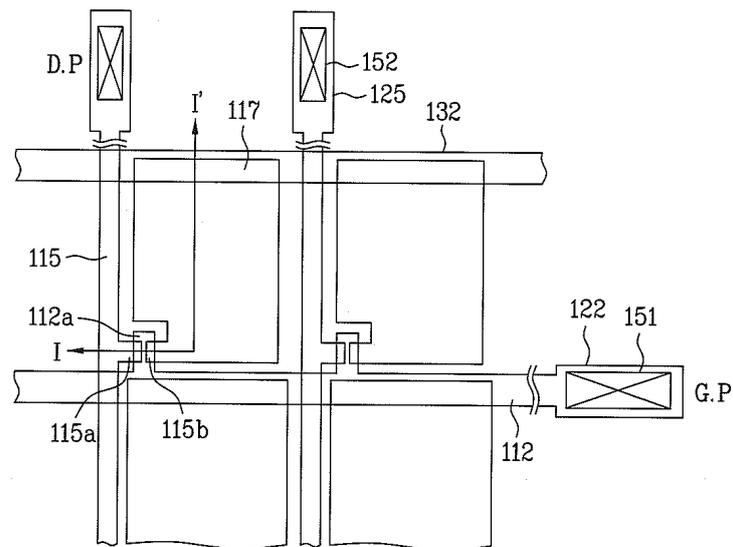
도면1d



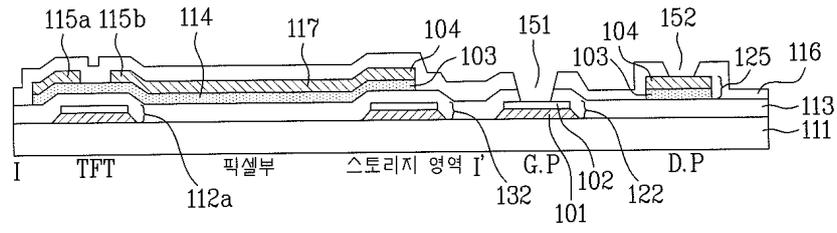
도면1e



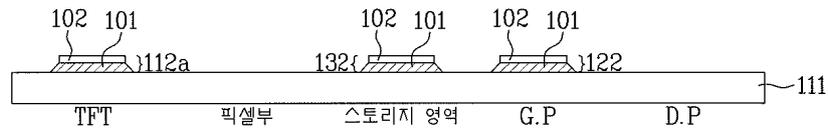
도면2



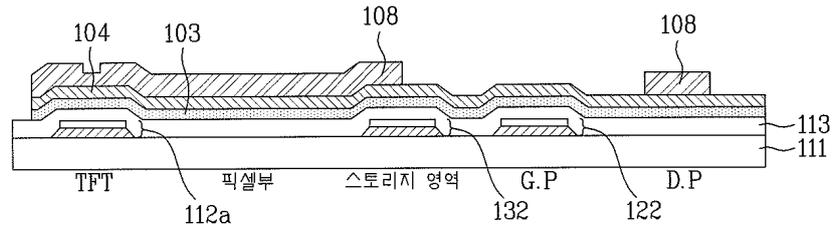
도면3



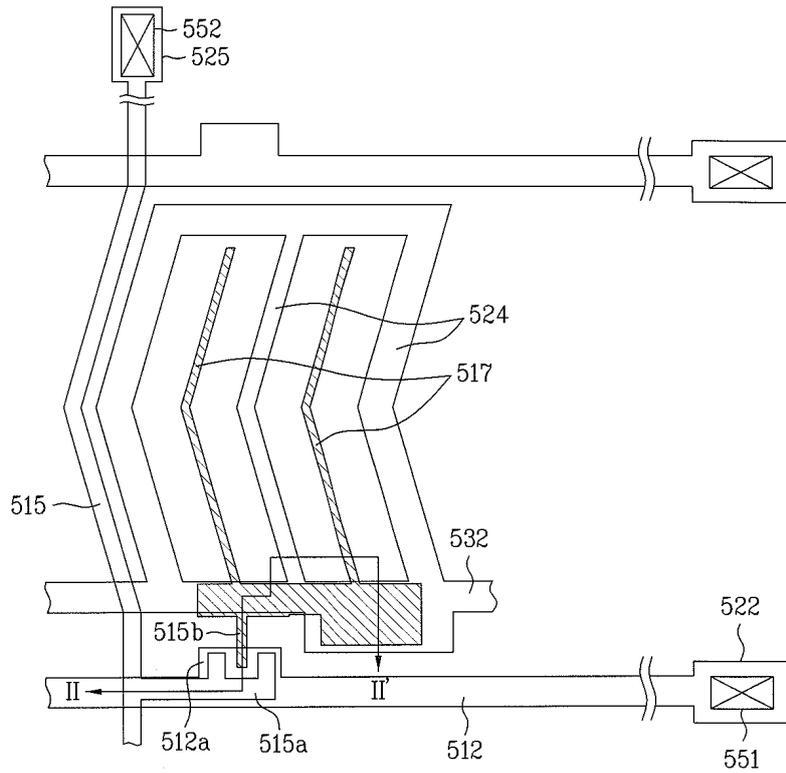
도면4a



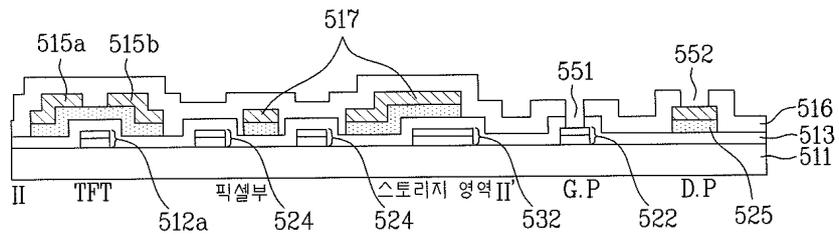
도면4b



도면5



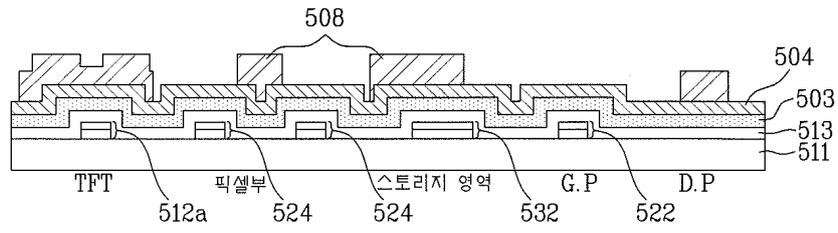
도면6



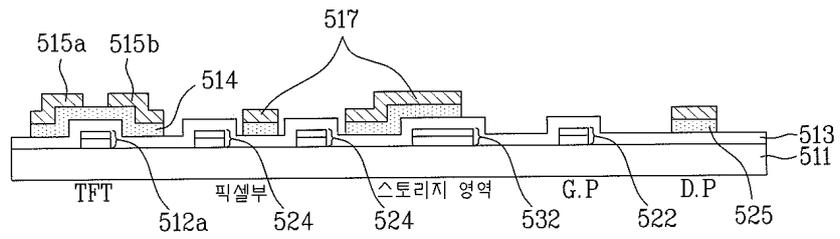
도면7a



도면7b



도면7c



도면7d

